

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4906029号
(P4906029)

(45) 発行日 平成24年3月28日 (2012.3.28)

(24) 登録日 平成24年1月20日 (2012.1.20)

(51) Int. Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 338
G02F 1/1368 (2006.01)	G02F 1/1368
H01L 21/20 (2006.01)	H01L 21/20
H01L 21/336 (2006.01)	H01L 29/78 627G
H01L 29/786 (2006.01)	H01L 29/78 627Z
請求項の数 4 (全 73 頁) 最終頁に続く	

(21) 出願番号	特願2004-241368 (P2004-241368)	(73) 特許権者	000153878
(22) 出願日	平成16年8月20日 (2004.8.20)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2006-58676 (P2006-58676A)		神奈川県厚木市長谷398番地
(43) 公開日	平成18年3月2日 (2006.3.2)	(72) 発明者	前川 慎志
審査請求日	平成19年8月10日 (2007.8.10)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	本田 達也
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	根本 幸恵
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	川俣 郁子
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上に、液滴吐出法により導電性材料を吐出して導電層を形成する第1の工程を有し、

前記導電層上に、n型不純物元素を含む一導電型を有する半導体層aを形成する第2の工程を有し、

前記半導体層a上に、n型不純物元素を含む一導電型を有する半導体層bを形成する第3の工程を有し、

前記半導体層bのn型不純物元素の濃度は前記半導体層aのn型不純物元素の濃度よりも低く、

前記半導体層b上にレジストを形成する第4の工程を有し、

前記レジストをレーザー光で露光し、当該レーザー光で露光された領域を除去することにより、マスクを形成する第5の工程を有し、

前記マスクを用いて前記導電層、前記半導体層a及び前記半導体層bをエッチングし、ソース電極層、ドレイン電極層、画素電極層、島状の半導体層a及び島状の半導体層bを形成する第6の工程を有し、

前記島状の半導体層b上に非晶質半導体層を形成する第7の工程を有し、

前記非晶質半導体層上に結晶化を助長する金属元素を含む膜を形成し、加熱して結晶性半導体層を形成する第8の工程を有し、

前記加熱により、前記非晶質半導体層は結晶化されるとともに、前記金属元素は前

記島状の半導体層 a 及び前記島状の半導体層 b にゲッタリングされ、

フォトリソグラフィ法を用いたパターニング処理により、前記島状の半導体層 a、前記島状の半導体層 b 及び前記結晶性半導体層を、島状の半導体層 2 a、島状の半導体層 2 b 及び島状の結晶性半導体層にする第 9 の工程を有し、

前記パターニング処理により、前記画素電極層上の前記島状の半導体層 a 及び前記島状の半導体層 b は除去され、

前記島状の半導体層 2 a はソース領域又はドレイン領域となり、前記島状の半導体層 2 b は L D D 領域となり、

前記島状の結晶性半導体層上にゲート絶縁層を形成する第 10 の工程を有し、

前記ゲート絶縁層上に、導電性材料を吐出してゲート電極層を形成する第 11 の工程を有し、

前記ゲート電極層及び前記ゲート絶縁層上にパッシベーション膜を形成する第 12 の工程を有し、

前記パッシベーション膜上に絶縁層を形成する第 13 の工程を有し、

前記絶縁層、前記パッシベーション膜及び前記ゲート絶縁層に、前記ソース電極層または前記ドレイン電極層に達する第 1 の開口部、及び前記画素電極層に達する第 2 の開口部を形成する第 14 の工程を有し、

前記第 1 の開口部及び前記第 2 の開口部に、前記ソース電極層または前記ドレイン電極層と前記画素電極層を電気的に接続する配線層を形成する第 15 の工程を有する、
ことを特徴とする表示装置の作製方法。

【請求項 2】

請求項 1 において、前記第 1 の開口部及び前記第 2 の開口部を形成する工程は、

前記絶縁層上にレジストを形成する工程を有し、

前記レジストをレーザー光で露光し、当該レーザー光で露光された領域を除去することにより、マスクを形成する工程を有し、

前記マスクを用いて前記絶縁層、前記パッシベーション膜及び前記ゲート絶縁層をエッチングすることにより、前記第 1 の開口部及び前記第 2 の開口部を形成する工程を有する、
ことを特徴とする表示装置の作製方法。

【請求項 3】

請求項 1 又は 2 において、前記ゲート電極層は、液滴吐出法により、導電性材料を含む組成物を吐出して形成することを特徴とする表示装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、前記絶縁層は、液滴吐出法により、絶縁性材料を含む組成物を吐出して形成することを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその作製方法、それを用いたテレビジョン装置に関する。

【背景技術】

【0002】

近年、液晶ディスプレイ(LCD)やエレクトロルミネセンス(EL)ディスプレイに代表されるフラットパネルディスプレイ(FPD)は、これまでのCRTに替わる表示装置として注目を集めている。特にアクティブマトリクス駆動の大型液晶パネルを搭載した大画面液晶テレビジョン装置の開発は、液晶パネルメーカーにとって注力すべき重要な課題になっている。また、近年液晶テレビジョン装置に追随し、大画面ELテレビジョン装置の開発も行われている。

【0003】

従来の液晶表示装置、又はEL表示装置(以下、発光表示装置とも記す。)において、各画素を駆動する半導体素子としてはアモルファスシリコンを用いた薄膜トランジスタ(以下、TFTとも記す。)が用いられている。

10

20

30

40

50

【 0 0 0 4 】

一方、従来の液晶テレビジョン装置においては、視野角特性の限界、液晶材料等が原因の高速動作の限界による画像のぼやけが欠点であったが、近年それを解消する新たな表示モードとして、OCB (optically compensated bend) モードが提案されている (非特許文献 1)。

【 0 0 0 5 】

【非特許文献 1】長広恭明他編、「日経マイクロデバイス別冊 フラットパネル・ディスプレイ 2002」、日系BP社、2001年10月、P102 - 109

【発明の開示】

【発明が解決しようとする課題】

10

【 0 0 0 6 】

しかしながら、非晶質半導体膜を用いた TFT を直流駆動した場合は、しきい値がずれやすく、それに伴い TFT の特性バラツキが生じやすい。このため、非晶質半導体膜を用いた TFT を画素のスイッチングに用いた発光表示装置は、輝度ムラが発生する。このような現象は、対角 30 インチ以上 (典型的には 40 インチ以上) の大画面テレビジョン装置であるほど顕著であり、画質の低下が深刻な問題である。

【 0 0 0 7 】

また、OCB モードなどを適用した液晶表示装置において、LCD の画質を向上させるために高速動作が可能なスイッチング素子が必要とされている。しかしながら、非晶質半導体膜を用いた TFT では、高速動作に限界がある。よって、高性能な液晶表示装置を実現することが困難となる。

20

【 0 0 0 8 】

本発明は、このような状況に鑑みなされたものであり、少ないフォトマスク数で、しきい値のずれが生じにくく、高速動作が可能な TFT を有する表示装置の作製方法を提供する。また、スイッチング特性が高く、コントラストがすぐれた表示が可能な表示装置の作製方法を提供する。

【課題を解決するための手段】

【 0 0 0 9 】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

【 0 0 1 0 】

30

本発明は、非晶質半導体膜に触媒元素を添加し加熱して結晶性半導体膜を形成し、該結晶性半導体膜から触媒元素を除いた後、順スタガ型薄膜トランジスタを作製する。また本発明は、薄膜トランジスタのソース電極層又はドレイン電極層と画素電極層を同工程同材料を用いて形成し、工程の簡略化と、材料のロス の軽減を達成する。また、本発明の表示装置には、EL と呼ばれる発光を発現する有機物、若しくは有機物と無機物の混合物を含む媒体を、電極間に介在させた発光素子と TFT とが接続された発光表示装置や、液晶材料を有する液晶素子を表示素子として用いる液晶表示装置などがある。

【 0 0 1 1 】

ソース領域及びドレイン領域として一導電型を有する半導体層を用いた場合、その一導電型を有する半導体層上に非晶質半導体膜を形成し、非晶質半導体膜に、結晶化を促進又は助長させる元素 (以下、主に金属元素を指すことから金属元素、触媒元素ともいう) を添加する。その後の加熱工程で非晶質半導体膜の結晶化と、結晶化半導体膜からの金属元素の除去を同時に行う。加熱工程により結晶性半導体膜中の金属元素は、一導電型を有する半導体層に捕獲されるので、結晶性半導体膜はゲッタリングされるのである。一導電型を有する半導体層として周期律 15 族元素を有する n 型を有する半導体層を用いると、n チャネル型の順スタガ型薄膜トランジスタが形成され、一導電型を有する半導体層として周期律 13 族元素を有する p 型を有する半導体層を用いると、p チャネル型の順スタガ型薄膜トランジスタが形成される。

40

【 0 0 1 2 】

また、一導電型を有する半導体層を形成せず、結晶化を促進する金属元素を添加して結

50

晶性半導体膜を形成した後、結晶性半導体膜上に希ガス元素を含む半導体膜をゲッタリングシンクとして形成し、加熱処理により結晶性半導体膜をゲッタリングする。希ガス元素を有する半導体膜を形成した場合、加熱の後に希ガス元素を有する半導体膜を除去し、ソース領域及びドレイン領域を形成して、nチャネル型薄膜トランジスタ又はpチャネル型薄膜トランジスタを形成する。

【0013】

本発明の表示装置の一は、絶縁表面上に設けられたソース電極層、ドレイン電極層及び画素電極層を有し、ソース電極層及びドレイン電極層上に一導電型を有する半導体層を有し、一導電型を有する半導体層上に結晶性半導体層を有し、結晶性半導体層に接してゲート絶縁層を有し、ゲート絶縁層に接してゲート電極層を有し、ゲート絶縁層、ゲート電極層、及び画素電極層上に絶縁層を有し、ゲート絶縁層及び絶縁層は、ソース電極層またはドレイン電極層に達する第1の開口部、及び画素電極層に達する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層と画素電極層とが電氣的に接続する配線層を有する。

10

【0014】

本発明の表示装置の一は、絶縁表面上に設けられたソース電極層、ドレイン電極層及び画素電極層を有し、ソース電極層及びドレイン電極層上に不純物領域を含む結晶性半導体層を有し、ソース電極層及びドレイン電極層に不純物領域は接して設けられ、結晶性半導体層に接してゲート絶縁層を有し、ゲート絶縁層に接してゲート電極層を有し、ゲート絶縁層、ゲート電極層、及び画素電極層上に絶縁層を有し、ゲート絶縁層及び絶縁層は、ソース電極層またはドレイン電極層に達する第1の開口部、及び画素電極層に達する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層と画素電極層とが電氣的に接続する配線層を有する。

20

【0015】

本発明の表示装置の一は、画素領域及び駆動回路領域を同一基板上に有し、駆動回路領域において基板上に第1のソース電極層、第1のドレイン電極層、第2のソース電極層、及び第2のドレイン電極層を有し、第1のソース電極層及び第1のドレイン電極層に接してn型を有する半導体層を有し、第2のソース電極層及び第2のドレイン電極層に接してp型を有する半導体層を有し、第1のソース電極層及び第1のドレイン電極層上に第1の結晶性半導体層を有し、第2のソース電極層及び第2のドレイン電極層上に第2の結晶性半導体層を有し、第1の結晶性半導体層及び第2の結晶性半導体層上にゲート絶縁層を有し、第1の結晶性半導体層上にゲート絶縁層を介して第1のゲート電極層を有し、第2の結晶性半導体層上にゲート絶縁層を介して第2のゲート電極層を有し、画素領域において基板上に画素電極層を有し、画素電極層の一部がゲート絶縁層で覆われている。

30

【0016】

本発明のテレビジョン装置の一は、絶縁表面上に設けられたソース電極層、ドレイン電極層及び画素電極層を有し、ソース電極層及びドレイン電極層上に一導電型を有する半導体層を有し、一導電型を有する半導体層上に結晶性半導体層を有し、結晶性半導体層に接してゲート絶縁層を有し、ゲート絶縁層に接してゲート電極層を有し、ゲート絶縁層、ゲート電極層、及び画素電極層上に絶縁層を有し、ゲート絶縁層及び絶縁層は、ソース電極層またはドレイン電極層に達する第1の開口部、及び画素電極層に達する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層と画素電極層とが電氣的に接続する配線層を有する表示装置によって表示画面を構成される。

40

【0017】

本発明のテレビジョン装置の一は、絶縁表面上に設けられたソース電極層、ドレイン電極層及び画素電極層を有し、ソース電極層及びドレイン電極層上に不純物領域を含む結晶性半導体層を有し、ソース電極層及びドレイン電極層に不純物領域は接して設けられ、結晶性半導体層に接してゲート絶縁層を有し、ゲート絶縁層に接してゲート電極層を有し、ゲート絶縁層、ゲート電極層、及び画素電極層上に絶縁層を有し、ゲート絶縁層及び絶縁層は、ソース電極層またはドレイン電極層に達する第1の開口部、及び画素電極層に達

50

する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層と画素電極層とが電氣的に接続する配線層を有する表示装置によって表示画面を構成される。

【0018】

本発明のテレビジョン装置の一は、画素領域及び駆動回路領域を同一基板上に有し、駆動回路領域において基板上に第1のソース電極層、第1のドレイン電極層、第2のソース電極層、及び第2のドレイン電極層を有し、第1のソース電極層及び第1のドレイン電極層に接してn型を有する半導体層を有し、第2のソース電極層及び第2のドレイン電極層に接してp型を有する半導体層を有し、第1のソース電極層及び第1のドレイン電極層上に第1の結晶性半導体層を有し、第2のソース電極層及び第2のドレイン電極層上に第2の結晶性半導体層を有し、第1の結晶性半導体層及び第2の結晶性半導体層上にゲート絶縁層を有し、第1の結晶性半導体層上にゲート絶縁層を介して第1のゲート電極層を有し、第2の結晶性半導体層上にゲート絶縁層を介して第2のゲート電極層を有し、画素領域において基板上に画素電極層を有し、画素電極層の一部がゲート絶縁層で覆われている表示装置によって表示画面を構成される。

10

【0019】

本発明の表示装置の作製方法の一は、絶縁表面上に導電層を形成し、導電層上に第1の一導電型を有する半導体層を形成し、第1の一導電型を有する半導体層上にレジストを形成し、レジストをレーザー光で露光してパターンニングし、マスクを形成し、マスクを用いて導電層及び第1の一導電型を有する半導体層をパターンニングし、ソース電極層、ドレイン電極層、画素電極層、第2の一導電型を有する半導体層を形成し、第2の一導電型を有する半導体層上に非晶質半導体層を形成し、非晶質半導体層に金属元素を添加して加熱し、非晶質半導体層を結晶化し、結晶性半導体層を形成し、結晶性半導体層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成し、ゲート電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層及びゲート絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

20

【0020】

本発明の表示装置の作製方法の一は、絶縁表面上に導電層を形成し、導電層上にレジストを形成し、レジストをレーザー光で露光してパターンニングし、マスクを形成し、マスクを用いて導電層をパターンニングし、ソース電極層、ドレイン電極層及び画素電極層を形成し、ソース電極層、ドレイン電極層及び画素電極層上に第1の半導体層を形成し、第1の半導体層に金属元素を添加して加熱し、第1の半導体層に接して第1の不純物元素を有する第2の半導体層を形成し、第1の半導体層及び第1の不純物元素を有する第2の半導体層を加熱し、第1の不純物元素を有する第2の半導体層を除去し、第1の半導体層に第2の不純物元素を添加してソース領域及びドレイン領域を形成し、第1の半導体層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層及びゲート絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

30

40

【発明の効果】

【0021】

本発明により、結晶性半導体膜を有する順スタガ型薄膜トランジスタを形成することができる。このため少ないマスク数でTFTを形成することができる。また、本発明で形成されるTFTは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される順スタガ型TFTと比較して移動度が高い。また、ソース領域及びドレイン領域には、p型を付与する不純物元素(アクセプター型元素)又はn型を付与する不純物元素(ドナー型元素)に加え、結晶化を促進する元素である金属元素をも含む。このため、抵抗率の低いソー

50

ス領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

【0022】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、TFT特性のパラツキを低減することが可能である。このため、表示ムラを低減することが可能であり、信頼性の高い表示装置を作製することが可能である。

【0023】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をゲッタリングするため、オフ電流を低減することが可能である。このため、このようなTFTを表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

10

【0024】

また本発明によると、材料のロスも少なく、コストダウンも達成できる。よって高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【発明を実施するための最良の形態】

【0025】

(実施の形態1)

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

20

【0026】

図29(A)は本発明に係る表示パネルの構成を示す上面図であり、絶縁表面を有する基板2700上に画素2702をマトリクス上に配列させた画素部2701、走査線側入力端子2703、信号線側入力端子2704が形成されている。画素数は種々の規格に従って設ければ良く、XGAであれば1024×768×3(RGB)、UXGAであれば1600×1200×3(RGB)、フルスペックハイビジョンに対応させるのであれば1920×1080×3(RGB)とすれば良い。

30

【0027】

画素2702は、走査線側入力端子2703から延在する走査線と、信号線側入力端子2704から延在する信号線とが交差することで、マトリクス状に配設される。画素2702のそれぞれには、スイッチング素子とそれに接続する画素電極が備えられている。スイッチング素子の代表的な一例はTFTであり、TFTのゲート電極側が走査線と、ソース若しくはドレイン側が信号線と接続されることにより、個々の画素を外部から入力する信号によって独立して制御可能としている。

【0028】

図33(A)は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御する表示パネルの構成を示しているが、図34(A)に示すように、COG(Chip on Glass)方式によりドライバIC2751を基板2700上に実装しても良い。また他の実装形態として、図34(B)に示すようなTAB(Tape Automated Bonding)方式を用いてもよい。ドライバICは単結晶半導体基板に形成されたものでも良いし、ガラス基板上にTFTで回路を形成したものであっても良い。図34において、ドライバIC2751は、FPC2750と接続している。

40

【0029】

また、画素に設けるTFTをSASで形成する場合には、図33(B)に示すように走査線側駆動回路3702を基板3700上に形成し一体化することもできる。図34(B)において、3701は画素部であり、信号線側駆動回路は、図33(A)と同様に外付けの駆動回路により制御する。本発明で形成するTFTのように、画素に設けるTFT

50

を移動度の高い、多結晶（微結晶）半導体、単結晶半導体などで形成する場合は、図33（C）は、走査線駆動回路4702と、信号線駆動回路4704をガラス基板4700上に一体形成することもできる。

【0030】

本発明は、配線層若しくは電極を形成する導電層や、所定のパターンに形成するためのマスク層など表示パネルを作製するために必要な物体（その目的や機能に応じて膜や層などあらゆる形態で存在する）のうち、少なくとも一つ若しくはそれ以上を、選択的に所望な形状に形成可能な方法により形成して、表示装置を作製することを特徴とするものである。本発明は、薄膜トランジスタや表示装置を構成する、ゲート電極層、ソース電極層、ドレイン電極層などの導電層、半導体層、マスク層、絶縁層など、所定の形状を有して形成される全ての構成要素に対して適用できる。選択的に所望な形状に形成可能な方法として、導電層や絶縁層など形成し、特定の目的に調合された組成物の液滴を選択的に吐出（噴出）して所定のパターンに形成することが可能な、液滴吐出（噴出）法（その方式によっては、インクジェット法とも呼ばれる。）を用いる。また、物体が所望のパターンに転写、または描写できる方法、例えば各種印刷法（スクリーン（孔版）印刷、オフセット（平版）印刷、凸版印刷やグラビア（凹版）印刷など所望なパターンで形成される方法）なども用いることができる。

10

【0031】

本実施の形態は、流動性を有する形成する材料を含む組成物を、液滴として吐出（噴出）し、所望なパターンに形成する方法を用いている。形成物の被形成領域に、形成する材料を含む液滴を吐出し、焼成、乾燥等を行って固定化し所望なパターンで物体を形成する。

20

【0032】

液滴吐出法に用いる液滴吐出装置の一態様を図31に示す。液滴吐出手段1403の個々のヘッド1405、ヘッド1412は制御手段1407に接続され、それがコンピュータ1410で制御することにより予めプログラミングされたパターンに描画することができる。描画するタイミングは、例えば、基板1400上に形成されたマーカー1411を基準に行えば良い。或いは、基板1400の縁を基準にして基準点を確定させても良い。これを撮像手段1404で検出し、画像処理手段1409にてデジタル信号に変換したものをコンピュータ1410で認識して制御信号を発生させて制御手段1407に送る。撮像手段1404としては、電荷結合素子（CCD）や相補型金属酸化物半導体（CMOS）を利用したイメージセンサなどを用いることができる。勿論、基板1400上に形成されるべきパターンの情報は記憶媒体1408に格納されたものであり、この情報を基にして制御手段1407に制御信号を送り、液滴吐出手段1403の個々のヘッド1405、ヘッド1412を個別に制御することができる。

30

【0033】

ヘッド1405とヘッド1412のノズルのサイズは異なっており、異なる材料を異なる幅で同時に描画することができる。一つのヘッドで、導電性材料や有機、無機材料などをそれぞれ吐出し、描画することができ、層間膜のような広領域に描画する場合は、スルーピットを向上させるため複数のノズルより同材料を同時に吐出し、描画することができる。大型基板を用いる場合、ヘッド1405、ヘッド1412は基板上を、矢印の方向に自在に走査し、描画する領域を自由に設定することができ、同じパターンを一枚の基板に複数描画することができる。

40

【0034】

本発明では、形成物のパターンニング工程において感光性のレジストや感光性物質を含む材料に光を照射し、露光する工程を行う。露光に用いる光は、特に限定されず、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。例えば、紫外線ランプ、ブラックライト、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いてもよい。その場合、ランプ光源は、必要な時間点灯さ

50

せて照射してもよいし、複数回照射してもよい。

【0035】

レーザ光を用いてもよく、レーザ光を用いるとより精密なパターンで被形成領域を露光処理できるので、そこに形成される物体も高繊細化することができる。本発明で用いることのできるレーザ光（レーザビームともいう）を処理領域に描画する、レーザ光描画装置について、図50を用いて説明する。本実施の形態では、レーザ光を照射する領域をマスク等を介して選択するのではなく、処理領域を選択して直接照射して処理するため、レーザ光直接描画装置を用いる。図50に示すようにレーザ光直接描画装置1001は、レーザ光を照射する際の各種制御を実行するパーソナルコンピュータ（以下、PCと示す。）1002と、レーザ光を出力するレーザ発振器1003と、レーザ発振器1003の電源1004と、レーザ光を減衰させるための光学系（NDフィルタ）1005と、レーザ光の強度を変調するための音響光学変調器（AOM）1006と、レーザ光の断面の拡大又は縮小をするためのレンズ、光路の変更するためのミラー等で構成される光学系1007、Xステージ及びYステージを有する基板移動機構1009と、PC1002から出力される制御データをデジタルアナログ変換するD/A変換部1010と、D/A変換部から出力されるアナログ電圧に応じて音響光学変調器1006を制御するドライバ1011と、基板移動機構1009を駆動するための駆動信号を出力するドライバ1012とを備えている。

10

【0036】

レーザ発振器1003としては、紫外光、可視光、又は赤外光を発振することが可能なレーザ発振器を用いることができる。レーザー発振器としては、KrF、ArF、KrF、XeCl、Xe等のエキシマレーザ発振器、He、He-Cd、Ar、He-Ne、HF等の気体レーザ発振器、YAG、GdVO₄、YVO₄、YLF、YAlO₃などの結晶にCr、Nd、Er、Ho、Ce、Co、Ti又はTmをドープした結晶を使った固体レーザー発振器、GaN、GaAs、GaAlAs、InGaAsP等の半導体レーザ発振器を用いることができる。なお、固体レーザ発振器においては、基本波の第1高調波～第5高調波を適用するのが好ましい。

20

【0037】

次に、レーザ光直接描画装置を用いた物質（表面）の露光処理について述べる。基板1008が基板移動機構1009に装着されると、PC1002は図外のカメラによって、基板に付されているマーカの位置を検出する。次いで、PC1002は、検出したマーカの位置データと、予め入力されている描画パターンデータとに基づいて、基板移動機構1009を移動させるための移動データを生成する。この後、PC1002が、ドライバ1011を介して音響光学変調器1006の出力光量を制御することにより、レーザ発振器1003から出力されたレーザ光は、光学系1005によって減衰された後、音響光学変調器1006によって所定の光量になるように光量が制御される。一方、音響光学変調器1006から出力されたレーザ光は、光学系1007で光路及びレーザ光（ビームスポット）の形状を変化させ、レンズで集光した後、基板上に形成された被処理物に該レーザ光を照射して、被処理物を改質処理する。このとき、PC1002が生成した移動データに従い、基板移動機構1009をX方向及びY方向に移動制御する。この結果、所定の場所にレーザ光が照射され、被処理物の露光処理が行われる。

30

40

【0038】

この結果、レーザ光が照射された領域で、被処理物は露光され、感光される。感光性物質には大きくわけてネガ型とポジ型がある。ネガ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分のみが残されてパターンが形成される。また、ポジ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分が溶解され、露光されなかった部分のみが残されてパターンが形成される。レーザ光のエネルギーの一部は被処理物材料で熱に変換され、被処理物の一部を反応させるため、処理された被処理物の領域の幅が、処理するレーザ光の幅より若干大きくなることもある。また、短波長のレーザ光ほど、レーザ光の径を短く集光することが可能であるため

50

、微細な幅に処理領域を形成するためには、短波長のレーザー光を照射することが好ましい。

【 0 0 3 9 】

また、レーザー光の膜表面でのスポット形状は、点状、円形、楕円形、矩形、または線状（厳密には細長い長方形形状）となるように光学系で加工されている。

【 0 0 4 0 】

また、図 5 0 に示した装置は、基板の表面側からレーザー光を照射して露光する例を示したが、光学系や基板移動機構を適宜変更し、基板の裏面側からレーザー光を照射して露光するレーザービーム描画装置としてもよい。

【 0 0 4 1 】

なお、ここでは、基板を移動して選択的にレーザー光を照射しているが、これに限定されず、レーザー光を X - Y 軸方向に走査してレーザー光を照射することができる。この場合、光学系 1 0 0 7 にポリゴンミラーやガルバノミラーを用いることが好ましい。

【 0 0 4 2 】

また、光は、ランプ光源による光とレーザー光とを組み合わせることもでき、比較的広範囲なパターニングを行う領域は、マスクを用いてランプによる照射処理を行い、高繊細なパターニングを行う領域のみレーザー光で照射処理を行うこともできる。このように光の照射処理を行うと、スループットも向上でき、かつ高繊細にパターニングされた配線基板などを得ることができる。

【 0 0 4 3 】

本発明の実施の形態について、図 1 乃至図 8 を用いて説明する。より詳しくは、本発明を適用した表示装置の作製方法について説明する。まず、本発明を適用した、チャンネルエッチ型の薄膜トランジスタを有する表示装置の作製方法について説明する。図 2 ~ 図 6 (A) は表示装置画素部の上面図であり、図 2 ~ 図 6 の (B) は、図 2 ~ 図 6 (A) における線 A - C による断面図、図 2 ~ 図 6 の (C) は、図 2 ~ 図 6 (A) における線 B - D による断面図である。

【 0 0 4 4 】

基板 1 0 0 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる。また、基板 1 0 0 の表面が平坦化されるように CMP 法などによって、研磨しても良い。なお、基板 1 0 0 上に、絶縁層を形成してもよい。絶縁層は、CVD 法、プラズマ CVD 法、スパッタリング法、スピコート法等の公知の方法により、珪素を含む酸化物材料、窒化物材料を用いて、単層又は積層して形成される。基板 1 0 0 として、3 2 0 mm x 4 0 0 mm、3 7 0 mm x 4 7 0 mm、5 5 0 mm x 6 5 0 mm、6 0 0 mm x 7 2 0 mm、6 8 0 mm x 8 8 0 mm、1 0 0 0 mm x 1 2 0 0 mm、1 1 0 0 mm x 1 2 5 0 mm、1 1 5 0 mm x 1 3 0 0 mm のような大面積基板を用いることができる。

【 0 0 4 5 】

基板 1 0 0 上に、下地膜として絶縁層 1 4 0 を形成することが好ましい。この絶縁層 1 4 0 は、基板 1 0 0 からの汚染物質などを遮断する効果がある。基板 1 0 0 の上に下地膜として、絶縁層 1 4 0 をスパッタリング法、PVD 法 (Physical Vapor Deposition)、減圧 CVD 法 (LP-CVD 法)、またはプラズマ CVD 法等の CVD 法 (Chemical Vapor Deposition)、スピコート法等などにより珪素を含む酸化物材料、窒化物材料を用いて、単層又は積層して形成する。本実施の形態では、プラズマ CVD 法を用いて、窒化酸化珪素 (SiNO) 膜を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm) 形成し、酸化窒化珪素 (SiON) 膜を 5 0 ~ 2 0 0 nm (好ましくは 1 0 0 ~ 1 5 0 nm) 積層する。

【 0 0 4 6 】

絶縁層としては、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) (x > y)、窒化酸化珪素 (SiN_xO_y) (x > y) などを用いることが

10

20

30

40

50

でき、単層でも2層、3層といった積層構造でもよい。なお本明細書中において酸化窒化珪素とは酸素の組成比が窒素の組成比より大きい物質 (SiO_xN_y) ($x > y$) であり、窒素を含む酸化珪素とも言える。同様に、窒化酸化珪素とは、窒素の組成比が酸素の組成比より大きい物質 (SiN_xO_y) ($x > y$) であり、酸素を含む窒化珪素とも言える。本実施の形態では、基板上に SiH_4 、 NH_3 、 N_2O 、 N_2 及び H_2 を反応ガスとして窒化酸化珪素膜を膜厚 50 nm 形成し、 SiH_4 及び N_2O を反応ガスとして酸化窒化珪素膜を膜厚 100 nm で形成する。また窒化酸化珪素膜の膜厚を 140 nm、積層する酸化窒化珪素膜の膜厚を 100 nm としてもよい。

【0047】

絶縁層 140 上に導電膜 101 を形成する。導電膜 101 は、パターンニングされソース電極層又はドレイン電極層と、画素電極層として機能する第1の電極層となる。導電膜 101 は、印刷法、電界メッキ法、PVD法 (Physical Vapor Deposition)、CVD法 (Chemical Vapor Deposition)、蒸着法等の公知の手法により高融点材料を用いて形成することが好ましい。また形成方法としては、液滴吐出法によって所望のパターンに形成することもできる。高融点材料を用いることにより、後の加熱工程が可能となる。高融点材料としては、タングステン (W)、モリブデン (Mo)、ジルコニア (Zr)、ハフニウム (Hf)、ビスマス (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、白金 (Pt) 等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の層を積層して形成してもよい。代表的には、基板表面に窒化タンタル膜、その上にタングステン膜を積層してもよい。なお、後の加熱工程が、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプから選ばれた一種または複数種からの輻射により行う LRTA (Lamp Rapid Thermal Anneal) 法、窒素やアルゴンなどの不活性気体を加熱媒質として用いる GRTA (Gas Rapid Thermal Anneal) 法を用いる場合、短時間による熱処理のため比較的融点の低いアルミニウム (Al)、銀 (Ag)、金 (Cu) を用いて導電膜を形成してもよい。このような反射性を有する金属は、上面放射型の表示装置を作製する場合には好ましい。また、珪素に一導電型を付与する不純物元素を添加した材料を用いてもよい。例えば、非晶質珪素膜にリン (P) などの n 型を付与する不純物元素が含まれた n 型を有する珪素膜などを用いることができる。

【0048】

導電膜 101 は、画素電極層としても機能するので、透明導電性材料を用いて形成することもできる。画素電極層となる第1の電極層は、インジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、酸化スズ (SnO_2) などにより形成してもよい。好ましくは、スパッタリング法によりインジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO) などで形成する。より好ましくは、ITO に酸化珪素が 2 ~ 10 重量% 含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。その他、酸化珪素を含み酸化インジウムに 2 ~ 20 % の酸化亜鉛 (ZnO) を混合した酸化インジウム酸化亜鉛合金などの導電性材料を用いてもよい。

【0049】

本実施の形態では、導電膜 101 は、導電性材料としてインジウム錫酸化物を含む組成物を吐出して、550 で焼成し、導電膜 101 を形成する。液滴吐出手段とは、組成物の吐出口を有するノズルや、1つ又は複数のノズルを具備したヘッド等の液滴を吐出する手段を有するものの総称とする。液滴吐出手段が具備するノズルの径は、0.02 ~ 100 μm (好適には 30 μm 以下) に設定し、該ノズルから吐出される組成物の吐出量は 0.001 p l ~ 100 p l (好適には 0.1 p l 以上 40 p l 以下、より好ましくは 10 p l 以下) に設定する。吐出量は、ノズルの径の大きさに比例して増加する。また、被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には 0.1 ~ 3 mm (好適には 1 mm 以下) 程度に設定する。

【0050】

10

20

30

40

50

吐出口から吐出する組成物は、導電性材料を溶媒に溶解又は分散させたものを用いる。導電性材料とは、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al等の金属、Cd、Znの金属硫化物、Fe、Ti、Si、Ge、Si、Zr、Baなどの酸化物、ハロゲン化銀の微粒子又は分散性ナノ粒子に相当する。また、透明導電膜として用いられるインジウム錫酸化物（ITO）、インジウム錫酸化物と酸化珪素からなるITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタン等に相当する。但し、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。バリア膜としては、窒化珪素膜やニッケルボロン（NiB）を用いることができる。

10

【0051】

また、導電性材料の周りに他の導電性材料がコーティングされ、複数の層になっている粒子でも良い。例えば、銅の周りにニッケルボロン（NiB）がコーティングされ、その周囲に銀がコーティングされている3層構造の粒子などを用いても良い。溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアルコール類、メチルエチルケトン、アセトン等の有機溶剤等を用いる。組成物の粘度は20 mPa・s（cps）以下が好適であり、これは、乾燥が起こることを防止したり、吐出口から組成物を円滑に吐出できるようにしたりするためである。また、組成物の表面張力は、40 mN/m以下が好適である。但し、用いる溶媒や、用途に合わせて、組成物の粘度等は適宜調整するとよい。一例として、ITOや、有機インジウム、有機スズを溶媒に溶解又は分散させた組成物の粘度は5～20 mPa・s、銀を溶媒に溶解又は分散させた組成物の粘度は5～20 mPa・s、金を溶媒に溶解又は分散させた組成物の粘度は5～20 mPa・sに設定するとよい。

20

【0052】

また、電極層となる導電膜101は、複数の導電性材料を積層しても良い。また、始めに導電性材料として銀を用いて、液滴吐出法で導電層を形成した後、銅などでめっきを行ってもよい。めっきは電気めっきや化学（無電界）めっき法で行えばよい。めっきは、めっきの材料を有する溶液を満たした容器に基板表面を浸してもよいが、基板を斜め（または垂直）に立てて設置し、めっきする材料を有する溶液を、基板表面に流すように塗布してもよい。基板を立てて溶液を塗布するようにめっきを行うと、工程装置が小型化する利点がある。

30

【0053】

各ノズルの径や所望のパターン形状などに依存するが、ノズルの目詰まり防止や高精細なパターンの作製のため、導電体の粒子の径はなるべく小さい方が好ましく、好適には粒径0.1 μm以下が好ましい。組成物は、電解法、アトマイズ法又は湿式還元法等の公知の方法で形成されるものであり、その粒子サイズは、一般的に約0.01～10 μmである。但し、ガス中蒸発法で形成すると、分散剤で保護されたナノ分子は約7 nmと微細であり、またこのナノ粒子は、被覆剤を用いて各粒子の表面を覆うと、溶剤中に凝集がなく、室温で安定に分散し、液体とほぼ同じ挙動を示す。従って、被覆剤を用いることが好ましい。

40

【0054】

組成物を吐出する工程は、減圧下で行うと、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略することができる。また、減圧下で行うと、導電体の表面に酸化膜などが形成されないため好ましい。また、組成物を吐出後、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は100度で3分間程度の数分間、焼成は200～350度で15分間～60分間で行うもので、その目的、温度と時間が異なるものである。乾燥の工程、焼成の工程は、常圧下又は減圧下で、レーザー光の照射や瞬間熱アニール、加熱炉などにより行う。なお、この加熱処理を行うタイミングは特に限定されない。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は

50

、基板等の材質に依存するが、一般的には100～800度（好ましくは200～350度）とする。本工程により、組成物中の溶媒の揮発、又は化学的に分散剤を除去するとともに、周囲の樹脂が硬化収縮することで、ナノ粒子間を接触させ、融合と融着を加速する。

【0055】

レーザー光の照射は、連続発振またはパルス発振の気体レーザー又は固体レーザーを用いれば良い。前者の気体レーザーとしては、エキシマレーザー、YAGレーザー等が挙げられ、後者の固体レーザーとしては、Cr、Nd等がドーピングされたYAG、 YVO_4 、 $GdVO_4$ 等の結晶を使ったレーザー等が挙げられる。なお、レーザー光の吸収率の関係から、連続発振のレーザーを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザー照射方法を用いてもよい。但し、基板100の耐熱性に依っては、レーザー光の照射による加熱処理は、該基板100が破壊しないように、数マイクロ秒から数十秒の間で瞬間的に行うとよい。瞬間熱アニール(RTA)は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外線ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数分～数マイクロ秒の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えない。つまり、プラスチック基板等の耐熱性が弱い基板にも影響を与えない。

【0056】

また、液滴吐出法により、導電膜101を組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸をならすように軽減したり、平坦な板状な物で表面を垂直にプレスしてもよい。プレスする時に、加熱工程を行っても良い。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去しても良い。また、CMP法を用いて研磨しても良い。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合適用することができる。また、平坦化の工程は、マスク102a、マスク102b、マスク102c、マスク102d、マスク102eによって導電膜101がパターンニングされ、ソース電極層又はドレイン電極層103、ソース電極層又はドレイン電極層104、ソース電極層又はドレイン電極層105、ソース電極層又はドレイン電極層106、第1の電極層107が形成された後行っても良い。

【0057】

本実施の形態では、工程を簡略化するため、導電膜101上に、一導電型を有する半導体膜201a及び一導電型を有する半導体膜201bを積層した後、導電膜101、一導電型を有する半導体膜201a及び一導電型を有する半導体膜201bを同時にエッチングし、パターンニングする。一導電型を有する半導体膜201a及び一導電型を有する半導体膜201bは、ソース領域又はドレイン領域として機能する。

【0058】

本実施の形態では、プラズマCVD法を用いて、一導電型を有する半導体層である一導電型を有する半導体膜201a、一導電型を有する半導体膜201bを形成する。一導電型を有する半導体膜201aの膜厚は、20～200nm（代表的には50～150nm）、一導電型を有する半導体膜201bの膜厚は、30～100nm（代表的には40～60nm）とする。一導電型を有する半導体膜201a、一導電型を有する半導体膜201bは不純物元素を有しており、不純物元素としてはn型を付与する不純物元素、p型を付与する不純物元素を用いることができ、例えばリン(P)、窒素(N)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)、ボロン(B)から選ばれた一種または複数種を用いることができる。また一導電型を付与する不純物元素の他に希ガス元素を含むようにして形成しても良く、希ガス元素としてはヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、Kr(クリプトン)、Xe(キセノン)から選ばれた一種または複数種を用いることができる。例えば、n型を付与する不純物元素としてリンを含むn型を有する半導体層に、アルゴンなどの希ガス元素が含まれるように形成することもできる。本実施の形態では、一導電型を有する半導体膜201aを一導電型を有する半導体膜201bに

10

20

30

40

50

は、n型を付与する不純物元素（本実施の形態ではリンを用いる）が含まれており、一導電型を有する半導体膜201bの不純物元素の濃度は、一導電型を有する半導体膜201aより低くなるように形成されている。前記不純物元素は、CVD法などによって、不純物元素を含むように半導体膜を形成しても良いし、半導体膜を形成後に、不純物元素をイオンドーピング法などによって添加してもよい。

【0059】

プラズマCVD法によりn型を付与する不純物元素が含まれる一導電型を有する半導体膜201aはn型の高濃度不純物領域（n+領域ともいう）として形成され、一導電型を有する半導体膜201bはn型の低濃度不純物領域（n-領域ともいう）として形成されている。よって一導電型を有する半導体膜201a、一導電型を有する半導体膜201bのそれぞれの膜において深さ方向に対して一定の濃度のn型を付与する不純物元素が分布しており、一導電型を有する半導体膜201aの方が、一導電型を有する半導体膜201bより高い濃度でn型を付与する不純物元素が分布している。n+領域である一導電型を有する半導体膜201aは後にソース領域及びドレイン領域として機能し、n-領域である一導電型を有する半導体膜201bはLDD（Lightly Doped Drain）領域として機能する。なお、n+領域とn-領域はそれぞれ作り分けているので界面が存在する。n+領域とn-領域の膜厚制御は、それぞれ各濃度の半導体膜の膜厚を制御することによって達成できる。

【0060】

一方、半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にn型を付与する不純物元素を添加して一導電型を有する半導体膜を形成してもよい。この場合、そのドーピング条件によって一導電型を有する半導体膜中の不純物の濃度分布を制御すればよい。本実施の形態の一導電型を有する半導体膜201a及び一導電型を有する半導体膜201bのように、半導体膜の表面から膜厚方向に深い領域のn型を付与する不純物元素濃度が $1 \times 10^{19} / \text{cm}^3$ 以上のn型の高濃度不純物領域（n+領域ともいう）とし、膜厚方向に浅い半導体膜の表面に近い領域をn型を付与する不純物元素濃度が $5 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ のn型の低濃度不純物領域（n-領域ともいう）となるように形成する。n+領域は後にソース領域及びドレイン領域として機能し、n-領域はLDD領域として機能する。なお、n+領域とn-領域それぞれの界面は存在せず、相対的なn型を付与する不純物元素濃度の濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成されたn型を付与する不純物元素が含まれる一導電型を有する半導体膜の場合は、添加条件によって濃度プロファイルを制御し、n+領域とn-領域の膜厚を適宜制御することが可能である。n+領域とn-領域を有することにより電界の緩和効果が大きくなり、ホットキャリア耐性を高めた薄膜トランジスタを形成することが可能となる。

【0061】

本実施の形態では、一導電型を有する半導体膜201a、一導電型を有する半導体膜201bとして、n型を付与する不純物元素（ドナー型元素）であるリンを含むn型を有する半導体膜をプラズマCVD法によって形成する。また、一導電型を有する半導体膜201a、一導電型を有する半導体膜201bに含まれるn型を付与する不純物元素の濃度を異ならせているので、一導電型を有する半導体膜201aはn型の高濃度不純物領域となり、一導電型を有する半導体膜201bはn型の低濃度不純物領域となっている。n型の低濃度不純物領域の不純物濃度は、 $1 \times 10^{17} \sim 3 \times 10^{19} / \text{cm}^3$ 、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ 、n型の高濃度不純物領域の不純物濃度は、その10倍から100倍が好ましく、 $1 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ とすることができる。n型の高濃度不純物領域である一導電型を有する半導体膜201aの膜厚は30～100nm、代表的には40～60nmであり、本実施の形態では、膜厚50nmで形成する。またn型の低濃度不純物領域である一導電型を有する半導体膜201bの膜厚は20～200nm、代表的には50～150nmであり、本実施の形態では、膜厚50nmで形成する。

【0062】

導電膜 101、一導電型を有する半導体膜 201a、及び一導電型を有する半導体膜 201bのパターニング工程を図7を用いて説明する。導電膜 101をパターニングして形成するソース電極層又はドレイン電極層は、微細なパターンで設計されており、制御性よく形成しなければ形成不良によるショート等の不良を引き起こす。よって、導電膜及び一導電型を有する半導体層の微細なパターニングはレーザー光による微細な加工によって行う。図7(A)(B)で示すように、基板 100上に絶縁層 140、導電膜 101、一導電型を有する半導体膜 201a、一導電型を有する半導体膜 201b上に、レジストからなるマスク 230を形成する。マスク 230も液滴吐出法を用いて形成することができる。液滴吐出法を組み合わせることで、スピコート法などによる全面塗布形成に比べ、材料のロスが防げ、コストダウンが可能になる。

10

【0063】

マスク 230は、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0064】

レジストからなるマスク 230に、レーザー光 240a、レーザー光 240b、レーザー光 240cを照射し、露光することによって領域 231a、領域 231b、領域 231cを感光する(図7(B)参照。)。レーザー光の照射は、複数のレーザー光を一度に照射して行っても良いし、レーザー光、または処理物を相対的に走査して照射を行っても良い。本実施の形態ではポジ型の感光性のレジストを用いるため、露光された領域 231a、領域 231b、領域 231cはエッチャントによって除去され、開口部 232a、開口部 232b、開口部 232cが形成される(図7(C)参照。)。マスク 102a、マスク 102b、マスク 102cを用いて、導電膜 101、一導電型を有する半導体膜 201a、一導電型を有する半導体膜 201bをエッチングによりパターニングすることによって、ソース電極層又はドレイン電極層 103、ソース電極層又はドレイン電極層 104、ソース電極層又はドレイン電極層 105、一導電型を有する半導体層 202a、一導電型を有する半導体層 202b、一導電型を有する半導体層 203a、一導電型を有する半導体層 203b、一導電型を有する半導体層 204a、一導電型を有する半導体層 204bが形成される(図7(D)参照。)。

20

30

【0065】

導電膜 101、一導電型を有する半導体膜 201a、一導電型を有する半導体膜 201bのエッチング工程は、一回のエッチング工程で行っても良いし、複数のエッチング工程によって行っても良い。例えば、一導電型を有する半導体膜 201a及び一導電型を有する半導体膜 201bをエッチングした後、エッチングガスやエッチング条件を異ならせて導電膜 101をエッチングしてもよい。この場合、一導電型を有する半導体膜 201a及び一導電型を有する半導体膜 201bと、導電膜 101とのエッチングにおける選択比が大きければ、先にパターニングされた一導電型を有する半導体膜 201a及び一導電型を有する半導体膜 201bをマスクとして導電膜 101をエッチングすることもできる。

40

【0066】

パターニングの際のエッチング加工は、プラズマエッチング(ドライエッチング)又はウエットエッチングのどちらを採用しても良い。大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 、 SF_6 、 CHF_3 などのフッ素系又は Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素系ガス、あるいは O_2 のガスを用い、 He や Ar などの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。本実施の形態では、一導電型を有する半導体膜 201a及び一導電型を有する半導体膜 201bをドライエッチングによってエッチングし、導電膜 101をエッチャントを用いるウエットエッチングによってエッチングする。

50

【 0 0 6 7 】

このようにレーザー光による微細な加工によりマスクを形成し、導電膜のパターニングを行うことで、制御性よく精密に導電膜をパターニングでき、所望な形状のソース電極層やドレイン電極層を形成することができる。よって形成不良が生じないために薄膜トランジスタの信頼性も向上する。また、導電膜 1 0 1 を基板全面に形成せず、液滴吐出法によって選択的に形成すれば、微細な加工のみをマスクを用いて行えばよいので、材料のロスも軽減し、工程も簡略化するため、コストが低く生産性が上がるという利点がある。

【 0 0 6 8 】

ソース電極層又はドレイン電極層、第 1 の電極層を形成するための導電膜 1 0 1 のパターニング工程を導電膜 1 0 1 の形成直後に行っても良い。この場合、導電膜 1 0 1 に感光性を有する感光性物質を含む導電性材料を用いると、レジストからなるマスクを形成しなくても導電膜 1 0 1 に直接レーザー光を照射し、露光、エッチャントによる除去を行うことで、所望のパターンにパターニングすることができる。この場合、マスクを形成せずともよいので工程が簡略化する利点がある。感光性物質を含む導電性材料は、Ag、Au、Cu、Ni、Al、Ptなどの金属或いは合金と、有機高分子樹脂、光重合開始剤、光重合単量体、または溶剤などからなる感光性樹脂とを含んだものを用いればよい。有機高分子樹脂としては、ノボラック樹脂、アクリル系コポリマー、メタクリル系コポリマー、セルローズ誘導体、環化ゴム系樹脂などを用いる。

【 0 0 6 9 】

このように微細に加工されたマスク 1 0 2 a、マスク 1 0 2 b、マスク 1 0 2 c、マスク 1 0 2 d、マスク 1 0 2 e を用いて導電膜 1 0 1 をパターニングし、ソース電極層又はドレイン電極層 1 0 3、ソース電極層又はドレイン電極層 1 0 4、ソース電極層又はドレイン電極層 1 0 5、ソース電極層又はドレイン電極層 1 0 6、及び画素電極層となる第 1 の電極層 1 0 7、一導電性を有する半導体層 2 0 2 a、一導電性を有する半導体層 2 0 2 b、一導電性を有する半導体層 2 0 3 a、一導電性を有する半導体層 2 0 3 b、一導電性を有する半導体層 2 0 4 a、一導電性を有する半導体層 2 0 4 b、一導電性を有する半導体層 2 0 5 a、一導電性を有する半導体層 2 0 5 b、一導電性を有する半導体層 2 0 6 a、一導電性を有する半導体層 2 0 6 b を形成する（図 3 参照。）。

【 0 0 7 0 】

次に半導体膜を形成する。半導体層の詳細な作製方法を図 8 を用いて説明する。図 8 はソース電極層又はドレイン電極層 1 0 3 及びソース電極層又はドレイン電極層 1 0 4 上に形成される薄膜トランジスタの作製方法を示しているが、ソース電極層又はドレイン電極層 1 0 5 及びソース電極層又はドレイン電極層 1 0 6 上に形成される薄膜トランジスタも同様に作製することができる。半導体膜は 2 5 ~ 2 0 0 nm（好ましくは 3 0 ~ 1 5 0 nm）の厚さで公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜すればよい。本実施の形態では、非晶質半導体膜を結晶化し、結晶性半導体膜とするものを用いるのが好ましい。

【 0 0 7 1 】

半導体膜を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される非晶質半導体（以下「アモルファス半導体：AS」ともいう。）、該非晶質半導体を熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス（微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。）半導体などを用いることができる。

【 0 0 7 2 】

SASは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5 ~ 20 nm の結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる（111）、（220）の回折ピークが観測される。未結合手（ダングリングボンド）

10

20

30

40

50

の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。S A Sは、珪化物気体をグロー放電分解(プラズマCVD)して形成する。珪化物気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また F_2 、 GeF_4 を混合させても良い。この珪化物気体を H_2 、又は、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は2~1000倍の範囲、圧力は概略0.1Pa~133Paの範囲、電源周波数は1MHz~120MHz、好ましくは13MHz~60MHzである。基板加熱温度は300以下が好ましく、100~200の基板加熱温度でも形成可能である。ここで、主に成膜時に取り込まれる不純物元素として、酸素、窒素、炭素などの大気成分に由来する不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下となるようにすることが好ましい。また、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なS A Sが得られる。また半導体膜としてフッ素系ガスより形成されるS A S層に水素系ガスより形成されるS A S層を積層してもよい。

10

【0073】

なお、後の結晶化で良質な結晶構造を有する半導体膜を得るためには、図8に示す非晶質半導体膜436中に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18} / \text{cm}^3$ (以下、濃度はすべて二次イオン質量分析法(SIMS)にて測定した原子濃度として示す。)以下に低減させておくことが望ましく、これらの不純物は、結晶化を促進させる金属元素と反応しやすく、後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。

20

【0074】

本実施の形態では、非晶質半導体膜、又はS A S膜に結晶化を助長する元素を用いた熱結晶化法を用いる。加熱方法としてGRTA(Gas Rapid Thermal Anneal)法、LRTA(Lamp Rapid Thermal Anneal)法等のRTA法がある。

【0075】

非晶質半導体膜への金属元素の導入の仕方としては、当該金属元素を非晶質半導体膜の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法(プラズマCVD法も含む)、吸着法、金属塩の溶液を塗布する方法、イオン注入法、イオンドーピング法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき非晶質半導体膜の表面のぬれ性を改善し、非晶質半導体膜の表面全体に水溶液を行き渡らせるため、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。

30

【0076】

図8(A)及び(B)で示すように、基板100上に形成されたソース電極層又はドレイン電極層103、ソース電極層又はドレイン電極層104、一導電型を有する半導体層202a、一導電型を有する半導体層202b、一導電型を有する半導体層203a、一導電型を有する半導体層203b上に、非晶質半導体膜436を形成する。非晶質半導体膜436としては、 SiH_4 、 H_2 の反応ガスにより形成する非晶質珪素を用いる。本実施の形態において、非晶質半導体膜436中の酸素濃度を $5 \times 10^{19} \text{ atom} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{19} \text{ atom} / \text{cm}^3$ 以下にできるように形成する。このように酸素濃度を低くすると、後に金属元素として添加したニッケルがゲッタリングしやすくなる。非晶質半導体膜436の膜厚は50nm~300nmが好ましい。本実施の形態では、非晶質半導体膜436を150nm形成する。

40

【0077】

非晶質半導体膜436上に形成された酸化膜を除去した後、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を10~50形成する。本実施の形態では、結晶化を助長する元素として二

50

ッケル (Ni) を用いる。Ni 元素を重量換算で 10 ppm ~ 100 ppm (好ましくは 10 ppm ~ 50 ppm) を含有した水溶液をスピコーティング法により塗布し、金属膜 437 を形成する (図 8 (B) 参照。)。結晶化を助長する元素としては、この珪素の結晶化を助長する金属元素としては鉄 (Fe)、ニッケル (Ni)、コバルト (Co)、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスニウム (Os)、イリジウム (Ir)、白金 (Pt)、銅 (Cu) 及び金 (Au) から選ばれた一種又は複数種類を用いて、金属膜 437 を形成することができる。金属膜 437 はその形成条件によっては膜厚が極薄であり、膜として形態を保っていないなくてもよい。結晶化を助長させる効果が得られるように、非晶質半導体膜 436 に接して形成されればよい。

【0078】

次に、非晶質半導体膜を加熱して、結晶性半導体膜を形成する。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。ここでは、脱水素化のための熱処理の後、結晶化のための熱処理 (550 ~ 650 で 5 分 ~ 24 時間) を行う。また、RTA、GRTA により結晶化を行っても良い。ここで、加熱にレーザ光照射を行わず結晶化することで、結晶性のばらつきを低減することが可能であり、後に形成される TFT のばらつきを抑制することが可能である。

【0079】

本実施の形態では、熱処理を 550 で 4 時間行うが、熱処理を RTA 法により 650 で 6 分間行ってもよい。本実施の形態において、この熱処理によって結晶化とゲッタリング工程を同時に進行する。熱処理は窒素雰囲気下で行ってもよい。

【0080】

金属元素を用いた結晶化を行った場合、金属元素を低減、又は除去するためにゲッタリング工程を施す。結晶性半導体膜中の金属元素を捕獲し、自らに取り込むゲッタリングシンクとして、結晶性半導体膜に接して形成されている一導電型を有する半導体層 202a、一導電型を有する半導体層 202b、一導電型を有する半導体層 203a、一導電型を有する半導体層 203b を用いる。ゲッタリングシンクとして用いる半導体層は、一導電型を付与する元素や希ガス元素などの不純物元素を含む半導体層であればよい。本実施の形態は、一導電型を付与する不純物元素として n 型を付与する元素であるリンを含む、n 型を有する半導体層を形成しているため、ゲッタリングシンクと、ソース領域又はドレイン領域を兼ねることができる。よって、ゲッタリングシンクとなる一導電型を有する半導体層を備えた状態で非晶質半導体膜を結晶化する熱処理を行うので、本実施の形態においては、一回の熱処理で結晶化とゲッタリングの工程を行うことができる。

【0081】

熱処理によって、結晶化とともにゲッタリングが進み、結晶性半導体膜中の金属元素は、図 8 (C) に示すように、矢印の方向へ加熱処理によって移動し、一導電型を有する半導体層 202a、一導電型を有する半導体層 202b、一導電型を有する半導体層 203a、一導電型を有する半導体層 203b 中に捕獲される。結晶性半導体膜は、膜中の金属元素を軽減又は除去され結晶性半導体膜 499 となり、一導電型を有する半導体層 202a、一導電型を有する半導体層 202b、一導電型を有する半導体層 203a、一導電型を有する半導体層 203b は結晶化を促進する金属元素を含む一導電型を有する半導体層 438a、一導電型を有する半導体層 438b、一導電型を有する半導体層 439a、一導電型を有する半導体層 439b となる。本実施の形態では一導電型を有する半導体層 438a、一導電型を有する半導体層 438b、一導電型を有する半導体層 439a、一導電型を有する半導体層 439b には n 型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。この工程により、結晶性半導体膜中の結晶化を促進させる元素 (本実施の形態ではニッケル元素) がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。また、ゲッタリング後の金属元素が移動した一導電型を有する半導体層 438a、一導電型を有する半導体層 438b、一導電型を有する半導体層 439a、一導電型を有する半

10

20

30

40

50

導体層 439b も加熱処理により結晶化される場合がある。なお、本実施の形態においては、結晶化工程、ゲッターリング工程を行う熱処理と共に、一導電型を有する半導体層 438a、一導電型を有する半導体層 438b、一導電型を有する半導体層 439a、一導電型を有する半導体層 439b 中の n 型を付与する不純物元素（ドナー型元素）の活性化を行っている。

【0082】

このようにして得られた結晶性半導体膜に対して、薄膜トランジスタのしきい値電圧を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。この不純物元素のドーピングは、結晶化工程の前の非晶質半導体膜に行ってもよい。本実施の形態ではジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。なお、質量分離を行うイオン注入法を用いてもよい。非晶質半導体膜の状態では不純物元素をドーピングすると、その後の結晶化のための加熱処理によって、不純物の活性化も行うことができる。また、ドーピングの際に生じる欠陥等も改善することができる。

【0083】

次に結晶性半導体膜 499、一導電型を有する半導体層 438a、一導電型を有する半導体層 438b、一導電型を有する半導体層 439a、一導電型を有する半導体層 439b をマスクを用いてパターンニングする。本実施の形態では、フォトマスクを作製し、フォトリソグラフィ法を用いたパターンニング処理により、半導体層 112、一導電型を有する半導体層 108a、一導電型を有する半導体層 108b、一導電型を有する半導体層 110a、一導電型を有する半導体層 110b を形成する（図 8（D）参照。）。同様に半導体層 113、一導電型を有する半導体層 109a、一導電型を有する半導体層 109b、一導電型を有する半導体層 111a、一導電型を有する半導体層 111b も形成する（図 4 参照。）。この一導電型を有する半導体層のエッチング工程で、第 1 の電極層 107 上などに形成されている不要な一導電型を有する半導体層を除去する。フォトマスクはマスク 102a を形成したときと同様にレジストをスピコート法などによる全面塗布、または液滴吐出法によって選択的に形成し、レーザ光照射による露光によって微細なパターンのマスクを形成すればよい。微細なパターンのマスクによって半導体膜は微細かつ精巧に所望な形状にパターンニングすることができる。

【0084】

マスクを露光加工せずに組成物を選択的に吐出して形成する場合、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いることができる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0085】

パターンニングの際のエッチング加工は、プラズマエッチング（ドライエッチング）又はウェットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 、 SF_6 、 CHF_3 などのフッ素系又は Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素系ガス、あるいは O_2 のガスを用い、He や Ar などの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0086】

次に、半導体層 112、半導体層 113 上にゲート絶縁層 115 を形成する。ゲート絶縁層 115 は、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）などを適宜用いることができる。酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）

($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等のいずれかで形成される単層、または組み合わせた積層で形成してもよい。なお、ゲート絶縁層 115 には、水素が含まれている。また、液滴吐出法で形成される導電層に銀や銅などを用いる場合、その上にバリア膜として窒化珪素膜や NiB 膜を形成すると、不純物の拡散を防ぎ、表面を平坦化する効果がある。なお、低い成膜温度でゲートリーク電流に少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。本実施の形態では、 SiH_4 及び N_2O を反応ガスとして酸化珪素膜を膜厚 120 nm で形成する。またゲート絶縁層 115 の膜厚を 80 nm ~ 200 nm とすると好ましい。

【0087】

導電性材料を含む組成物を吐出して、ゲート絶縁層 115 上に、ゲート電極層 116、ゲート電極層 117 を形成する (図 5 参照)。ゲート絶縁層 115 上に、ゲート電極層 116、ゲート電極層 117 を形成する工程も、前述したソース電極層又はドレイン電極層とを形成したときと同様に形成することができる。ゲート電極層 116 はゲート配線層としても機能する。

【0088】

ゲート電極層を形成する導電性材料としては、Ag (銀)、Au (金)、Cu (銅)、W (タングステン)、Al (アルミニウム) 等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物 (ITO)、インジウム錫酸化物と酸化珪素からなる ITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0089】

ゲート電極層 116、ゲート電極層 117 を形成後もソース電極層又はドレイン電極層の時と同様、プレス等による平坦化工程を行っても良い。また、ゲート電極層を液滴吐出法によって吐出し、仮焼成をしてから、本焼成の間にプレス工程を挟むことによって、電極層の平坦化の他に、電極層に含まれる酸素が放出され酸素濃度が低下するので、電気抵抗が下がるという効果もある。

【0090】

ソース電極層又はドレイン電極層、半導体層、ゲート絶縁層、ゲート電極層を覆うようにパッシベーション膜となる絶縁膜 118 を成膜することが好ましい。絶縁膜 118 は、プラズマ CVD 法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン (DLC)、窒素含有炭素 (CN)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。本実施の形態では、絶縁膜 118 を窒化珪素膜を膜厚 100 nm で形成する。

【0091】

この後、半導体層 112、半導体層 113 を水素雰囲気又は窒素雰囲気で加熱して水素化することが好ましい。なお、窒素雰囲気で加熱する場合は、絶縁膜 118 として水素を含む絶縁膜を形成することが好ましい。

【0092】

次に、絶縁層 119 を形成する。本実施の形態では、絶縁層 119 を全面に形成し、レジスト等のマスクによって、エッチングしパターンニングする。絶縁層 119 を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによるパターンニングは必ずしも必要はない。本実施の形態において、層間絶縁層として絶縁層 119 を設けた上に、隔壁として機能する第 2 の絶縁層を設ける。この場合、絶縁層 119 は、第 1 の絶縁層とも言える。

【0093】

絶縁層 119 は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、ダイヤモンドライクカーボン (DLC)、窒素含有炭素膜 (CN) その他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導

10

20

30

40

50

体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)、ベンゾシクロブテン、ポリシラザンなどの有機絶縁性材料、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。

【0094】

本実施の形態では、絶縁層119の材料としては、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に水素、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いた塗布膜を用いる。焼成した後の膜は、アルキル基を含む酸化珪素膜(SiO_x)とも呼べる。

10

【0095】

絶縁膜118及び絶縁層119にゲート電極層117に達する開口部133と、ゲート絶縁層115、絶縁膜118、絶縁層119に、第1の電極層107に達する開口部130、ソース電極層又はドレイン電極層103に達する開口部131、ソース電極層又はドレイン電極層104に達する開口部132、ソース電極層又はドレイン電極層105に達する開口部134、ソース電極層又はドレイン電極層106に達する開口部135を形成する。この開口部もレジストからなるマスクを用いてエッチングし形成する。パターニングに用いるマスクは、レーザ光の照射による露光を行うことで微細な形状を有するマスクとすることができる。このようにして形成した開口部130及び開口部135に配線層144を形成し、ソース電極層又はドレイン電極層106と第1の電極層107とを電氣的に接続する。開口部132及び開口部133に配線層142を形成し、ソース電極層又はドレイン電極層104とゲート電極層117とを電氣的に接続する。また、開口部131にもソース電極層又はドレイン電極層103と電氣的に接するように、ソース配線層141を形成し、開口部134にもソース電極層又はドレイン電極層105と電氣的に接続するように電源線143を形成する。ソース配線層141、電源線143を低抵抗な材料によって形成することで、ソース電極層又はドレイン電極層103、ソース電極層又はドレイン電極層105が多少高抵抗の材料であっても、高速動作が可能となり、大きな電流も流すことができる。

20

【0096】

以上の工程により、基板100上にトップゲート型(順スタガ型ともいう。)の薄膜トランジスタと画素電極が接続された表示装置用のTFT基板が完成する。

30

【0097】

次に、絶縁層121(隔壁、土手とも呼ばれる)を選択的に形成する。絶縁層121は、第1の電極層107上に開口部を有するように形成し、配線層144を覆って形成する。本実施の形態では、絶縁層121を全面に形成し、レジスト等のマスクによって、エッチングしパターニングする。絶縁層121を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによるパターニングは必ずしも必要はない。また絶縁層121も本発明の前処理によって、所望の形状に形成できる。

【0098】

絶縁層121は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。絶縁層121は曲率半径が連続的に変化する形状が好ましく、上に形成される電界発光層122、第2の電極層123の被覆性が向上する。

40

【0099】

50

また、液滴吐出法により、絶縁層 1 2 1 を組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸をならすように軽減したり、平坦な板状な物で表面を垂直にプレスしてもよい。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去しても良い。また、CMP法を用いて研磨しても良い。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合適用することができる。この工程により平坦性が向上すると、表示装置の表示ムラなどを防止することができ、高繊細な画像を表示することができる。

【 0 1 0 0 】

薄膜トランジスタに電氣的に接続するように、発光素子を形成する（図 1 参照。）。

10

【 0 1 0 1 】

電界発光層 1 2 2 を形成する前に、大気圧中で 2 0 0 の熱処理を行い第 1 の電極層 1 0 7、絶縁層 1 2 1 中若しくはその表面に吸着している水分を除去する。また、減圧下で 2 0 0 ~ 4 0 0、好ましくは 2 5 0 ~ 3 5 0 に熱処理を行い、そのまま大気に晒さずに電界発光層 1 2 2 を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【 0 1 0 2 】

電界発光層 1 2 2 として、赤色 (R)、緑色 (G)、青色 (B) の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色 (R)、緑色 (G)、青色 (B) の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき（低分子または高分子材料など）、この場合マスクを用いずとも、R G B の塗り分けを行うことができるため好ましい。電界発光層 1 2 2 上に第 2 の電極層 1 2 3 を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する。

20

【 0 1 0 3 】

図示しないが、第 2 の電極層 1 2 3 を覆うようにしてパッシベーション膜を設けることは有効である。表示装置を構成する際に設ける保護膜は、単層構造でも多層構造でもよい。パッシベーション膜としては、窒化珪素 (S i N)、酸化珪素 (S i O₂)、酸化窒化珪素 (S i O N)、窒化酸化珪素 (S i N O)、窒化アルミニウム (A l N)、酸化窒化アルミニウム (A l O N)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム (A l N O) または酸化アルミニウム、ダイヤモンドライクカーボン (D L C)、窒素含有炭素膜 (C N_x) を含む絶縁膜からなり、絶縁膜を単層もしくは組み合わせた積層を用いることができる。例えば窒素含有炭素膜 (C N_x) \ 窒化珪素 (S i N) のような積層、また有機材料を用いることも出来、スチレンポリマーなど高分子の積層でもよい。また、シリコン (S i) と酸素 (O) との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有する材料を用いてもよい。

30

【 0 1 0 4 】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に D L C 膜を用いることは有効である。D L C 膜は室温から 1 0 0 以下の温度範囲で成膜可能であるため、耐熱性の低い電界発光層の上方にも容易に成膜することができる。D L C 膜は、プラズマ C V D 法（代表的には、R F プラズマ C V D 法、マイクロ波 C V D 法、電子サイクロトロン共鳴 (E C R) C V D 法、熱フィラメント C V D 法など）、燃焼炎法、スパッタ法、イオンビーム蒸着法、レーザー蒸着法などで形成することができる。成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス（例えば C H₄、C₂H₂、C₆H₆ など）とを用い、グロー放電によりイオン化し、負の自己バイアスがかかったカソードにイオンを加速衝突させて成膜する。また、C N 膜は反応ガスとして C₂H₄ ガスと N₂ ガスとを用いて形成すればよい。D L C 膜は酸素に対するブロッキング効果が高く、電界発光層の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に電界発光層が酸化するといった問題を防止できる。

40

【 0 1 0 5 】

続いて、シール材を形成し、封止基板を用いて封止する。その後、ゲート電極層 1 1

50

6と電氣的に接続して形成されるゲート配線層に、フレキシブル配線基板を接続し、外部との電氣的な接続をしても良い。これは、ソース配線層141も同様である。

【0106】

続いて、異方性導電体層を介して、表示装置内の配線層が電氣的に接続するように、接続用の配線基板を設ける。配線基板は、外部からの信号や電位を伝達する役目を担い、FPC(Flexible printed circuit)などを用いることができる。上記工程を経て、順スタガ型のスイッチング用TFT、駆動TFTと容量素子を含む表示装置(表示パネルとも示す)が完成する。容量素子は、ソース電極層又はドレイン電極層105、ゲート絶縁層115、及びゲート電極層117とで形成される。

【0107】

表示装置内の配線層とFPCは端子電極層を用いて接続され、端子電極層はゲート電極層と同材料及び同工程、ソース電極層及びドレイン電極層を兼ねるソース配線層と同材料及び同工程、ゲート配線層と同材料同工程で、それぞれ作製することができる。FPCと表示装置内の配線層との接続例を図43を用いて説明する。

【0108】

図43において、基板1上に薄膜トランジスタ9及び発光素子が設けられた第1の電極層6が形成され、シール材3で対向基板8と張り合わされている。表示装置内から延長してシール材外部に形成される配線層とFPC2b及びFPC2aは異方性導電膜7a、異方性導電膜7bによって接着されている。

【0109】

図43(A1)、(B1)、(C1)は表示装置の上面図であり、図43(A2)、(B2)、(C2)は図43(A1)、(B1)、(C1)における線G-H、線M-Nの断面図である。図43(A1)、(A2)において、端子電極層5a及び端子電極層5bはソース電極層又はドレイン電極層と同材料同工程で形成されている。端子電極層5aにシール材外部に延長して形成されたソース配線層4aが接続され、端子電極層5aとFPC2aとが異方性導電膜7aを介して接続されている。一方端子電極層5bにシール材外部に延長して形成されたゲート配線層4bが接続され、端子電極層5bとFPC2bとが異方性導電膜7bを介して接続されている。本実施の形態においてゲート配線層はゲート電極層と同材料、同工程でされている。

【0110】

図43(B1)、(B2)において、端子電極層55a及び端子電極層55bはゲート配線層と同材料同工程で形成されている。端子電極層55bはシール材外部に延長して形成されたゲート配線層で形成され、端子電極層55bとFPC2bとが異方性導電膜7bを介して接続されている。一方、端子電極層55aにシール材外部に延長して形成されたソース配線層54aが接続され、端子電極層55aとFPC2aとが異方性導電膜7aを介して接続されている。

【0111】

図43(C1)、(C2)において、端子電極層65a及び端子電極層65bはソース配線層と同材料同工程で形成されている。シール材外部に延長して形成されたゲート配線層64bに端子電極層65bが接続され、端子電極層65bとFPC2bとが異方性導電膜7bを介して接続されている。一方、端子電極層65aはシール材外部に延長して形成されたソース配線層で形成され、端子電極層65aとFPC2aとが異方性導電膜7aを介して接続されている。

【0112】

本実施の形態では、スイッチングTFTはシングルゲート構造を示したが、ダブルゲート構造などのマルチゲート構造でもよい。

【0113】

以上の工程により、結晶性半導体膜を有する順スタガ型薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度(2~50cm²

10

20

30

40

50

/Vs e c程度)が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

【0114】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【0115】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このため、このようなTFTを表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0116】

また、レーザ照射の微細な加工により、配線等々の細線化も自由に設計できる。本発明により、所望なパターンを制御性よく形成でき、材料のロスも少なく、コストダウンも達成できる。よって高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【0117】

(実施の形態2)

本発明の実施の形態について、図9を用いて説明する。本実施の形態は、実施の形態1で作製した薄膜トランジスタと同様に、複数のnチャネル型薄膜トランジスタ(NMOS)からなる回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0118】

基板400上に、絶縁層415を形成し、絶縁層415上にソース電極層又はドレイン電極層401a、ソース電極層又はドレイン電極層401b、ソース電極層又はドレイン電極層401c、n型を有する半導体層402a、n型を有する半導体層402b、n型を有する半導体層402c、n型を有する半導体層403a、n型を有する半導体層403b、n型を有する半導体層403cを形成する(図9(A)参照。)。非晶質半導体膜404を形成し、結晶化を促進する金属元素を含む金属膜405を形成する(図9(B)参照。)

【0119】

その後加熱処理によって、非晶質半導体膜404の結晶化とゲッタリングを同時に行う。加熱処理によって、非晶質半導体膜404は結晶化し、結晶性半導体膜となる。同時に結晶性半導体膜中に含まれる金属元素は図9(C)の矢印の方向に移動し、ソース領域又はドレイン領域を兼ねて形成されたn型を有する半導体層402a、n型を有する半導体層402b、n型を有する半導体層402c、n型を有する半導体層403a、n型を有する半導体層403b、n型を有する半導体層403c中に捕獲される。よって膜中に含まれる金属元素が軽減、又は除去された結晶性半導体膜408が形成される。一方、ゲッタリングシンクとして機能した一導電型を有する半導体層は、n型を有する半導体層406a、n型を有する半導体層406b、n型を有する半導体層406c、n型を有する半導体層407a、n型を有する半導体層407b、n型を有する半導体層407cとなり、結晶化を促進する金属元素と、n型を付与する不純物元素(本実施の形態ではリン(P))とを含む半導体層となる。

【0120】

結晶性半導体膜408、n型を有する半導体層406a、n型を有する半導体層406b、n型を有する半導体層406c、n型を有する半導体層407a、n型を有する半導体層407b、及びn型を有する半導体層407cをパターンニングし、半導体層412a、半導体層412b、n型を有する半導体層410a、n型を有する半導体層410b、n型を有する半導体層410c、n型を有する半導体層410d、n型を有する半導体

10

20

30

40

50

層 4 1 1 a、n 型を有する半導体層 4 1 1 b、n 型を有する半導体層 4 1 1 c、n 型を有する半導体層 4 1 1 d を形成する（図 9（D）参照。）。ゲート絶縁層 4 1 3 を形成し、ゲート絶縁層 4 1 3 上にゲート電極層 4 1 4 a 及びゲート電極層 4 1 4 b を形成する（図 9（E）参照。）。

【0121】

このようにして、電氣的に接続された n チャネル型薄膜トランジスタが形成され、N M O S の回路を作製することができる。また、本実施の形態では、ソース領域及びドレイン領域には、n 型を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な回路を作製することが可能である。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

10

【0122】

本実施の形態は、実施の形態 1 と組み合わせて用いることが可能である。

【0123】

（実施の形態 3）

本発明の実施の形態について、図 10 を用いて説明する。本実施の形態は、実施の形態 1 で作製した薄膜トランジスタにおいて、複数の p チャネル型薄膜トランジスタ（P M O S）からなる回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0124】

20

基板 4 2 0 上に、絶縁層 4 1 6、導電膜 4 2 1、n 型を有する半導体層 4 2 2 を形成する（図 10（A）参照。）。本実施の形態では、一導電型を有する半導体層として、n 型を有する半導体層 4 4 2 を形成するので、p 型を付与する不純物元素（本実施の形態においてはボロン（B））をドーピング法やイオン注入法によって、n 型を有する半導体層 4 2 2 に添加する。n 型を有する半導体層 4 2 2 に、p 型を付与する不純物元素濃度が n 型を付与する不純物元素の 2 ~ 10 倍の濃度になるように添加し、p 型に導電型を反転させ、p 型を有する半導体層 4 2 4 を形成する（図 10（B）参照。）。また、n 型を付与する不純物元素の添加工程で、その添加条件によって、膜表面の不純物元素濃度が高くなっている場合がある。このような場合は、膜表面を薄くエッチングし、高不純物元素濃度領域の膜を除去してから、p 型を付与する不純物元素を添加する工程を行えばよい。もちろん、一導電型を有する半導体層 4 2 2 として p 型を付与する不純物元素を含む p 型を有する半導体層を形成すれば、p 型を付与する不純物元素のドーピング工程は必要ない。

30

【0125】

導電膜 4 2 1 及び p 型を有する半導体層 4 2 4 をパターンニングして、ソース電極層又はドレイン電極層 4 2 5 a、ソース電極層又はドレイン電極層 4 2 5 b、ソース電極層又はドレイン電極層 4 2 5 c、p 型を有する半導体層 4 2 6 a、p 型を有する半導体層 4 2 6 b、p 型を有する半導体層 4 2 6 c を形成する。非晶質半導体膜 4 2 7 を形成し、結晶化を促進する金属元素（本実施の形態ではニッケル（Ni））を含む金属膜 4 3 4 を形成する（図 10（C）参照。）。

【0126】

40

その後加熱処理によって、非晶質半導体膜 4 2 7 の結晶化とゲッタリングを同時に行う。加熱処理によって、非晶質半導体膜 4 2 7 は結晶化し、結晶性半導体膜となる。同時に結晶性半導体膜中に含まれる金属元素は図 10（D）の矢印の方向に移動し、ソース領域又はドレイン領域を兼ねて形成された p 型を有する半導体層 4 2 6 a、p 型を有する半導体層 4 2 6 b、p 型を有する半導体層 4 2 6 c 中に捕獲される。よって膜中に含まれる金属元素が軽減、又は除去された結晶性半導体膜 4 2 9 が形成される。一方、ゲッタリングシンクとして機能した一導電型を有する半導体層は、p 型を有する半導体層 4 2 8 a、p 型を有する半導体層 4 2 8 b、p 型を有する半導体層 4 2 8 c となり、結晶化を促進する金属元素と、p 型を付与する不純物元素、p 型を付与する不純物元素よりは低濃度な n 型を付与する不純物元素（本実施の形態ではリン（P））とを含む半導体層となる。

50

【 0 1 2 7 】

結晶性半導体膜 4 2 9、p 型を有する半導体層 4 2 8 a、p 型を有する半導体層 4 2 8 b、p 型を有する半導体層 4 2 8 c をパターンニングし、半導体層 4 3 1 a、半導体層 4 3 1 b、p 型を有する半導体層 4 3 0 a、p 型を有する半導体層 4 3 0 b、p 型を有する半導体層 4 3 0 c、p 型を有する半導体層 4 3 0 d を形成する（図 1 0 (E) 参照。）。ゲート絶縁層 4 3 2 を形成し、ゲート絶縁層 4 3 2 上にゲート電極層 4 3 3 a 及びゲート電極層 4 3 3 b を形成する（図 1 0 (F) 参照。）。

【 0 1 2 8 】

このようにして、電氣的に接続された p チャネル型薄膜トランジスタが形成され、P M O S の回路を作製することができる。また、本実施の形態では、ソース領域及びドレイン領域には、n 型を付与する不純物元素、p 型を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な回路を作製することが可能である。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

10

【 0 1 2 9 】

本実施の形態は、実施の形態 1 及び 2 とそれぞれ組み合わせて用いることが可能である。

【 0 1 3 0 】

(実施の形態 4)

本発明の実施の形態について、図 1 1 を用いて説明する。本実施の形態は、実施の形態 1 で作製した薄膜トランジスタにおいて、n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタの 2 種類の薄膜トランジスタからなる回路 (C M O S) を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【 0 1 3 1 】

基板 4 4 0 上に、絶縁層 4 1 7、導電膜 4 4 1、n 型を有する半導体層 4 4 2 を形成する（図 1 1 (A) 参照。）。本実施の形態では、一導電型を有する半導体層として、n 型を有する半導体層 4 4 2 を形成するので、マスク 4 4 4 を形成し、p 型を付与する不純物元素（本実施の形態においてはボロン (B) ）をドーピング法やイオン注入法によって、選択的に n 型を有する半導体層 4 4 2 に添加する。n 型を有する半導体層に、p 型を付与する不純物元素濃度が n 型を付与する不純物元素の 2 ~ 1 0 倍の濃度になるように添加し、p 型に導電型を反転させ、p 型を有する半導体層 4 4 5 を形成する（図 1 1 (B) 参照。）。一導電型を有する半導体層として p 型を付与する不純物元素を含む p 型を有する半導体層を形成すれば、同様に選択的に n 型を付与する不純物元素を添加すればよい。

30

【 0 1 3 2 】

導電膜 4 4 1、n 型を有する半導体層 4 4 2、p 型を有する半導体層 4 4 5 をパターンニングして、ソース電極層又はドレイン電極層 4 4 6 a、ソース電極層又はドレイン電極層 4 4 6 b、ソース電極層又はドレイン電極層 4 4 6 c、n 型を有する半導体層 4 4 7 a、n 型を有する半導体層 4 4 7 b、p 型を有する半導体層 4 4 8 a、p 型を有する半導体層 4 4 8 b を形成する。非晶質半導体膜 4 4 9 を形成し、結晶化を促進する金属元素（本実施の形態ではニッケル (N i) ）を含む金属膜 4 5 0 を形成する（図 1 1 (C) 参照。）。

40

【 0 1 3 3 】

その後加熱処理によって、非晶質半導体膜 4 4 9 の結晶化とゲッターリングを同時に行う。加熱処理によって、非晶質半導体膜 4 4 9 は結晶化し、結晶性半導体膜となる。同時に結晶性半導体膜中に含まれる結晶化を促進させる機能を有する金属元素は図 1 1 (D) の矢印の方向に移動し、ソース領域又はドレイン領域を兼ねて形成された n 型を有する半導体層 4 4 7 a、n 型を有する半導体層 4 4 7 b、p 型を有する半導体層 4 4 8 a、p 型を有する半導体層 4 4 8 b 中に捕獲される。よって膜中に含まれる金属元素が軽減、又は除去された結晶性半導体膜 4 6 2 が形成される。一方、ゲッターリングシンクとして機能した一導電型を有する半導体層は、n 型を有する半導体層 4 6 0 a、n 型を有する半導体層

50

460b、p型を有する半導体層461a、p型を有する半導体層461bとなり、結晶化を促進する金属元素と、一導電性を付与する不純物元素とを含む半導体層となる。

【0134】

結晶性半導体膜462、n型を有する半導体層460a、n型を有する半導体層460b、p型を有する半導体層461a、p型を有する半導体層461bをパターンニングし、半導体層465a、半導体層465b、n型を有する半導体層463a、n型を有する半導体層463b、p型を有する半導体層464a、p型を有する半導体層464bを形成する(図11(E)参照。)。ゲート絶縁層466を形成し、ゲート絶縁層466上にゲート電極層467a及びゲート電極層467bを形成する(図11(F)参照。)

【0135】

このようにして、電氣的に接続されたnチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタが形成され、CMOSの回路を作製することができる。また、本実施の形態では、ソース領域及びドレイン領域には、一導電性を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な回路を作製することが可能である。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

【0136】

本実施の形態は、実施の形態1乃至3とそれぞれ組み合わせて用いることが可能である。

【0137】

(実施の形態5)

本発明の実施の形態について、図12を用いて説明する。本実施の形態は、実施の形態1で作製した薄膜トランジスタと、異なるゲッタリング工程で、複数のnチャネル型薄膜トランジスタ(NMOS)からなる回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0138】

基板470上に、絶縁層418を形成し、絶縁層418上に、ソース電極層又はドレイン電極層471a、ソース電極層又はドレイン電極層471b、ソース電極層又はドレイン電極層471cを形成する。非晶質半導体膜472を形成し、結晶化を促進する金属元素(本実施の形態ではニッケル(Ni))を含む金属膜473を形成する(図12(A)参照。)。その後加熱処理により非晶質半導体膜472を結晶化し、結晶性半導体膜474を形成する。

【0139】

本実施の形態では、結晶性半導体膜474中に含まれる結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、希ガス元素を不純物元素として含む半導体膜475を形成する(図12(B)参照。)。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜475を形成する。その後加熱処理によって結晶性半導体膜474中に含まれる金属元素は図12(C)の矢印の方向に移動し、半導体膜475中に捕獲される。よって膜中に含まれる金属元素が軽減された結晶性半導体膜476が形成される。そして、ゲッタリングシンクでとなった結晶化を促進する金属元素を含む半導体膜477、及び結晶性半導体膜476上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜476を得ることができる。本実施の形態では、ゲッタリングシンクとなった半導体膜477の除去をTMAH(Tetramethyl ammonium hydroxide)を用いて行う。

【0140】

結晶性半導体膜476をパターンニングし、半導体層のチャネル形成領域を覆うマスク479a、マスク479bを形成し、n型を付与する不純物元素478(本実施の形態においてはリン(P))を添加し、n型の不純物領域480a、n型の不純物領域480b、

10

20

30

40

50

n型の不純物領域480c、n型の不純物領域480dを形成する(図12(D)参照。)。半導体層を覆うゲート絶縁層481を形成し、ゲート絶縁層481上にゲート電極層482a及びゲート電極層482bを形成する(図12(E)参照。)。n型を付与する不純物元素の半導体層への添加は、ゲート絶縁層481を形成した後、ゲート絶縁層481を通過させて(スルードープとも言われる)半導体層へ添加、導入してもよい。ゲート絶縁層481を介して半導体層へ不純物元素が添加されるので、半導体層へのドーピング工程におけるダメージを軽減することができる。

【0141】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。このようにして、電氣的に接続されたnチャネル型薄膜トランジスタが形成され、NMOSの回路を作製することができる。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

10

【0142】

本実施の形態は、実施の形態1乃至4とそれぞれ組み合わせて用いることが可能である。

【0143】

(実施の形態6)

本発明の実施の形態について、図13を用いて説明する。本実施の形態は、実施の形態1で作製した薄膜トランジスタと、異なるゲッタリング工程で、複数のpチャネル型薄膜トランジスタ(PMOS)からなる回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【0144】

基板470上に、絶縁層418を形成し、絶縁層418上に、ソース電極層又はドレイン電極層471a、ソース電極層又はドレイン電極層471b、ソース電極層又はドレイン電極層471cを形成する。非晶質半導体膜472を形成し、結晶化を促進する金属元素(本実施の形態ではニッケル(Ni))を含む金属膜473を形成する(図13(A)参照。)。その後加熱処理により非晶質半導体膜472を結晶化し、結晶性半導体膜474を形成する。

30

【0145】

本実施の形態では、結晶性半導体膜474中に含まれる結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、希ガス元素を不純物元素として含む半導体膜475を形成する(図13(B)参照。)。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜475を形成する。その後加熱処理によって結晶性半導体膜474中に含まれる金属元素は図13(C)の矢印の方向に移動し、半導体膜475中に捕獲される。よって膜中に含まれる金属元素が軽減された結晶性半導体膜476が形成される。そして、ゲッタリングシंकでとなった結晶化を促進する金属元素を含む半導体膜477、及び結晶性半導体膜476上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜476を得ることができる。本実施の形態では、ゲッタリングシंकとなった半導体膜477の除去をTMAH(Tetramethyl ammonium hydroxide)を用いて行う。

40

【0146】

結晶性半導体膜476をパターンニングし、半導体層のチャネル形成領域を覆うマスク486a、マスク486bを形成し、p型を付与する不純物元素485(本実施の形態においてはボロン(B))を添加し、p型の不純物領域487a、p型の不純物領域487b、p型の不純物領域487c、p型の不純物領域487dを形成する(図13(D)参照。)。半導体層を覆うゲート絶縁層488を形成し、ゲート絶縁層488上にゲート電極層489a及びゲート電極層489bを形成する(図13(E)参照。)。p型を付与す

50

る不純物元素の半導体層への添加は、ゲート絶縁層488を形成した後、ゲート絶縁層488を通過させて(スルドープとも言われる)半導体層へ添加、導入してもよい。ゲート絶縁層488を介して半導体層へ不純物元素が添加されるので、半導体層へのドーピング工程におけるダメージを軽減することができる。

【0147】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電性を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。このようにして、電氣的に接続されたpチャネル型薄膜トランジスタが形成され、PMOSの回路を作製することができる。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

10

【0148】

本実施の形態は、実施の形態1乃至5とそれぞれ組み合わせて用いることが可能である。

【0149】

(実施の形態7)

本発明の実施の形態について、図14を用いて説明する。本実施の形態は、実施の形態1で作製した薄膜トランジスタと、異なるゲッタリング工程で、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタの2種類の薄膜トランジスタからなる回路(CMOS)を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【0150】

基板470上に、絶縁層418を形成し、絶縁層418上に、ソース電極層又はドレイン電極層471a、ソース電極層又はドレイン電極層471b、ソース電極層又はドレイン電極層471cを形成する。非晶質半導体膜472を形成し、結晶化を促進する金属元素(本実施の形態ではニッケル(Ni))を含む金属膜473を形成する(図14(A)参照)。その後加熱処理により非晶質半導体膜472を結晶化し、結晶性半導体膜474を形成する。

【0151】

本実施の形態では、結晶性半導体膜474中に含まれる結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、希ガス元素を不純物元素として含む半導体膜475を形成する(図14(B)参照)。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜475を形成する。その後加熱処理によって結晶性半導体膜474中に含まれる金属元素は図14(C)の矢印の方向に移動し、半導体膜475中に捕獲される。よって膜中に含まれる金属元素が軽減された結晶性半導体膜476が形成される。そして、ゲッタリングシンクでとなった結晶化を促進する金属元素を含む半導体膜477、及び結晶性半導体膜476上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜476を得ることができる。本実施の形態では、ゲッタリングシンクとなった半導体膜477の除去をTMAH(Tetramethyl ammonium hydroxide)を用いて行う。

30

40

【0152】

結晶性半導体膜476をパターンニングし、半導体層のチャネル形成領域498aを覆うマスク491a、pチャネル型薄膜トランジスタとなる半導体層を覆うマスク491bを形成し、n型を付与する不純物元素490(本実施の形態においてはリン(P))を添加し、n型の不純物領域492a、n型の不純物領域492bを形成する(図14(D)参照)。

【0153】

マスク491a、マスク491bを除去し、n型の不純物領域492a及びn型の不純物領域492bを有する半導体層を覆うマスク497a、半導体層のチャネル形成領域4

50

98bを覆うマスク497bを形成する。p型を付与する不純物元素494（本実施の形態においてはボロン（B））を添加し、p型の不純物領域493a、p型の不純物領域493bを形成する（図14（E）参照。）。本実施の形態では、n型の不純物領域を形成する際に、後にp型の不純物領域とする領域にマスクを形成し、n型を付与する不純物元素が添加されないようにするが、p型の不純物領域の領域にもn型を付与する不純物元素を添加し、さらに、n型の不純物元素濃度より高くなるようにp型を付与する不純物元素を添加し、導電型を反転させる方法を用いてもよい。

【0154】

半導体層を覆うゲート絶縁層495を形成し、ゲート絶縁層495上にゲート電極層496a及びゲート電極層496bを形成する（図14（F）参照。）。一導電型を付与する不純物元素の半導体層への添加は、ゲート絶縁層495を形成した後、ゲート絶縁層495を通過させて（スルードープとも言われる）半導体層へ添加、導入してもよい。ゲート絶縁層495を介して半導体層へ不純物元素が添加されるので、半導体層へのドーピング工程におけるダメージを軽減することができる。

10

【0155】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッターリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。このようにして、電気的に接続されたnチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタが形成され、CMOSの回路を作製することができる。このよう

20

【0156】

本実施の形態は、実施の形態1乃至6とそれぞれ組み合わせて用いることが可能である。

【0157】

（実施の形態8）

本発明の実施の形態について、図15を用いて説明する。本実施の形態は、実施の形態1で作製した薄膜トランジスタと、異なるゲッターリング工程で、複数のnチャネル型薄膜トランジスタ（NMOS）からなる回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

30

【0158】

基板150上に、絶縁層419を形成し、絶縁層419上に、ソース電極層又はドレイン電極層151a、ソース電極層又はドレイン電極層151b、ソース電極層又はドレイン電極層151cを形成する。非晶質半導体膜152を形成し、結晶化を促進する金属元素（本実施の形態ではニッケル（Ni））を含む金属膜153を形成する（図15（A）参照。）。その後加熱処理により非晶質半導体膜152を結晶化し、結晶性半導体膜154を形成する（図15（B）参照。）。

【0159】

チャネル形成領域166aを覆うマスク156a、チャネル形成領域166bを覆うマスク156bを形成し、n型を付与する不純物元素155（本実施の形態ではリン（P））を添加し、n型の不純物領域157a、n型の不純物領域157b、n型の不純物領域157c、n型の不純物領域157dを形成する（図15（C）参照。）。その後加熱処理を行う。

40

【0160】

加熱処理により、半導体層中のチャネル形成領域166a、チャネル形成領域166bに含まれる結晶化を促進する機能を有する金属元素はゲッターリングされ、それぞれ矢印の方向にn型の不純物領域159a、n型の不純物領域159b、n型の不純物領域159c、n型の不純物領域159dに移動し捕獲され、金属元素が除去、軽減されたチャネル形成領域158a、チャネル形成領域158bが形成される（図15（D）参照。）。また、この熱処理によって、添加されたn型を付与する不純物元素の活性化も行うことが

50

できる。

【0161】

半導体層を覆うゲート絶縁層160を形成し、ゲート絶縁層160上にゲート電極層161a及びゲート電極層161bを形成する(図15(E)参照。)。一導電型を付与する不純物元素の半導体層への添加は、ゲート絶縁層160を形成した後、ゲート絶縁層160を通過させて(スルードープとも言われる)半導体層へ添加、導入してもよい。ゲート絶縁層160を介して半導体層へ不純物元素が添加されるので、半導体層へのドーピング工程におけるダメージを軽減することができる。

【0162】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。このようにして、電氣的に接続されたnチャネル型薄膜トランジスタが形成され、NMOSの回路を作製することができる。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

10

【0163】

本実施の形態は、実施の形態1乃至7とそれぞれ組み合わせて用いることが可能である。

【0164】

(実施の形態9)

本発明の実施の形態について、図16を用いて説明する。本実施の形態は、実施の形態1で作製した薄膜トランジスタと、異なるゲッタリング工程で、複数のpチャネル型薄膜トランジスタ(PMOS)からなる回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【0165】

基板150上に、絶縁層419を形成し、絶縁層419上に、ソース電極層又はドレイン電極層151a、ソース電極層又はドレイン電極層151b、ソース電極層又はドレイン電極層151cを形成する。非晶質半導体膜152を形成し、結晶化を促進する金属元素(本実施の形態ではニッケル(Ni))を含む金属膜153を形成する(図16(A)参照。)。その後加熱処理により非晶質半導体膜152を結晶化し、結晶性半導体膜154を形成する(図16(B)参照。)

30

【0166】

チャネル形成領域166aを覆うマスク156a、チャネル形成領域166bを覆うマスク156bを形成し、n型を付与する不純物元素155(本実施の形態ではリン(P))を添加し、n型の不純物領域157a、n型の不純物領域157b、n型の不純物領域157c、n型の不純物領域157dを形成する(図16(C)参照。)。その後加熱処理を行う。

【0167】

加熱処理により、半導体層中のチャネル形成領域166a、チャネル形成領域166bに含まれる結晶化を促進する機能を有する金属元素はゲッタリングされ、それぞれ矢印の方向にn型の不純物領域159a、n型の不純物領域159b、n型の不純物領域159c、n型の不純物領域159dに移動し捕獲され、金属元素が除去、軽減されたチャネル形成領域158a、チャネル形成領域158bが形成される(図16(D)参照。)。また、この熱処理によって、添加されたn型を付与する不純物元素の活性化も行うことができる。

40

【0168】

チャネル形成領域158aを覆うマスク163a、チャネル形成領域158bを覆うマスク163bを形成し、p型を付与する不純物元素162(本実施の形態ではボロン(B))を添加し、n型の不純物領域157a、n型の不純物領域157b、n型の不純物領域157c、n型の不純物領域157dを、p型の不純物領域164a、p型の不純物

50

領域 1 6 4 b、p 型の不純物領域 1 6 4 c、p 型の不純物領域 1 6 4 d に導電型を反転させて形成する（図 1 6（E）参照。）。n 型を付与する不純物元素の濃度の 2 ~ 1 0 倍の濃度となるように p 型を付与する不純物元素を添加することによって、p 型を有する半導体層に導電型が反転し、p 型の不純物領域 1 6 4 a、p 型の不純物領域 1 6 4 b、p 型の不純物領域 1 6 4 c、p 型の不純物領域 1 6 4 d を形成することができる。その後加熱処理を行い、添加された p 型を付与する不純物元素の活性化を行う。

【 0 1 6 9 】

半導体層を覆うゲート絶縁層 1 6 7 を形成し、ゲート絶縁層 1 6 7 上にゲート電極層 1 6 8 a 及びゲート電極層 1 6 8 b を形成する（図 1 6（F）参照。）。一導電型を付与する不純物元素の半導体層への添加は、ゲート絶縁層 1 6 7 を形成した後、ゲート絶縁層 1 6 7 を通過させて（スルードープとも言われる）半導体層へ添加、導入してもよい。ゲート絶縁層 1 6 7 を介して半導体層へ不純物元素が添加されるので、半導体層へのドーピング工程におけるダメージを軽減することができる。

10

【 0 1 7 0 】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。このようにして、電気的に接続された p チャネル型薄膜トランジスタが形成され、P M O S の回路を作製することができる。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

20

【 0 1 7 1 】

本実施の形態は、実施の形態 1 乃至 8 とそれぞれ組み合わせて用いることが可能である。

【 0 1 7 2 】

（実施の形態 1 0）

本発明の実施の形態について、図 1 7 を用いて説明する。本実施の形態は、実施の形態 1 で作製した薄膜トランジスタと、異なるゲッタリング工程で、n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタの 2 種類の薄膜トランジスタからなる C M O S 回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

30

【 0 1 7 3 】

基板 1 5 0 上に、絶縁層 4 1 9 を形成し、絶縁層 4 1 9 上に、ソース電極層又はドレイン電極層 1 5 1 a、ソース電極層又はドレイン電極層 1 5 1 b、ソース電極層又はドレイン電極層 1 5 1 c を形成する。非晶質半導体膜 1 5 2 を形成し、結晶化を促進する金属元素（本実施の形態ではニッケル（Ni））を含む金属膜 1 5 3 を形成する（図 1 7（A）参照。）。その後加熱処理により非晶質半導体膜 1 5 2 を結晶化し、結晶性半導体膜 1 5 4 を形成する（図 1 7（B）参照。）。

【 0 1 7 4 】

チャネル形成領域 1 6 6 a を覆うマスク 1 5 6 a、チャネル形成領域 1 6 6 b を覆うマスク 1 5 6 b を形成し、n 型を付与する不純物元素 1 5 5（本実施の形態ではリン（P））を添加し、n 型の不純物領域 1 5 7 a、n 型の不純物領域 1 5 7 b、n 型の不純物領域 1 5 7 c、n 型の不純物領域 1 5 7 d を形成する（図 1 7（C）参照。）。その後加熱処理を行う。

40

【 0 1 7 5 】

加熱処理により、半導体層中のチャネル形成領域 1 6 6 a、チャネル形成領域 1 6 6 b に含まれる結晶化を促進する機能を有する金属元素はゲッタリングされ、それぞれ矢印の方向に n 型の不純物領域 1 5 9 a、n 型の不純物領域 1 5 9 b、n 型の不純物領域 1 5 9 c、n 型の不純物領域 1 5 9 d に移動し捕獲され、金属元素が除去、軽減されたチャネル形成領域 1 5 8 a、チャネル形成領域 1 5 8 b が形成される（図 1 7（D）参照。）。また、この熱処理によって、添加された n 型を付与する不純物元素の活性化も行うことが

50

できる。

【0176】

n型の不純物領域159a、n型の不純物領域159b、及びチャネル形成領域158aを覆うマスク165a、チャネル形成領域158bを覆うマスク165bを形成し、p型を付与する不純物元素162（本実施の形態ではボロン（B））を添加し、n型の不純物領域157c、n型の不純物領域157dを、p型の不純物領域175a、p型の不純物領域175bに導電型を反転させて形成する（図17（E）参照。）。n型を付与する不純物元素の濃度の2～10倍の濃度となるようにp型を付与する不純物元素を添加することによって、p型を有する半導体層にその導電型が反転し、p型の不純物領域175a、p型の不純物領域175bを形成することができる。その後加熱処理を行い、添加されたp型を付与する不純物元素の活性化を行う。

10

【0177】

半導体層を覆うゲート絶縁層169を形成し、ゲート絶縁層169上にゲート電極層170a及びゲート電極層170bを形成する（図17（F）参照。）。一導電型を付与する不純物元素の半導体層への添加は、ゲート絶縁層169を形成した後、ゲート絶縁層169を通過させて（スルドープとも言われる）半導体層へ添加、導入してもよい。ゲート絶縁層169を介して半導体層へ不純物元素が添加されるので、半導体層へのドーピング工程におけるダメージを軽減することができる。

【0178】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。このようにして、電気的に接続されたpチャネル型薄膜トランジスタが形成され、CMOSの回路を作製することができる。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

20

【0179】

本実施の形態は、実施の形態1乃至8とそれぞれ組み合わせて用いることが可能である。

【0180】

（実施の形態11）

本実施の形態を、図18乃至21を用いて説明する。本実施の形態は、画素領域を実施の形態1で作製した画素領域で、周辺駆動回路領域も本発明を用いた薄膜トランジスタにより作製され、実施の形態4で作製されるnチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタからなるCMOSを適用している。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

30

【0181】

図21は本実施の形態で作製する表示装置の画素領域の上面図であり、図18乃至図20、図21（B）は、各工程の図6における線A-C、B-Dの断面図である。また、図18乃至図20におけるI-Jの領域は、図21（A）の表示装置の周辺駆動回路領域である線I-Jに対応する断面図である。

40

【0182】

基板300上に、絶縁層395、導電膜及び一導電型を有する半導体膜としてn型を有する半導体膜を形成し、レジストからなるマスクによってパターンニングを行い、ソース電極層又はドレイン電極層301a、ソース電極層又はドレイン電極層301b、ソース電極層又はドレイン電極層302a、ソース電極層又はドレイン電極層302b、ソース電極層又はドレイン電極層303a、ソース電極層又はドレイン電極層303b、ソース電極層又はドレイン電極層303c、第1の電極層304（画素電極層ともいう）、n型を有する半導体層305a、n型を有する半導体層305b、n型を有する半導体層307a、n型を有する半導体層307b、n型を有する半導体層308a、n型を有する半導体層308b、n型を有する半導体層308c、n型を有する半導体層309を形成する

50

。n型を有する半導体層305a、一部のn型を有する半導体層305bを覆うマスク394a、及びn型を有する半導体層307a、n型を有する半導体層307b、n型を有する半導体層308a、n型を有する半導体層308b、n型を有する半導体層308c、n型を有する半導体層309を覆うマスク394bを形成し、p型を付与する不純物元素393（本実施の形態ではボロン（B））を添加する。n型を有する半導体層305bの一部を、n型を付与する不純物元素濃度の2～10倍の濃度になるようにp型を付与する不純物元素393を添加することによって、p型を有する半導体層306a、p型を有する半導体層306bに導電型を反転させる（図18（A）参照。）。

【0183】

本実施の形態では、ガラスからなる基板300を用い、下地膜として機能する絶縁層395を、窒化酸化珪素膜（膜厚50nm）と酸化窒化珪素膜（膜厚100nm）積層して形成する。プラズマCVD法により、ガス種の切り替えのみで連続的に形成する。連続的に形成することで、工程が簡略化し、大気中の汚染物質が膜表面や界面に付着するのを防ぐことができる。またn型を有する半導体膜として、n型を付与する不純物元素としてリン（P）を含む非晶質珪素膜をプラズマCVD法により100nm形成する。

【0184】

本実施の形態では、ソース電極層又はドレイン電極層及び画素電極層として機能する第1の電極層を透明導電膜の単層で形成するが、積層構造としてもよい。積層構造としては、Ta、Ti、W、Mo、Cr、前記元素の窒化膜などの積層を用いることはでき、具体的にはTa_nN_m、Ti_nN_m、W_nN_m、Mo_nN_m、Cr_nN_m、TiN_m、W_nN_m、TiN_m、Cr_nN_mなどを用いることができる。本実施の形態では、液滴吐出法によって酸化珪素を含むインジウム錫酸化物（ITO）を含む組成物を吐出し、焼成してゲート電極層形成領域を含む近傍に導電膜を形成する。この導電膜をレーザー光による露光によって微細に加工されたマスクを用いて、精密にパターニングする。

【0185】

非晶質半導体膜310を形成し、非晶質半導体膜310上に、結晶化を促進、助長する元素として、金属膜311を形成する（図18（B）参照。）。金属膜311は非常に膜厚が薄いため膜としての形状を保っていない場合がある。本実施の形態では、Niを30ppmを含有した水溶液をスピンコーティング法により塗布し、金属膜311を形成する。金属膜311を塗布された非晶質半導体膜310を加熱し、結晶化工程と、結晶化を促進させる機能を有する金属元素のゲッタリング工程を同時に行う。また、先に添加されたp型を付与する不純物元素の活性化も行うことができる。本実施の形態では、550で8時間加熱処理を行う。

【0186】

ゲッタリング工程は、n型を有する半導体層305a、n型を有する半導体層305b、n型を有する半導体層307a、n型を有する半導体層307b、n型を有する半導体層308a、n型を有する半導体層308b、n型を有する半導体層308c、n型を有する半導体層309、p型を有する半導体層306a、p型を有する半導体層306bをゲッタリングシクとして、結晶性半導体膜中の金属元素をゲッタリングする。結晶性半導体膜中の金属元素は加熱処理により矢印の方向へ移動し、n型を有する半導体層305a、n型を有する半導体層305b、n型を有する半導体層307a、n型を有する半導体層307b、n型を有する半導体層308a、n型を有する半導体層308b、n型を有する半導体層308c、n型を有する半導体層309、p型を有する半導体層306a、p型を有する半導体層306b中に捕獲される。よって、結晶性半導体膜は、膜中の金属元素が軽減、又は除去された結晶性半導体膜312となり、n型を有する半導体層305a、n型を有する半導体層305b、n型を有する半導体層307a、n型を有する半導体層307b、n型を有する半導体層308a、n型を有する半導体層308b、n型を有する半導体層308c、n型を有する半導体層309、p型を有する半導体層306a、p型を有する半導体層306bは、一導電型を付与する不純物元素（本実施の形態ではP又はB）と金属元素（本実施の形態ではNi）を含むn型を有する半導体層313

10

20

30

40

50

a、n型を有する半導体層313b、n型を有する半導体層397a、n型を有する半導体層397b、n型を有する半導体層314a、n型を有する半導体層314b、n型を有する半導体層314c、n型を有する半導体層315、p型を有する半導体層396a、p型を有する半導体層396bとなる(図18(C)参照。)

【0187】

結晶性半導体膜312及びn型を有する半導体層313a、n型を有する半導体層313b、n型を有する半導体層397a、n型を有する半導体層397b、n型を有する半導体層314a、n型を有する半導体層314b、n型を有する半導体層314c、n型を有する半導体層315、p型を有する半導体層396a、p型を有する半導体層396bをパターンングし、半導体層316、半導体層317、半導体層318、半導体層319、n型を有する半導体層171a、n型を有する半導体層171b、n型を有する半導体層173a、n型を有する半導体層173b、n型を有する半導体層174a、n型を有する半導体層174b、p型を有する半導体層172a、p型を有する半導体層172bを形成することができる。これらの半導体層のパターンングも、本発明のレーザ光による露光によって微細に加工されたマスクを用いて、精密にパターンングすることができる。半導体層316、半導体層317、半導体層318、半導体層319を覆うようにゲート絶縁層320を形成する(図18(D)参照。)。本実施の形態では、ゲート絶縁層320として、酸化窒化珪素膜を膜厚120nm形成する。

【0188】

半導体層316、半導体層317、半導体層318、半導体層319上に、ゲート絶縁層320を介して、ゲート電極層321、ゲート電極層322、ゲート電極層323、ゲート電極層324a、ゲート電極層324bを形成する。本実施の形態では、液滴吐出口法を用いて、選択的にゲート電極層321、ゲート電極層322、ゲート電極層323、ゲート電極層324a、ゲート電極層324bを形成し、材料のロスを軽減する。導電性材料として銀(Ag)を用い、液滴吐出装置380a、液滴吐出装置380b、液滴吐出装置380c、液滴吐出装置380d、液滴吐出装置380aよりAgを含む組成物を吐出し、300で焼成して、ゲート電極層321、ゲート電極層322、ゲート電極層323、ゲート電極層324a、ゲート電極層324bを形成する(図19(A)参照。)

【0189】

パッシベーション膜となる絶縁膜325を形成する。本実施の形態では、絶縁膜325を、膜厚100nmの窒化珪素膜で形成する。絶縁膜325は、他の珪素を含む膜で形成しても良く、単層でも積層でもよい。酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜などをを用いることができる。

【0190】

絶縁膜325には水素を含ませるように形成し、温度300~500 窒素雰囲気下で加熱処理を行い、半導体層の水素化を行う。

【0191】

絶縁膜325上に絶縁層326を形成する。本実施の形態では、スリッドコーターを用いて、アルキル基を含む酸化珪素膜を形成する。ゲート絶縁層320、絶縁膜325、絶縁層326に、ソース電極層又はドレイン電極層302aに達する開口部327a、ソース電極層又はドレイン電極層302bに達する開口部327b、ソース電極層又はドレイン電極層303aに達する開口部327d、ソース電極層又はドレイン電極層303bに達する開口部327e、第1の電極層304に達する開口部327fを、絶縁膜325、絶縁層326に、ゲート電極層324bに達する開口部327cを形成する(図19(C)参照。)。開口部を形成するパターンングには、本発明のレーザ光による微細加工を用いることができる。また、本実施の形態では、ドライエッチングにより開口部を形成する。

【0192】

次にソース配線層330、配線層331、電源線332、配線層333を形成する。

本実施の形態では、ソース配線層、配線層、電源線を、Agを用い、液滴吐出法によって形成する。導電性材料としてAgを含む組成物を開口部327a、開口部327b、開口部327c、開口部327d、開口部327e、開口部327fに吐出し、300で焼成する。以上の工程より、ソース電極層又はドレイン電極層302aと電氣的に接続するソース配線層330、ソース電極層又はドレイン電極層302bとゲート電極層324bとを電氣的に接続する配線層331、ソース電極層又はドレイン電極層303aと電氣的に接続する電源線332、ソース電極層又はドレイン電極層303bと第1の電極層304とを電氣的に接続する配線層333を形成する。

【0193】

以上の工程で、CMOSを構成するnチャネル型薄膜トランジスタ341及びpチャネル型薄膜トランジスタ342、nチャネル型薄膜トランジスタ343、nチャネル型薄膜トランジスタ345、容量素子344を形成することができる(図20(A)参照)。本実施の形態ではCMOSの構成としたが、本発明はそれに限定されず、PMOSの構成でもNMOSの構成としてもよい。

【0194】

続いて、土手(隔壁ともよばれる)となる絶縁層334を形成する。絶縁層334は、スピコート法やディップ法により全面に絶縁層を形成した後、エッチング加工によって図20に示すように開孔を形成する。また、液滴吐出法により絶縁層334を形成すれば、エッチング加工は必ずしも必要ない。絶縁層334は、第1の電極層304に対応して画素が形成される位置に合わせて貫通孔の開孔部を備えて形成される。

【0195】

第1の電極層304上に、電界発光層335、第2の電極層336を積層して形成する。その後、封止基板340によって充填剤337を封入して封止する。充填剤の封入には、液晶材料と同様に図48のように滴下法を用いることもできる。充填剤337の代わりに、窒素などの不活性ガスを充填してもよい。また、乾燥剤を表示装置内に設置することによって、発光素子の水分による劣化を防止することができる。乾燥剤の設置場所は、封止基板340側でも、素子が形成されている基板300側でもよく、シール材348が形成される領域に基板に凹部を形成して設置してもよい。また、封止基板340の駆動回路領域や配線領域など表示に寄与しない領域に対応する場所に設置すると、乾燥剤が不透明な物質であっても開口率を低下させることがない。充填剤337に吸湿性の材料を含むように形成し、乾燥剤の機能を持たせても良い。以上により、発光素子を用いた表示機能を有する表示装置が完成する(図21参照)。

【0196】

また、表示装置内部と外部を電氣的に接続するための端子電極層346に、異方性導電膜347によってFPC349が接着され、端子電極層346と電氣的に接続する。

【0197】

図21(A)に、表示装置の上面図を示す。図21(A)で示すように、画素領域350、走査線駆動領域351a、走査線駆動領域351b、接続領域353が、シール材348によって、基板300と封止基板340との間に封止され、基板300上にICドライバによって形成された信号線駆動回路352が設けられている。

【0198】

本実施の形態で示す図21の表示装置は、ソース電極層又はドレイン電極層301a、ソース電極層又はドレイン電極層301b、ソース電極層又はドレイン電極層302a、ソース電極層又はドレイン電極層302b、ソース電極層又はドレイン電極層303a、ソース電極層又はドレイン電極層303b、ソース電極層又はドレイン電極層303c、第1の電極層304を単層構造で示しているが、前述したように、ソース電極層又はドレイン電極層を2層以上の複数層積層してもよい。ソース電極層又はドレイン電極層及び第1の電極層を積層構造にした例を図49に示す。

【0199】

積層構造としては、Ta、Ti、W、Mo、Cr、前記元素の窒化膜などの積層を用

10

20

30

40

50

いることはでき、具体的にはTaN\W、TaN\Mo、TaN\Cr、TiN\W、TiN\Mo、TiN\Crなどを用いることができる。本実施の形態では第1のソース電極層又はドレイン電極層301a1、第1のソース電極層又はドレイン電極層301b1、第1のソース電極層又はドレイン電極層302a1、第1のソース電極層又はドレイン電極層302b1、第1のソース電極層又はドレイン電極層303a1、第1のソース電極層又はドレイン電極層303b1、第1のソース電極層又はドレイン電極層303c1としてTaNを用い、第2のソース電極層又はドレイン電極層301a2、第2のソース電極層又はドレイン電極層301b2、第2のソース電極層又はドレイン電極層302a2、第2のソース電極層又はドレイン電極層302b2、第2のソース電極層又はドレイン電極層303a2、第2のソース電極層又はドレイン電極層303b2、第2のソース電極層又はドレイン電極層303c2としてWを用いる。同工程で形成される第1の電極層においても、第1の電極層304aとしてTaN膜を、第1の電極層304bとしてW膜を形成する。このようにソース電極層又はドレイン電極層及び第1の電極層を積層構造とすることができる。また、第1の電極層を単層構造で形成し、ソース電極層又はドレイン電極層を積層構造としてもよく、反対に、第1の電極層を積層構造としソース電極層又はドレイン電極層を単層構造としてもよい。表示装置に要求される機能に応じて適宜設定すればよい。

10

【0200】

以上の工程により、結晶性半導体膜を有する順スタガ型薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度が高い。また、ソース領域及びドレイン領域には、一導電性を付与する不純物元素に加え、半導体膜の結晶化を促進させる機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

20

【0201】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【0202】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このため、このような薄膜トランジスタを表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

30

【0203】

本実施の形態は、実施の形態1乃至10とそれぞれ組み合わせて用いることが可能である。

【0204】

(実施の形態12)

本実施の形態では、実施の形態1にて作製した表示装置において、表示素子として液晶表示素子を用いた液晶表示装置を作製する例を図22及び図23を用いて説明する。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

40

【0205】

図22(A)は表示装置の画素領域の上面図であり、図22(B)は、図22(A)の線E-Fにおける断面図である。画素領域は、本発明の順スタガ型の薄膜トランジスタ360、ソース配線層361、容量配線層362、ゲート配線層も兼ねるゲート電極層363、配線層364、画素電極層365、絶縁膜388、絶縁層389が設けられている。薄膜トランジスタ360のソース電極層又はドレイン電極層と画素電極層365とは、基板355上の下地膜として設けられる絶縁層176上に、同材料を用いて同工程で形成される。薄膜トランジスタ360はマルチゲート構造であり、配線層364によって薄膜トランジスタ360のソース電極層又はドレイン電極層と画素電極層365は電氣的に接

50

続されている。また、ソース配線層 361 は薄膜トランジスタ 360 のソース電極層又はドレイン電極層と、ゲート絶縁層 387、絶縁膜 388、絶縁層 389 に設けられるコンタクトホールにおいて電氣的に接続されている。

【0206】

本実施の形態における液晶表示装置は、駆動回路領域も画素領域と同一基板上に設けている。本実施の形態の液晶表示装置を図 23 に示す。図 23 (A) は液晶表示装置の上面図であり、図 23 (B) は、図 23 (A) における線 O - P の断面図であり、周辺駆動回路領域である線 U - W の断面図である。

【0207】

本実施の形態における周辺駆動回路は n チャンネル型薄膜トランジスタ 383 a 及び n チャンネル型薄膜トランジスタ 383 b で構成される NMOS の回路が設けられている。n チャンネル型薄膜トランジスタ 383 a 及び n チャンネル型薄膜トランジスタ 383 b はソース電極層又はドレイン電極層 251 a、ソース電極層又はドレイン電極層 251 b、ソース電極層又はドレイン電極層 251 c、半導体層 254、半導体層 255、ゲート絶縁層 250、ゲート電極層 256、ゲート電極層 257 で構成されている。

【0208】

本実施の形態では、駆動回路領域において、NMOS 構成を用いてインバーターとして機能させている。このように PMOS のみ、NMOS の構成の場合においては、一部の TFT のゲート電極層とソース電極層又はドレイン電極層とを接続させる。このような例を図 40 に示す。フォトリソを用いてゲート絶縁層 250 の一部をエッチングして、図 40 に示すようなコンタクトホール 260 を形成する。コンタクトホール 260 にゲート電極層 257 を形成し、ソース電極層又はドレイン電極層 251 c とゲート電極層 257 とを電氣的に接続する。ソース電極層又はドレイン電極層 251 c とゲート電極層 257 とを電氣的に接続することによって、n チャンネル型薄膜トランジスタ 383 a と n チャンネル型薄膜トランジスタ 383 b とが NMOS であってもインバーターとして機能させることができる。

【0209】

画素電極層 365、配線層 364、ソース配線層 361、絶縁層 389 を覆うように、印刷法やスピンコート法により、配向膜と呼ばれる絶縁層 367 を形成する。絶縁層 367 は、スクリーン印刷法やオフセット印刷法を用いれば、選択的に形成することができる。その後、ラビングを行う。続いて、シール材 378 を液滴吐出法により画素を形成した周辺の領域に形成する。

【0210】

その後、配向膜として機能する絶縁層 369、カラーフィルタとして機能する着色層 370、対向電極として機能する導電体層 371、偏光板 373 が設けられた対向基板 372 と TFT を有する基板 355 とをスペーサ 374 を介して貼り合わせ、その空隙に液晶層 368 を設けることにより液晶表示装置を作製することができる (図 23 参照)。また基板 355 の TFT を有していない側にも偏光板 382 を形成する。シール材にはファイラが混入されていても良く、さらに対向基板 124 には、遮蔽膜 (ブラックマトリクス) などが形成されていても良い。なお、液晶層を形成する方法として、ディスペンサ式 (滴下式) や、対向基板 372 を貼り合わせてから毛細管現象を用いて液晶を注入するディップ式 (汲み上げ式) を用いることができる。

【0211】

ディスペンサ方式を採用した液晶滴下注入法を図 48 を用いて説明する。図 48 において、40 は制御装置、42 は撮像手段、43 はヘッド、33 は液晶、35、41 はマーカー、34 はバリア層、32 はシール材、30 は TFT 基板、20 は対向基板である。シール材 32 で閉ループを形成し、その中にヘッド 43 より液晶 33 を 1 回若しくは複数回滴下する。ヘッド 43 は複数のノズルを備えており、一度に多量の液晶材料を滴下することができるためスループットが向上する。そのとき、シール材 32 と液晶 33 とが反応することを防ぐため、バリア層 34 を設ける。続いて、真空中で基板を貼り合わせ、その後

10

20

30

40

50

紫外線硬化を行って、液晶が充填された状態とする。

【0212】

スペーサは、スペーサは数 μm の粒子を散布して設ける方法でも良いが、本実施の形態では基板全面に樹脂膜を形成した後これをパターンングして形成する方法を採用した。このようなスペーサの材料を、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで150～200で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、スペーサの形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示装置としての機械的な強度を確保することができる。形状は円錐状、角錐状などを用いることができ、特別な限定はない。シール材にはフィラーが混入されていても良く、さらに対向基板372には、遮蔽膜(ブラックマトリクス)などが形成されていても良い。

10

【0213】

以上の工程で形成された画素部と外部の配線基板を接続するために接続部を形成する。大気圧又は大気圧近傍下で、酸素ガスを用いたアッシング処理により、接続部の絶縁体層を除去する。この処理は、酸素ガスと、水素、 CF_4 、 NF_3 、 H_2O 、 CHF_3 から選択された一つ又は複数とを用いて行う。本工程では、静電気による損傷や破壊を防止するために、対向基板を用いて封止した後に、アッシング処理を行っているが、静電気による影響が少ない場合には、どのタイミングで行っても構わない。

【0214】

液晶表示装置内部と外部を電氣的に接続するための端子電極層379に、異方性導電膜180によってFPC381が接着され、端子電極層379と電氣的に接続する。

20

【0215】

以上の工程により、本発明を用いた液晶表示装置(液晶表示パネル)が完成する。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な液晶表示装置を作製することが可能である。よってOCBモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

30

【0216】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【0217】

更には、ゲッターリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッターリングするため、オフ電流を低減することが可能である。このため、このような薄膜トランジスタを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0218】

また、レーザー照射の微細な加工により、配線等の細線化も自由に設計できる。本発明により、所望なパターンを制御性よく形成でき、材料のロスも少なく、コストダウンも達成できる。よって高性能、高信頼性の表示装置を歩留まりよく作製することができる。

40

【0219】

本実施の形態は、実施の形態1乃至10とそれぞれ組み合わせて用いることが可能である。

【0220】

(実施の形態13)

実施の形態1では、ソース電極層及びドレイン電極層と、ゲート電極層(ゲート配線層も含む)とがゲート絶縁層を介して積層し、ゲート電極層(ゲート配線層も含む)とソ

50

ース配線層とが層間絶縁層を介して積層している多層構造を用いている。本実施の形態では、これらの積層構造が異なる例を図24乃至図30を用いて説明する。

【0221】

図24(A)は、表示装置の上面図であり、図24(B)は、図24(A)における線X1-V1による断面図である。

【0222】

図24において、表示装置の画素領域内には、基板600上に、下地膜となる絶縁層609、ソース電極層又はドレイン電極層601a、ソース電極層又はドレイン電極層601b、ゲート絶縁層602、ゲート電極層603a、ゲート電極層603b、ソース配線層607、パッシベーション膜である絶縁膜605、絶縁層606が形成されている。

10

【0223】

絶縁膜605は必ずしも必要ではないが、絶縁膜605を形成すると、パッシベーション膜として機能するので、より表示装置の信頼性が向上する。また、絶縁膜605を形成し、熱処理を行うと、絶縁膜605中に含まれる水素によって半導体層の水素化を行うことができる。

【0224】

図24(B)で示すようにゲート電極層603bは、層間絶縁層である絶縁層606を介して、ソース配線層607と積層しており、ソース配線層607は、ソース電極層又はドレイン電極層601a、ソース電極層又はドレイン電極層601bと絶縁層606、絶縁膜605、ゲート絶縁層602に形成されたコンタクトホールで接続されている。よってソース配線層607と、ゲート電極層603bとはショートしない構造となっている。

20

【0225】

図25(A)は、表示装置の上面図であり、図25(B)は、図25(A)における線X2-V2による断面図である。図25において、表示装置の画素領域内には、基板620上に、下地膜となる絶縁層629、ソース電極層又はドレイン電極層621a、ソース電極層又はドレイン電極層621b、ゲート絶縁層622、ゲート電極層623a、ゲート電極層623b、ソース配線層627a、ソース配線層627b、パッシベーション膜である絶縁膜625、絶縁層626が形成されている。

【0226】

図25(B)で示すようにゲート電極層623bは、層間絶縁層である絶縁層626を介して、ソース配線層627bと積層しており、ソース配線層627bは、ソース電極層又はドレイン電極層621a、ソース電極層又はドレイン電極層621bと絶縁層626、絶縁膜625、ゲート絶縁層622に形成されたコンタクトホールで接続されている。よってソース配線層627bと、ゲート電極層623bとはショートしない構造となっている。また、図25で示す表示装置は、ソース配線層は連続的ではなく断続的に形成され、ソース電極層又はドレイン電極層にコンタクトホールを介して電氣的な接続を取りながら形成されている構造となっている。よって、ゲート電極層623bが形成されている領域では、ソース電極層又はドレイン電極層621aとソース電極層又はドレイン電極層621bとは、絶縁層626上に形成するソース配線層627bとコンタクトホールにおいて接続することで電氣的に接続されている。

30

40

【0227】

図26(A)は、表示装置の上面図であり、図26(B)は、図26(A)における線X3-V3による断面図である。図26において、表示装置の画素領域内には、基板630上に、下地膜となる絶縁層639、ソース電極層又はドレイン電極層631a、ソース電極層又はドレイン電極層631b、ゲート絶縁層632、ゲート電極層633a、ゲート電極層633b、ソース配線層637a、ソース配線層637b、配線層638a、配線層638b、パッシベーション膜である絶縁膜635、絶縁層636が形成されている。

【0228】

50

図26(B)で示すようにゲート電極層633bは、層間絶縁層である絶縁層636を介して、ソース配線層637bと積層している。図25で示す表示装置において、ソース電極層又はドレイン電極層621aとソース配線層627a及びソース配線層627bとは直接接続している。しかし図26で示す表示装置では、ソース電極層又はドレイン電極層631aと、ソース配線層637a及びソース配線層637bとは、ゲート電極層と同材料、同工程で形成される配線層638aを介して電氣的に接続される。よって、ソース電極層又はドレイン電極層631aはゲート絶縁層632上に形成される配線層638aとコンタクトホールで接続し、配線層638aは、ソース配線層637a及びソース配線層637bとコンタクトホールを介して接続する。よって、ソース電極層又はドレイン電極層631a、ソース配線層637a、及びソース配線層637bは電氣的に接続する。ゲート電極層633bは層間絶縁層である絶縁層636を介してソース配線層637bと積層されるので、ゲート電極層633bとソース配線層637bとはショートしない構造となっている。

10

【0229】

図24、図25及び図26は層間絶縁層として絶縁層を、広範囲にわたって覆うように形成した場合を示した。図27、図28及び図29、図30は配線層間を隔てる層間絶縁層を、液滴吐出法を用いて必要な個所のみを選択的に形成する例を示す。

【0230】

図27は図24に、図28は図25に、図29は図26の表示装置にそれぞれ対応しており、層間絶縁層の構造が異なる構造となっている。図27(A)は、表示装置の上面図であり、図27(B)は、図27(A)における線Y1-Z1による断面図である。図27において、ゲート電極層603bを覆うように絶縁層650が液滴吐出法により選択的に形成されている。その絶縁層650上を跨ぐようにソース配線層607が形成されている。ソース配線層607上には、パッシベーション膜として絶縁膜660が形成されている。絶縁膜660は必ずしも必要ではないが、形成することで信頼性を向上させることができる。また本実施の形態では、絶縁層650単層で形成するが、絶縁層650の上、または下に絶縁膜を形成して積層構造としてもよい。

20

【0231】

図28(A)は、表示装置の上面図であり、図28(B)は、図28(A)における線Y2-Z2による断面図である。図28においても図27と同様に、ゲート電極層623bを覆うように絶縁層651が、液滴吐出法により選択的に形成されている。その絶縁層651上を跨ぐようにソース配線層627bが形成されている。ソース配線層627bは、ソース電極層又はドレイン電極層621a及びソース電極層又はドレイン電極層621bとそれぞれコンタクトホールにより接続されているので、ソース配線層627bによって、ソース電極層又はドレイン電極層621aとソース電極層又はドレイン電極層621bとは電氣的に接続されている。ソース配線層627b上には、パッシベーション膜として絶縁膜661が形成されている。

30

【0232】

図29(A)は、表示装置の上面図であり、図29(B)は、図29(A)における線Y3-Z3による断面図である。図29においても図27と同様に、ゲート電極層633bを覆うように絶縁層652が、液滴吐出法により選択的に形成されている。その絶縁層652上を跨ぐようにソース配線層637bが形成され、配線層638aと配線層638bとに接続している。配線層638aはソース電極層又はドレイン電極層631aと、配線層638bはソース電極層又はドレイン電極層631bとにそれぞれコンタクトホールにおいて接続しているため、ソース電極層又はドレイン電極層631a、ソース電極層又はドレイン電極層631bとは電氣的に接続している。

40

【0233】

絶縁層650、絶縁層651、絶縁層652のように配線層間のショートを防ぐための絶縁層を、液滴吐出法を用いて選択的に形成すると、材料のロスが軽減する。また、直接配線間が接するように形成することができるので、絶縁層にコンタクトホールを形成す

50

る工程が減る。よって、工程が簡略化し低いコスト、高い生産性を得ることができる。

【0234】

図30の表示装置もゲート電極層643a及びゲート電極層643bと、ソース配線層648a及びソース配線層648bとを物理的に隔てるために設ける絶縁層653a及び絶縁層653bを液滴吐出法を用いて選択的に形成する例である。図27乃至図29における表示装置では、絶縁層上にソース配線層を跨ぐように形成することで、ゲート電極層とソース配線層とのショートを防いでいた。図30の表示装置では、ソース電極層又はドレイン電極層641a、ソース電極層又はドレイン電極層641a及びソース電極層又はドレイン電極層641bを、後にゲート配線層が形成される領域を横切るように、ソース配線層が形成される領域までわたって形成する。本実施の形態では、ソース電極層又はドレイン電極層641a及びソース電極層又はドレイン電極層641bそのものを広く形成し、ゲート電極層643a及びゲート電極層643bの形成領域を横切りソース配線層648a及びソース配線層648bの形成領域まで達するような形状とするが、ソース電極層又はドレイン電極層641a及びソース電極層又はドレイン電極層641bとは別に、ゲート電極層643a及びゲート電極層643bの形成領域を横切るようにそれぞれ配線層を形成してもよい。

10

【0235】

その後ゲート電極層643a、ゲート電極層643bを形成する前に、ソース電極層又はドレイン電極層を覆うゲート絶縁層642の一部をエッチングによって除去する。図30(A)の表示装置上面図に示すように、ゲート絶縁層642は、半導体層770、半導体層775上、容量素子を形成する領域となる一部のソース電極層又はドレイン電極層773a上に存在するが、ソース配線層648a、ソース配線層648bが形成される領域、ソース電極層又はドレイン電極層772とゲート電極層774とが接続する領域、及び電極層777上の大部分は除去されている。よって、コンタクトホールを形成することなく、電極層同士は直接接続することができる。ソース電極層又はドレイン電極層641a及びソース電極層又はドレイン電極層641b上のゲート電極層643a、ゲート電極層643bの形成領域に、絶縁層653a及び絶縁層653bを液滴吐出法によって選択的に形成する。絶縁層653a及び絶縁層653b上にゲート電極層643a、ゲート電極層を形成する。ゲート電極層643a及びゲート電極層643bを形成するのと同工程で、ソース配線層648a、ソース配線層648bをソース電極層又はドレイン電極層641a、ソース電極層又はドレイン電極層641bとそれぞれ接するように形成する。ソース電極層又はドレイン電極層641aは、絶縁層653b下を連続的にくぐるように形成されているのでソース配線層648aとソース配線層648bとも電氣的に接続することができる。このように、絶縁層653bの下層でソース配線層とソース電極層又はドレイン電極層を電氣的に接続することができる。

20

30

【0236】

図30の表示装置の線Q-Rにおける断面図を図51(A)に、線S-Tにおける断面図を図51(B)にそれぞれ示す。図30で示したように、図30の表示装置は、ゲート絶縁層が選択的に除去されており、画素内にコンタクトホールを形成しない構造となっている。よって、電極間は層間絶縁層を介さないで接続している。図30の表示装置は表示素子に発光素子を用いる発光表示装置の例を示している。

40

【0237】

図51(A)において、基板640上に、絶縁層649、ソース電極層又はドレイン電極層641a、ソース電極層又はドレイン電極層772、ソース電極層又はドレイン電極層773aが形成され、ソース電極層又はドレイン電極層641a、ソース電極層又はドレイン電極層772上に、一導電型を有する半導体層771a、一導電型を有する半導体層771b、半導体層770が形成されている。ゲート絶縁層642は、半導体層770、ソース電極層又はドレイン電極層773aを覆うようにのみ形成され、ソース電極層又はドレイン電極層641a、ソース電極層又はドレイン電極層772上の一部では除去されている。ゲート絶縁層642に覆われていない露出されたソース電極層又はドレイン

50

電極層 641a に接してソース配線層 648a が形成され、ゲート絶縁層 642 に覆われていない露出されたソース電極層又はドレイン電極層 772 上にゲート電極層 774 が形成され、それぞれ電氣的に接続している。半導体層 770 を覆うように設けられたゲート絶縁層 642 上にゲート電極層 643a が形成され、絶縁膜 663 と隔壁として機能する絶縁層 780 が形成されている。

【0238】

図 51 (B) も同様に、基板 640 上に、絶縁層 649、電極層 777 と、ソース電極層又はドレイン電極層 773b が形成され、電極層 777 及びソース電極層又はドレイン電極層 773b 上に一導電型を有する半導体層 776a、一導電型を有する半導体層 776b、ゲート絶縁層 642 が形成されている。ゲート絶縁層 642 上にはゲート電極層 774 が形成され、絶縁膜 663、隔壁として機能する絶縁層 780 が形成されている。ゲート絶縁層 642 は選択的に形成されており、電極層 777 及びソース電極層又はドレイン電極層 773b ソース電極層又はドレイン電極層 773b の一部では除去されている。ゲート絶縁層 642 に覆われていない露出されたソース電極層又はドレイン電極層 773b 上には電源線 778 が形成され電氣的に接続している。図 30 及び図 51 で示されている表示装置において、電極層 777 は、ソース電極層又はドレイン電極層と画素電極層を兼ねて形成されている。本発明においては、ソース電極層又はドレイン電極層と画素電極層とは、同材料を用いて同工程で形成されるので、図 30 及び図 51 の表示装置のように一体化して形成することができる。このように一体化して形成すると、ソース電極層又はドレイン電極層と画素電極層とを接続する配線層を形成しなくともよいので、工程も簡略化し、生産コストも軽減する利点がある。画素電極層も兼ねる電極層 777 上に、電界発光層 781、電界発光層 781 上に電極層 782 が積層され、発光素子を備えた表示装置が完成される。

10

20

【0239】

以上の工程で示すように、信頼性の高い表示装置を低コストで生産性よく作製することができる。

【0240】

本実施の形態は、実施の形態 1 乃至 12 とそれぞれ組み合わせて用いることが可能である。

【0241】

(実施の形態 14)

次に、実施の形態 1 乃至 7 によって作製される表示パネルに駆動用のドライバ回路を実装する態様について説明する。

【0242】

まず、COG方式を採用した表示装置について、図 34 (A) を用いて説明する。基板 2700 上には、文字や画像などの情報を表示する画素部 2701 が設けられる。複数の駆動回路が設けられた基板を、矩形状に分断し、分断後の駆動回路 (以下ドライバ IC と表記) 2751 は、基板 2700 上に実装される。図 34 (A) は複数のドライバ IC 2751、ドライバ IC 2751 の先に FPC 2750 を実装する形態を示す。また、分割する大きさを画素部の信号線側の辺の長さとはほぼ同じにし、単数のドライバ IC に、該ドライバ IC の先にテープを実装してもよい。

30

40

【0243】

また、TAB方式を採用してもよく、その場合は、図 34 (B) で示すように複数のテープを貼り付けて、該テープにドライバ IC を実装すればよい。COG方式の場合と同様に、単数のテープに単数のドライバ IC を実装してもよく、この場合には、強度の問題から、ドライバ IC を固定する金属片等を一緒に貼り付けるとよい。

【0244】

これらの表示パネルに実装されるドライバ IC は、生産性を向上させる観点から、一辺が 300mm から 1000mm 以上の矩形状の基板上に複数個作り込むとよい。

【0245】

50

つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバICの長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が15～80mm、短辺が1～6mmの矩形状に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

【0246】

ドライバICのICチップに対する外形寸法の優位性は長辺の長さであり、長辺が15～80mmで形成されたドライバICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバICを形成すると、母体として用いる基板の形状

10

【0247】

また、図33(B)のように走査線側の駆動回路3704は基板上に一体形成される場合、画素領域3701の外側の領域には、信号線側の駆動回路駆動回路が形成されたドライバICが実装される。これらのドライバICは、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素領域3701の端部で数ブロック毎に区分して引出線を形成し、ドライバICの出力端子のピッチに合わせて集められる。

20

【0248】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、本発明を用いた薄膜トランジスタを用いることができる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。

【0249】

画素領域は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。画素領域に配置されるトランジスタとしても、本発明を用いた薄膜トランジスタを適用することができる。本発明を適用して作製される薄膜トランジスタは、簡略化した工程で比較的高移動度が得られるため、大画面の表示装置を作製する上で

30

【0250】

図34(A)、(B)のように走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするともよい。

【0251】

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするのが好適である。例えば、走査線側のドライバICを構成するトランジスタには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャンネル長(L)は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャンネル長などはミクロンルールで設定することが好適である。なおチャンネル長方向とは、チャンネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。

40

【0252】

ドライバICの実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることができる。

50

【 0 2 5 3 】

ドライバICの厚さは、対向基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この表示装置に温度変化が生じても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはない。その他にも、本実施の形態で示すようにICチップよりも長尺のドライバICで駆動回路を実装することにより、1つの画素領域に対して、実装されるドライバICの個数を減らすことができる。

【 0 2 5 4 】

以上のようにして、表示パネルに駆動回路を組み入れることができる。本実施の形態は、実施の形態1乃至13とそれぞれ組み合わせる用いることが可能である。

10

【 0 2 5 5 】

(実施の形態15)

本実施の形態では、上記実施の形態において、ゲート電極層とソース電極層及びドレイン電極層との端部の位置関係、即ちゲート電極層の幅とチャンネル長の大きさの関係について、図41を用いて説明する。

【 0 2 5 6 】

図41(A)は基板540上に形成された、絶縁層546、ソース電極層又はドレイン電極層541a、ソース電極層又はドレイン電極層541b、一導電型を有する半導体層542a、一導電型を有する半導体層542b、半導体層543、ゲート絶縁層544、ゲート電極層545からなる順スタガ型の薄膜トランジスタである。

20

【 0 2 5 7 】

図41(A)は、ソース電極層及びドレイン電極層541a、ソース電極層及びドレイン電極層541b上をゲート電極層545の端部がc1だけ重なっている。ここでは、半導体層543において、ソース電極層及びドレイン電極層とゲート電極層とが重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極層の幅b1がチャンネル長a1よりも大きい。オーバーラップ領域の幅c1は、 $(b1 - a1) / 2$ で表される。このようなオーバーラップ領域を有するnチャンネルTFTは、ソース電極層及びドレイン電極層と、半導体領域との間に、n+領域とn-領域とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることが可能となる。

【 0 2 5 8 】

図41(B)は基板550上に形成された、絶縁層556、ソース電極層又はドレイン電極層551a、ソース電極層又はドレイン電極層551b、一導電型を有する半導体層552a、一導電型を有する半導体層552b、半導体層553、ゲート絶縁層554、ゲート電極層555からなる順スタガ型の薄膜トランジスタである。

30

【 0 2 5 9 】

図41(B)は、ゲート電極層555の端部と、ソース電極層及びドレイン電極層551a、ソース電極層及びドレイン電極層551bの端部が一致している。即ち、ゲート電極層の幅b2とチャンネル長a2とが等しい。

【 0 2 6 0 】

図41(C)は基板560上に形成された、絶縁層566、ソース電極層又はドレイン電極層561a、ソース電極層又はドレイン電極層561b、一導電型を有する半導体層562a、一導電型を有する半導体層562b、半導体層563、ゲート絶縁層564、ゲート電極層565からなる順スタガ型の薄膜トランジスタである。

40

【 0 2 6 1 】

図41(C)は、ゲート電極層565とソース電極層及びドレイン電極層561a、ソース電極層及びドレイン電極層561aの端部とがc3だけ離れている。ここでは、半導体層563において、ゲート電極層565と、ソース電極層及びドレイン電極層561a、ソース電極層及びドレイン電極層561aとが重なっておらず離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極層の幅b3がチャンネル長a3よりも小さい。オフセット領域の幅c3は、 $(a3 - b3) / 2$ で表される。このような構造のTFTは、オフ

50

電流を低減することができるため、該TFTを表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。

【0262】

さらには、半導体層が複数のゲート電極層を覆ういわゆるマルチゲート構造のTFTとしても良い。この様な構造のTFTも、オフ電流を低減することができる。本発明におけるレーザ光によるマスク加工技術によって、精密な加工を施されたマスクを形成することができるので、このようなマスクを用いて電極層などの配線パターンを微細かつ正確な形状に形成することができる。よって、微細な電極層のパターニングを行い、本実施の形態で示すような要求される機能を有する薄膜トランジスタを歩留まり良く生産することができる。よってその薄膜トランジスタを有する表示装置も、高い信頼性と性能を有するもの

10

【0263】

本実施の形態は、実施の形態1乃至14とそれぞれ組み合わせて用いることが可能である。

【0264】

(実施の形態16)

本実施の形態では、上記実施の形態に適応可能な半導体膜の結晶化工程を図38及び図39を用いて説明する。

【0265】

図38において、基板210上に、ソース電極層又はドレイン電極層211a、ソース電極層又はドレイン電極層211b、一導電型を有する半導体層212a、一導電型を有する半導体層212bが形成され、ソース電極層又はドレイン電極層、及び一導電型を有する半導体層の上に跨るように、半導体膜213が形成されている。本実施の形態において、一導電型を有する半導体層は、ソース領域又はドレイン領域として機能するほか、半導体膜の結晶化に用いる結晶化を促進する金属元素を、結晶化後の半導体膜中から除去する際のゲッタリングシンクとしても機能する。本実施の形態では、一導電型を有する半導体層212a、一導電型を有する半導体層212bとしてn型を有する半導体層を用いる。半導体膜213上に絶縁膜で形成されるマスク214a、マスク214bを形成し、選択的に金属膜215を形成して、半導体膜の結晶化を行うことができる。半導体膜を加熱すると、図38(B)の矢印で示すように、金属膜215と半導体膜213との接触部分から、基板の表面に平行な方向へ結晶成長が発生し、結晶性半導体膜216が形成する。なお、金属膜215から、かなり離れた部分では結晶化は行われず、非晶質部分が残存する。

20

30

【0266】

また、図39(A)に示すように、マスクを用いず、液滴吐出法により選択的に金属膜224を形成して、上記結晶化を行ってもよい。図39(B)は、図39(A)の上面図である。また、図39(D)は、図39(C)の上面図である。

【0267】

図39において、基板220上に、ソース電極層又はドレイン電極層221a、ソース電極層又はドレイン電極層221b、一導電型を有する半導体層222a、一導電型を有する半導体層222bが形成され、ソース電極層又はドレイン電極層、及び一導電型を有する半導体層の上に跨るように、半導体膜223が形成されている。半導体膜223上に液滴吐出法により選択的に金属膜224を形成する。加熱処理により半導体膜の結晶化を行うと図39(C)及び図39(D)に示すように、金属膜と半導体膜との接触部分から、基板の表面に平行な方向へ結晶成長が発生する。ここでも、金属膜224から、かなり離れた部分では結晶化は行われず、非晶質部分が残存する。

40

【0268】

このように、基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。横成長により大粒径の結晶粒を形成することができるため、チャンネル形成領域228にこの結晶半導体膜を用いると、より高い移動度を有する薄膜トランジスタを形成することが

50

できる。

【0269】

本実施の形態は、実施の形態1乃至15とそれぞれ組み合わせて用いることが可能である。

【0270】

(実施の形態17)

本発明の表示装置に具備される保護回路の一例について説明する。

【0271】

図34で示すように、外部回路と内部回路の間に保護回路2713を形成することができる。保護回路は、TFT、ダイオード、抵抗素子及び容量素子等から選択された1つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1つの入力端子に対応した保護回路の等価回路図の構成について、図52を用いて説明する。図52(A)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230、容量素子7210、7240、抵抗素子7250を有する。抵抗素子7250は2端子の抵抗であり、一端には入力電圧 V_{in} (以下、 V_{in} と表記)が、他端には低電位電圧 V_{SS} (以下、 V_{SS} と表記)が与えられる。

10

【0272】

図52(B)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230を、整流性を有するダイオード7260、7270で代用した等価回路図である。図52(C)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230を、TFT7350、7360、7370、7380で代用した等価回路図である。また、上記とは別の構成の保護回路として、図52(D)に示す保護回路は、抵抗7280、7290と、nチャネル型薄膜トランジスタ7300を有する。図52(E)に示す保護回路は、抵抗7280、7290、pチャネル型薄膜トランジスタ7310及びnチャネル型薄膜トランジスタ7320を有する。保護回路を設けることで電位の急激な変動を防いで、素子の破壊又は損傷を防ぐことができ、信頼性が向上する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施の形態は、上記の実施の形態と自由に組み合わせることが可能である。

20

【0273】

本実施の形態は、実施の形態1乃至16とそれぞれ組み合わせて用いることが可能である。

30

【0274】

(実施の形態18)

本発明を適用して薄膜トランジスタを形成し、該薄膜トランジスタを用いて表示装置を形成することができるが、発光素子を用いて、なおかつ、該発光素子を駆動するトランジスタとしてN型トランジスタを用いた場合、該発光素子から発せられる光は、下面放射、上面放射、両面放射のいずれかを行う。ここでは、いずれの場合に応じた発光素子の積層構造について、図46を用いて説明する。

【0275】

また、本実施の形態では、本発明を適用した順スタガ型の薄膜トランジスタ671、681及び691を用いる。本実施の形態では、半導体層として結晶性の構造を有する珪素膜を用い、一導電型の半導体層としてN型の半導体層を用いる。N型半導体層を形成するかわりに、 PH_3 ガスによるプラズマ処理を行うことによって、半導体層に導電性を付与してもよい。半導体層は本実施の形態に限定されず、一導電型の半導体層を形成せず、結晶性半導体層に不純物を導入(添加)して一導電性を有する不純物領域を形成してもよい。

40

【0276】

まず、基板680側に放射する場合、つまり下面放射を行う場合について、図46(A)を用いて説明する。この場合、薄膜トランジスタ681に電氣的に接続するように、ソ

50

ース電極層又はドレイン電極層に接続する配線層682に接して、第1の電極層684、電界発光層685、第2の電極層686が順に積層される。光が透過する基板680は透光性を有する必要がある。次に、基板690と反対側に放射する場合、つまり上面放射を行う場合について、図46(B)を用いて説明する。薄膜トランジスタ691は、前述した薄膜トランジスタの同様に形成することができる。

【0277】

薄膜トランジスタ691に電氣的に接続するソース電極層又はドレイン電極層に接続する配線層692が第1の電極層684と接し、電氣的に接続する。薄膜トランジスタ691のソース電極層又はドレイン電極層は積層構造となっており、同工程同材料で形成される第1の電極層も第1の電極層693a、第1の電極層693bの積層構造となっている。第1の電極層693aは反射性を有する金属膜であり、発光素子から放射される光を矢印の上面に反射する。よって、第1の電極層693bにおいて光が透過しても、該光は第1の電極層693aにおいて反射され、基板690と反対側に放射する。もちろん第1の電極層は反射性を有する金属膜の単層構造でもよい。第1の電極層693a、第1の電極層693b、電界発光層694、第2の電極層695が順に積層される。発光素子から放出する光は第2の電極層695を透過して放出されるので、第2の電極層695は、少なくとも可視領域において透光性を有する材料で形成する。最後に、光が基板670側とその反対側の両側に放射する場合、つまり両面放射を行う場合について、図46(C)を用いて説明する。薄膜トランジスタ671は、薄膜トランジスタ681と同様の順スタガ型の薄膜トランジスタであり、薄膜トランジスタ681と同様に形成することができる。薄膜トランジスタ671の半導体層に電氣的に接続するソース電極層又はドレイン電極層と接続する配線層675に第1の電極層672が電氣的に接続している。第1の電極層672、電界発光層673、第2の電極層674が順に積層される。このとき、第1の電極層672と第2の電極層674のどちらも透光性を有する材料、又は光を透過できる厚さで形成すると、両面放射が実現する。この場合、光が透過する絶縁層や基板670も透光性を有する必要がある。

【0278】

本実施の形態において適用できる発光素子の形態を図45に示す。発光素子は、電界発光層860を第1の電極層870と第2の電極層850で挟んだ構成になっている。第1の電極層及び第2の電極層は仕事関数を考慮して材料を選択する必要がある、そして第1の電極層及び第2の電極層は、画素構成によりいずれも陽極、又は陰極となりうる。本実施の形態では、駆動用TFTの極性がNチャネル型であるため、第1の電極層を陰極、第2の電極層を陽極とすると好ましい。また駆動用TFTの極性がpチャネル型である場合、第1の電極層を陽極、第2の電極層を陰極とするとよい。

【0279】

図45(A)及び(B)は、第1の電極層870が陽極であり、第2の電極層850が陰極である場合であり、電界発光層860は、第1の電極層870側から、HIL(ホール注入層)/HTL(ホール輸送層)804、EML(発光層)803、ETL(電子輸送層)/EIL(電子注入層)802、第2の電極層850の順に積層するのが好ましい。図45(A)は第1の電極層870から光を放射する構成であり、第1の電極層870は透光性を有する酸化物導電性材料からなる電極層805で構成し、第2の電極層は電界発光層860側から、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む電極層801とアルミニウムなどの金属材料で形成する電極層800より構成されている。図45(B)は第2の電極層850から光を放射する構成であり、第1の電極層は、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層807と、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で形成する第2の電極層806より構成されている。第2の電極層は、第2の電極層は電界発光層860側から、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む電極層801とアルミニウムなどの金属材料で形成する電極層800より構成されているがいずれの層も100nm以下の厚さとして光を透過可能な状態としておくことで、

第2の電極層850から光を放射することが可能となる。

【0280】

図45(C)及び(D)は、第1の電極層870が陰極であり、第2の電極層850が陽極である場合であり、電界発光層860は、陰極側からEIL(電子注入層)/ETL(電子輸送層)802、EML(発光層)803、HTL(ホール輸送層)/HIL(ホール注入層)804、陽極である第2の電極層850の順に積層するのが好ましい。図45(C)は第1の電極層870から光を放射する構成であり、第1の電極層870は電界発光層860側から、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む電極層801とアルミニウムなどの金属材料で形成する電極層800より構成されているがいずれの層も100nm以下の厚さとして光を透過可能な状態としておくことで、第1の電極層870から光を放射することが可能となる。第2の電極層は、電界発光層860側から、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で形成する第2の電極層806、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層807より構成されている。図45(D)は第2の電極層850から光を放射する構成であり、第1の電極層870は電界発光層860側から、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む電極層801とアルミニウムなどの金属材料で形成する電極層800より構成されており、膜厚は電界発光層860で発光した光を反射可能な程度に厚く形成している。第2の電極層850は、透光性を有する酸化物導電性材料からなる電極層805で構成されている。なお電界発光層は、積層構造以外に単層構造、又は混合構造をとることができる。

【0281】

また、電界発光層として、赤色(R)、緑色(G)、青色(B)の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色(R)、緑色(G)、青色(B)の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき(低分子または高分子材料など)、この場合マスクを用いずとも、RGBの塗り分けを行うことができるため好ましい。

【0282】

また上面放射型の場合で、第2の電極層に透光性を有するITOやITSOを用いる場合、ベンゾオキサゾール誘導体(BzOS)にLiを添加したBzOS-Liなどを用いることができる。また例えばEMLは、R、G、Bのそれぞれの発光色に対応したドーパント(Rの場合DCM等、Gの場合DMQD等)をドーブしたAlq₃を用いればよい。

【0283】

なお、電界発光層は上記材料に限定されない。例えば、CuPcやPEDOTの代わりに酸化モリブデン(MoO_x: x=2~3)等の酸化物と-NPDやルブレンを共蒸着して形成し、ホール注入性を向上させることもできる。また電界発光層の材料は、有機材料(低分子又は高分子を含む)、又は有機材料と無機材料の複合材料として用いることができる。以下発光素子を形成する材料について詳細に述べる。

【0284】

電荷注入輸送物質のうち、特に電子輸送性の高い物質としては、例えばトリス(8-キノリノラト)アルミニウム(略称: Alq₃)、トリス(5-メチル-8-キノリノラト)アルミニウム(略称: Almq₃)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(略称: BeBq₂)、ビス(2-メチル-8-キノリノラト)-4-フェニルフェノラト-アルミニウム(略称: BAlq)など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等が挙げられる。また正孔輸送性の高い物質としては、例えば4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ピフェニル(略称: -NPD)や4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ピフェニル(略称: TPD)や4,4',4''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(略称: TDATA)、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(略称: MTDATA)などの芳香族アミン系(即ち、ベンゼン環-窒素の結合を有する)の化合物が挙げられる

【0285】

また、電荷注入輸送物質のうち、特に電子注入性の高い物質としては、フッ化リチウム (LiF)、フッ化セシウム (CsF)、フッ化カルシウム (CaF₂) 等のようなアルカリ金属又はアルカリ土類金属の化合物が挙げられる。また、この他、Alq₃のような電子輸送性の高い物質とマグネシウム (Mg) のようなアルカリ土類金属との混合物であってもよい。

【0286】

電荷注入輸送物質のうち、正孔注入性の高い物質としては、例えば、モリブデン酸化物 (MoO_x) やバナジウム酸化物 (VO_x)、ルテニウム酸化物 (RuO_x)、タングステン酸化物 (WO_x)、マンガン酸化物 (MnO_x) 等の金属酸化物が挙げられる。また、この他、フタロシアニン (略称: H₂Pc) や銅フタロシアニン (CuPC) 等のフタロシアニン系の化合物が挙げられる。

【0287】

発光層は、発光波長帯の異なる発光層を画素毎に形成して、カラー表示を行う構成としても良い。典型的には、R (赤)、G (緑)、B (青) の各色に対応した発光層を形成する。この場合にも、画素の光放射側にその発光波長帯の光を透過するフィルターを設けた構成とすることで、色純度の向上や、画素部の鏡面化 (映り込み) の防止を図ることができる。フィルターを設けることで、従来必要であるとされていた円偏光版などを省略することが可能となり、発光層から放射される光の損失を無くすることができる。さらに、斜方から画素部 (表示画面) を見た場合に起こる色調の変化を低減することができる。

【0288】

発光材料には様々な材料がある。低分子系有機発光材料では、4 - ジシアノメチレン - 2 - メチル - 6 - (1, 1, 7, 7 - テトラメチルジュロリジル - 9 - エニル) - 4 H - ピラン (略称: DCJT)、4 - ジシアノメチレン - 2 - t - ブチル - 6 - (1, 1, 7, 7 - テトラメチルジュロリジル - 9 - エニル) - 4 H - ピラン (略称: DPA)、ペリフランテン、2, 5 - ジシアノ - 1, 4 - ビス(10 - メトキシ - 1, 1, 7, 7 - テトラメチルジュロリジル - 9 - エニル)ベンゼン、N, N' - ジメチルキナクリドン (略称: DMQd)、クマリン6、クマリン545T、トリス(8 - キノリノラト)アルミニウム (略称: Alq₃)、9, 9' - ビアントリル、9, 10 - ジフェニルアントラセン (略称: DPA) や9, 10 - ビス(2 - ナフチル)アントラセン (略称: DNA) 等を用いることができる。また、この他の物質でもよい。

【0289】

一方、高分子系有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することが可能であるので、素子の作製が比較的容易である。高分子系有機発光材料を用いた発光素子の構造は、低分子系有機発光材料を用いたときと基本的には同じであり、陰極 / 有機発光層 / 陽極となる。しかし、高分子系有機発光材料を用いた発光層を形成する際には、低分子系有機発光材料を用いたときのような積層構造を形成させることは難しく、多くの場合2層構造となる。具体的には、陰極 / 発光層 / 正孔輸送層 / 陽極という構造である。

【0290】

発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

【0291】

ポリパラフェニレンビニレン系には、ポリ(パラフェニレンビニレン) [PPV] の誘導体、ポリ(2, 5 - ジアルコキシ - 1, 4 - フェニレンビニレン) [RO-PPV]、ポリ(2 - (2' - エチル - ヘキソキシ) - 5 - メトキシ - 1, 4 - フェニレンビニレン) [MEH-PPV]、ポリ(2 - (ジアルコキシフェニル) - 1, 4 - フェニレンビニレ

10

20

30

40

50

ン) [ROPh - P P V]等が挙げられる。ポリパラフェニレン系には、ポリパラフェニレン [P P P] の誘導体、ポリ (2 , 5 - ジアルコキシ - 1 , 4 - フェニレン) [R O - P P P]、ポリ (2 , 5 - ジヘキソキシ - 1 , 4 - フェニレン) 等が挙げられる。ポリチオフェン系には、ポリチオフェン [P T] の誘導体、ポリ (3 - アルキルチオフェン) [P A T]、ポリ (3 - ヘキシルチオフェン) [P H T]、ポリ (3 - シクロヘキシルチオフェン) [P C H T]、ポリ (3 - シクロヘキシル - 4 - メチルチオフェン) [P C H M T]、ポリ (3 , 4 - ジシクロヘキシルチオフェン) [P D C H T]、ポリ [3 - (4 - オクチルフェニル) - チオフェン] [P O P T]、ポリ [3 - (4 - オクチルフェニル) - 2 , 2 ピチオフェン] [P T O P T] 等が挙げられる。ポリフルオレン系には、ポリフルオレン [P F] の誘導体、ポリ (9 , 9 - ジアルキルフルオレン) [P D A F]、ポリ (9 , 9 - ジオクチルフルオレン) [P D O F] 等が挙げられる。

10

【 0 2 9 2 】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、P E D O T とアクセプター材料としてのショウノウスルホン酸 (C S A) の混合物、ポリアニリン [P A N I] とアクセプター材料としてのポリスチレンスルホン酸 [P S S] の混合物等が挙げられる。

【 0 2 9 3 】

20

また、発光層は単色又は白色の発光を呈する構成とすることができる。白色発光材料を用いる場合には、画素の光放射側に特定の波長の光を透過するフィルター (着色層) を設けた構成としてカラー表示を可能にすることができる。

【 0 2 9 4 】

白色に発光する発光層を形成するには、例えば、A l q₃、部分的に赤色発光色素であるナイルレッドをドーブした A l q₃、A l q₃、p - E t T A Z、T P D (芳香族ジアミン) を蒸着法により順次積層することで白色を得ることができる。また、スピコートを用いた塗布法により E L を形成する場合には、塗布した後、真空加熱で焼成することが好ましい。例えば、正孔注入層として作用するポリ (エチレンジオキシチオフェン) / ポリ (スチレンスルホン酸) 水溶液 (P E D O T / P S S) を全面に塗布、焼成し、その後、発光層として作用する発光中心色素 (1 , 1 , 4 , 4 - テトラフェニル - 1 , 3 - ブタジエン (T P B)、4 - ジシアノメチレン - 2 - メチル - 6 - (p - ジメチルアミノ - スチリル) - 4 H - ピラン (D C M 1)、ナイルレッド、クマリン 6 など) ドーブしたポリビニルカルバゾール (P V K) 溶液を全面に塗布、焼成すればよい。

30

【 0 2 9 5 】

発光層は単層で形成することもでき、ホール輸送性のポリビニルカルバゾール (P V K) に電子輸送性の 1 , 3 , 4 - オキサジアゾール誘導体 (P B D) を分散させてもよい。また、30wt%の P B D を電子輸送剤として分散し、4種類の色素 (T P B、クマリン 6、D C M 1、ナイルレッド) を適当量分散することで白色発光が得られる。ここで示した白色発光が得られる発光素子の他にも、発光層の材料を適宜選択することによって、赤色発光、緑色発光、または青色発光が得られる発光素子を作製することができる。

40

【 0 2 9 6 】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、P E D O T とアクセプター材料としてのショウノウスルホン酸 (C S A) の混合物、ポリアニリン [P A N I] とアクセプター材料としてのポリスチレンスルホン酸 [P S S] の混合物等が挙げられる。

【 0 2 9 7 】

50

さらに、発光層は、一重項励起発光材料の他、金属錯体などを含む三重項励起材料を用いても良い。例えば、赤色の発光性の画素、緑色の発光性の画素及び青色の発光性の画素のうち、輝度半減時間が比較的短い赤色の発光性の画素を三重項励起発光材料で形成し、他を一重項励起発光材料で形成する。三重項励起発光材料は発光効率が良いので、同じ輝度を得るのに消費電力が少なく済むという特徴がある。すなわち、赤色画素に適用した場合、発光素子に流す電流量が少なく済むので、信頼性を向上させることができる。低消費電力化として、赤色の発光性の画素と緑色の発光性の画素とを三重項励起発光材料で形成し、青色の発光性の画素を一重項励起発光材料で形成しても良い。人間の視感度が高い緑色の発光素子も三重項励起発光材料で形成することで、より低消費電力化を図ることができる。

10

【0298】

三重項励起発光材料の一例としては、金属錯体をドーパントとして用いたものがあり、第三遷移系列元素である白金を中心金属とする金属錯体、イリジウムを中心金属とする金属錯体などが知られている。三重項励起発光材料としては、これらの化合物に限られることはなく、上記構造を有し、且つ中心金属に周期表の8～10属に属する元素を有する化合物を用いることも可能である。

【0299】

以上に掲げる発光層を形成する物質は一例であり、正孔注入輸送層、正孔輸送層、電子注入輸送層、電子輸送層、発光層、電子ブロック層、正孔ブロック層などの機能性の各層を適宜積層することで発光素子を形成することができる。また、これらの各層を合わせた混合層又は混合接合を形成しても良い。発光層の層構造は変化しうるものであり、特定の電子注入領域や発光領域を備えていない代わりに、もっぱらこの目的用の電極層を備えたり、発光性の材料を分散させて備えたりする変形は、本発明の趣旨を逸脱しない範囲において許容されうるものである。

20

【0300】

上記のような材料で形成した発光素子は、順方向にバイアスすることで発光する。発光素子を用いて形成する表示装置の画素は、単純マトリクス方式、若しくは実施例2で示すようなアクティブマトリクス方式で駆動することができる。いずれにしても、個々の画素は、ある特定のタイミングで順方向バイアスを印加して発光させることとなるが、ある一定期間は非発光状態となっている。この非発光時間に逆方向のバイアスを印加することで発光素子の信頼性を向上させることができる。発光素子では、一定駆動条件下で発光強度が低下する劣化や、画素内で非発光領域が拡大して見かけ上輝度が低下する劣化モードがあるが、順方向及び逆方向にバイアスを印加する交流的な駆動を行うことで、劣化の進行を遅くすることができ、発光装置の信頼性を向上させることができる。また、デジタル駆動、アナログ駆動どちらでも適用可能である。

30

【0301】

よって、図46には図示していないが、基板680の封止基板にカラーフィルタ(着色層)を形成してもよい。カラーフィルタ(着色層)は液滴吐出法によって形成することができ、その場合、前述の下地前処理として光照射処理などを適用することができる。本発明を用いると、所望なパターンに制御性よくカラーフィルタ(着色層)を形成することができる。カラーフィルタ(着色層)を用いると、高精細な表示を行うこともできる。カラーフィルタ(着色層)により、各RGBの発光スペクトルにおいてブロードなピークを鋭くなるように補正できるからである。

40

【0302】

以上、各RGBの発光を示す材料を形成する場合を説明したが、単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。カラーフィルタ(着色層)や色変換層は、例えば第2の基板(封止基板)に形成し、基板へ張り合わせればよい。また上述したように、単色の発光を示す材料、カラーフィルタ(着色層)、及び色変換層のいずれも液滴吐出法により形成することができる。

50

【0303】

もちろん単色発光の表示を行ってもよい。例えば、単色発光を用いてエリアカラータイプの表示装置を形成してもよい。エリアカラータイプは、パッシブマトリクス型の表示部が適しており、主に文字や記号を表示することができる。

【0304】

上記構成において、陰極としては、仕事関数が小さい材料を用いることが可能で、例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。電界発光層は、単層型、積層型、また層の界面がない混合型のいずれでもよい。またシングレット材料、トリプレット材料、又はそれらを組み合わせた材料や、有機化合物又は無機化合物を含む電荷注入輸送物質及び発光材料で形成し、その分子数から低分子系有機化合物、中分子系有機化合物（昇華性を有さず、且つ分子数が20以下、又は連鎖する分子の長さが10 μ m以下の有機化合物を指している）、高分子系有機化合物から選ばれた一種又は複数種の層を含み、電子注入輸送性又は正孔注入輸送性の無機化合物と組み合わせてもよい。第1の電極層684、第2の電極層695、第1の電極層672、第2の電極層674は光を透過する透明導電膜を用いて形成し、例えばITO、ITSOの他、酸化インジウムに2~20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。なお、第1の電極層684、第1の電極層693a、第1の電極層693b、第1の電極層672形成前に、酸素雰囲気中でのプラズマ処理や真空雰囲気下での加熱処理を行うとよい。隔壁（土手ともいう）は、珪素を含む材料、有機材料及び化合物材料を用いて形成する。また、多孔質膜を用いてもよい。但し、アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。本実施の形態は、実施の形態1乃至17とそれぞれ組み合わせて用いることが可能である。

【0305】

（実施の形態19）

本実施の形態で示す表示パネルの画素の構成について、図47に示す等価回路図を参照して説明する。本実施の形態では、画素の表示素子として発光素子（EL素子）を用いる例を示す。

【0306】

図47（A）に示す画素は、列方向に信号線710及び電源線711、電源線712、電源線713、行方向に走査線714が配置される。また、TFT701は、スイッチング用TFT、TFT703は駆動用TFT、TFT704は電流制御用TFTであり、他に容量素子702及び発光素子705を有する。

【0307】

図47（C）に示す画素は、TFT703のゲート電極が、行方向に配置された電源線715に接続される点が異なっており、それ以外は図47（A）に示す画素と同じ構成である。つまり、図47（A）（C）に示す両画素は、同じ等価回路図を示す。しかしながら、行方向に電源線712が配置される場合（図47（A））と、列方向に電源線715が配置される場合（図47（C））では、各電源線は異なるレイヤーの導電体層で形成される。ここでは、TFT703のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図47（A）（C）として分けて記載する。

【0308】

図47（A）（C）に示す画素の特徴として、画素内にTFT703、TFT704が直列に接続されており、TFT703のチャンネル長 L_3 、チャンネル幅 W_3 、TFT704のチャンネル長 L_4 、チャンネル幅 W_4 は、 $L_3/W_3 : L_4/W_4 = 5 \sim 6000 : 1$ を満たすように設定される点が挙げられる。6000 : 1を満たす場合の一例としては、 L_3 が500 μ m、 W_3 が3 μ m、 L_4 が3 μ m、 W_4 が100 μ mの場合がある。また本発明を用いると、微細なパターニングができるので、このようなチャンネル幅が短い微細な配線も、ショット等の不良が生じることなく安定的に形成することができる。よって、図47（A）（C）のような画素を十分機能させるのに必要な電気特性を有するTFTを形成でき、表示

能力の優れた信頼性の高い表示パネルを作製することが可能となる。

【0309】

なお、TFT703は、飽和領域で動作し発光素子705に流れる電流値を制御する役目を有し、TFT704は線形領域で動作し発光素子705に対する電流の供給を制御する役目を有する。両TFTは同じ導電型を有していると作製工程上好ましい。またTFT703には、エンハンスメント型だけでなく、ディプリーション型のTFTを用いてもよい。上記構成を有する本発明は、TFT704が線形領域で動作するために、TFT704の V_{GS} の僅かな変動は発光素子705の電流値に影響を及ぼさない。つまり、発光素子705の電流値は、飽和領域で動作するTFT703により決定される。上記構成を有する本発明は、TFTの特性バラツキに起因した発光素子の輝度ムラを改善して画質を向上させた表示装置を提供することができる。

10

【0310】

図47(A)~(D)に示す画素において、TFT701は、画素に対するビデオ信号の入力を制御するものであり、TFT701がオンして、画素内にビデオ信号が入力されると、容量素子702にそのビデオ信号が保持される。なお図47(A)(C)には、容量素子702を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかなうことが可能な場合には、明示的に容量素子702を設けなくてもよい。

【0311】

発光素子705は、2つの電極間に電界発光層が挟まれた構造を有し、順バイアス方向の電圧が印加されるように、画素電極と対向電極の間(陽極と陰極の間)に電位差が設けられる。電界発光層は有機材料や無機材料等の広汎に渡る材料により構成され、この電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(リン光)とが含まれる。

20

【0312】

図47(B)に示す画素は、TFT706と走査線716を追加している以外は、図47(A)に示す画素構成と同じである。同様に、図47(D)に示す画素は、TFT706と走査線716を追加している以外は、図47(C)に示す画素構成と同じである。

【0313】

TFT706は、新たに配置された走査線716によりオン又はオフが制御される。TFT706がオンになると、容量素子702に保持された電荷は放電し、TFT706がオフする。つまり、TFT706の配置により、強制的に発光素子705に電流が流れない状態を作ることができる。従って、図47(B)(D)の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

30

【0314】

図47(E)に示す画素は、列方向に信号線750、電源線751、電源線752、行方向に走査線753が配置される。また、TFT741はスイッチング用TFT、TFT743は駆動用TFTであり、他に容量素子742及び発光素子744を有する。図47(F)に示す画素は、TFT745と走査線754を追加している以外は、図47(E)に示す画素構成と同じである。なお、図47(F)の構成も、TFT745の配置により、デューティ比を向上することが可能となる。

40

【0315】

以上のように、本発明を用いると、配線等のパターンを形成不良を生じることなく精密に安定して形成することが出来るので、TFTに高い電気的特性や信頼性をも付与することができ、使用目的に合わせて画素の表示能力を向上するための応用技術にも十分対応できる。

【0316】

本実施の形態は、実施の形態1乃至18とそれぞれ組み合わせる用いることが可能である。

50

【0317】

(実施の形態20)

本実施の形態を図35及び図36を用いて説明する。図35は、本発明を適用して作製されるTFT基板2800を用いてEL表示モジュールを構成する一例を示している。図35において、TFT基板2800上には、画素により構成された画素部が形成されている。

【0318】

図35では、画素部の外側であって、駆動回路と画素との間に、画素に形成されたものと同様なTFT又はそのTFTのゲートとソース若しくはドレインの一方とを接続してダイオードと同様に動作させた保護回路部2801が備えられている。駆動回路2809は、単結晶半導体で形成されたドライバIC、ガラス基板上に多結晶半導体膜で形成されたスティックドライバIC、若しくはSASで形成された駆動回路などが適用されている。

【0319】

TFT基板2800は、液滴吐出法で形成されたスペーサ2806a、スペーサ2806bを介して封止基板2820と固着されている。スペーサは、基板の厚さが薄く、また画素部の面積が大型化した場合にも、2枚の基板の間隔を一定に保つために設けておくことが好ましい。TFT2802、TFT2803とそれぞれ接続する発光素子2804、発光素子2805上であって、TFT基板2800と封止基板2820との間にある空隙には透光性の樹脂材料を充填して固体化しても良いし、無水化した窒素若しくは不活性気体を充填させても良い。

【0320】

図35では発光素子2804、発光素子2805、発光素子2815を上面放射型(トップエミッション型)の構成とした場合を示し、図中に示す矢印の方向に光を放射する構成としている。各画素は、画素を赤色、緑色、青色として発光色を異ならせることで、多色表示を行うことができる。また、このとき封止基板2820側に各色に対応した着色層2807a、着色層2807b、着色層2807cを形成しておくことで、外部に放射される発光の色純度を高めることができる。また、画素を白色発光素子として着色層2807a、着色層2807b、着色層2807cと組み合わせても良い。

【0321】

外部回路である駆動回路2809は、TFT基板2800の一端に設けられた走査線若しくは信号線接続端子と、配線基板2810で接続される。また、TFT基板2800に接して若しくは近接させて、ヒートパイプ2813と放熱板2812を設け、放熱効果を高める構成としても良い。

【0322】

なお、図35では、トップエミッションのELモジュールとしたが、発光素子の構成や外部回路基板の配置を変えてボトムエミッション構造、もちろん上面、下面両方から光が放射する両面放射構造としても良い。トップエミッション型の構成の場合、隔壁となる絶縁層を着色しブラックマトリクスとして用いてもよい。この隔壁は液滴吐出法により形成することができ、ポリイミドなどの樹脂材料に、顔料系の黒色樹脂やカーボンブラック等を混合させて形成すればよく、その積層でもよい。

【0323】

また、EL表示モジュールは、図36に示すように、位相差板や偏光板を用いて、外部から入射する光の反射光を遮断する構成にしてもよい。図36はトップエミッション型の構成であり、隔壁となる絶縁層3605を着色しブラックマトリクスとして用いている。この隔壁は液滴吐出法により形成することができ、ポリイミドなどの樹脂材料に、カーボンブラック等を混合させてもよく、その積層でもよい。液滴吐出法によって、異なった材料を同領域に複数回吐出し、隔壁を形成してもよい。本実施の形態では、顔料系の黒色樹脂を用いる。位相差板3603、位相差板3604としては、 $\lambda/4$ 、 $\lambda/2$ を用い、光を制御できるように設計すればよい。構成としては、TFT基板2800、発光素子2804、封止基板(封止材)2820、位相差板3603、位相差板3604($\lambda/4$ 、 $\lambda/2$)

10

20

30

40

50

/ 2) \ 偏光板 3 6 0 2 となり、発光素子から放射された光は、これらを通し偏光板側より外部に放射される。この位相差板や偏光板は光が放射される側に設置すればよく、両面放射される両面放射型の表示装置であれば両方に設置することもできる。また、偏光板の外側に反射防止膜 3 6 0 1 を有していても良い。これにより、より高繊細で精密な画像を表示することができる。

【 0 3 2 4 】

T F T 基板 2 8 0 0 において、画素部が形成された側にシール材や接着性の樹脂を用いて樹脂フィルムを貼り付けて封止構造を形成してもよい。本実施の形態では、ガラス基板を用いるガラス封止を示したが、樹脂による樹脂封止、プラスチックによるプラスチック封止、フィルムによるフィルム封止、など様々な封止方法を用いることができる。樹脂フィルム

10

【 0 3 2 5 】

本実施の形態は、実施の形態 1 乃至 1 9 とそれぞれ組み合わせて用いることが可能である。

【 0 3 2 6 】

(実施の形態 2 1)

本実施の形態を図 4 2 及び図 4 4 を用いて説明する。図 4 2、図 4 4 は、本発明を適用して作製される T F T 基板 2 6 0 0 を用いて液晶表示モジュールを構成する一例を示している。

20

【 0 3 2 7 】

図 4 2 は液晶表示モジュールの一例であり、T F T 基板 2 6 0 0 と対向基板 2 6 0 1 がシール材 2 6 0 2 により固着され、その間に画素部 2 6 0 3 と液晶層 2 6 0 4 が設けられ表示領域を形成している。着色層 2 6 0 5 はカラー表示を行う場合に必要であり、R G B 方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。T F T 基板 2 6 0 0 と対向基板 2 6 0 1 の外側には偏光板 2 6 0 6、2 6 0 7、レンズフィルム 2 6 1 3 が配設されている。光源は冷陰極管 2 6 1 0 と反射板 2 6 1 1 により構成され、回路基板 2 6 1 2 は、フレキシブル配線基板 2 6 0 9 により T F T 基板 2 6 0 0 と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。液晶表示モジュールには、T N (T w i s t e d N e m a t i c) モード、I P S (I n - P l a n e - S w i t c h i n g) モード、M V A (M u l t i - d o m a i n V e r t i c a l A l i g n m e n t) モード、A S M (A x i a l l y S y m m e t r i c a l i g n e d M i c r o - c e l l) モード、O C B モードなどを用いることができる。

30

【 0 3 2 8 】

なかでも、本発明で作製する表示装置は高速応答が可能な O C B モードを用いることでより高性能化することができる。図 4 4 は図 4 2 の液晶表示モジュールに O C B モードを適用した一例であり、F S - L C D (F i e l d s e q u e n t i a l - L C D) となっている。F S - L C D は、1 フレーム期間に赤色発光と緑色発光と青色発光をそれぞれ行うものであり、時間分割を用いて画像を合成しカラー表示を行うことが可能である。また、各発光を発光ダイオードまたは冷陰極管等で行うので、カラーフィルタが不要である。よって、3 原色のカラーフィルタを並べる必要がないため同じ面積で 9 倍の画素を表示できる。一方、1 フレーム期間に 3 色の発光を行うため、液晶の高速な応答が求められる。本発明の表示装置の有する薄膜トランジスタは高速作動することができるため、O C B モードを用いることができる。よって、本発明の表示装置に、F S 方式、及び O C B モードを適用することができる。よって、本発明の表示装置に、F S 方式、及び O C B モードを適用することができる。一層高性能で高画質な表示装置、また液晶テレビジョン装置を完成させることができる。また、F S 方式に対応するモードとして、高速動作が可能な強誘電性液晶 (F L C : F e r r o e l e c t r i c L i q u i d C r y s t a l) を用いた H V - F L C、S S - F L C などを用いることができる。O C B モードは粘度の比較的低いネマチック液晶が用いられ、H V - F L C、S S - F L C には、スメクチック

40

50

液晶が用いられる。

【0329】

また、液晶表示モジュールの高速光学応答速度は、液晶表示モジュールのセルギャップを狭くすることで高速化する。また液晶材料の粘度を下げることでも高速化できる。上記高速化は、TNモードの液晶表示モジュールの画素領域の画素、またはドットピッチが30μm以下の場合に、より効果的である。

【0330】

図44の液晶表示モジュールは透過型の液晶表示モジュールを示しており、光源として赤色光源2910a、緑色光源2910b、青色光源2910cが設けられている。光源は赤色光源2910a、緑色光源2910b、青色光源2910cをそれぞれオンオフを制御するために、制御部2912が設置されている。制御部2912によって、各色の発光は制御され、液晶に光は入射し、時間分割を用いて画像を合成し、カラー表示が行われる。

10

【0331】

以上のように本発明を用いると、高繊細、高信頼性の液晶表示モジュールを作製することができる。

【0332】

本実施の形態は、実施の形態1乃至20とそれぞれ組み合わせて用いることが可能である。

【0333】

20

(実施の形態22)

上記実施の形態により作製される表示モジュール(表示パネルともいう)によって、テレビジョン装置を完成させることができる。表示パネルには、図33(A)で示すような構成として画素部のみが形成されて走査線側駆動回路と信号線側駆動回路とが、図34(B)のようなTAB方式により実装される場合と、図34(A)のようなCOG方式により実装される場合と、図33(B)に示すようにSASでTFTを形成し、画素部と走査線側駆動回路を基板上に一体形成し信号線側駆動回路を別途ドライバICとして実装する場合、また図33(C)のように画素部と信号線側駆動回路と走査線側駆動回路を基板上に一体形成する場合などがあるが、どのような形態としても良い。

【0334】

30

その他の外部回路の構成として、映像信号の入力側では、チューナで受信した信号のうち、映像信号を増幅する映像信号増幅回路と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路などからなっている。コントロール回路は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0335】

チューナで受信した信号のうち、音声信号は、音声信号増幅回路に送られ、その出力は音声信号処理回路を経てスピーカに供給される。制御回路は受信局(受信周波数)や音量の制御情報を入力部から受け、チューナや音声信号処理回路に信号を送出する。

40

【0336】

これらの液晶表示モジュール、EL表示モジュールを、図37(A)、(B)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。図35、図36のようなEL表示モジュールを用いると、ELテレビジョン装置を、図42、図44のような液晶表示モジュールを用いると、液晶テレビジョン装置を完成することができる。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、本発明によりテレビジョン装置を完成させることができる。

【0337】

筐体2001に表示用パネル2002が組みこまれ、受信機2005により一般のテレ

50

ビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン装置2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

【0338】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れたEL表示用パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示用パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を液晶表示用パネルで形成し、サブ画面をEL表示用パネルで形成し、サブ画面は点滅可能とする構成としても良い。本発明を用いると、このような大型基板を用いて、多くのTFTや電子部品を用いても、信頼性の高い表示装置とすることができる。

【0339】

図37(B)は例えば20~80インチの大型の表示部を有するテレビジョン装置であり、筐体2010、表示部2011、操作部であるリモコン装置2012、スピーカ一部2013等を含む。本発明は、表示部2011の作製に適用される。図37(B)のテレビジョン装置は、壁かけ型となっており、設置するスペースを広く必要としない。

【0340】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0341】

(実施の形態23)

本発明を適用して、様々な表示装置を作製することができる。即ち、それら表示装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

【0342】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それらの例を図32に示す。

【0343】

図32(A)は、ノート型パーソナルコンピュータであり、本体2101、筐体2102、表示部2103、キーボード2104、外部接続ポート2105、ポインティングマウス2106等を含む。本発明は、表示部2103の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

【0344】

図32(B)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2201、筐体2202、表示部A2203、表示部B2204、記録媒体(DVD等)読み込み部2205、操作キー2206、スピーカ一部2207等を含む。表示部A2203は主として画像情報を表示し、表示部B2204は主として文字情報を表示するが、本発明は、これら表示部A、B2203、2204の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

【0345】

図32(C)は携帯電話であり、本体2301、音声出力部2302、音声入力部23

10

20

30

40

50

03、表示部2304、操作スイッチ2305、アンテナ2306等を含む。本発明により作製される表示装置を表示部2304に適用することで、小型化し、配線等が精密化する携帯電話であっても、信頼性の高い高画質な画像を表示できる。

【0346】

図32(D)はビデオカメラであり、本体2401、表示部2402、筐体2403、外部接続ポート2404、リモコン受信部2405、受像部2406、バッテリー2407、音声入力部2408、操作キー2409等を含む。本発明は、表示部2402に適用することができる。本発明により作製される表示装置を表示部2304に適用することで、小型化し、配線等が精密化するビデオカメラであっても、信頼性の高い高画質な画像を表示できる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

10

【図面の簡単な説明】

【0347】

【図1】本発明の表示装置を説明する図。

【図2】本発明の表示装置の作製方法を説明する図。

【図3】本発明の表示装置の作製方法を説明する図。

【図4】本発明の表示装置の作製方法を説明する図。

【図5】本発明の表示装置の作製方法を説明する図。

【図6】本発明の表示装置の作製方法を説明する図。

【図7】本発明の表示装置の作製方法を説明する図。

【図8】本発明の表示装置の作製方法を説明する図。

20

【図9】本発明の表示装置の作製方法を説明する図。

【図10】本発明の表示装置の作製方法を説明する図。

【図11】本発明の表示装置の作製方法を説明する図。

【図12】本発明の表示装置の作製方法を説明する図。

【図13】本発明の表示装置の作製方法を説明する図。

【図14】本発明の表示装置の作製方法を説明する図。

【図15】本発明の表示装置の作製方法を説明する図。

【図16】本発明の表示装置の作製方法を説明する図。

【図17】本発明の表示装置の作製方法を説明する図。

【図18】本発明の表示装置の作製方法を説明する図。

30

【図19】本発明の表示装置の作製方法を説明する図。

【図20】本発明の表示装置の作製方法を説明する図。

【図21】本発明の表示装置の作製方法を説明する図。

【図22】本発明の表示装置の作製方法を説明する図。

【図23】本発明の表示装置の作製方法を説明する図。

【図24】本発明の表示装置の作製方法を説明する図。

【図25】本発明の表示装置の作製方法を説明する図。

【図26】本発明の表示装置の作製方法を説明する図。

【図27】本発明の表示装置の作製方法を説明する図。

【図28】本発明の表示装置の作製方法を説明する図。

40

【図29】本発明の表示装置の作製方法を説明する図。

【図30】本発明の表示装置の作製方法を説明する図。

【図31】本発明に適用することのできる液滴吐出装置の構成を説明する図。

【図32】本発明が適用される電子機器を示す図。

【図33】本発明の表示装置の上面図。

【図34】本発明の表示装置の上面図。

【図35】本発明の表示モジュールの構成を説明する図。

【図36】本発明の表示モジュールの構成を説明する図。

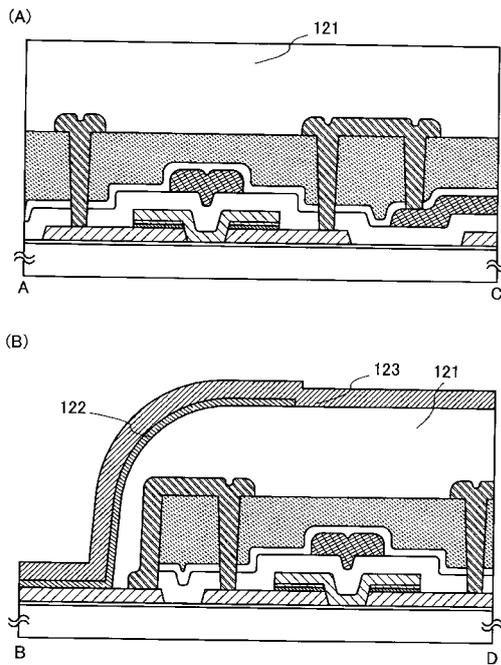
【図37】本発明が適用される電子機器を示す図。

【図38】本発明の表示装置の作製方法を説明する図。

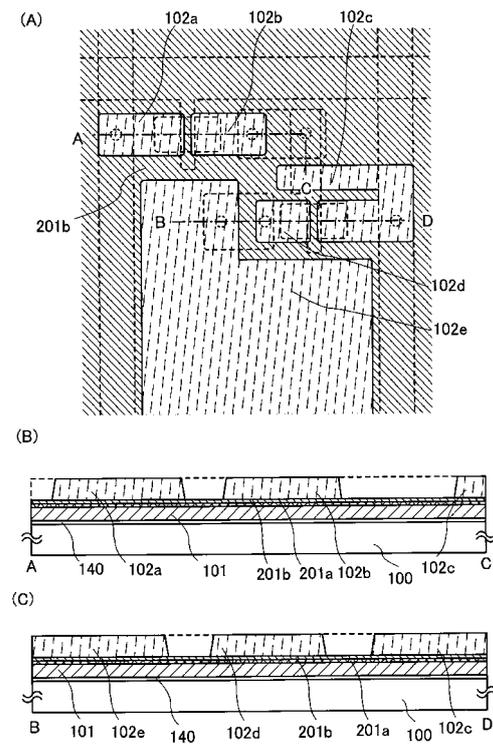
50

- 【図 3 9】本発明の表示装置の作製方法を説明する図。
- 【図 4 0】本発明の表示装置の説明する図。
- 【図 4 1】本発明の表示装置の説明する図。
- 【図 4 2】本発明の表示モジュールの構成を説明する図。
- 【図 4 3】本発明の表示装置を説明する図。
- 【図 4 4】本発明の表示モジュールの構成を説明する図。
- 【図 4 5】本発明に適用できる発光素子の構成を説明する図。
- 【図 4 6】本発明の表示装置の説明する図。
- 【図 4 7】本発明の表示装置に適用できる画素の構成を説明する回路図。
- 【図 4 8】本発明に適用することのできる液晶滴下方法を説明する図。
- 【図 4 9】本発明の表示装置の説明する図。
- 【図 5 0】本発明に適用することのできるレーザービーム直接描画装置の構成を説明する図。
- 。
- 【図 5 1】本発明の表示装置の説明する図。
- 【図 5 2】本発明が適用される保護回路を示す図。

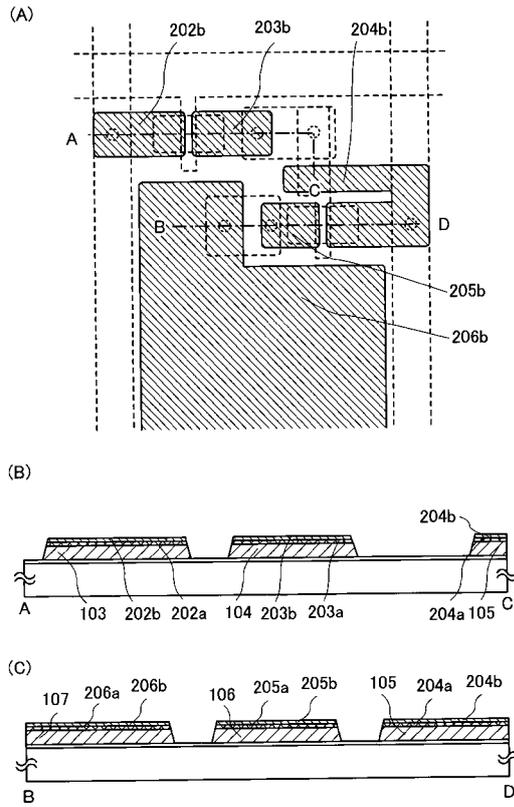
【図 1】



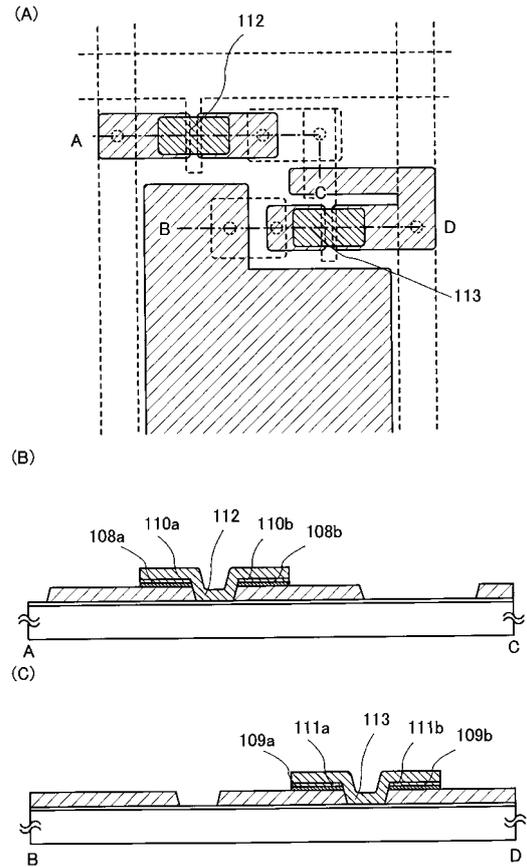
【図 2】



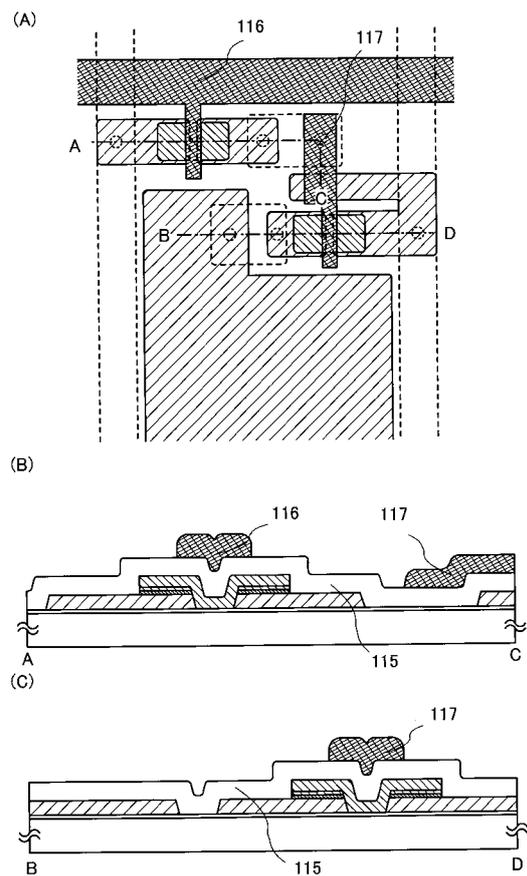
【図3】



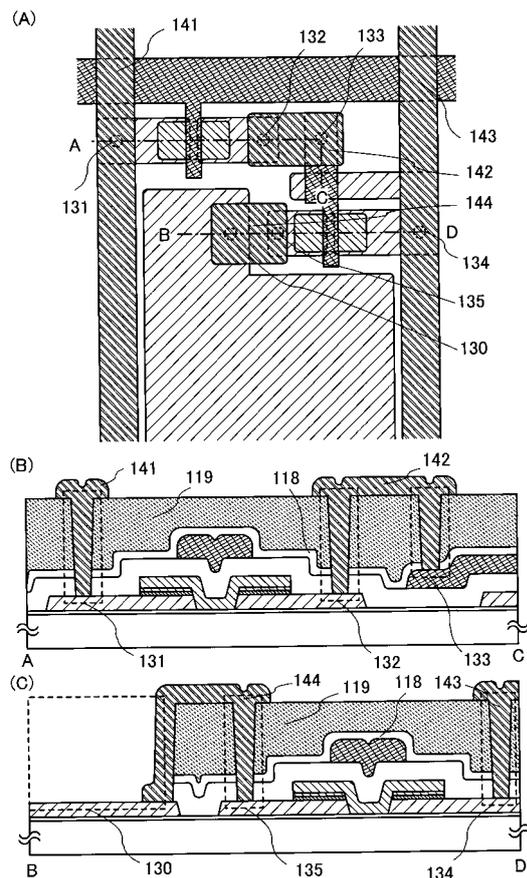
【図4】



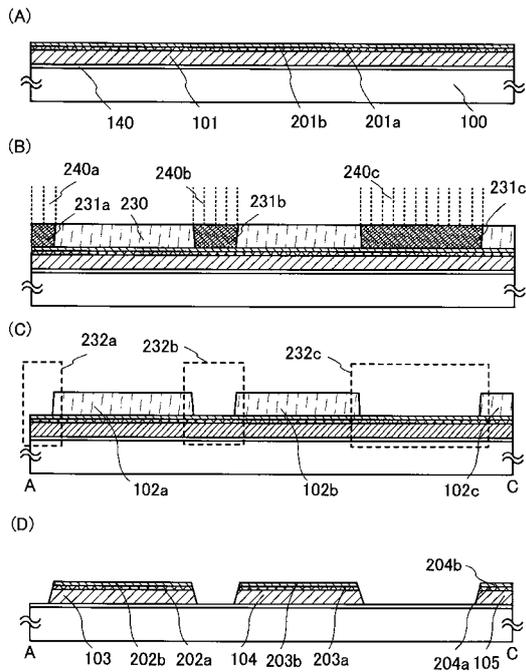
【図5】



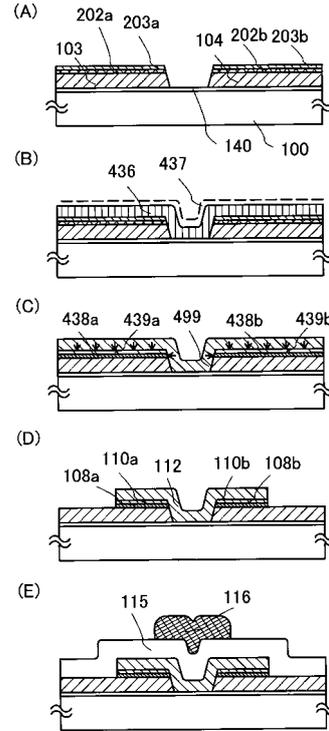
【図6】



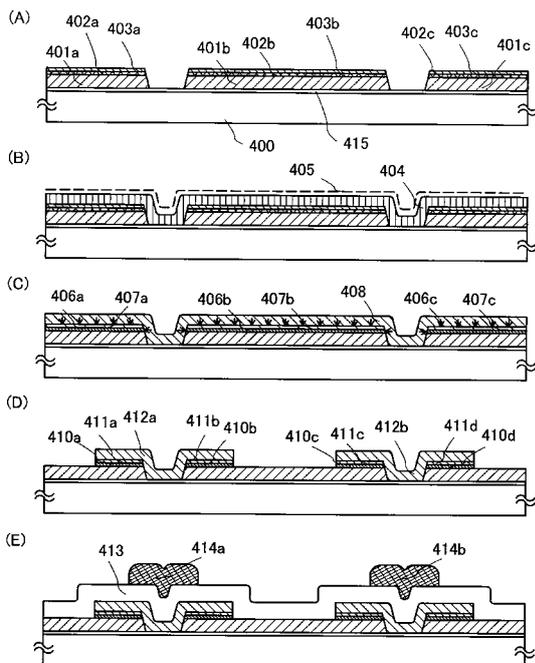
【図 7】



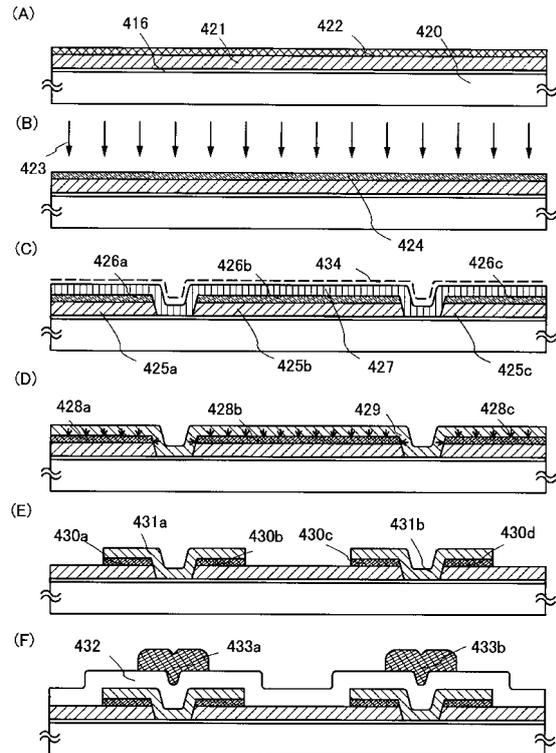
【図 8】



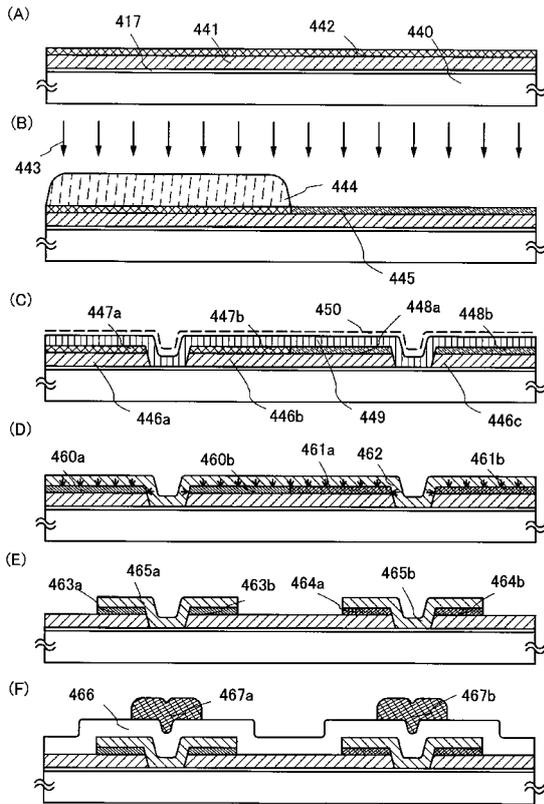
【図 9】



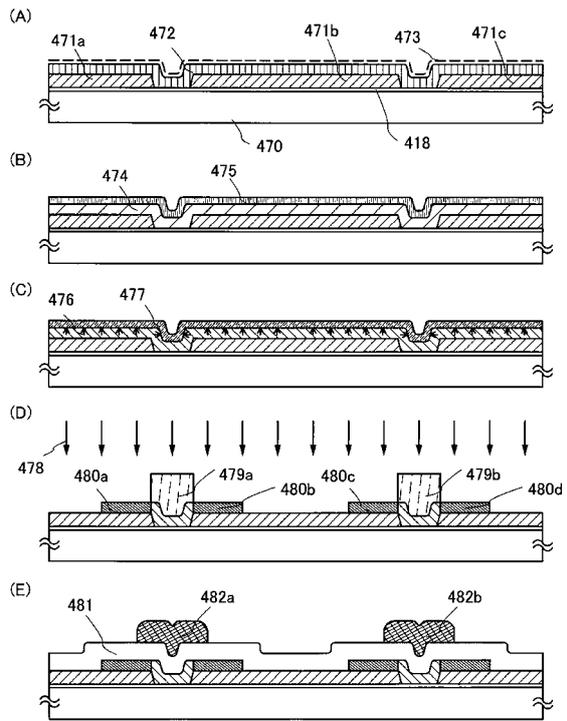
【図 10】



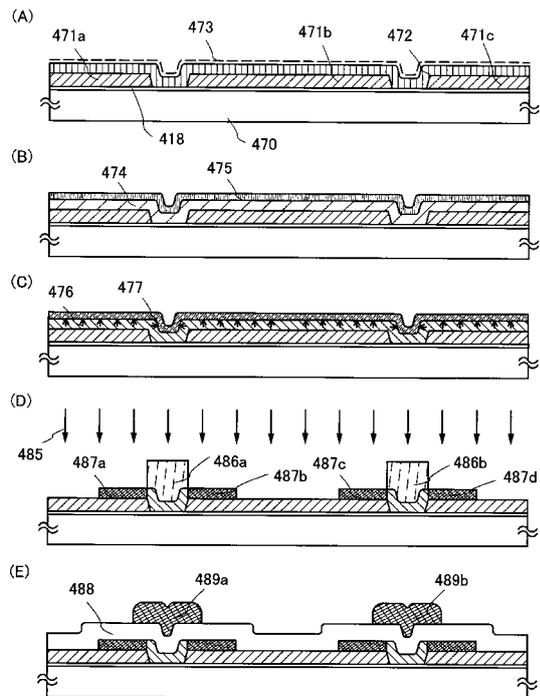
【 図 1 1 】



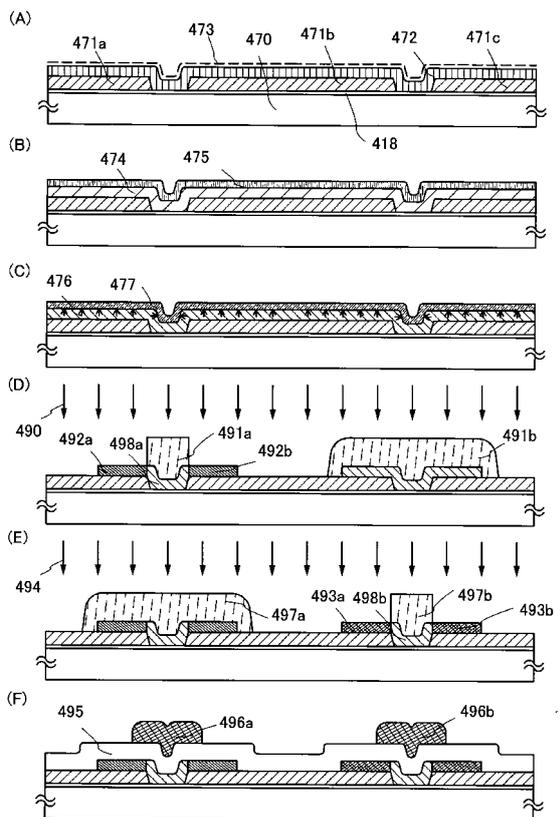
【 図 1 2 】



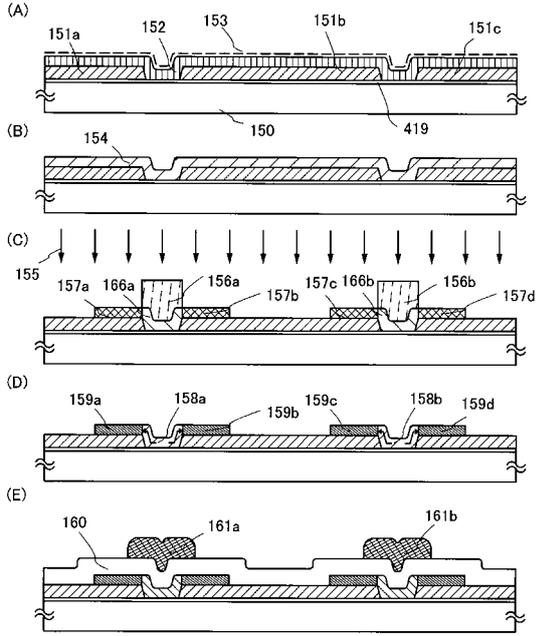
【 図 1 3 】



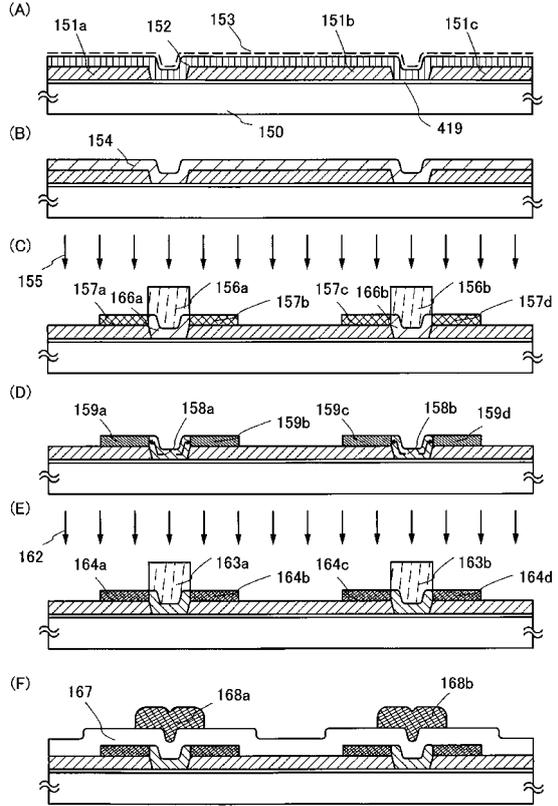
【 図 1 4 】



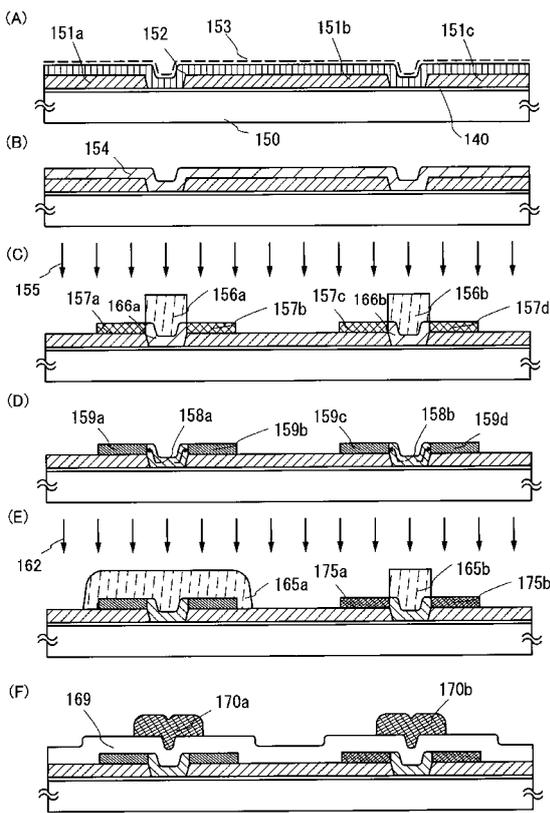
【 15 】



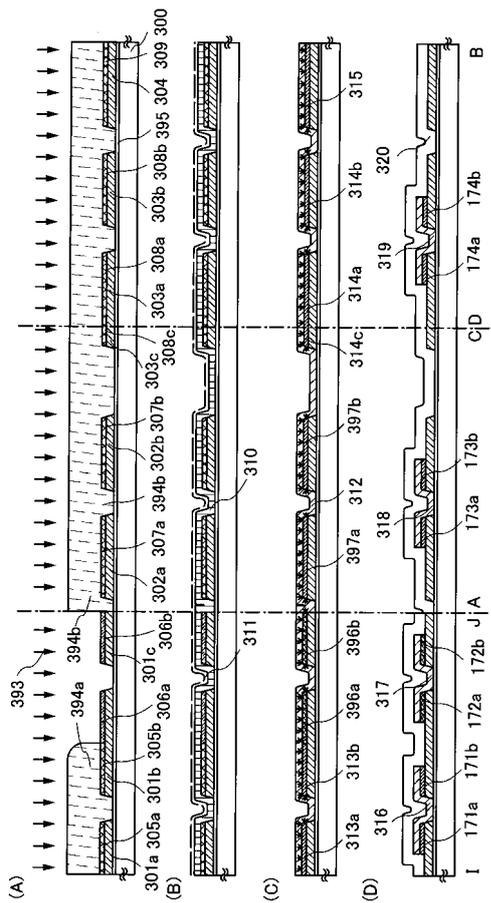
【 16 】



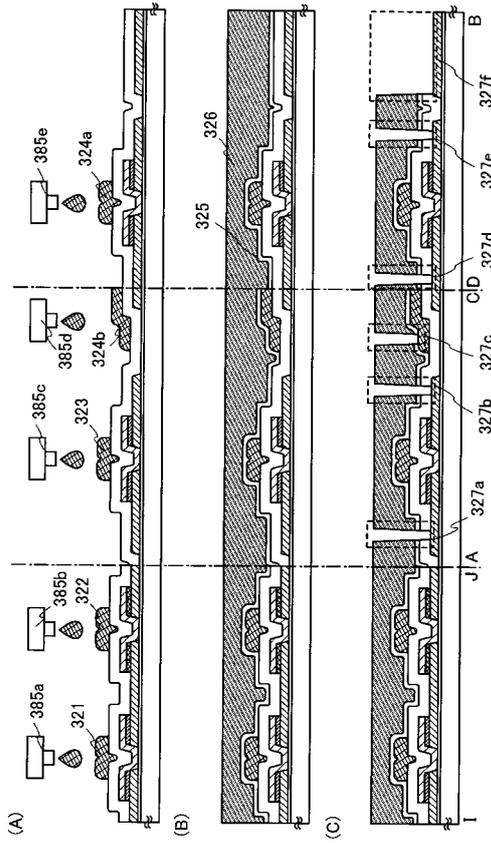
【 17 】



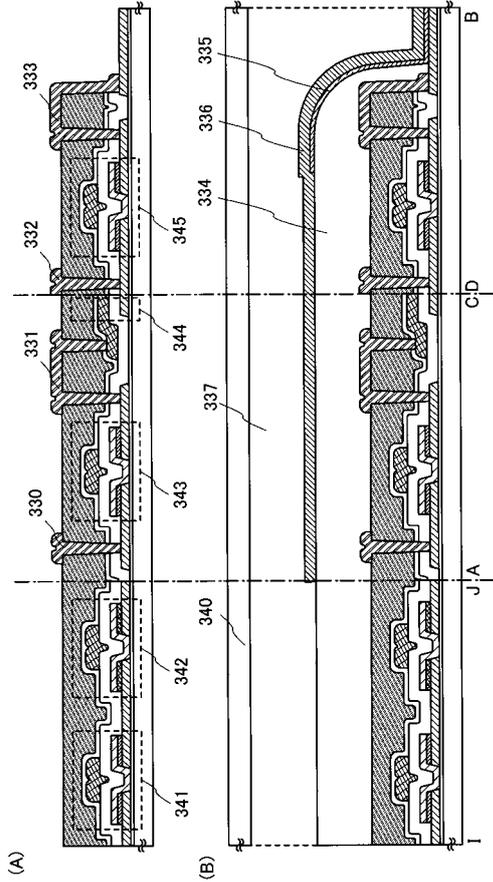
【 18 】



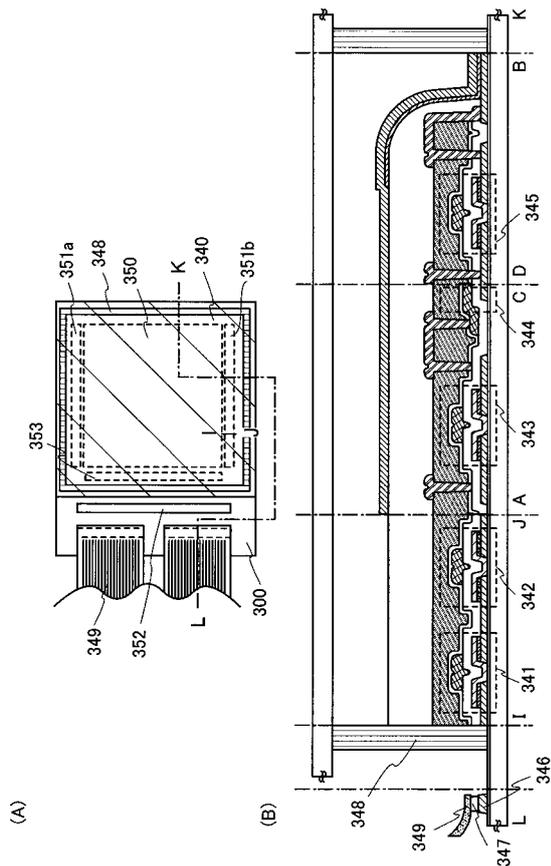
【 図 19 】



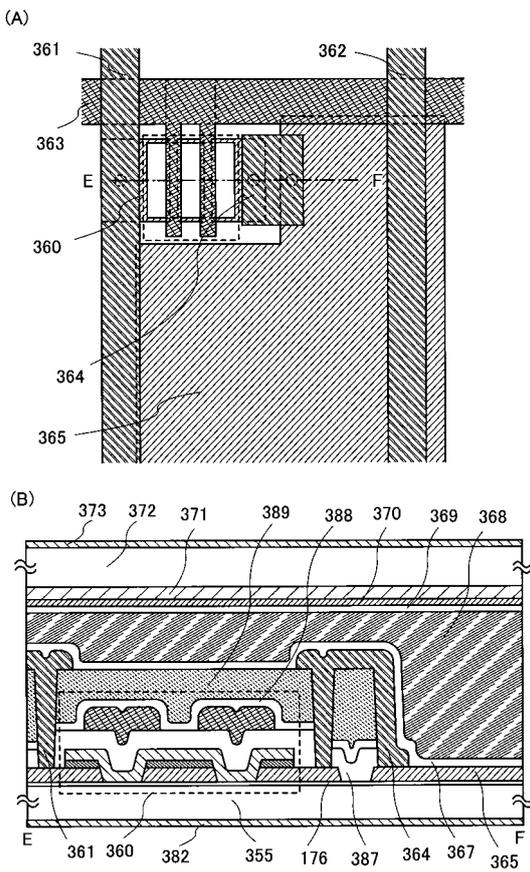
【 図 20 】



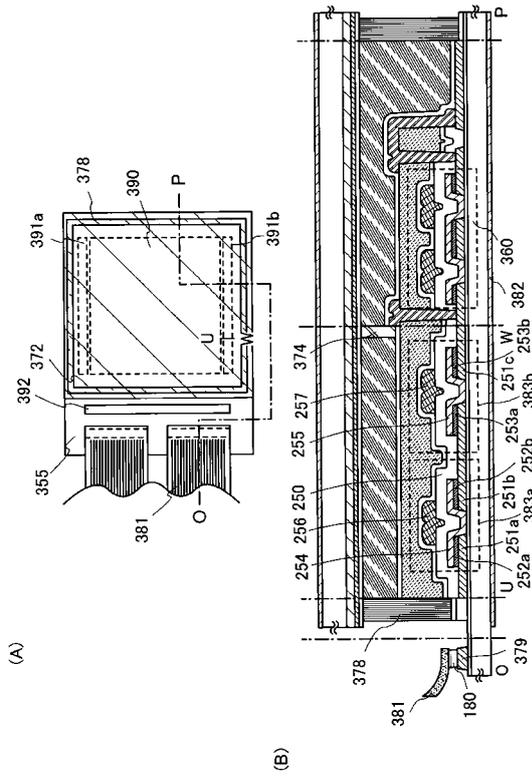
【 図 21 】



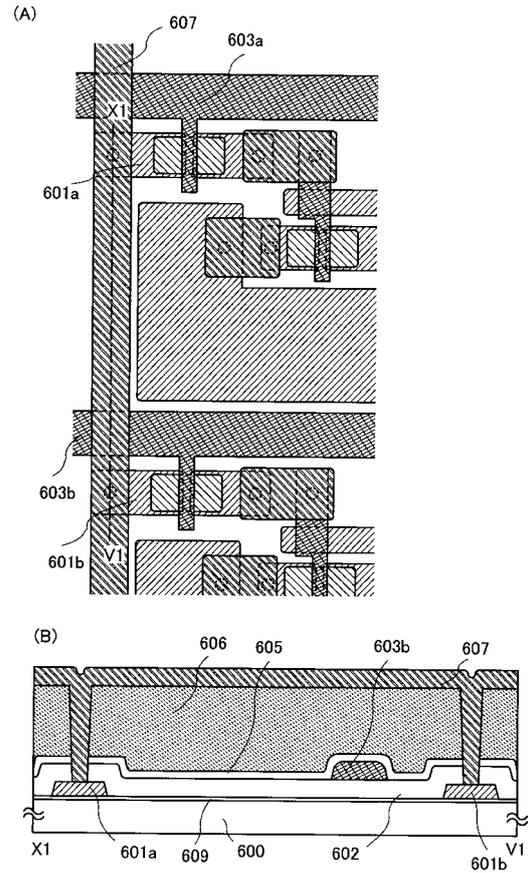
【 図 22 】



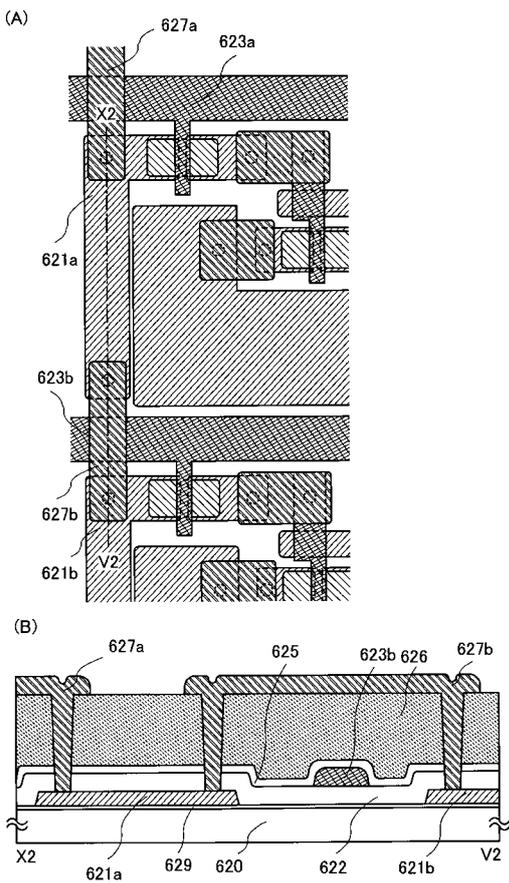
【 図 2 3 】



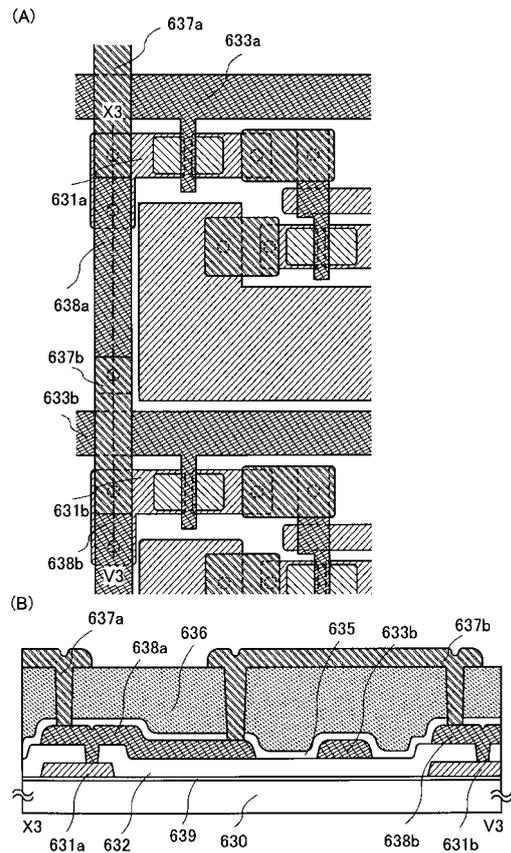
【 図 2 4 】



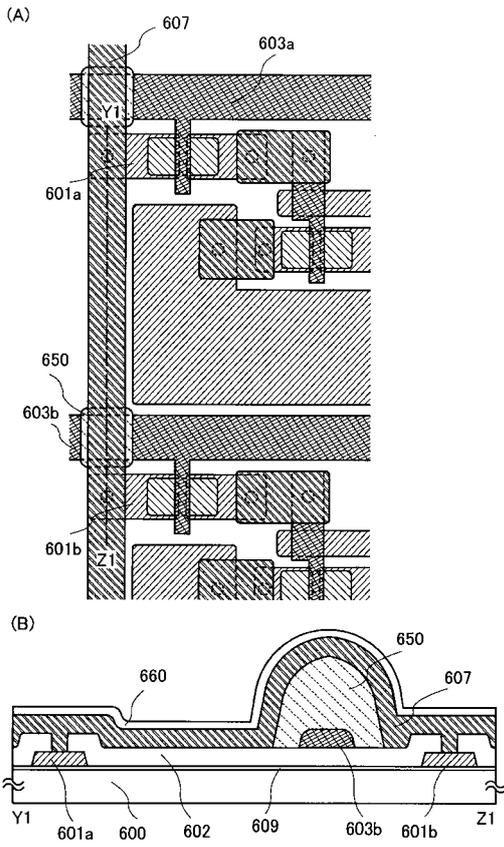
【 図 2 5 】



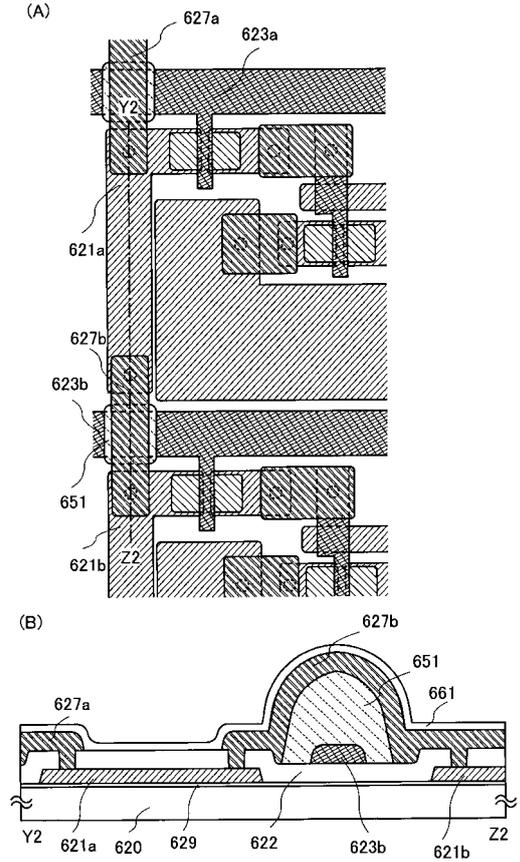
【 図 2 6 】



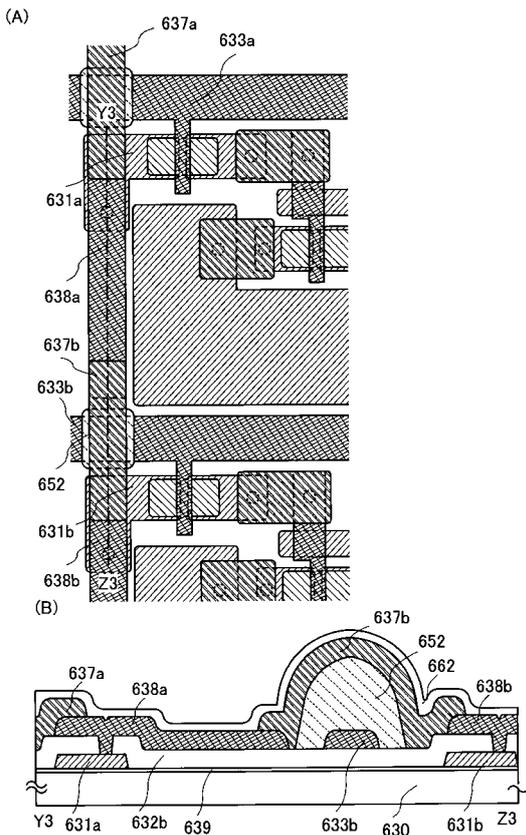
【図 27】



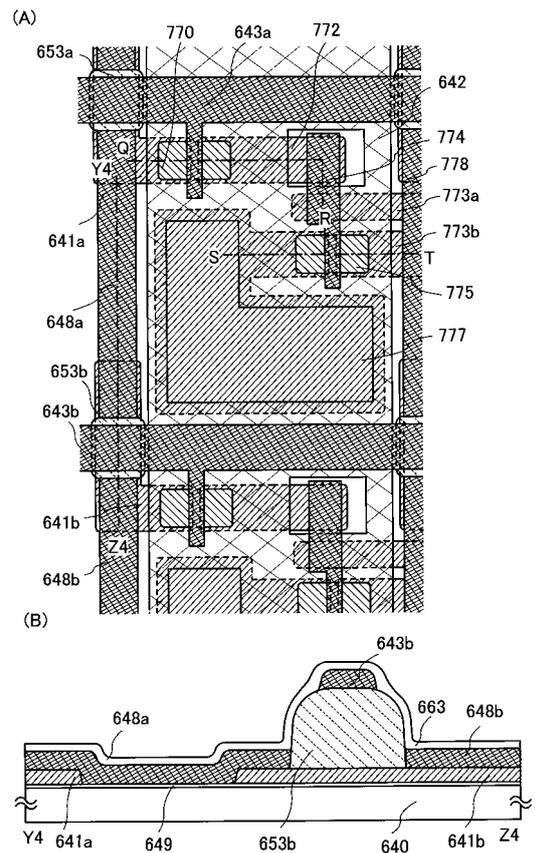
【図 28】



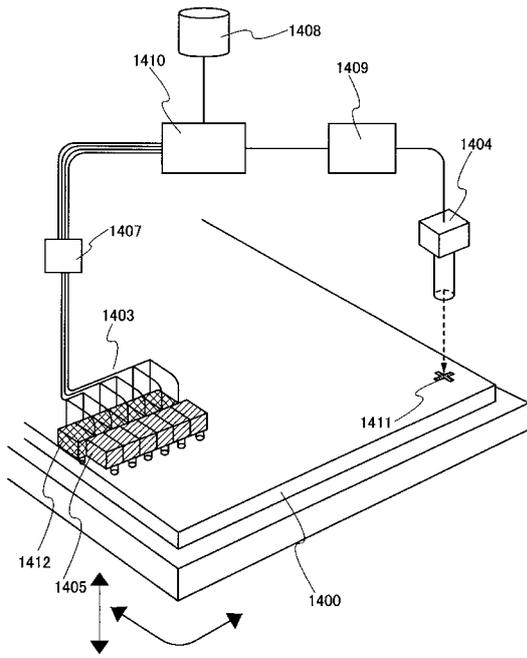
【図 29】



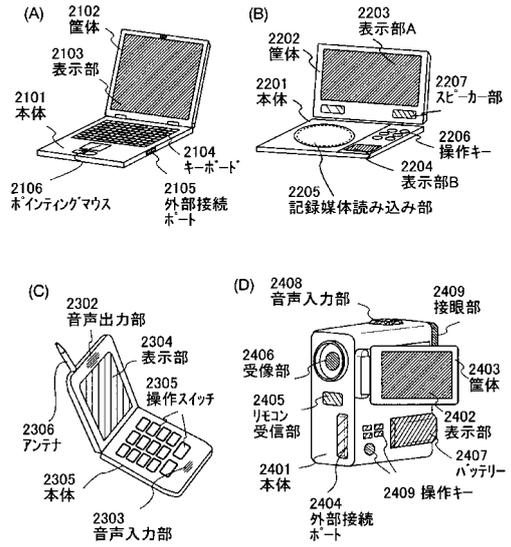
【図 30】



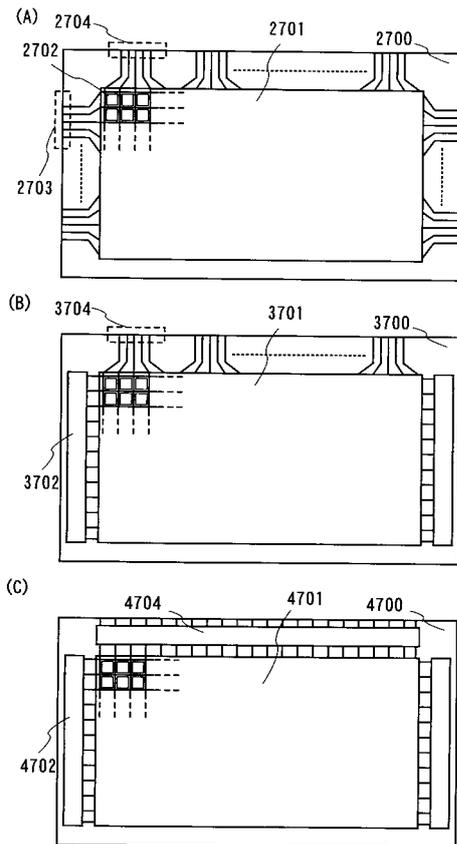
【図31】



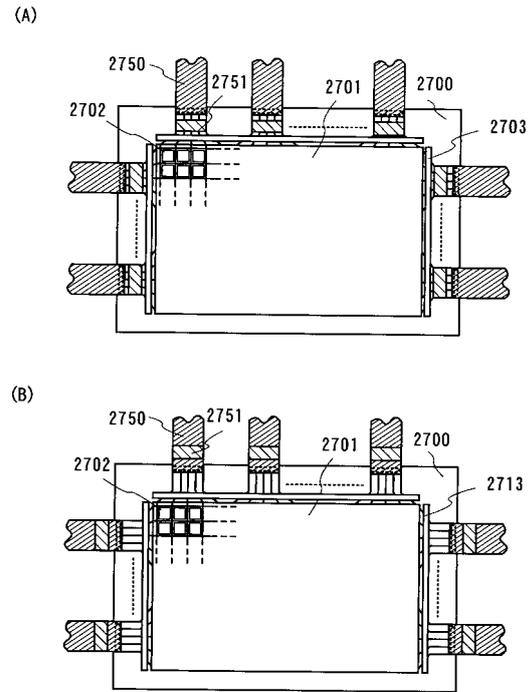
【図32】



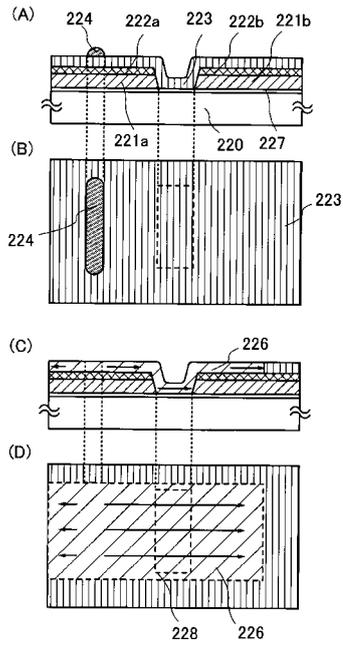
【図33】



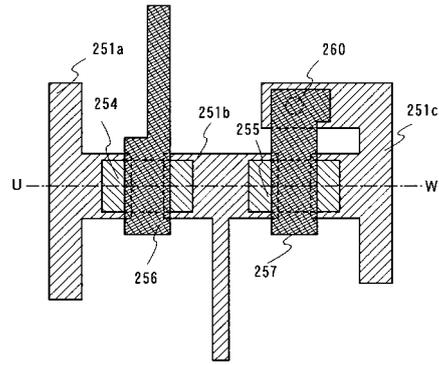
【図34】



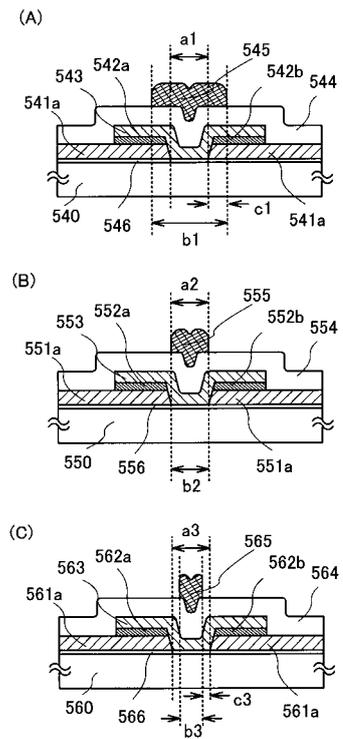
【 図 3 9 】



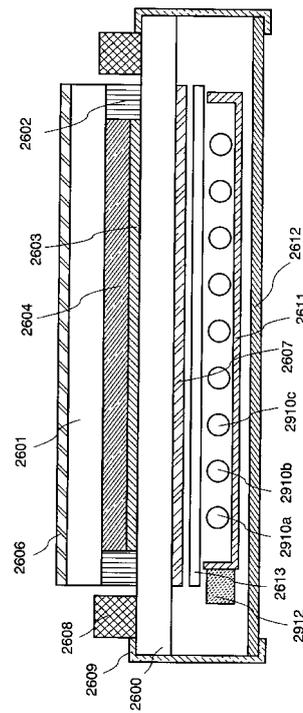
【 図 4 0 】



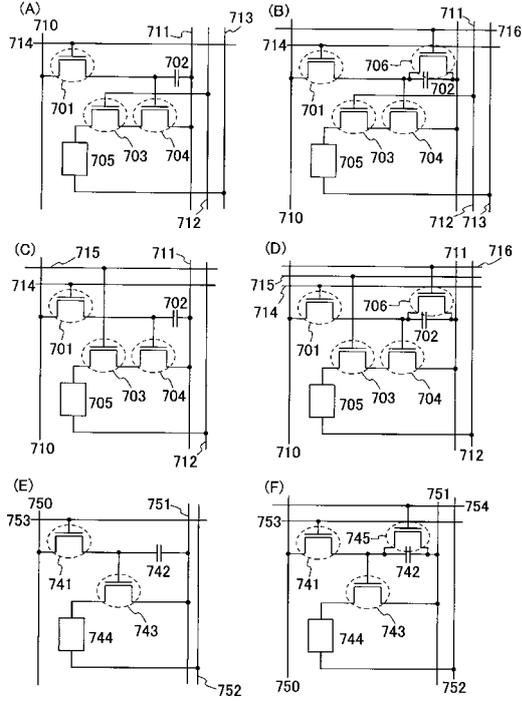
【 図 4 1 】



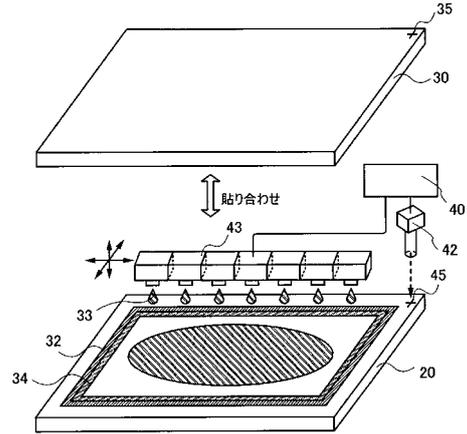
【 図 4 2 】



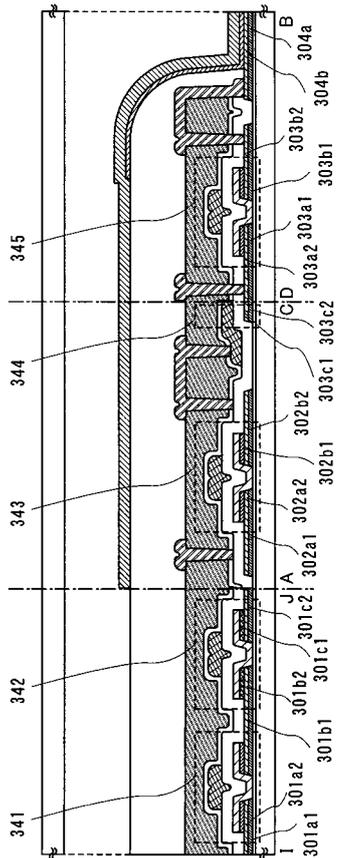
【図47】



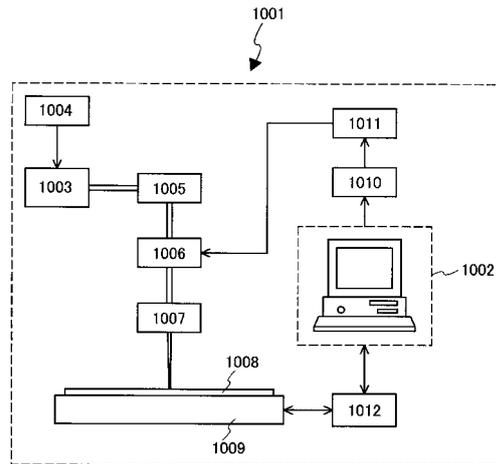
【図48】



【図49】

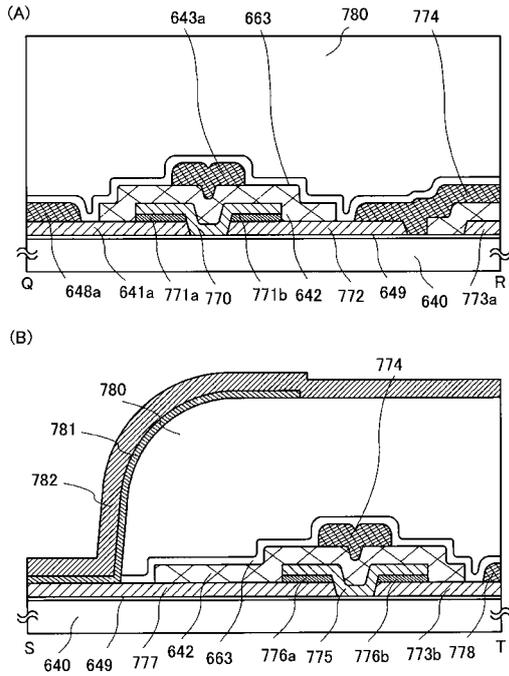


【図50】

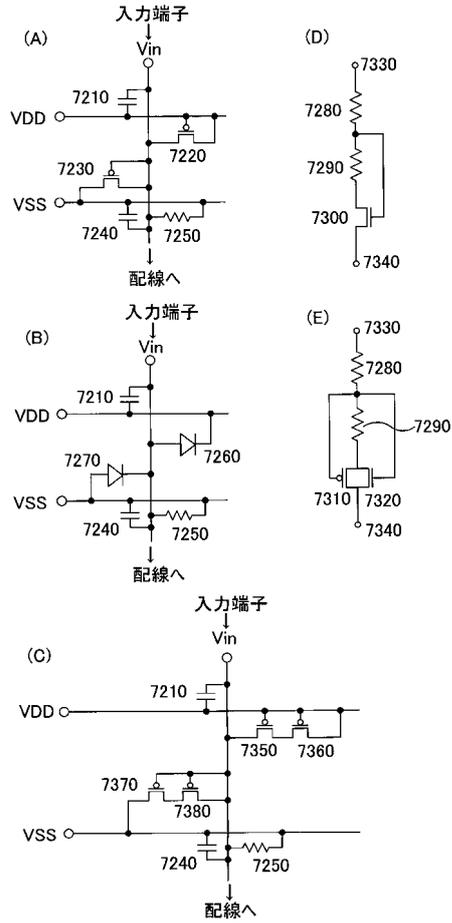


- 1001: レーザビーム直接描画装置
- 1002: パーソナルコンピュータ
- 1003: レーザ発振器
- 1004: 電源
- 1005: 光学系
- 1006: 音響光学変調器
- 1007: 光学系
- 1008: 基板
- 1009: 基板移動機構
- 1010: D/A変換部
- 1011: ドライバ
- 1012: ドライバ

【図51】



【図52】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 51/50 (2006.01) H 0 1 L 29/78 6 1 6 V
H 0 5 B 33/14 A

(72)発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 山口 敦司

(56)参考文献 特開平07-045836(JP,A)
特開2003-203926(JP,A)
特開2003-337552(JP,A)
特開昭61-183622(JP,A)
特開昭61-059389(JP,A)
特開昭61-182266(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F 9 / 3 0
G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 1 / 2 0
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6
H 0 1 L 5 1 / 5 0