



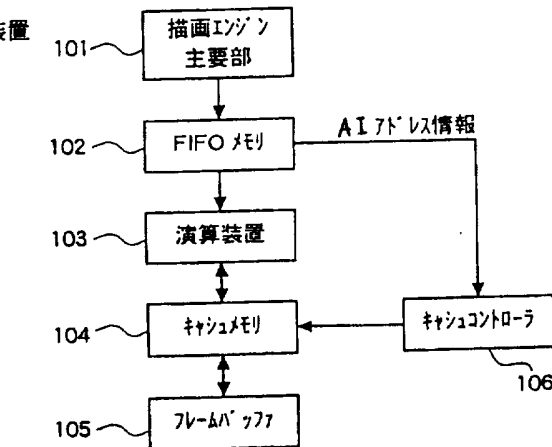
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 G06T 1/00, G09G 5/36</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/29456</p> <p>(43) 国際公開日 1997年8月14日(14.08.97)</p>
<p>(21) 国際出願番号 PCT/JP97/00296</p> <p>(22) 国際出願日 1997年2月6日(06.02.97)</p> <p>(30) 優先権データ 特願平8/20331 1996年2月6日(06.02.96) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 ソニー・コンピュータエンタテインメント (SONY COMPUTER ENTERTAINMENT INC.)(JP/JP) 〒107 東京都港区赤坂8丁目1番22号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 広井聡幸(HIROI, Toshiyuki)(JP/JP) 岡 正昭(OKA, Masaaki)(JP/JP) 〒107 東京都港区赤坂8丁目1番22号 株式会社 ソニー・コンピュータエンタテインメント内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 小池 晃, 外(KOIKE, Akira et al.) 〒105 東京都港区虎ノ門二丁目6番4号 第11森ビル Tokyo, (JP)</p>		<p>(81) 指定国 CA, CN, KR, MX, SG, US, 欧州特許 (DE, FR, GB).</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: IMAGE FORMING APPARATUS

(54) 発明の名称 画像生成装置



- 101 ... drawing engine main part
- 102 ... FIFO memory
- 103 ... arithmetic unit
- 104 ... cache memory
- 105 ... frame buffer
- 106 ... cache controller
- AI ... address information

(57) Abstract

Data from a drawing engine main part (101) is sent to a FIFO (First In First Out) memory (102), temporarily stored there and sent to a high speed cache memory (104) through an arithmetic unit (103). Data are transmitted between this cache memory (104) and a frame buffer (105). A cache controller (106) prefetches the contents of the FIFO memory (102) and controls the cache memory (104) so that all the data of the same page which is stored inside the frame buffer (105) and to which high speed access can be made can be read and written. In this way, high speed access can be made and the drawing speed can be improved though an economical frame buffer is used.

(57) 要約

描画エンジン主要部101からのデータをFIFO (First In First Out) メモリ102に送って一時的に蓄え、演算装置103を介して高速のキャッシュメモリ104に送る。このキャッシュメモリ104とフレームバッファ105との間でデータのやりとりを行う。キャッシュコントローラ106は、FIFOメモリ102の内容を先読みして、フレームバッファ105内の高速アクセスが可能な同一ページのデータをまとめて読み書きするようにキャッシュメモリ104を制御する。これにより、安価なフレームバッファを用いながら、高速アクセスを可能とし、描画速度を高めることができる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	ES	スペイン	LS	レソト	RD	ルワンダ
AT	オーストリア	FI	フィンランド	LT	リトアニア	SE	スウェーデン
AU	オーストラリア	FR	フランス	LU	ルクセンブルグ	SG	シンガポール
AZ	アゼルバイジャン	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア共和国
BB	バルバドス	GB	イギリス	MC	モナコ	SK	スロバキア共和国
BE	ベルギー	GE	グルジア	MD	モルドバ	SN	セネガル
BG	ブルガリア	GH	ガーナ	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	GN	ギニア	MK	マケドニア	TD	チャド
BY	ベラルーシ	GR	ギリシャ	UA	ウクライナ	TG	トーゴ
CA	カナダ	HU	ハンガリー	ML	マリ	TJ	タジキスタン
CC	中央アフリカ共和国	IE	アイルランド	MN	モンゴル	TM	トルクメニスタン
CD	コンゴ	IT	イタリア	MR	モーリタニア	TR	トルコ
CH	スイス	JP	日本	MW	モザンビーク	TT	トリニダード・トバゴ
CI	コート・ジボアール	KE	ケニア	MX	メキシコ	UG	ウガンダ
CN	中国	KG	キルギスタン	NE	ニジェール	US	米国
CO	コロンビア	KR	朝鮮民主主義人民共和国	NL	オランダ	UZ	ウズベキスタン共和国
DE	ドイツ	KZ	カザフスタン	NO	ノルウェー	VN	ベトナム
DK	デンマーク	LI	リヒテンシュタイン	NZ	ニュージーランド	YU	ユーゴスラビア
		LK	スリランカ	PT	ポルトガル		
				RO	ルーマニア		

## 明 細 書

### 画像生成装置

#### 技 術 分 野

本発明は、画像生成装置に関し、特にコンピュータを用いた映像機器であるグラフィックコンピュータ、特殊効果装置、ビデオゲーム機等に用いられる画像生成装置に関する。

#### 背 景 技 術

例えば、ビデオゲーム機やパーソナルコンピュータ装置あるいはグラフィックコンピュータ装置等のコンピュータグラフィックスを応用した機器において、テレビジョン受像機やモニタ受像機あるいは陰極線管（CRT: Cathode Ray Tube）ディスプレイ装置等に出力して表示する画像のデータ（表示出力画像データ）を生成あるいは生成する際には、ジオメトリ処理やレンダリング処理が行われる。ジオメトリ処理部では、座標変換、クリッピング、光源計算等が行われ、レンダリング処理部では、頂点の色データと奥行きを示すZ値から、ポリゴンを構成する全ての画素の色とZ値を考慮して、画素データを画像メモリに書き込む。

このような処理、特に上記レンダリング処理を主として行うために、描画処理回路あるいは描画エンジンが設けられる。この描画エ

ンジンにおいては、生成された画素を直接画像メモリに書き込む方法が一般に採用されている。

ところで、画像の描画速度は、描画エンジンから画像メモリへの書き込み速度に影響され、画像メモリのアクセス速度が遅いと描画速度が低下することになる。従って、描画速度を高めるために高価な高速メモリを大容量の画像メモリに用いることはシステムの価格の高騰につながり、また、安価なダイナミックランダムアクセスメモリ (DRAM: Dynamic Random Access Memory) 等のメモリを用いるとシステムの描画速度が遅くなるという欠点がある。

ここで、描画エンジンと画像メモリとの間にDRAMのページに相当するバッファメモリを設けて、画像メモリのアクセスを高速なバースト転送のみにする方法が考えられるが、バッファメモリ容量の範囲内で描画データがページ境界を跨るような順序で生じる場合には、効率が低下してしまう。

本発明は上述したような実情に鑑みてなされたものであり、安価なDRAM等のメモリを画像メモリとして用いても、描画速度を高速に維持できるような画像生成装置を提供するものである。

## 発 明 の 開 示

本発明は、画像情報に応じて画像表示のための画素データを描画処理手段により生成し、生成された画素を表示画面に対応する画像メモリに書き込む画像生成装置において、上記描画処理手段からのデータを一時的に蓄えるメモリと、上記メモリと上記画像メモリと

の間に設けられたキャッシュメモリと、上記メモリの内容に応じて上記キャッシュメモリの読み書きの制御を行うキャッシュ制御手段とを有することを特徴とする。

本発明に係る画像生成装置において、上記キャッシュ制御手段は、例えば、上記メモリに内容に応じて画像メモリ内の同一ページ内のデータをまとめて上記キャッシュメモリにロードするものとしてすることができる。

本発明に係る画像生成装置では、例えば、上記メモリと上記キャッシュメモリとの間に演算装置を設け、上記描画処理手段からの出力に応じて演算を施すことができる。

また、本発明に係る画像生成装置において、上記メモリはFIFOメモリとすることができる。

また、本発明に係る画像生成装置において、上記画像メモリはフレームメモリでとすることができる。

また、本発明に係る画像生成装置において、上記演算装置は、例えば、上記描画処理手段からの出力に応じてZバッファ処理を行うものとしてすることができる。

また、本発明に係る画像生成装置において、上記演算装置は、例えば、上記描画処理手段からの出力に応じてアンチエイリアシング処理を行うものとしてすることができる。

また、本発明に係る画像生成装置において、上記演算装置は、例えば、上記描画処理手段からの出力に応じてフィルタリング処理を行うものとしてすることができる。

また、本発明に係る画像生成装置において、上記演算装置は、例えば、上記描画処理手段からの出力に応じて $\alpha$ ブレンディング処理

を行うものとすることができる。

また、本発明に係る画像生成装置において、例えば、上記演算装置は、上記描画処理手段からの出力に応じて半透明処理を行うものとすることができる。

さらに、本発明に係る画像生成装置において、上記演算装置は、例えば、上記描画処理手段からの出力に応じてピクセル並び替え処理を行うものとすることができる。

このような本発明に係る画像生成装置によれば、描画エンジン等の描画処理手段により生成された画素データを一時的にF I F Oメモリ等のメモリに一時的に蓄え、このF I F Oメモリとフレームバッファとの間に高速のキャッシュメモリを設け、キャッシュ制御手段により上記F I F Oメモリの内容を先読みして上記キャッシュメモリの読み書きの制御を行っているため、フレームバッファに通常のD R A M等の安価なメモリを用いてもキャッシュメモリを介して高速のアクセスが実現でき、描画効率を高めることができる。このとき、フレームバッファの1ページ分のデータを効率よくまとめて読み書きでき、さらに高速アクセスを実現できる。また、F I F Oメモリとキャッシュメモリとの間に演算装置を設け、上記描画処理手段からのコマンドに応じて、Zバッファ処理、アンチエイリアシング処理、各種フィルタ演算処理、 $\alpha$ ブレンディング処理、半透明処理、ピクセル並び替え処理等を行わせることができる。

#### 図面の簡単な説明

図1は、本発明に係る画像生成装置をビデオゲーム装置に適用した実施の形態の概略的な構成を示すブロック図である。

図2は、本発明に係る画像生成装置の画像処理装置となるグラフィックプロセッサの具体的な構成例を示すブロック図である。

図3は、本発明に係る画像生成装置の描画エンジン主要部とフレームバッファとの間の構成の具体例を示すブロック図である。

図4は、FIFOメモリ内のデータ構造の一例を示す図である。

図5は、キャッシュメモリ内のデータ構造の一例を示す図である。

図6は、描画エンジンとフレームバッファとの間にバッファメモリを設けた場合の動作を説明するための図である。

図7は、通常のキャッシュメモリ内のデータ構造を示す図である。

図8は、描画エンジン主要部とフレームバッファとの間に通常のキャッシュメモリを設ける場合の概略構成を示すブロック図である。

図9は、図8の構成の動作を説明するためのフローチャートである。

図10は、フレームバッファに対して描画データ列を書き込む際の動作を説明するための図である。

図11は、図3の構成におけるキャッシュコントローラによるFIFOメモリの先読み動作を説明するためのフローチャートである。

図12は、図3の構成におけるキャッシュコントローラによるキャッシュメモリの読み書き動作を説明するためのフローチャートである。

図13は、図3の演算装置の具体例を示すブロック回路図である。

図14は、図13の演算部の具体例を示す回路図である。

図15は、本発明を適用したビデオゲーム装置の平面図である。

図 16 は、上記ビデオゲーム装置の背面図である。

図 17 は、上記ビデオゲーム装置の側面図である。

図 18 は、上記ビデオゲーム装置に装着される CD-ROM の平面図である。

### 発明を実施するための最良の形態

以下、本発明の好ましい実施の形態について、図面を参照しながら説明する。図 1 には、本発明に係る画像生成装置の実施の形態が適用されるビデオゲーム装置の概略的な構成を示している。

この図 1 に示すビデオゲーム装置は、例えば光学ディスク等の補助記憶装置に記憶されているゲームプログラムを読み出して実行することにより、使用者からの指示に応じてゲームを行うものである。

すなわち、このビデオゲーム装置は、2種類のバスすなわち、メインバス 1 とサブバス 2 を備える。上記メインバス 1 とサブバス 2 は、バスコントローラ 16 を介して接続されている。

そして上記メインバス 1 には、マイクロプロセッサなどからなる主中央演算処理装置（メイン CPU: Central Processing Unit）11、ランダムアクセスメモリ（RAM: Random Access Memory）からなる主記憶装置（メインメモリ）12、主ダイレクトメモリアクセスコントローラ（メイン DMAC: Direct Memory Access Controller）13、MPEG デコーダ（MDEC: MPEG Decoder）14 及び画像処理装置（GPU: Graphic Processing Unit）15 が接続されている。また、上記サブバス 2 には、マイクロプロセッサなどからなる副中央演算



処理装置（サブCPU:Central Processing Unit）21、ランダムアクセスメモリ（RAM:Random Access Memory）からなる副記憶装置（サブメモリ）22、副ダイレクトメモリアクセスコントローラ（サブDMAC: Direct Memory Access Controller）23、オペレーティングシステム等のプログラムが格納されたリードオンリーメモリ（ROM: Read Only Memory）24、音声処理装置（SPU: Sound Processing Unit）25、通信制御部（ATM: Asynchronous Transmission Mode）26、補助記憶装置27、入力デバイス28及びCD-ROMドライバ30が接続されている。

上記バスコントローラ16は、メインバス1とサブバス2との間のスイッチングを行う上記メインバス1上のデバイスであって、初期状態ではオープンになっている。

また、上記メインCPU11は、上記メインメモリ12上のプログラムで動作する上記メインバス1上のデバイスである。このメインCPU11は、起動時には上記バスコントローラ16がオープンになっていることにより、上記サブバス2上のROM24からブートプログラムを読み込んで実行し、CD-ROMドライバ30によりCD-ROMからアプリケーションプログラム及び必要なデータを再生して上記メインメモリ12や上記サブバス2上のデバイスにロードする。このメインCPU11には、座標変換等の処理を行うジオメトリトランスファエンジン（GTE:Geometry Transfer Engine）17が搭載されている。上記GTE17は、例えば複数の演算を並列に実行する並列演算機構を備え、上記メインCPU11からの演算要求に応じて座標変換，光源計算，行列あるいはベクトルなどの演算を高速に行う。そして、上記メインCPU11は、上記

G T E 1 7 による演算結果に基づいて 3 角形や 4 角形などの基本的な単位図形（ポリゴン）の組み合わせとして 3 次元モデルを定義して 3 次元画像を描画するための各ポリゴンに対応する描画命令を作成し、この描画命令をパケット化してコマンドパケットとして上記 G P U 1 5 に送る。

また、上記メイン D M A C 1 3 は、メインバス 1 上のデバイスを対象とする D M A 転送の制御等を行う上記メインバス 1 上のデバイスである。このメイン D M A C 1 3 は、上記バスコントローラ 1 6 がオープンになっているときにはサブバス 2 上のデバイスも対象とする。

また、上記 G P U 1 5 は、レンダリングプロセッサとして機能する上記メインバス 1 上のデバイスである。この G P U 1 5 は、メイン C P U 1 1 又はメイン D M A C 1 3 からコマンドパケットとして送られてきた描画命令を解釈して、頂点の色データと奥行きを示す Z 値から、ポリゴンを構成する全ての画素の色と Z 値を考慮して、画素データを画像メモリであるフレームバッファ 1 8 に書き込むレンダリング処理を行う。

また、上記 M D E C 1 4 は、C P U と並列に動作可能な I / O 接続デバイスであって、画像伸張エンジンとして機能する上記メインバス 1 上のデバイスである。この M D E C 1 4 は、離散コサイン変換などの直行変換により圧縮されて符号化された画像データを復号化する。また、上記サブ C P U 2 1 は、上記サブメモリ 2 2 上のプログラムで動作する上記サブバス 2 上のデバイスである。

また、上記サブ D M A C 2 3 は、サブバス 2 上のデバイスを対象とする D M A 転送の制御等を行う上記サブバス 2 上のデバイスであ

る。このサブDMAC 23は、上記バスコントローラ16がクローズなっているときにのみバス権利を獲得することができる。

また、上記SPU 25は、サウンドプロセッサとして機能する上記サブバス2上のデバイスである。このSPU 25は、上記サブCPU 21又はサブDMAC 23からコマンドパケットとして送られてくるサウンドコマンドに応じて、サウンドメモリ29から音源データ読み出して出力する。

また、上記ATM 26は、サブバス2上の通信用デバイスである。

また、上記補助記憶装置27は、サブバス2上のデータ入出力デバイスであってフラッシュメモリ等の不揮発性メモリなどからなる。この補助記憶装置27は、ゲームの進行経過やスコア等のデータを一時記憶する。

また、上記入力デバイス28は、サブバス2上のコントロールパッド、マウスなどのマンマシンインターフェースや、画像入力、音声入力などの他の機器からの入力用デバイスである。

さらに、上記CD-ROMドライバ30は、サブバス2上のデータ入力デバイスであってCD-ROMからアプリケーションプログラム及び必要なデータを再生する。

すなわち、このビデオゲーム装置では、座標変換やクリッピング、光源計算等のジオメトリ処理を行い、3角形や4角形などの基本的な単位図形（ポリゴン）の組み合わせとして3次元モデルを定義して3次元画像を描画するための描画命令を作成し、各ポリゴンに対応する描画命令をコマンドパケットとしてメインバス1に送出するジオメトリ処理系が上記メインバス1上のメインCPU 11及びGTE 17などにより構成され、上記ジオメトリ処理系からの描画命

令に基づいて各ポリゴンの画素データを生成してフレームバッファ 18 に書き込むレンダリング処理を行い、フレームバッファ 18 に図形を描画するレンダリング処理系が上記 GPU 15 により構成されている。

上記 PU 15 は、その具体的な構成を図 2 に示してあるように、上記メインバス 1 に接続されたバケットエンジン 31 を備え、上記メイン CPU 11 又はメイン DMAC 13 から上記メインバス 1 を介して上記バケットエンジン 31 にコマンドパケットとして送られてくる描画命令に従って、プリプロセッサ 32 と描画エンジン 33 により各ポリゴンの画素データを上記フレームバッファ 18 に書き込むレンダリング処理を行い、上記フレームバッファ 18 に描画された画像の画素データを読み出して表示制御部 (CRTC: CRT Controller) 34 を介してビデオ信号として図示しないテレビジョン受像機やモニタ受像機に供給するようになっている。

上記バケットエンジン 31 は、上記メイン CPU 11 又はメイン DMAC 13 から上記メインバス 1 を介して送られてくるコマンドパケットを上記バケットエンジン 31 により図示しないレジスタ上に展開する。

また、上記プリプロセッサ 32 は、上記バケットエンジン 31 にコマンドパケットとして送られてきた描画命令に従ってポリゴンデータを生成して後述するポリゴンの分割処理などの所定の前処理をポリゴンデータに施し、上記描画エンジン 33 が必要とする各ポリゴンの頂点座標情報、テクスチャやミップマップテクスチャのアドレス情報、ピクセルインターリーブの制御情報などの各種データを生成する。

さらに、上記描画エンジン 33 は、上記プリプロセッサ 32 に接続された N 個のポリゴンエンジン 33 A 1, 33 A 2 . . . 33 A N と、各ポリゴンエンジン 33 A 1, 33 A 2 . . . 33 A N に接続された N 個のテクスチャエンジン 33 B 1, 33 B 2 . . . 33 B N と、各テクスチャエンジン 33 B 1, 33 B 2 . . . 33 B N に接続された第 1 のバススイッチャ 33 C と、この第 1 のバススイッチャ 33 C に接続された M 個のピクセルエンジン 33 D 1, 33 D 2 . . . 33 D M と、各ピクセルエンジン 33 D 1, 33 D 2 . . . 33 D M に接続された第 2 のバススイッチャ 33 E と、この第 2 のバススイッチャ 33 E に接続されたテクスチャキャッシュ 33 F と、このテクスチャキャッシュ 33 F に接続された CLUT キャッシュ 33 G を備える。

この描画エンジン 33 において、上記 N 個のポリゴンエンジン 33 A 1, 33 A 2 . . . 33 A N は、上記プリプロセッサ 32 により前処理が施されたポリゴンデータに基づいて、上記 N 個のポリゴンエンジン 33 A 1, 33 A 2 . . . 33 A N は、描画命令に応じたポリゴンを順次生成してポリゴン毎にシェーディング処理などを並列処理により行う。

また、上記 N 個のテクスチャエンジン 33 B 1, 33 B 2 . . . 33 B N は、上記ポリゴンエンジン 33 A 1, 33 A 2 . . . 33 A N により生成されたポリゴン毎に、上記テクスチャキャッシュ 33 F からカラーlookupテーブル (CLUT: Color Look Up Table) キャッシュ 33 G を介して与えられるテクスチャデータに基づいて、テクスチャマッピング処理やミップマップ処理を並列処理により行う。

ここで、上記テクスチャキャッシュ 33F には、上記N個のテクスチャエンジン 33B1, 33B2...33BN が処理するポリゴンに張り付けるテクスチャやミップマップテクスチャのアドレス情報が上記プリプロセッサ 32 から事前に与えられ、上記アドレス情報に基づいて上記フレームバッファ 18 上のテクスチャ領域から必要なテクスチャデータが転送される。また、上記CLUTキャッシュ 33G には、上記テクスチャの描画を行う際に参照すべきCLUTデータが上記フレームバッファ 18 上のCLUT領域から転送される。

上記N個のテクスチャエンジン 33B1, 33B2...33BN によりテクスチャマッピング処理やミップマップ処理が施されたポリゴンデータは、上記第1のバススイッチャ 33C を介してM個のピクセルエンジン 33D1, 33D2...33DM に転送される。

上記M個のピクセルエンジン 33D1, 33D2...33DM は、Zバッファ処理やアンチエイリアシング処理等の各種画像処理を並列処理により行い、M個の画素データを生成する。

そして、上記M個のピクセルエンジン 33D1, 33D2...33DM で生成されたM個の画素データは、この第2のバススイッチャ 33E を介して上記フレームバッファ 18 に書き込まれる。

ここで、上記第2のバススイッチャ 33E は、上記プリプロセッサ 32 からピクセルインターリーブの制御情報が供給されており、上記M個のピクセルエンジン 33D1, 33D2...33DM で生成されたM個の画素データのうちのL個の画素データを上記制御情報に基づいて選択することにより、上記フレームバッファ 18 上

に描画するポリゴンの形状に応じたM個の記憶場所をアクセス単位として画素データをM個ずつ書き込むピクセルインターリーブ処理を行う機能を有している。

上記描画エンジン33は、上記プリプロセッサ32により前処理が施されたポリゴンデータに基づいて、各ポリゴンの全ての画素データを生成して上記フレームバッファ18に書き込むことにより、上記描画命令によりポリゴンの組合せとして定義された画像を上記フレームバッファ18上に描画する。そして、上記フレームバッファ18に描画された画像の画素データを読み出してCRT34を介してビデオ信号として図示しないテレビジョン受像機やモニタ受像機に供給する。

次に、このような描画エンジン33とフレームバッファ18との間の具体的な構成例について、図3を参照しながら説明する。

この図3において、上記描画エンジン33の主要部101は、上記図2のピクセルエンジン33D1, 33D2, … 33DMより前の構成に相当するものである。そして、ピクセルエンジン33D1, 33D2, … 33DMは、図3のFIFO (First In First Out) メモリ102、演算装置103、キャッシュメモリ104及びキャッシュコントローラ106を有している。この描画エンジン主要部101は、描画する画素データを出力し、上記FIFOメモリ102に送って一時的に格納する。このFIFOメモリ102は、後述するようにメモリ内容を先読み可能なものであり、キャッシュコントローラ106により先読み制御が行われる。

FIFOメモリ102内には、例えば図4に示すような構造のデータあるいはコマンドが書き込まれる。この図4において、OPR

はオペレーション（操作）コードを示し、X, Y, Zが座標値を、R, G, B及び $\alpha$ がカラー値を、またWが書き込み許可（ライトイネーブル）フラグをそれぞれ示している。オペレーションコードOPRは、例えば6ビットb0～b5で構成され、ビットb0は、 $\alpha$ ブレンディングをするかしないかを1、0で示し、ビットb2は、Zバッファを使用するか否かを1、0で示す。ビットb2、b3は、縦、横の倍率を示し、0のとき1倍、1のとき2倍としており、b2が1のときにはYを2倍の倍率にして縦2画素分のピクセルとして描き、b3が1のときにはXを2倍の倍率にして横2画素分のピクセルとして描く。ビットb5、b4は、フィルタやアンチエイリアシング処理の選択を行うために用いられ、00のときはそのまま描き、01のときはアンチエイリアシングを、10のときにはタイプ1のフィルタ処理を、11のときにはタイプ2のフィルタ処理をそれぞれ行う。

図3の演算装置103は、後で詳細に説明するように比較器やエフェクタ等から成り、FIFOメモリ102から画素を読み出して、それぞれの画素が要求する演算やZ値の比較を行い、次段のキャッシュメモリ104に対しての書き込み処理や、Zバッファ処理、 $\alpha$ ブレンディング処理、半透明処理、アンチエイリアシング処理、各種フィルタ処理、ピクセル並び替え処理等を行う。キャッシュメモリ104は、次段の通常のダイナミックランダムアクセスメモリ（DRAM: Dynamic Random Access Memory）等の安価なメモリを用いたフレームバッファ105とバースト転送を行うために設けられている。

このキャッシュメモリ内のデータ構造の例を図5に示す。この図5において、Tagはページアドレスpage及びコラムアドレスcol



から成るタグ領域あるいはタグフィールドであり、DTはデータ領域を示し、S、Vは、それぞれタグ、データが有効(Valid)か否かを示すフラグの領域であり、RCはデータのアクセスリクエストの計数値を示すリクエストカウント領域である。フレームバッファ105は、上記図1、図2のフレームバッファ18に相当する。この1行分を1ラインといい、キャッシュメモリ104は、通常2ライン以上のメモリ容量を有している。なお一般的に、上記タグ領域のページアドレスpageは、フレームバッファ105の行アドレスを、コラムアドレスcolはフレームバッファ105の列アドレスあるいはその上位アドレスを示している。

キャッシュコントローラ106は、キャッシュメモリ104を制御する手段であり、特に、FIFOメモリ102の内容を前もって調べることにより、必要とされるデータ領域を知り、キャッシュメモリ104に十分な空き領域があれば、そのデータ領域の現れる順番を並べ替えて、DRAM等のフレームバッファ105の同一ページ内へのアクセスをまとめて行うように、なるべくDRAMのワード境界及びページ境界を跨らないようにして、アクセス回数及びアクセス時間が短くなるようにその部分のデータをまとめてキャッシュメモリ104からフレームバッファ105に転送するように指示する。このキャッシュコントローラ106の動作についても後で詳細に説明する。

以上のような画像生成装置によれば、描画エンジンによる描画効率を高めることができ、また効率よくZバッファ処理、アンチエイリアシング処理、各種フィルタ演算処理、 $\alpha$ ブレンディング処理、半透明処理、ピクセル並べ替え処理等の各種処理を行うことができる。

次に、上述した実施の形態のより具体的な説明に先立って、描画エンジンによりフレームバッファに画素データを書き込む関連技術及び比較例について説明する。

先ず、描画エンジンがフレームバッファを直接アクセスする場合には、フレームバッファのアクセス速度により描画速度が決まるため、高価な高速大容量のメモリを必要とし、安価な通常のDRAMをフレームバッファに用いると描画速度が遅くなることは前述した通りである。

ここで、描画エンジンとフレームバッファとの間に、高速のバースト転送が可能なバッファメモリを設けることを考える。例えば、図6のフレームバッファ105の横1行分すなわち1ページ分の半分の容量を有するバッファメモリ107を用い、描画エンジンにより順に描画データ列L1、L2、L3、L4を描画する場合を考える。この場合、フレームバッファ105内では、領域105a内に描画データ列L1、L3が描画され、他のページの領域105b内に描画データ列L2、L4が描画されるものとしている。

先ず、描画エンジンがバッファメモリ107に描画データ列L1を書き込むに先立って、フレームバッファ105の領域105aのデータをバースト転送によりバッファメモリ107に読み込む（ロードする）。このバッファメモリ107に読み込まれた領域105aのデータに対して、描画データ列L1を書き込む。次に描画データ列L2を描画しようとするときには、バッファメモリ107の内容をフレームバッファ105にバースト転送して領域105aに書き込んだ後、フレームバッファ105の領域105bのデータをバッファメモリ107に読み込んだ後（ロードした後）、描画データ

列L 2をバッファメモリ107に書き込む。次に描画データ列L 3を描画しようとするときには、バッファメモリ107の内容をフレームバッファ105の領域105bに書き込んだ後、領域105aの内容をバースト転送によりフレームバッファ107に読み込み、描画データ列L 1に続く位置に描画データ列L 3を書き込む。次に描画データ列L 4を描画しようとするときには、バッファメモリ107の内容の描画データ列L 1、L 3をフレームバッファ105の領域105aに書き込んだ後、領域105bの内容をフレームバッファ107に読み込み、描画データ列L 2に続く位置に描画データ列L 4を書き込む。

このように、バッファメモリ107を用いる構成ではフレームバッファ105に対するアクセスが頻繁に生じ、バースト転送による高速アクセスを行っても、その効果を十分に発揮できないことがある。

そこで、図7に示すような構成のキャッシュメモリ108を、図8に示すように、描画エンジン主要部101とフレームバッファ105との間に設けることを提案している。このキャッシュメモリ108は、キャッシュコントローラ109によりデータの読み書きが制御される。図7のメモリ構成は上述した図5とほぼ同様であるが、通常のキャッシュメモリ構成として、V（有効：Valid）フラグのみを用いる構成を示している。

このようなキャッシュメモリ108を用いるとき、描画エンジン101により順に描画データ列L 1、L 2、L 3、L 4を描画する際に、キャッシュメモリ108のデータDT（0）の内容としてフレームバッファ105の領域105aのデータを読み込んだ（ロー

ドした) 後、このデータDT(0)に対して描画データ列L1、L3を書き込み、また、データDT(1)の内容としてフレームバッファ105の領域105bのデータを読み込んだ後、描画データ列L2、L4を書き込むことにより、データDT(0)である描画データ列L1、L3をフレームバッファ105の領域105aにまとめて読み書きしたり、データDT(1)である描画データ列L2、L4をフレームバッファ105の領域105bにまとめて読み書きすることができ、フレームバッファ105に対するアクセス回数が減って高速描画が可能となる。

この図8のキャッシュコントローラ109の制御動作のアルゴリズムの一例について、図9を参照しながら説明する。

図9において、最初のステップS201でキャッシュメモリ108の全てのラインのVフラグを0にし、次のステップS202に進んで、描画エンジン101がメモリアクセスをリクエストするまで待機している。メモリへのアクセスがリクエストされたときには、ステップS203に進み、キャッシュメモリ108の全ラインの内から、Vフラグが1であり、かつリクエストアドレスの上位がタグTagと一致しているラインを探す。次のステップS204では、見つかったか否かを判別し、NOのときにはステップS205に、YESのときにはステップS209に進む。ステップS205では、Vフラグが0のラインを探し、ステップS206でこれが見つかったか否かを判別し、NOのときはステップS207に、YESのときはステップS208に進む。ステップS207では、キャッシュメモリ108からラインを1つ選んで、そのデータ領域の内容DTをタグTagが示すフレームバッファのアドレス位置に書き込み、そ

のラインのVフラグを0にした後、ステップS208に進む。ステップS208では、キャッシュメモリ108の当該ライン、すなわち上記ステップS206で見つかったVフラグが0のラインあるいはステップS207でVフラグを0にされたラインに対して、上記描画エンジン101からのメモリアクセスリクエストのアドレスに対応するデータをフレームバッファ105からコピーし、そのラインのVフラグを1にし、さらにアドレスの上位をそのラインのタグ領域にコピーした後、ステップS209に進む。ステップS209では、上記描画エンジン101がキャッシュメモリ108のそのラインに対してアクセスした後、上記ステップS202に戻る。

以上図7～図9と共に説明したような例によれば、描画エンジン101から高速のキャッシュメモリ108に対するアクセスが有効に行われ、しかもフレームバッファ105に対するアクセス回数も少なくなり、高速描画が可能となる。

ところで、このような構成において、例えば図10に示すように、キャッシュメモリのそれぞれ1ライン分の大きさの各描画データ列L1～L4を順に描画しようとする場合には、フレームバッファ105に対して、描画データ列L1の次に描画データ列L2を書き込む際にページ切り換えが必要とされ、また描画データ列L2の次に描画データ列L3を書き込む際、さらに描画データ列L3の次に描画データ列L4を書き込む際にそれぞれページ切り換えが必要とされ、最初の描画データ列L1を書き込む際のページアクセスと合わせて計4回のページアクセスが必要とされる。通常のDRAMを用いたフレームバッファ105においては、同一ページ内で連続的にデータを読み書きするいわゆる高速ページモードでは高速にデータ

転送が行えるが、ページを指定してのアクセスには時間がかかることが知られている。このため、図10に示すような描画データ列L1～L4を順に描画しようとする、ページを指定してのアクセスが4回必要となり、これが描画速度の低下の原因となることが考えられる。

そこで、上述した図3の実施の形態においては、キャッシュメモリ104を設けるのみならずさらにFIFOメモリ102を設け、このFIFOメモリ102の内容をキャッシュコントローラ106により先読みして、フレームバッファ105内の同一ページへのアクセスをまとめて行うように制御することにより、描画速度をさらに高めるようにしている。

このキャッシュコントローラ106による先読み制御のアルゴリズムの一例を図11に示し、キャッシュメモリ104の読み書き制御の一例を図12に示している。

まず、図11の最初のステップS211においては、キャッシュメモリ104の全てのラインのSフラグ及びVフラグを0にし、上記FIFOメモリ102内のコマンドを示すポインタPを先頭位置に設定している。この図11、図12においては、キャッシュメモリ104の各ラインを示すインデックス変数を*i*あるいは*j*とし、*i*ラインのSフラグの内容をS(*i*)、Vフラグの内容をV(*i*)としており、ステップS211では、全ての*i*に対してS(*i*)に0を、V(*i*)に0をセットしている。

次のステップS212においては、FIFOメモリ102のポインタPの位置にコマンドが書き込まれているか否かを判別し、NOのときはステップS212戻り、YESのときは次のステップS2

13に進んでいる。

ステップS213では、タグ変数tag\_inに対して、ポインタPの位置のコマンドのオペレーションコードOPR、及び座標X、Yにより生成されるアドレスから、タグとなるアドレス、例えばページアドレス及びコラムアドレスを生成して書き込む。

次のステップS214では、キャッシュメモリ104内の全てのiについて、タグtag(i)が上記タグ変数tag\_inの内容であり、かつSフラグS(i)が1となるようなiが存在するか否かを判別している。これは、すでに対応するアドレスのデータがキャッシュメモリ104内にあるか、同一タグでアクセスリクエスト登録されているラインがあるかを判別することに相当する。このステップS214でNOとされたときにはステップS215に進み、YESとされたときにはステップS220に進む。

ステップS215では、SフラグS(i)が0となるようなiが存在するか否かを判別して、NOのときはステップS216に進み、YESのときはステップS218に進む。このステップS215では、キャッシュメモリ104内に未使用のラインすなわちキャッシュエントリが存在するか否かを判別している。

ステップS216では、キャッシュメモリ104内にSフラグS(i)が1で、かつVフラグV(i)が1で、かつリクエストカウントRC(i)が1となるiが存在するか否かを判別している。これは、データは有効(Valid)であるが、既に描画されており、リクエストが無いようなラインすなわちキャッシュエントリが存在するか否かを判別することに相当する。ステップS216でYESとされたときにはステップS217に進み、NOとされたときにはステップ

S 2 2 1 に進んでいる。

ステップ S 2 1 7 では、フレームバッファ 1 0 5 内の上記タグ  $tag(i)$  で示されるアドレス位置のメモリ内容  $MEM(tag(i))$  に、キャッシュメモリ 1 0 4 の上記  $i$  のデータ  $DT(i)$  を転送して書き込んでいる。

次のステップ S 2 1 8 では、キャッシュメモリ 1 0 4 の上記  $i$  のラインに対して、タグ  $tag(i)$  に上記タグ変数  $tag\_in$  を書き込み、S フラグ  $S(i)$  を 1 に、V フラグ  $V(i)$  を 0 に、リクエストカウント  $RC(i)$  を 1 にそれぞれ設定する。これは、アクセスリクエストの新登録に相当する。

次のステップ S 2 1 9 では、F I F O メモリ 1 0 2 のポインタ P を次のコマンド位置にインクリメントして、上記ステップ S 2 1 2 に戻っている。

上記ステップ S 2 1 4 で Y E S と判別されたときには、ステップ S 2 2 0 により、キャッシュメモリ 1 0 4 の  $i$  のラインあるいはキャッシュエントリのアクセスリクエストカウント  $RC(i)$  をインクリメント ( $RC(i)+1$ ) して、ステップ S 2 1 9 に進んでいる。

上記ステップ S 2 1 6 で N O とされたときには、キャッシュメモリ 1 0 4 内に空きがないため、ステップ S 2 2 1 で待機 (W A I T) し、後述するキャッシュ読み書き制御による処理により空きが生じるのを待って、上記ステップ S 2 1 3 に戻っている。

次に、図 1 2 のキャッシュメモリ 1 0 4 の読み書き (リードライト) 制御において、最初のステップ S 2 3 1 では上記 F I F O メモリ 1 0 2 からコマンドを取り出し、次のステップ S 2 3 2 で、そのコマンドが既にキャッシュコントローラ 1 0 6 で上記図 1 1 に示し



たような先読み制御処理が施されているか否かを判別している。このステップS 2 3 2でNOとされたときには、ステップS 2 3 3に進んで、WAIT、すなわち上記図 1 1の先読み制御処理を待って、ステップS 2 3 2に戻っている。ステップS 2 3 2でYESとされたときには、ステップS 2 3 4に進む。

ステップS 2 3 4では、タグ変数tag\_A に、F I F Oメモリ1 0 2から読み出されたコマンドのオペレーションコードOPR、及び座標X, Yにより生成されるアドレスから、タグとなるアドレス、例えばページアドレス及びコラムアドレスを生成して書き込む。

次のステップS 2 3 5では、キャッシュメモリ1 0 4内の、tag(i)=tag\_AかつS(i)=1 となるiを探す。このようなiのラインあるいはキャッシュエントリは、既に先読み処理されていることから、必ず見つかる。

次のステップS 2 3 6では、VフラグV(i) が0か否かを判別し、YESのときにはステップS 2 3 7に、NOのときにはステップS 2 3 8にそれぞれ進んでいる。ここでV(i) が0となるのは、アクセスリクエストされているが、データは無効 (invalid) であるときである。

ステップS 2 3 7では、キャッシュメモリ1 0 4内の全てのラインについて、インデックス変数をjとするとき、タグtag(j)のページアドレスpage(j) が上記タグ変数tag\_A のページアドレス部分tag\_A.page に等しく、かつSフラグS(j) が1で、かつVフラグV(j)が0となるラインを探し、この条件を満たす全てのjのラインのデータ領域に対して、フレームバッファ1 0 5内の上記タグtag(i)で示されるアドレス位置のメモリ内容MEM(tag(j))をデータD T(j)

として書き込む。これは、フレームバッファ105の、同一のページ内の全てのリクエストされたデータを高速に読み込む（ロードする）ことに相当する。

次のステップS238では、演算装置103がキャッシュメモリ104の上記iのラインのデータDT(i)に対して読み書き（リード、ライト）を行う。

次のステップS239では、アクセスリクエストカウントRC(i)をデクリメント（RC(i)-1）して、上記ステップS231に戻っている。

以上説明したように、上記キャッシュコントローラ106が、FIFOメモリ102内のコマンドを先読みして、上記フレームバッファ105内の同一ページのデータをまとめて、ページ切換を行わずに高速にキャッシュメモリ104にロードすることができる。例えば上記図10の同一ページ内の描画データ列L1、L3をまとめ、また描画データ列L2、L4をまとめて高速にキャッシュメモリ104との間でデータ転送が行え、ページ指定アクセスは2回で済み、図8のようなキャッシュメモリのみを用いる構成（ページ指定アクセスが4回）に比べてさらに高速アクセスが実現でき、描画速度を高めることができる。

ところで、上記図3の演算装置103においては、描画エンジンから受けるコマンドに応じて、いわゆるZバッファ処理、アンチエイリアシング処理、各種フィルタ演算処理、 $\alpha$ ブレンディング処理、半透明処理、ピクセル並べ替え処理等を行っているが、この演算装置103の具体例について、図13を参照しながら説明する。

この図13において、上記図3の描画エンジン主要部101から

F I F Oメモリ 1 0 2 を介して取り出されたコマンドは、例えば図 4 と共に説明したような構造を有している。座標データの X は、そのまま切換スイッチ 1 2 2 の被選択端子 a に、また 2 倍の乗算器 1 2 1 を介して切換スイッチ 1 2 2 の被選択端子 b にそれぞれ供給されており、座標データの Y は、そのまま切換スイッチ 1 2 4 の被選択端子 a に、また 2 倍の乗算器 1 2 3 を介して切換スイッチ 1 2 4 の被選択端子 b にそれぞれ供給されている。これらの切換スイッチ 1 2 2、1 2 4 は、コマンドのオペレーションコード O P R のビット b 3、b 2 によりそれぞれ切換制御される。各切換スイッチ 1 2 2、1 2 4 からの出力信号は、X、Y 座標すなわちフレームバッファ 1 0 5 上での X、Y アドレスとして、キャッシュメモリ 1 0 4 の上記タグ領域に送られる。上記コマンドの座標データ Z は、視点からの奥行き方向の距離を表し、比較器 1 2 5 の一方の入力端子 A に送られる。この比較器 1 2 5 の他方の入力端子 B には、キャッシュメモリ 1 0 4 からの Z 値が入力され、これらが比較されることにより、いわゆる隠面処理としての Z バッファ処理が行われる。すなわち、比較器 1 2 5 からの比較結果出力は、ラッチ 1 2 6 を介し、A N D ゲート 1 2 7 を介し、切換スイッチ 1 2 9 の被選択端子 a を介して、書込制御信号 Write としてキャッシュメモリ 1 0 4 に送られており、これによって最も手前に相当する Z 値を持つ画素をキャッシュメモリ 1 0 4 に書き込むような制御を行っている。この Z バッファ処理をするか否かの制御は、上記コマンドのオペレーションコード O P R のビット b 1 により切換スイッチ 1 2 9 を切り換えることで行っており、書き込みタイミングは、図 1 3 の制御信号を N O T ゲート 1 2 8 で取り出して A N D ゲート 1 2 7 及び切換スイッチ

129の被選択端子bに送ることによって同期をとっている。

キャッシュメモリ104からのデータ出力Data outは演算部130に送られている。演算部130には、上記コマンドのカラー値R, G, B及び $\alpha$ ブレンディング処理用の係数 $\alpha$ が供給されており、コマンドのオペレーションコードOPRにより制御される。演算部130からの出力は、ラッチ131を介してキャッシュメモリ104にデータ入力Data inとして送られる。そして、キャッシュメモリ104に入力されたデータはフレームバッファ105へ書き込まれる。

次に、演算部130の具体的構成例について、図14を参照しながら説明する。この図4においては、R（赤）データ処理のためのR演算部132Rの内部構成を図示しているが、G（緑）データ処理用のG演算部132Gや、B（青）データ処理用のB演算部132Bの内部構成も同様であるため、図示せず説明を省略する。

図14のR演算部132Rには、データとして、図13のFIFOメモリ102から取り出されたコマンドのRデータ、係数 $\alpha$ 、及びキャッシュメモリ104からのデータ出力Data outのRデータ成分（R）及びその近傍データが供給され、制御信号として、上記コマンドのオペレーションコードOPRのビットb0, b2~b5が供給されている。上記コマンドのRデータは、乗算器133に送られて上記係数 $\alpha$ と乗算され、上記データ出力Data outのRデータ成分（R）は、乗算器134に送られて上記係数 $\alpha$ の1からの減算値 $1 - \alpha$ と乗算される。この減算値 $1 - \alpha$ は、減算器135により得られる。乗算器133、134からの各出力は、加算器136に送られて加算され、切換スイッチ137の被選択端子bに送られる、

切換スイッチ 137 の被選択端子 a には、上記コマンドの R データが供給されており、上記オペレーションコード OPR のビット b0 により切換スイッチ 137 が切換制御されることで、 $\alpha$  ブレンディング処理のオン/オフが制御される。切換スイッチ 137 からの出力は画素拡大回路 138 に送られており、この画素拡大回路 138 は上記オペレーションコード OPR のビット b3, b2 により制御される。画素拡大回路 138 からの出力は、切換スイッチ 139 の被選択端子 a、アンチエリアシング回路 140、タイプ 1 のフィルタ回路 141 及びタイプ 2 のフィルタ回路 142 にそれぞれ送られており、アンチエリアシング回路 140、フィルタ回路 141、142 からの各出力は、切換スイッチ 139 の各被選択端子 b、c、d にそれぞれ送られている。この切換スイッチ 139 は、上記オペレーションコード OPR のビット b5, b4 により切換制御される。切換スイッチ 139 からの出力は、R 演算部 132 R からの出力として取り出され、他の G 演算部 132 G、B 演算部 132 B からの各出力と共に、上記図 13 の演算部 131 からの出力として次段のラッチ 131 に送られる。

このような本発明を適用したビデオゲーム装置は、例えば、図 15 の平面図、図 16 の正面図及び図 17 の側面図に示すような構成となっている。

すなわち、このビデオゲーム装置 201 は、図 15 に示すように、基本的に、装置本体 202 と、この装置本体 202 に対してケーブル 227 を介して接続される操作装置 217 により構成されている。装置本体 202 の上面の中央部には、ディスク装着部 203 が設けられ、その内部に図 18 に示すような CD-ROM 251 が装着さ

れるようになされている。ディスク装着部 203 の左側には、装置の電源をオンまたはオフするときに操作される電源スイッチ 205 と、ゲームを一旦リセットするときに操作されるリセットスイッチ 204 が設けられている。また、ディスク装着部 203 の右側には、ディスク装着部 203 に対して CD-ROM 251 を着脱するときに操作されるディスク操作スイッチ 206 が設けられている。

また、装置本体 202 の正面には、図 16 に示すように、接続部 207A, 207B が設けられている。これらの接続部 207A, 207B には、操作装置 217 から導出されたケーブル 227 の先端に設けられている接続端子部 226 と、メモリーカードなどよりなる記録装置 228 を接続するため接続端子挿入部 212 と記録挿入部 208 がそれぞれ設けられている。すなわち、この装置本体 202 には、操作装置 217 と記録装置 228 がそれぞれ 2 個接続できるようになされている。

ここで、図 16 の正面図には、右側の接続部 207B に接続端子部 226 と記録装置 228 が装着され、左側の接続部 207A には接続端子部 226 と記録装置 228 のいずれも装着されていない状態が示されている。この図 16 に示すように、記録装置 228 を装着する記録挿入部 208 にはシャッタ 209 が設けられており、記録装置 228 を装置本体 202 に対して装着するときに、記録装置 228 の先端で、このシャッタ 209 を押し込むようにして、装着が行われるようになっている。

また、接続端子部 226 の把持部 231A と記録装置 228 には把持部 242A には、それぞれ例えばローレット加工などによる滑り止め加工が施されている。なお、図 17 の側面図に示すように、

接続端子部 226 と記録装置 228 の長さ L は、ほぼ同一の長さとなっている。

操作装置 27 には、左右の手で把持される支持部 220, 221 が設けられ、支持部 220, 221 の先端には、操作部 218, 219 が設けられている。操作部 224, 225 は、左右の手の人差し指で操作され、操作部 218, 219 は、左右の親指で操作されるようになっている。

操作部 218, 219 の間には、ゲーム中においてセレクト操作を行うときに操作されるセレクトスイッチ 222 と、ゲームを開始するときに操作されるスタートスイッチ 223 が設けられている。

このビデオゲーム装置 201 では、上記ディスク装着部 203 に装着された CD-ROM 251 が上述の CD-ROM ドライバ 30 により再生される。また、上記操作装置 217 は、上述の入力デバイス 28 に相当するものであり、また、上記記録装置 228 は、上述の補助記憶装置 27 に相当するものである。

なお、本発明は、上述したような実施の形態に限定されるものではなく、例えば、演算装置の具体的構成は図示の例に限定されず種々の構成が可能であり、また演算装置を無くしてもよい。

## 請 求 の 範 囲

1. 画像情報に応じて画像表示のための画素データを描画処理手段により生成し、生成された画素を表示画面に対応する画像メモリに書き込む画像生成装置において、

上記描画処理手段からのデータを一時的に蓄えるメモリと、

上記メモリと上記画像メモリとの間に設けられたキャッシュメモリと、

上記メモリの内容に応じて上記キャッシュメモリの読み書きの制御を行うキャッシュ制御手段と

を有することを特徴とする画像生成装置。

2. 上記キャッシュ制御手段は、上記メモリに内容に応じて画像メモリ内の同一ページ内のデータをまとめて上記キャッシュメモリにロードすることを特徴とする請求項1記載の画像生成装置。

3. 上記メモリと上記キャッシュメモリとの間に演算装置を設け、上記描画処理手段からの出力に応じて演算を施すことを特徴とする請求項2記載の画像生成装置。

4. 上記メモリはFIFOメモリであることを特徴とする請求項2記載の画像生成装置。

5. 上記画像メモリはフレームメモリであることを特徴とする請求項2記載の画像生成装置。

6. 上記演算装置は、上記描画処理手段からの出力に応じてZバッファ処理を行うことを特徴とする請求項3記載の画像生成装置。

7. 上記演算装置は、上記描画処理手段からの出力に応じてアン



チェリアシング処理を行うことを特徴とする請求項 3 記載の画像生成装置。

8. 上記演算装置は、上記描画処理手段からの出力に応じてフィルタリング処理を行うことを特徴とする請求項 3 記載の画像生成装置。

9. 上記演算装置は、上記描画処理手段からの出力に応じて $\alpha$ ブレンディング処理を行うことを特徴とする請求項 3 記載の画像生成装置。

10. 上記演算装置は、上記描画処理手段からの出力に応じて半透明処理を行うことを特徴とする請求項 3 記載の画像生成装置。

11. 上記演算装置は、上記描画処理手段からの出力に応じてピクセル並び替え処理を行うことを特徴とする請求項 3 記載の画像生成装置。

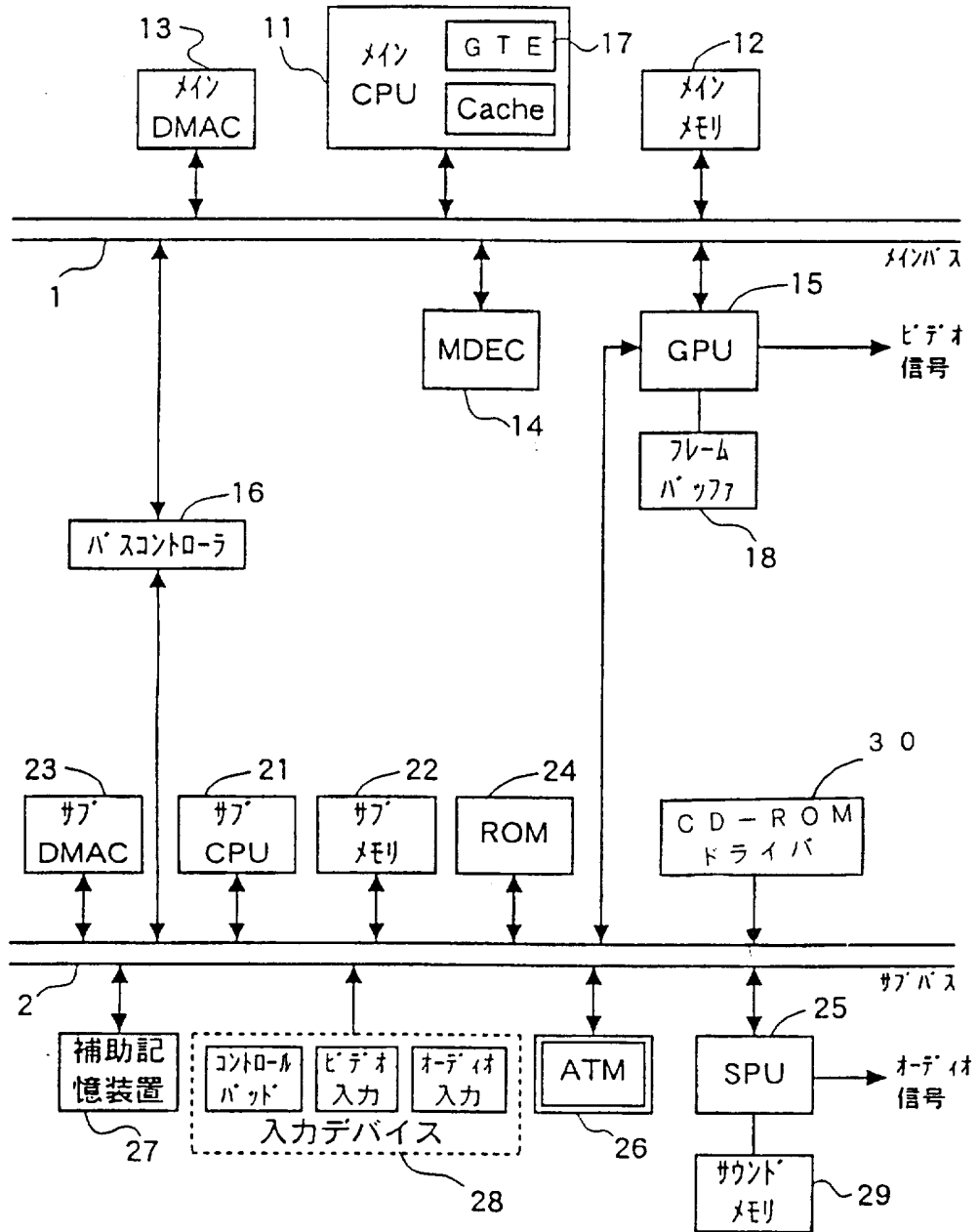


FIG. 1

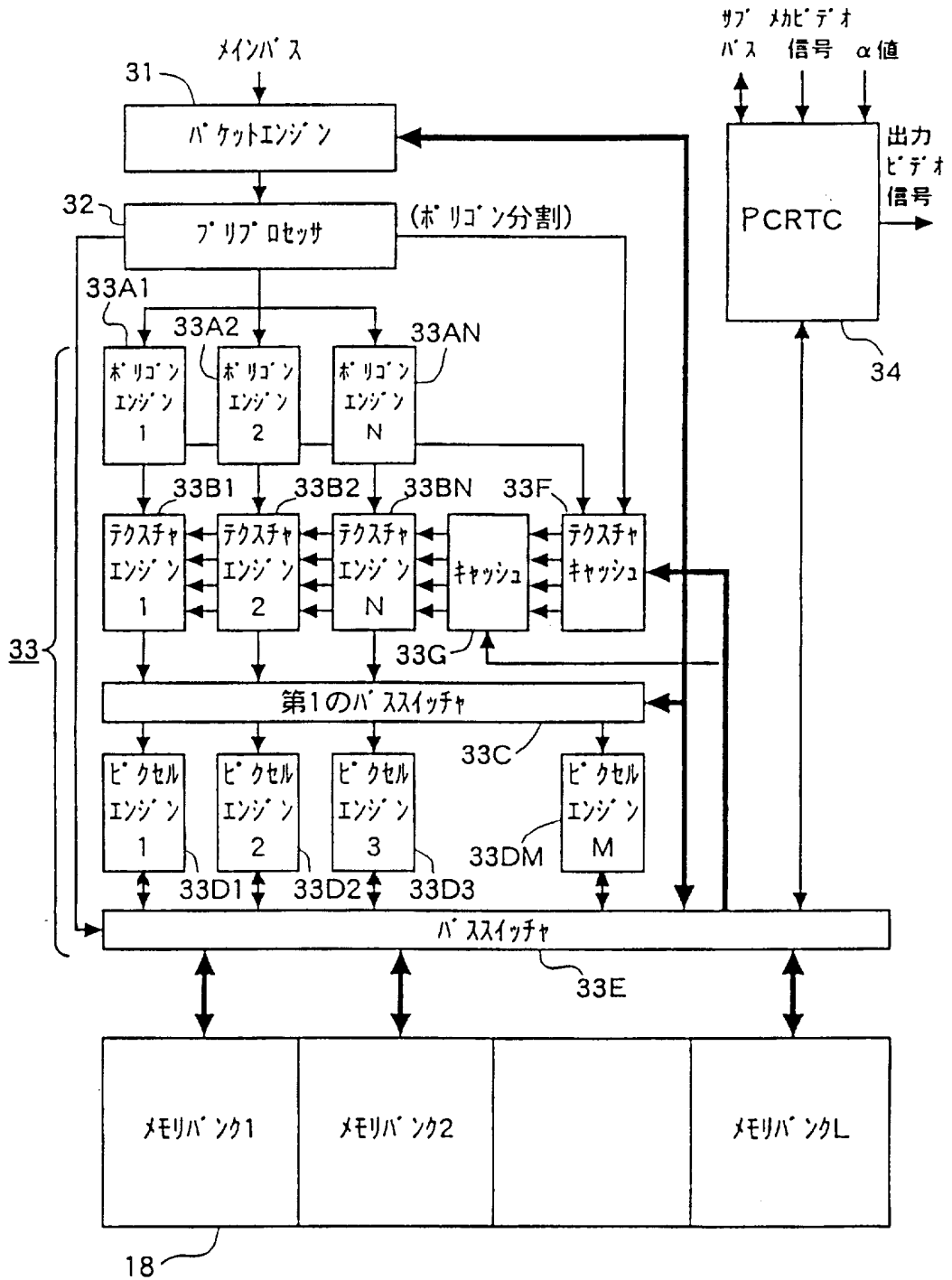


FIG. 2

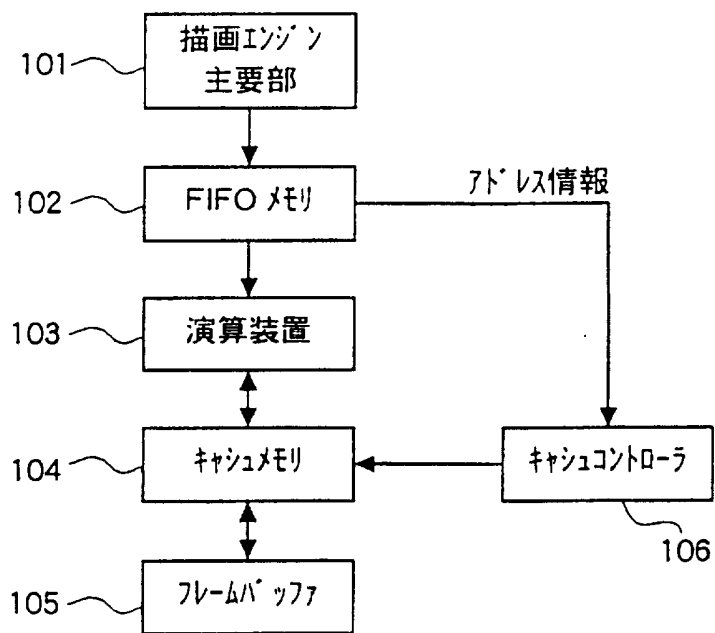


FIG. 3

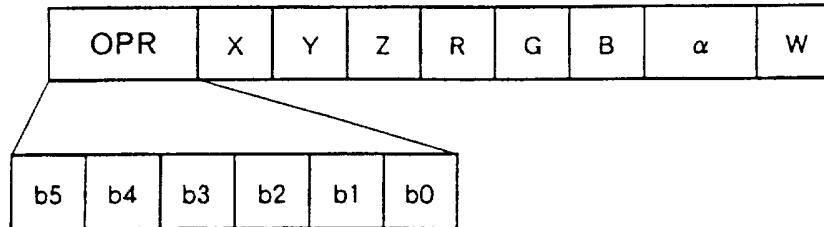


FIG. 4

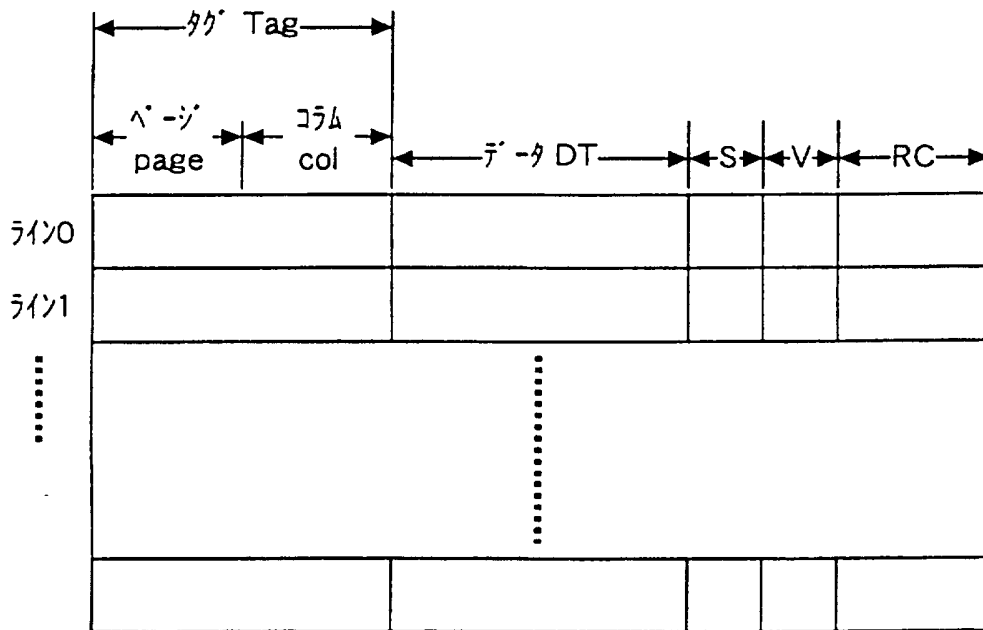


FIG. 5

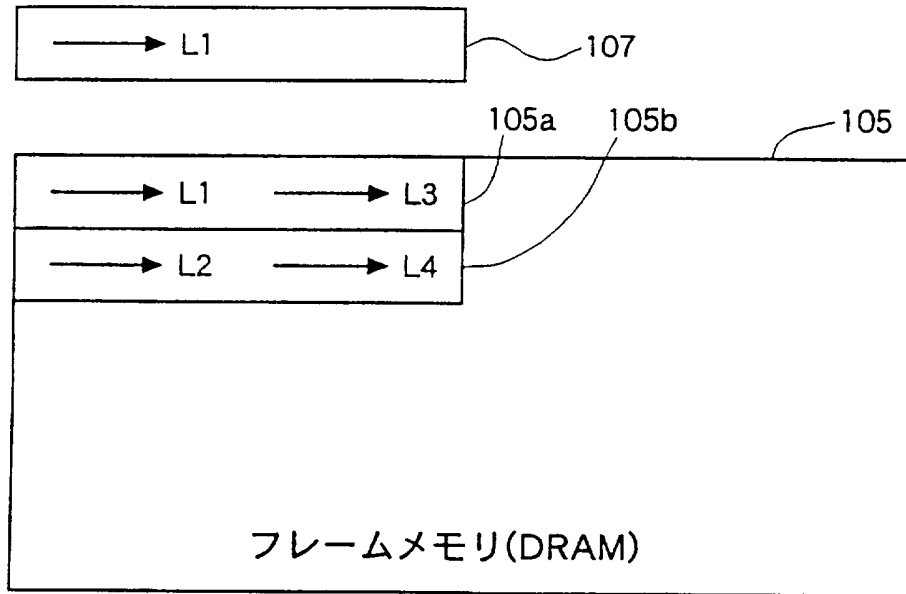


FIG. 6

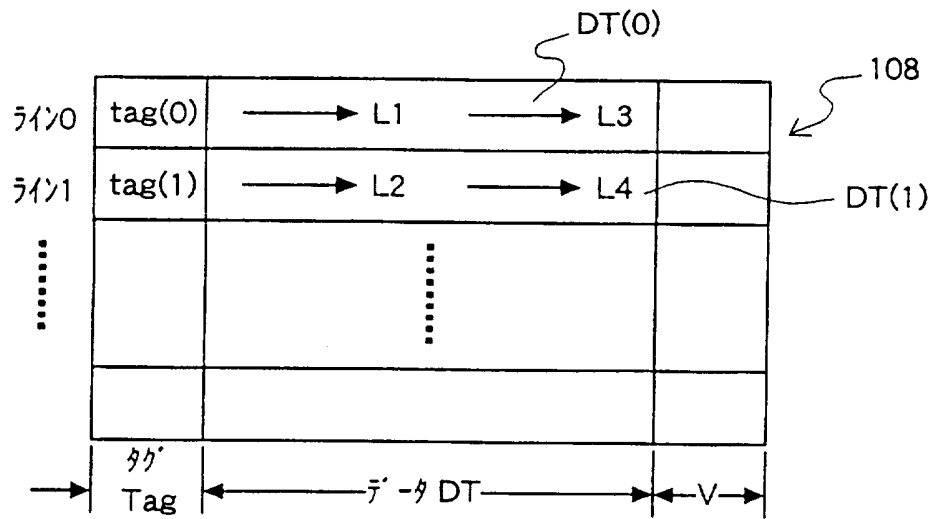


FIG. 7

6/14

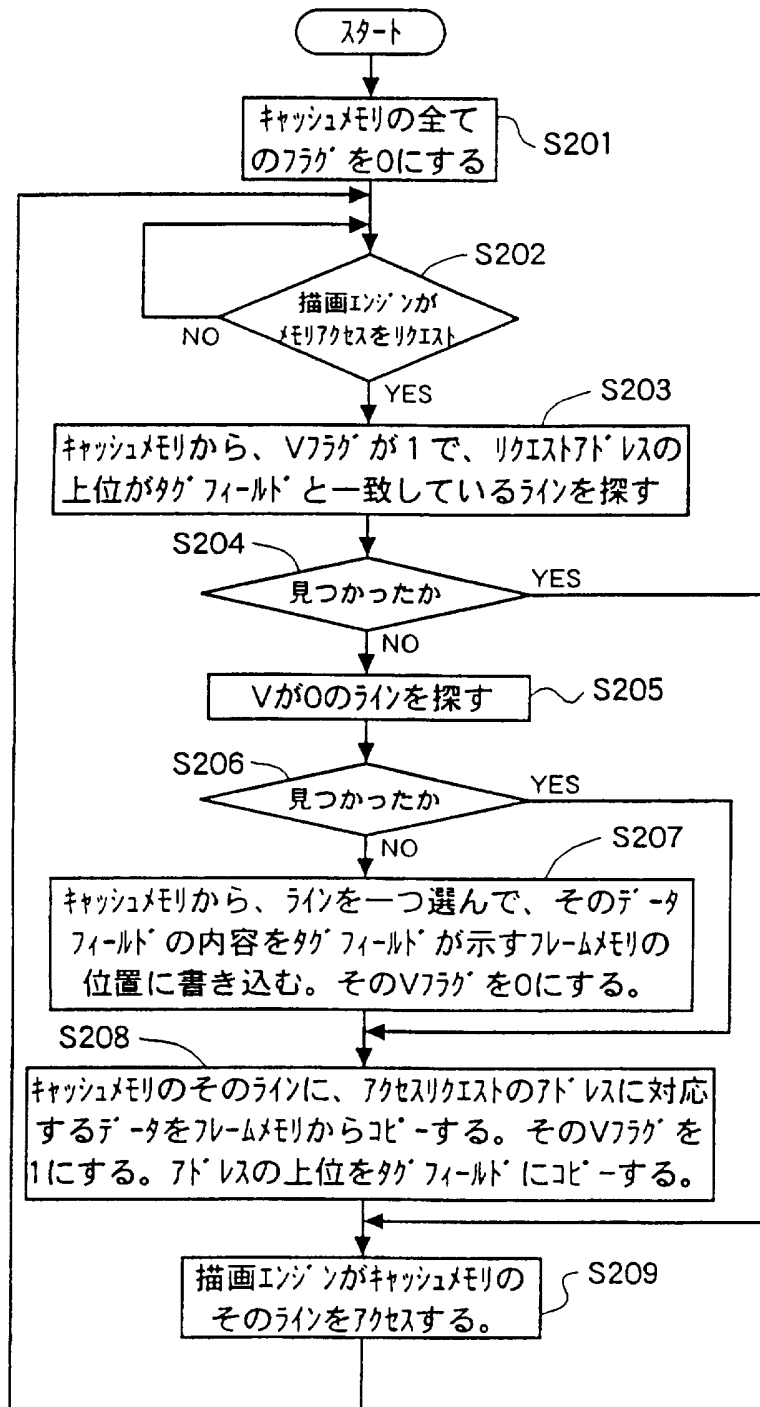


FIG. 9

7/14

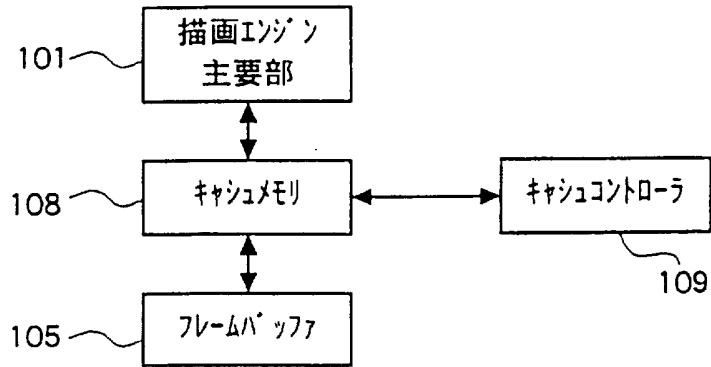


FIG. 8

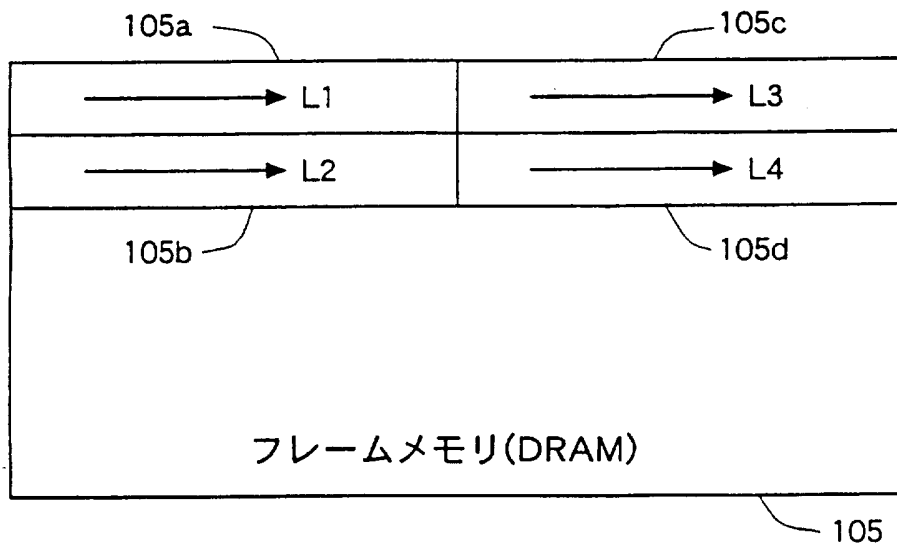


FIG. 10



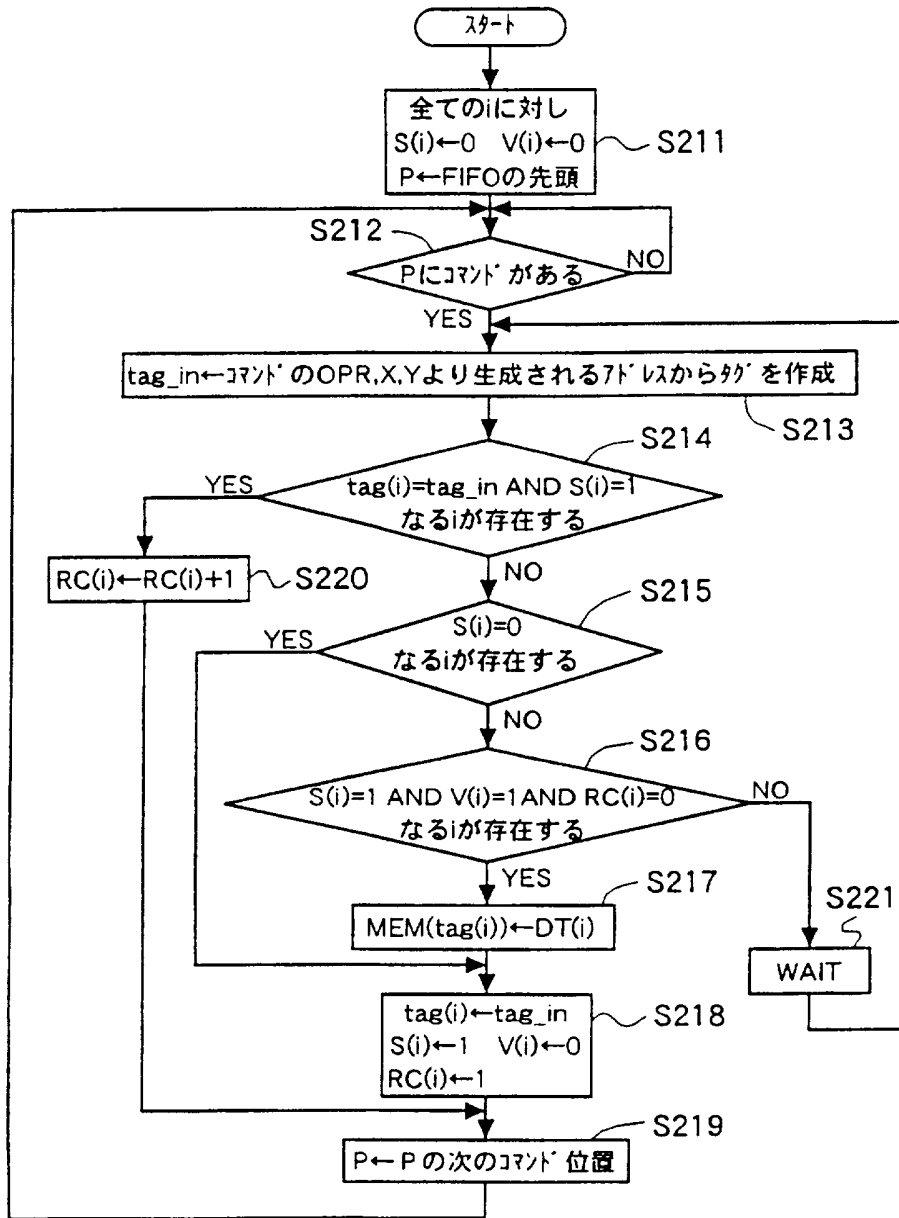


FIG. 11

9/14

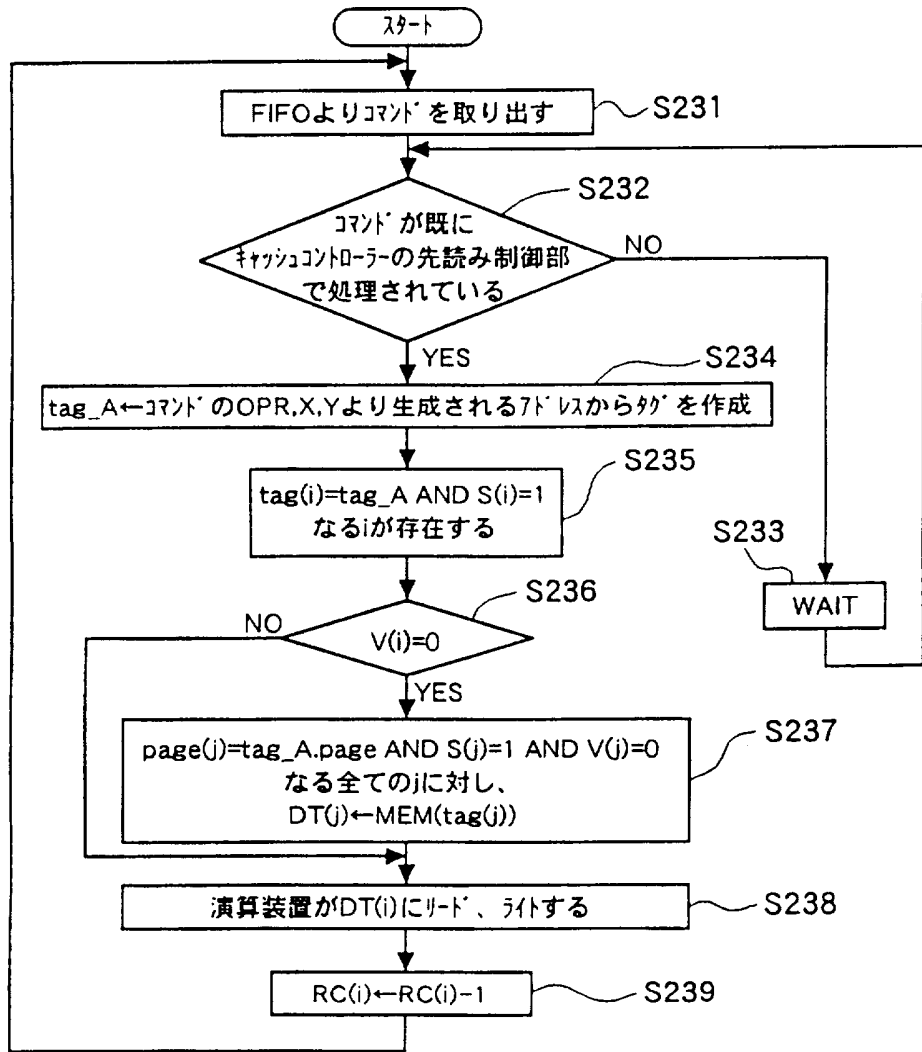


FIG. 12

10/14

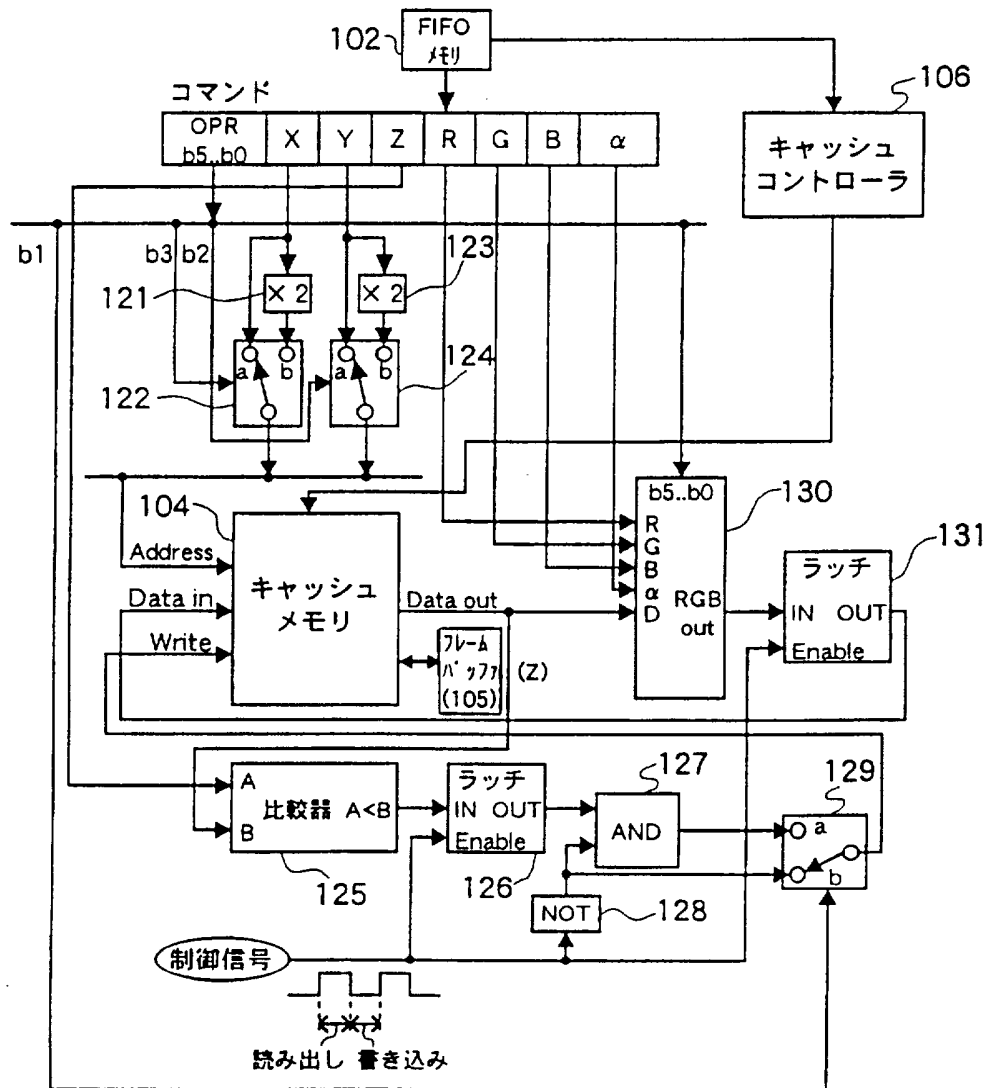


FIG. 13

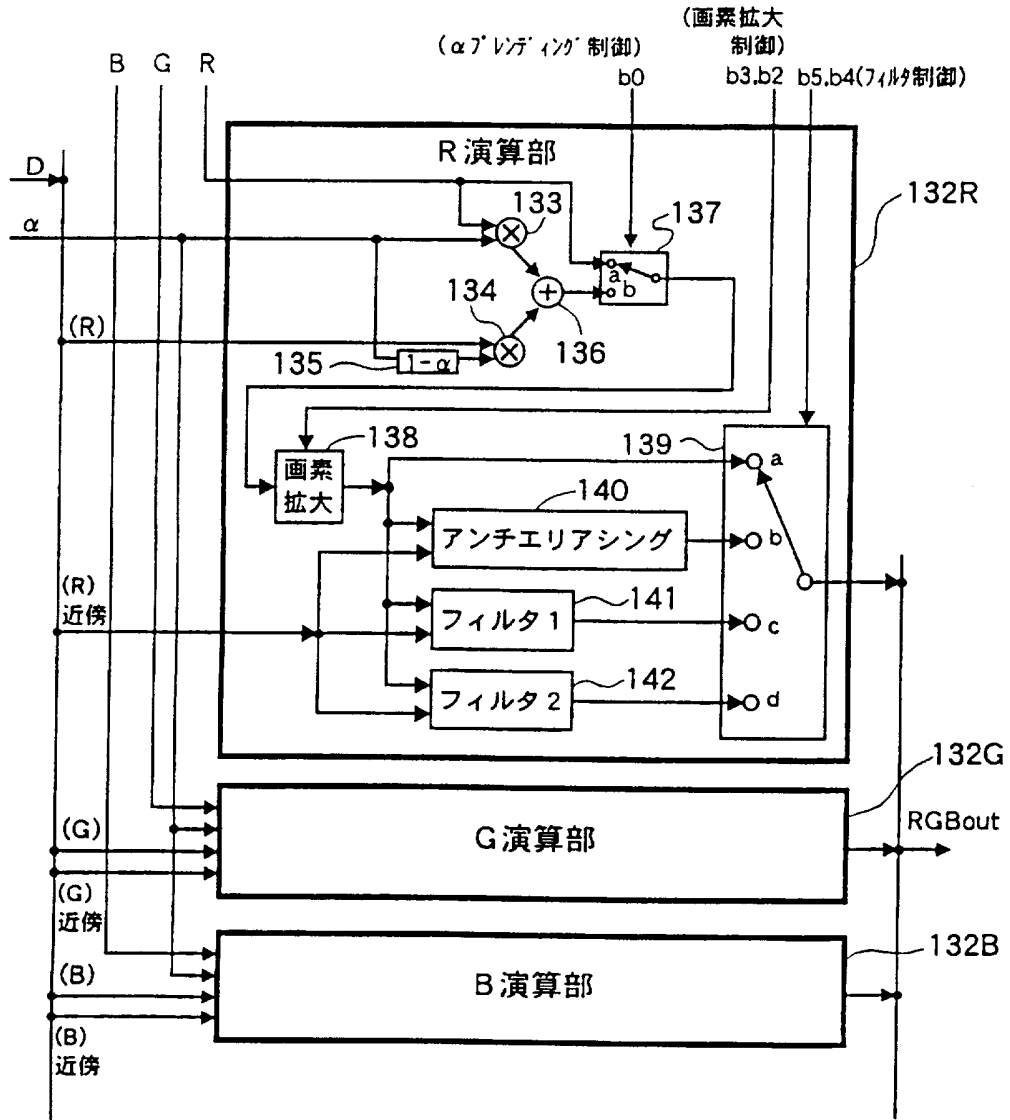


FIG. 14

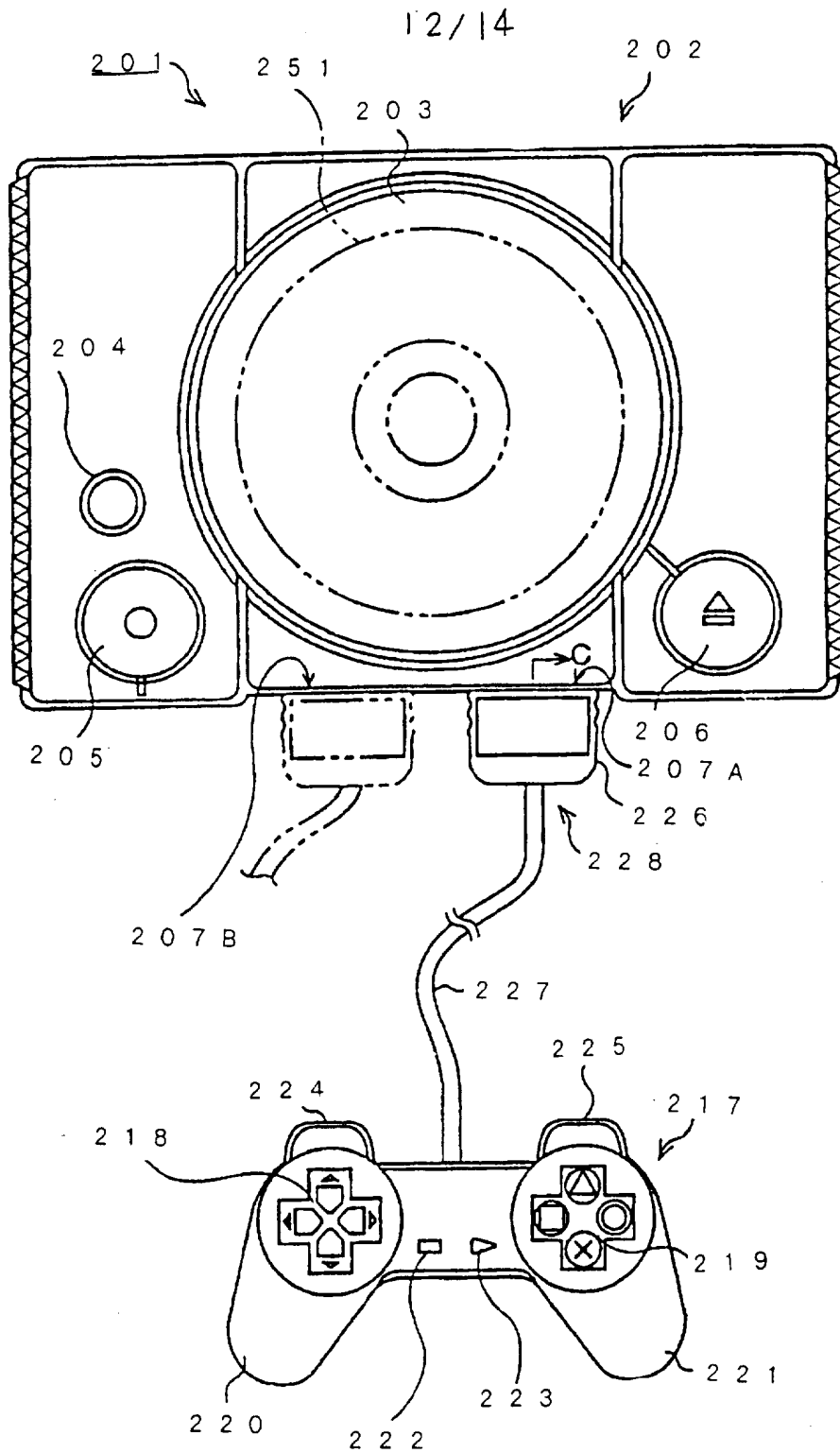


FIG. 15

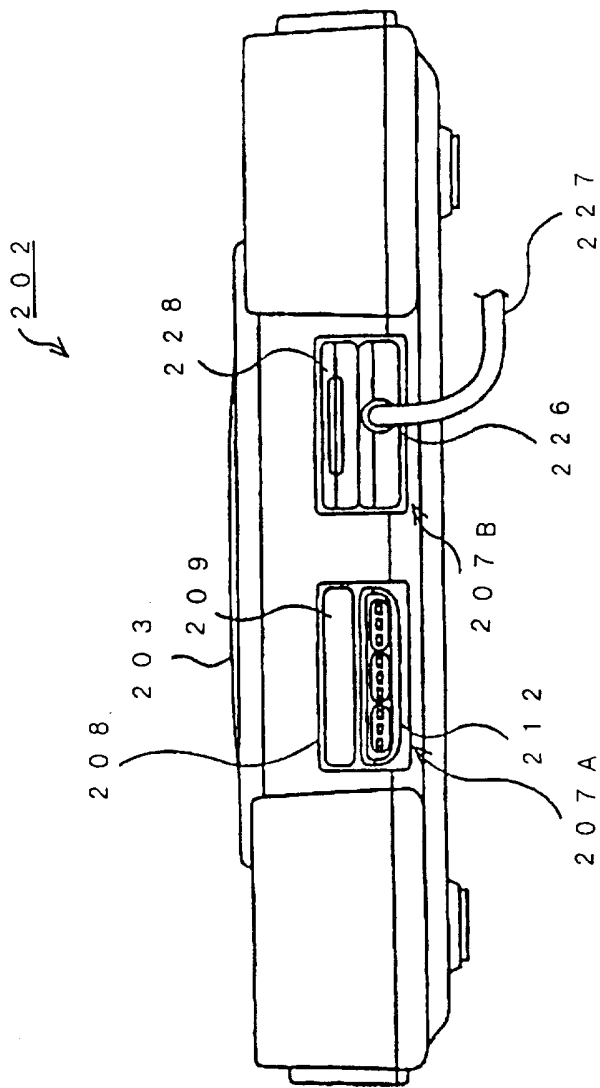


FIG. 16

14/14

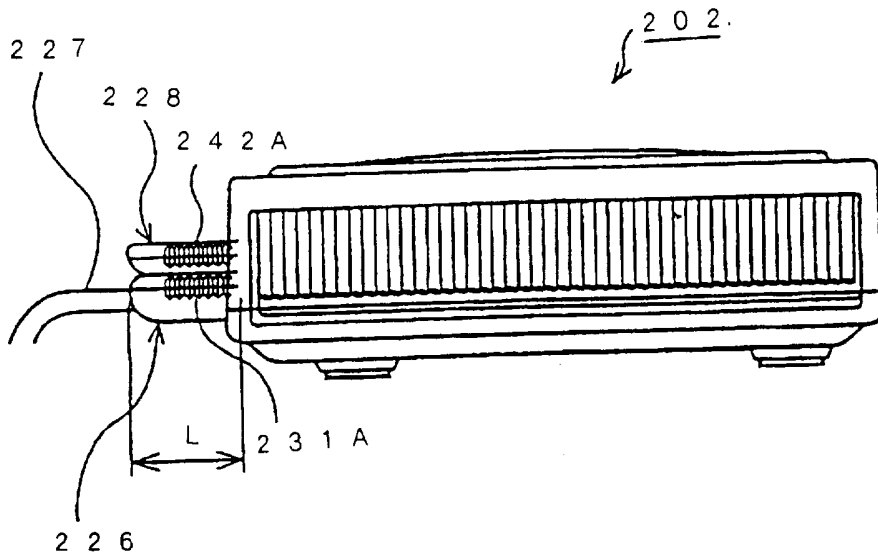


FIG. 17

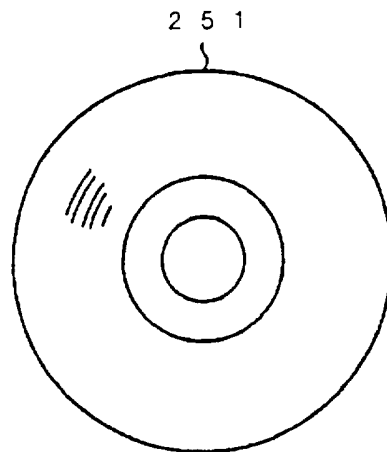


FIG. 18

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00296

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> G06T1/00, G09G5/36

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> G06T1/00, G09G5/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996
Kokai Jitsuyo Shinan Koho	1971 - 1996
Toroku Jitsuyo Shinan Koho	1994 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-274410, A (Toshiba Corp.), September 30, 1994 (30. 09. 94) (Family: none)	1 - 11
A	JP, 5-143741, A (Daikin Industries, Ltd.), June 11, 1993 (11. 06. 93) (Family: none)	1 - 11
A	JP, 4-312187, A (Japan Aviation Electronics Industry Ltd.), November 4, 1992 (04. 11. 92) (Family: none)	1 - 11
A	JP, 7-249116, A (Mitsubishi Electric Corp.), September 26, 1995 (26. 09. 95) (Family: none)	1 - 11

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
April 25, 1997 (25. 04. 97)Date of mailing of the international search report  
May 7, 1997 (07. 05. 97)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl <sup>6</sup>	G06T1/00	, G09G5/36
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl <sup>6</sup>	G06T1/00	, G09G5/36
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報	1926-1996年	
日本国公開実用新案公報	1971-1996年	
日本国登録実用新案公報	1994-1996年	
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 6-274410, A (株式会社東芝) 30. 09月. 1994 (30. 09. 94) (ファミリーなし)	1-11
A	J P, 5-143741, A (ダイキン工業株式会社) 11. 06月. 1993 (11. 06. 93) (ファミリーなし)	1-11
A	J P, 4-312187, A (日本航空電子工業株式会社) 04. 11月. 1992 (04. 11. 92) (ファミリーなし)	1-11
A	J P, 7-249116, A (三菱電機株式会社) 26. 09月. 1995 (26. 09. 95) (ファミリーなし)	1-11
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	25. 04. 97	国際調査報告の発送日
		07.05.97
国際調査機関の名称及びあて先	日本国特許庁 (ISA/J P) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 片岡 栄一 印
		5H 9472
		電話番号 03-3581-1101 内線 3530