

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 23/12	(11) 공개번호 (43) 공개일자	특 1998-0012316 1998년 04월 30일
(21) 출원번호	특 1997-0035794	
(22) 출원일자	1997년 07월 29일	
(30) 우선권주장	96-216775 1996년 07월 30일 일본(JP)	
(71) 출원인	텍사스 인스트루먼트 인코포레이티드 윌리엄 비. 캠플러 미합중국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500	
(72) 발명자	아노 가즈아끼	
(74) 대리인	일본국 오이타 하야미공 히지-마찌 도유카 2458-4 장수길, 주성민	

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

본 발명의 목적은 BGA형 반도체 IC 패키지의 제조에 있어서, 절연 기판내의 관통 홀이 땀납 페이스트로 채워지는 공정 단계를 제거하고, 땀납 볼의 본딩 부분에서의 열 응력을 감소시키는 것이다.

관통 홀(2a)은 땀납 볼이 형성되는 위치에 대응하는 위치에서의 절연 기판(2) 상에 형성된다. 칩(3)이 장착되는 절연 기판의 표면 상에, 도전체 패턴(6)이 형성되며, 도전체 패턴의 (각 부분의)단부는 관통 홀(2a) 위에 위치한다. 각각의 관통 홀 상의 상기 도전체 패턴의 영역은 관통 홀로 돌출하는 부분(6d)를 가진다. 땀납 볼(7)은 상기 범프 부분(6d)과 접촉하도록 이동되고 각각의 관통 홀위에 장착된다. 이러한 상태에서, 땀납 볼은 용해되고 범프 부분(6d)은 땀납 볼(7) 상에 직접 본딩된다. 패턴의 버클링 공정(buckling processing)을 받아서 범프 부분(6d)를 형성하는 것이 가능하다. 버클링 공정에 의해 형성된 범프는 이 부분에 인가된 열 응력을 감소시킬 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

- 제1도는 본 발명의 부분 절단된 100-핀 CSP의 사시도.
- 제2도는 제1도의 측면 횡단면도.
- 제3도는 제1도의 패키지를 사용하는 가요성 절연 기판의 평면도.
- 제4도는 제2도내의 도전체 패턴의 접속 패드와 과 땀납 볼 사이의 접합부를 도시하는 확대도.
- 제5도는 제1도에 도시된 패키지의 제조 공정을 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|---------------|------------|
| 2 : 반도체 장치 | 2a : 관통 홀 |
| 3 : 가요성 절연 기판 | 4 : 전극 패드 |
| 5 : 도전체 와이어 | 6 : 도전체 패턴 |
| 6a : 접속 패드 | 6b : 랜드 |
| 6c : 회로선 | 6d : 범프 |
| 7 : 땀납 볼 | 8 : 접착층 |
| 9 : 땀납 레지스트층 | 10 : 몰드 수지 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 BGA 형 반도체 IC 패키지 및 그 제조 방법에 관한 것으로, 특히 그 범프 구조(bump structure) 및 범프 형성 방법에 관한 것이다.

더 많은 핀을 가진 더 작은 반도체 IC 패키지에 대한 수요를 충족하기 위해서, 종래의 QFP(quad flat package) 및 TCP(Tape Carrier Package)의 대체물로서 BGA형 반도체 IC 패키지가 주목받고 있다. BGA(Ball Grid Array)형 반도체 IC는 표면 장착형 패키지로서, 접속 단자의 역할을 하는 땀납 범프가 IC 칩이 조립되는 절연 기판의 하부 표면에 2차원적으로 정렬된다. 접속 단자가 2차원 패턴으로 정렬되므로, 핀 수가 증가하더라도, 패키지의 용적은 커지지 않고, 단자 피치는 1mm 또는 그 보다 크도록 선택될 수 있어서, 종래 전체적인 리플로우 조립 기술이 채택될 수 있다. 이는 BGA의 장점이다.

BGA형 반도체 IC 패키지 중의 하나는 절연 기판의 대향측(IC칩 측)의 표면에 선정 패턴으로 형성된 도전체 패턴에 접속되는 땀납 범프를 가지며, 관통 홀은 절연 기판 상에 2차원적으로 형성된다. 이를 위해서는 아래의 방법이 주로 채택된다: 본 구성의 패키지에서, 관통 홀은 스퀴저(squeezer)에 의해 땀납 페이스트로 채워지고, 거의 구형인 땀납 볼이 그 위에 정렬되며, 전체적인 리플로우에 의해 용융된다. 관통 홀을 채우는 땀납 페이스트는 도전체 패턴과 땀납 볼 사이에 브리지(bridge)의 역할을 한다. 땀납 페이스트가 없다면, 리플로우 동작동안 땀납이 관통 홀을 완전히 채우는 것이 어렵고, 갭이 도전체 패턴과 땀납 볼 사이에서 형성되어, 도전체 패턴으로의 접합이 실현되지 않을 것이다. 이는 땀납 볼이 구형 형태를 유지하려는 표면 장력이라는 힘에 의해 영향을 받기 때문이다.

반면에, 땀납 페이스트의 필요성에 따른 땀납 페이스트를 관통 홀에 채우는 동작의 단계의 존재 유무는 생산성 및 패키지 가격에 큰 영향을 준다.

기본적으로, 도전체 패턴과 땀납 볼 사이의 간격은 절연 기판의 두께, 관통 홀의 직경 및 땀납 볼의 직경에 의존한다. 결과적으로, 땀납 볼이 땀납 페이스트를 사용하지 않고 관통 홀을 완전히 채우려면, 관통 홀의 직경이 더 증가되거나 또는 땀납 볼의 직경이 감소되어야 한다.

그러나, 관통 홀들 사이의 피치가 변하지 않으면서 관통 홀의 직경이 증가되는 경우, 관통 홀들을 통과하며 관통 홀 사이에 있는 도전체 패턴의 수개 라인의 라인 폭은 감소되어야 하거나 또는 행간은 작아야 한다. 이는 손실이다. 결과적으로, 이는 도전체 패턴의 임피던스의 감소 또는 도전체 패턴(또는 그 부분들) 사이의 크로스토크(crosstalk)를 방지하기 위해서는 가능한 지양되어야 한다.

또한, 땀납 볼의 직경이 너무 작다면, 기판 장착에 대한 접속 신뢰도는 유지될 수 없다. 다시 말하면, 땀납 볼의 직경은 패키지의 말림, 패키지 조립 동안의 기판 장착 및 조립 이후의 패키지 높이를 고려한 선정 값보다 커야 한다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 관통 홀내에 땀납 페이스트를 채우지 않으면서 절연 기판의 대향측 상의 도전체 패턴에 분당된 땀납 범프를 가지는 형태의 IC 패키지를 제공하는 것이다. 본 발명은 또한 상기 IC 패키지에 대한 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 IC 패키지 제조 효율을 개선하도록 절연 기판의 두께, 관통 홀의 직경, 땀납 볼의 직경, 및 다른 기본 치수를 변화시키지 않고 땀납 페이스트를 채우는 단계가 제거되는 범프 구조 및 그 제조 방법을 제공하는 것이다.

반면에, IC 패키지는 외장 기판 상에 장착되는 경우, 장착 기판과 패키지의 열 확장 계수가 상이하므로 땀납 본딩 부분에서 열 응력이 발생한다. 열 응력은 땀납 본딩 부분내에 틈(crack)이 형성되도록 하며 패키지의 조립을 힘들게 한다. 결과적으로, 패키지의 조립 신뢰도를 증가시키기 위해서는, 땀납 본딩 부분에서 열 응력을 최소화하는 것은 극히 중요하다. 특히 BGA형 반도체 IC 패키지에 있어서, 땀납 볼과 장착 기판 사이의 본딩 부분에서의 열 응력만을 고려해야 하는 것이 아니고, 땀납 볼과 패키지측 도전체 패턴 사이의 본딩 부분에서 발생하는 열 응력도 고려해야 한다.

본 발명의 다른 목적은 땀납 볼과 패키지측 도전체 패턴 사이의 본딩 부분에서 발생하는 열 응력을 감소 시키기에 의해 BGA형 반도체 IC 패키지의 조립 신뢰도를 개선하는 것이다.

본 발명은 2차원적 땀납 범프가 IC 칩을 지지하는 절연 기판의 하부 표면 상에 형성되는 BGA형 반도체 IC 패키지에 양호하게 응용될 수 있다. 관통 홀은 땀납 범프가 형성되는 위치를 일치시키도록 절연 기판 상에 형성된다. IC 칩을 지지하는 측의 절연 기판 표면 상에, 도전체 패턴이 형성되고, 도전체 패턴 부분들은 관통 홀 위에 위치된다. 또한, 도전체 패턴은 예를 들면 와이어 본딩에 의해 다른 부분 상의 IC 칩의 전극 패드에 전기적으로 접속된다. 도전체 패턴과 IC 칩의 전극 패드 사이의 접속을 형성하기 위해서, 상술한 와이어 본딩에 의한 접속 방법외에, IC 칩을 플리핑(flipping)해서 전극 패드를 도전체 패턴으로 직접 본딩하는 즉, 소위 플립 칩(flip chip)을 사용하는 방법 및 다른 다양한 접속 형태가 사용될 수 있다.

관통 홀 위의 도전체 패턴의 영역은 관통 홀로 돌출하는 부분을 가진다. 관통 홀 위의 상술한 도전체 패턴의 영역을 관통 홀 측으로 범프 가공함에 의해 반도체 장치의 제조 동작은 단순화될 수 있으므로 이 부분은 양호하다. 본 발명은 관통 홀 위의 도전체 패턴의 영역을 관통 홀 측으로부터의 도전체 범프로 본딩함에 의해 또한 실현될 수 있다. 그러나, 이러한 부분에서 발생하는 열 응력을 감소시키기 위해서는 버클링 공정(buckling processing)에 의해 형성된 도전체 패턴의 범프가 바람직하다. 버클링 공정에 의한 도전체 패턴의 오프셋은 범프 부분의 관통 홀에 대한 변위를 생성하고, 범프 부분의 스트레칭(stretching)을 감소시켜서, 이 부분에서의 열 응력을 감소시킨다. 결과적으로, 땀납 볼측의 스트레칭의 차이가 감소될 수 있고, 틈이 형성될 확률이 줄어든다.

거의 구형의 땀납 볼이 절연 기판의 하부 표면, 즉 IC 칩을 장착한 표면의 대향 표면으로부터의 관통 홀 상에 장착된다. 여기서, 관통 홀로 돌출하는 상술한 도전체 패턴의 부분은 관통 홀의 부분과 물리적으로 접촉하게 한다. 땀납 볼이 이 위치에서 용융되는 경우, 용융된 땀납은 이와 접촉하는 도전체 패턴의 돌출 부분 및 관통 홀로 인도된다. 결과적으로, 도전체 패턴 및 땀납 볼은 관통 홀내로 분당되고, 절연 기판의 표면에 범프를 형성한다.

본 발명에 따르면, 용융된 땀납 볼 및 도전체 패턴이 관통 홀을 통해 각자 접촉되고 갭이 없도록 하기 위해, 관통 홀로 돌출한 도전체 패턴의 일부분을 가지는 것이 중요하다. 땀납 볼의 형태가 거의 구형이므로, 관통 홀 상에 장착된 땀납 볼의 일부분은 관통 홀로 돌출한다. 결과적으로, 도전체 패턴이 대향측에 도달하도록 완전히 돌출할 필요는 없다. 대신에, 관통 홀로의 돌출량은 땀납 볼의 돌출량을 감함에 의해 얻어질 수 있다. 본 발명에서 사용될 수 있는 IC 칩 패키지의 절연 기판은 폴리이미드막(polyimide film)으로 제조된 가요성 기판외에도 종이 페놀(paper phenol), 유리 클로쓰 에폭시 수지(glass cloth epoxy resin), 및 다른 피드 재료로 제조된 경성(rigid) 기판을 포함한다.

본 발명은 땀납 볼이 절연 기판 상에 형성된 관통 홀을 통해 도전체 패턴과 접촉하는 구성을 가지는 반도체 장치에 응용될 수 있다. 또한, 본 발명은 IC 칩 아래에 위치한 관통 홀을 가지고 조립된 IC 칩의 것과 유사한 패키지의 외부 용적을 가진 CSP(Chip Size Package)에 응용될 수 있다.

발명의 구성 및 작용

아래부터, 첨부된 도면을 참조로 본 발명의 실시예가 더욱 상세히 설명된다. 도1 내지 도5는 본 발명이 적용된 반도체 장치를 도시한다. 이러한 반도체 장치는 100개의 대응된 핀에 대한 땀납 범프를 가진 CSP이다. 도1에 도시된 반도체 장치(1)에 있어서, 반도체 IC 칩(3)은 가요성 절연 기판(2)의 상부 표면 상에 장착되고, 후술될 회로 소자 및 전극 패드(4)에 의해 형성된 주 표면(3a)은 위로 향한다.

상기 가요성 절연 기판(2)은 땀납 볼(7)의 조립체의 위치에서 관통 홀(2a)을 가진다. 관통 홀(2a)은 IC 칩(3)이 장착되는 가요성 절연 기판의 영역내에 위치한다. 접촉 홀(2a)은 이 영역의 주위의 내면을 따라 2개 열로 정렬된다. 실시예에서는, 가요성 절연 기판(2)은 75mm 두께의 폴리이미드 단층막으로 제조되고, 그 위에 200 μ m 직경의 원형 홀이 관통 홀(2a)로서 형성된다. 인접 관통 홀(2a) 사이의 피치는 50 μ m이다.

도전체 패턴(6)은 IC 칩(3)을 지지하는 가요성 절연 기판(2)의 표면 상에 형성된다. 상기 도전체 패턴(6)은 IC 칩(3)의 전극 패드(4)에 대응하는 전기적으로 독립적인 다중 회로선을 포함한다. 도전체 패턴(6)의 각각의 회로선의 한 단부는 관통 홀(2a)위로 연장되고, 다른 단부는 IC 칩(3)이 지지되는 기판의 영역으로부터 외곽으로 연장된다. 도3은 가요성 절연 기판(2) 상의 도전체 패턴(6)의 구조 및 형태를 명백히 도시한다. 도3에 도시된 것처럼, 각각의 도전체 패턴(6)의 내부 단부는 하나의 관통 홀(2a)을 덮도록 정렬된 정방형 접속 패드(6a)를 포함한다. 도전체 패턴(6)의 외곽 단부는 가요성 절연 기판(2)의 단부까지 연장된다. 랜드(6b)는 회로선(6c)보다 넓으며 그 중간 지점에 형성된다. 상술한 회로선은 도전체 패턴(6)의 외곽으로 연장된다. 각각의 랜드(6b)는 IC 칩(3)을 장착하는 가요성 절연 기판(2)의 영역(A)의 외부에 위치한다. IC 칩(3)의 전극 패드(4)의 각각의 부분은 와이어 본딩에 의해 도전체 와이어(5)를 통해 도전체 패턴의 대응된 랜드(6b)로 접속된다.

상술한 설명에서 알 수 있듯이, 도전체 패턴(6)의 각 부분의 랜드(6b)의 외부로 향하는 회로선 부분은 IC 칩과 외장 기판을 전기적으로 접속하는 도전체 패턴의 고유 기능을 수행할 필요는 없다. 상기 회로선 부분은 도전체 패턴(6)이 전기적으로 도금되는 경우에 도전체 패턴의 각 부분으로 전류를 전달하기 위한 단자로서의 역할만을 할 뿐이다. 도전체 패턴(6)은 에폭시 접착층(8)을 통해 가요성 절연 기판(2) 상에 본딩된 구리 박(copper foil)을 선정 패턴으로 에칭함에 의해 마련된다. 도전체 패턴(6)의 표면은 전기적 도금에 의해 니켈/금으로 도금된다. 실시예에서, 도전체 패턴은 25 μ m 두께를 가지며, 접속 패드(6a)의 각각의 모서리는 길이가 350 μ m이고, 랜드(6b)는 폭이 100 μ m이며, 회로선(6c)의 폭은 40 μ m이다.

도4는 도2내의 상기 도전체 패턴(6)의 접속 패드(6a)와 땀납 볼(7) 사이의 본딩 부분을 도시하는 확대도이다. 도4에서 알 수 있는 것처럼, 관통 홀(2a) 상에 위치한 상기 접속 패드(6a)는 관통 홀(2a)로 돌출하는 메사형 범프(mesa-shaped bump: 6d)를 가진다. 이 실시예에서, 범프(6d)는 펀칭 다이(punching die)에 의해 관통 홀(2a)상에서 평평하게 연장된 접속 패드(6a)의 중심을 상부측으로부터 펀칭함에 의해 형성된다. 땀납 패드(7)는 관통 홀(2a)쪽으로 돌출된 범프(6d)로 본딩된다. 범프(6d)의 돌출량은 구형 땀납 볼을 본딩하기 이전에 범프(6d)의 모서리 표면(도4에서 아래로 향하는)이 땀납 볼(7)의 부분과 직접 접촉하도록 적절히 선택된다. 제조 과정에서, 패키지는 뒤집어지고, 가요성 절연 기판(2)이 위로 가고, 다른 동작 단계에서 형성된 땀납 볼(7)은 관통 홀(2a)로 이동한다. 이러한 방식으로, 땀납 볼(7)이 용융되고 범프(6d)로 본딩된다. 땀납 볼(7)이 가열되므로, 땀납 볼은 범프(6d)를 시작점으로 한 접촉점으로부터 관통 홀(2a)을 채운다.

본 발명에서, 범프(6d)의 모서리 표면과 땀납 볼(7) 사이에 직접 접촉을 보장하도록 범프(6d)의 돌출량(h)을 고려할 필요가 있다. 이러한 목적을 위해서, 땀납 볼(7)이 관통 홀(2a)의 모서리와 접촉하는 상태로 장착되는 경우, 관통 홀 쪽으로의 땀납 볼의 돌출량은 고려되어야 한다. 본 실시예에서, 땀납 볼(7)의 직경은 300 μ m이고, 관통 홀(2a)의 직경은 200 μ m이어서, 관통 홀로의 땀납 볼(2a)의 돌출량은 약 38 μ m이다. 가요성 절연 기판의 두께(75 μ m)와 접착층(8)의 두께(8 μ m)의 합은 87 μ m이다. 이러한 용적으로, 범프(6d)의 정점의 표면이 땀납 볼(7)과 직접 접촉하도록 하기 위해서는 범프(6d)의 돌출량(h)은 49 μ m 또는 그 이상이 되어야 한다. 이 실시예에서, 돌출량(h)은 60 μ m로 세트된다. 반면에, 범프(6d)의 돌출량이 너무 큰 경우, 땀납 볼(7)이 전송된다면, 땀납 볼은 관통 홀내부에서 불안정해지거나 위치 변경이 발생한다. 용융 이전에 땀납 볼의 안정성을 보장하기 위해서, 범프(6d)의 상단은 적어도 가요성 절연 기판(2)의 대향면 상의 표면으로부터 돌출되지 않아야 하거나 또는 일정 만큼부를 가져야 하는 것이 필요하다.

본 실시예의 구조를 가진 반도체 장치 및 종래 반도체 장치가 열 응력에 대해서 비교된다. 종래 반도체 장치에서, 관통 홀의 위치에서의 반도체 패턴에는 범프가 없다. 대신에, 땀납 볼의 본딩은 관통 홀을 땀납 페이스트로 채움으로써 수행된다. 본 발명의 반도체 장치와 종래 반도체 장치에 있어서, 이들이 외장 기판 상에 조립된 경우 -25°C 내지 125°C에서 열 사이클 테스트가 수행된다. 땀납 볼과 도전체 패턴 사이의 인터페이스에서의 열 응력은 종래 반도체 장치에 비해 본 발명의 반도체 장치가 20-30% 낮다는 것이 밝혀졌다.

아래에서, 상기 반도체 장치(1)의 제조 동작이 도5(A)-도5(I)를 참조로 설명된다. 도5(A)에 도시된 것처럼, 접착층은 가요성 절연 기판(2)의 표면 상에 형성되며, 다음으로 관통 홀(2a)은 편칭에 의해 형성된다. 도전체 패턴(6)을 형성하도록 패턴닝하고 에칭함에 의해 구리 박(6)이 상기 접착층에 본딩된다(단계(B)). 다음으로, 이러한 표면에 니켈/금 도금이 수행된다(단계(C)). 단계 D에서, 관통 홀(2a) 상의 도전체 패턴(6)의 영역은 관통 홀(2a)쪽으로 돌출하는 범프(6d)를 형성하도록 버클링 공정을 수행한다. 모든 관통 홀(2a)의 위치에 대응하는 구조를 열(column) 형태로 편칭함에 의해, 단일 가요성 절연 기판 상에 모든 범프를 형성하는 것이 가능하다.

다음으로, 땀납 레지스트의 층(9)이 IC 칩을 장착하는 가요성 절연 기판(2)의 영역 상에 형성된다(단계(E)). IC 칩(3)은 땀납 레지스트의 층 상에 장착되고, 전극 패드는 도전체 패턴(6)의 랜드로 와이어-본딩된다(단계(F)). 수지(10)은 IC 칩(3)을 덮도록 몰드되어, 반도체 장치 패키지를 형성한다(단계(G)). 다음으로, 패키지는 뒤집어져서 가요성 절연 기판(2)이 위로 가고, 다른 공정 단계에서 형성된 땀납 볼(7)은 이동하여 관통 홀(2a)상에 장착된다(단계(H)). 다중 땀납 볼(7)이 흡입 장치의 전공 상태에 의해 끌리고, 플럭스의 전송이후에, 땀납 볼이 이동하고 관통 홀 상에 장착되는 방법을 사용하는 것이 가능하다. 이 상태에서, 땀납 볼(7)을 용융하도록 전체적인 리플로우가 수행되어 범프(6d)를 본딩한다(단계(I)). 반도체 장치(1)의 상술한 공정 단계에서, 땀납 볼(7)이 제조된다. 상술한 제조 동작에서, 가요성 절연 기판(2)은 단일 독립 기판으로 취급되었다. 그러나, TAB(테이프 자동화 본딩)에서 사용되는 것과 같은 테이프형 기판(TAB 테이프로 알려짐)을 사용함에 의해 상술한 가요성 절연 기판을 제공하는 것도 또한 가능하다.

발명의 효과

상술한 것처럼, 본 발명의 반도체 장치의 제조 동안, 땀납 볼이 조립되는 경우, 그 전에 땀납 페이스트로 관통 홀을 채울 필요는 없다. 반도체 장치의 제조 동안 땀납 페이스트를 채우는 공정 단계를 생략할 수 있으므로 반도체 장치의 제조 공정의 효율을 증대시키고 가격을 저감할 수 있다.

본 발명을 실현시키기 위해서는, 종래의 기본 설계를 변화시킬 필요가 없다. 즉, 가요성 절연 기판의 두께, 관통 홀의 구조와 그 직경, 땀납 볼의 크기, 칩 장착 구조 및 종래 특성이 직접 사용될 수 있고, 반도체 장치의 종래 설계, 장치 등이 변하지 않고 사용될 수 있다.

도전체 패턴의 범프가 버클링 공정에 의해 형성되므로, 상술한 범프와 땀납 볼 사이의 인터페이스에서의 열 응력을 감소시키는 것이 가능하다. 열 응력이 감소될 수 있으므로, 인터페이스에서 틈이 형성될 확률이 적고, 패키지의 조립 신뢰도는 증가할 수 있다.

(57) 청구의 범위

청구항 1

IC 칩, 상기 IC 칩을 장착하고 관통 홀을 가지는 절연 기판, 상기 IC 칩을 장착하는 면의 상기 절연 기판의 표면에 형성되며, 상기 IC 칩 상에 형성된 전극 패드에 전기적으로 접속되고, 상기 관통 홀로 돌출하는 돌출부를 포함하는 도전체 패턴(conductor pattern), 및 상기 관통 홀로 돌출하는 상기 도전체 패턴의 부분에 본딩하는 땀납 볼(solder ball)을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 관통 홀위의 상기 도전체 패턴은 버클링 공정(buckling processing)을 받고 상기 관통 홀로 돌출하는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 절연 기판은 가요성 절연 기판인 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 관통 홀은 상기 IC 칩 아래에 위치하는 것을 특징으로 하는 반도체 장치.

청구항 5

제4항에 있어서, 상기 도전체 패턴은 상기 IC 칩을 장착하는 상기 절연 기판의 영역의 외부측에 상기 관통 홀로 돌출하는 상기 부분에 접속된 랜드(land) 부분을 가지고, 상기 IC 칩의 전극 패드와 상기 랜드 부분은 와이어 본딩하는 것을 특징으로 하는 반도체 장치.

청구항 6

관통 홀이 절연 기판 상에 형성되는 단계; 도전체 패턴이 상기 절연 기판의 표면 상에 형성되어 상기 패턴의 부분의 상기 관통 홀을 덮은 단계; 상기 관통 홀위의 상기 도전체 패턴의 영역이 상기 관통 홀 측으로 범프(bump)하기 위한 버클링 공정을 받는 단계; IC 칩이 상기 도전체 패턴이 형성되는 상기 절연 기판의 표면에 장착되는 단계; 상기 IC 칩 상에 형성된 전극 패드와 상기 도전체 패턴이 전기적으로

접속되는 단계; 상기 IC 칩과 상기 도전체 패턴 사이의 적어도 접속 영역이 봉입되는 단계; 땀납 볼이 상기 IC 칩을 장착하는 표면측에 대향하는 상기 절연 기판의 표면으로부터 상기 관통 홀까지 이동하는 단계; 및 상기 땀납 볼이 상기 관통 홀로 돌출하는 상기 도전체 패턴의 부분에 본딩하도록 용융되는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

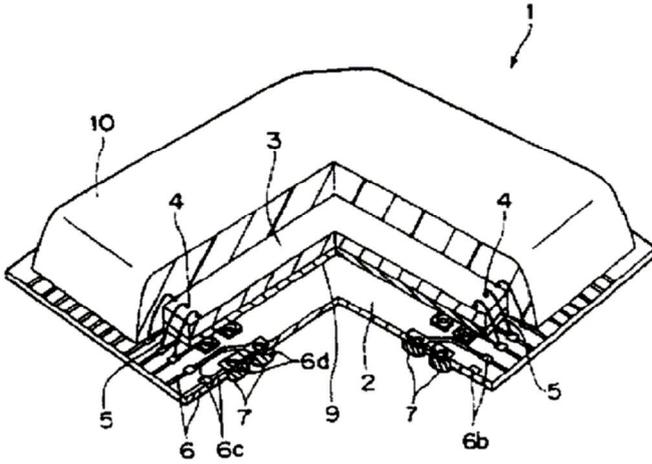
청구항 7

제6항에 있어서, 상기 땀납 볼이 상기 관통 홀 상에 장착되는 상기 단계에서 상기 땀납 볼이 상기 관통 홀로 돌출하는 상기 도전체 패턴의 부분들과 접촉하는 것을 특징으로 하는 반도체 장치의 제조 방법.

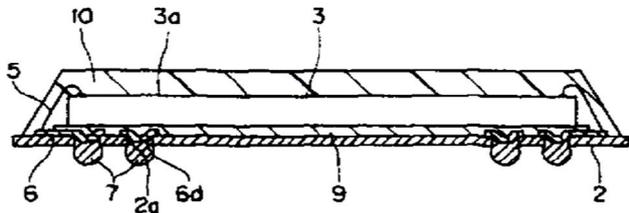
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

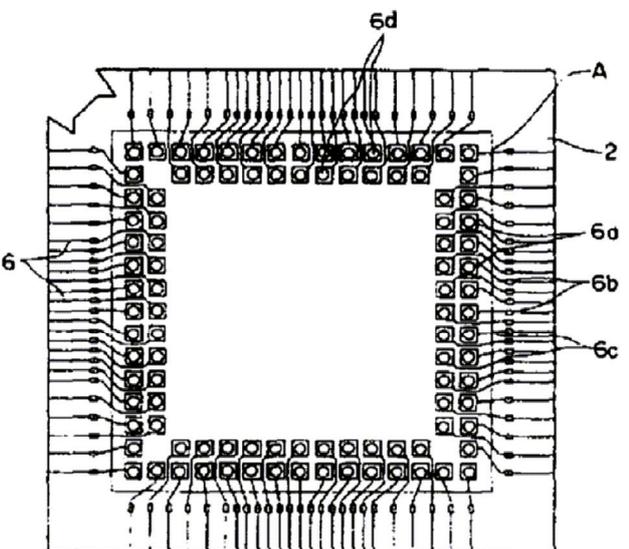
도면1



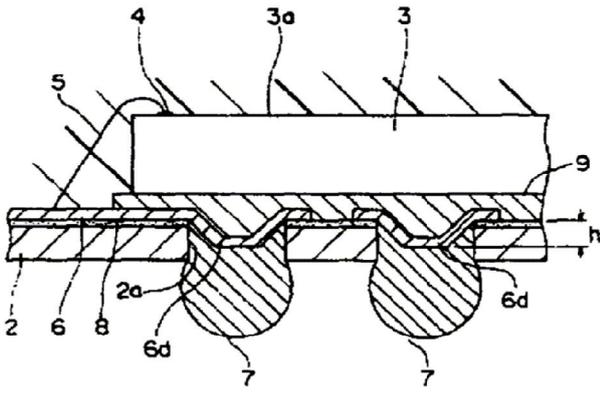
도면2



도면3



도면4



도면5

