



(12) 发明专利

(10) 授权公告号 CN 110426900 B

(45) 授权公告日 2022. 09. 16

(21) 申请号 201910721293.5

(22) 申请日 2019.08.06

(65) 同一申请的已公布的文献号
申请公布号 CN 110426900 A

(43) 申请公布日 2019.11.08

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 袁丽君

(74) 专利代理机构 北京三高永信知识产权代理
有限责任公司 11138
专利代理师 杨广宇

(51) Int. Cl.

G02F 1/1345 (2006.01)

G02F 1/1362 (2006.01)

H01L 27/32 (2006.01)

(56) 对比文件

CN 106875890 A, 2017.06.20

CN 103268032 A, 2013.08.28

CN 106023944 A, 2016.10.12

US 2018218699 A1, 2018.08.02

JP W02014069279 A1, 2016.09.08

审查员 聂晨

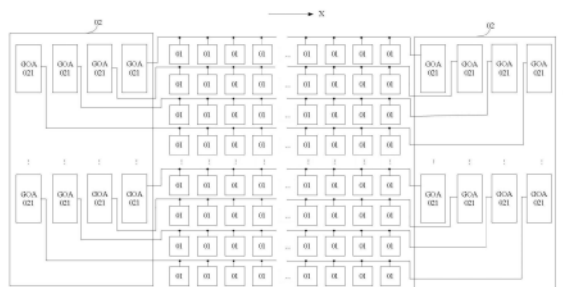
权利要求书1页 说明书9页 附图7页

(54) 发明名称

阵列基板、显示面板及显示装置

(57) 摘要

本申请公开了一种阵列基板、显示面板以及显示装置,涉及显示技术领域。该阵列基板中包括的每个GOA单元组位于多个像素电路一侧,且该GOA单元组包括有至少两列GOA单元。由于每个GOA单元组包括至少两列GOA单元,相较于相关技术中的将多个GOA单元设置在一列,可以有效减少阵列基板中的GOA单元的行数,相应的每行GOA单元能够占用的区域的宽度增大,从而可以有效降低对曝光机的精度要求,降低阵列基板的制造难度,进而能够有效降低制造工艺对显示面板的分辨率的限制。



1. 一种阵列基板,其特征在于,所述阵列基板包括多个阵列排布的像素电路,以及至少一个阵列基板行驱动GOA单元组;

每个所述GOA单元组位于多个所述像素电路的一侧,且每个所述GOA单元组包括至少两列阵列排布的GOA单元,每列所述GOA单元的排列方向与所述像素电路的行方向相交,每行所述GOA单元的排列方向平行于所述像素电路的行方向;

每行所述GOA单元包括的多个GOA单元依次级联,且每行所述GOA单元中位于最后一列的GOA单元,与下一行所述GOA单元中位于第一列的GOA单元连接;

每个所述GOA单元与一行所述像素电路中的至少一个所述像素电路连接,且每个所述GOA单元的宽度大于所述像素电路的宽度,其中,每个所述GOA单元的宽度方向和所述像素电路的宽度方向均平行于每列所述GOA单元的排列方向。

2. 根据权利要求1所述的阵列基板,其特征在于,所述阵列基板包括一个所述GOA单元组,一个所述GOA单元组包括的每个GOA单元与一行所述像素电路中的每个所述像素电路连接。

3. 根据权利要求1所述的阵列基板,其特征在于,所述阵列基板包括两个所述GOA单元组;

两个所述GOA单元组相对设置在多个所述像素电路的两侧。

4. 根据权利要求3所述的阵列基板,其特征在于,每个所述GOA单元组包括的所述GOA单元的个数与所述像素电路的行数相等,且每个所述GOA单元对应一行所述像素电路;

每行所述像素电路中的部分像素电路与一个所述GOA单元组中对应的一个GOA单元连接,剩余的所述像素电路与另一个所述GOA单元组中对应的一个GOA单元连接。

5. 根据权利要求1至4任一所述的阵列基板,其特征在于,每个所述GOA单元的宽度为所述像素电路的宽度的两倍,每个所述GOA单元组中包括四列所述GOA单元。

6. 根据权利要求1至4任一所述的阵列基板,其特征在于,每列所述GOA单元的排列方向垂直于所述像素电路的行方向。

7. 一种显示面板,其特征在于,所述显示面板包括:至少一个如权利要求1至6任一所述的阵列基板。

8. 根据权利要求7所述的显示面板,其特征在于,所述显示面板包括:多个拼接的所述阵列基板。

9. 一种显示装置,其特征在于,所述显示装置包括:如权利要求7或8所述的显示面板。

阵列基板、显示面板及显示装置

技术领域

[0001] 本申请涉及显示技术领域,特别涉及一种阵列基板、显示面板及显示装置。

背景技术

[0002] 阵列基板通常包括多个阵列排布在衬底基板上的像素电路和多个级联的移位寄存器单元,也称为阵列基板行驱动(gate driver on array,GOA)单元。每个GOA单元与一行像素电路连接,可以为该行像素电路提供栅极驱动信号,以使每个像素电路驱动其所连接的发光元件发光。

[0003] 相关技术中,该多个级联的GOA单元的排列方向可以平行于像素电路的列方向,且每个GOA单元可以位于其所连接的一行像素电路的一侧。为了确保多个GOA单元能够有效设置在衬底基板上,每个GOA单元的宽度需小于或等于像素电路的宽度。其中,GOA单元的宽度方向,以及像素电路的宽度方向均平行于像素电路的列方向。

[0004] 随着显示面板分辨率的提高,阵列基板中单位区域内所需设置的像素电路的数量增多,使得像素电路的尺寸进一步减小。但由于GOA单元中包括的薄膜晶体管的数量较多,其尺寸缩减难度较大,由此限制了显示面板分辨率的提升。

发明内容

[0005] 本申请提供了一种阵列基板、显示面板及显示装置,可以解决相关技术的由于GOA单元的尺寸缩减难度较大,限制了显示面板分辨率的提升的问题。所述技术方案如下:

[0006] 一方面,提供了一种阵列基板,所述阵列基板包括包括多个阵列排布的像素电路,以及至少一个阵列基板行驱动GOA单元组;

[0007] 每个所述GOA单元组位于多个所述像素电路的一侧,且每个所述GOA单元组包括至少两列GOA单元,每列所述GOA单元的排列方向与所述像素电路的行方向相交;

[0008] 每个所述GOA单元与一行所述像素电路中的至少一个所述像素电路连接。

[0009] 可选的,所述阵列基板包括一个所述GOA单元组,一个所述GOA单元组包括的每个GOA单元与一行所述像素电路中的每个所述像素电路连接。

[0010] 可选的,所述阵列基板包括两个所述GOA单元组;

[0011] 两个所述GOA单元组相对设置在多个所述像素电路的两侧。

[0012] 可选的,每个所述GOA单元组包括的所述GOA单元的个数与所述像素电路的行数相等,且每个所述GOA单元对应一行所述像素电路;

[0013] 每行所述像素电路中的部分像素电路与一个所述GOA单元组中对应的一个GOA单元连接,剩余的所述像素电路与另一个所述GOA单元组中对应的一个GOA单元连接。

[0014] 可选的,每个所述GOA单元的宽度大于所述像素电路的宽度;

[0015] 其中,每个所述GOA单元的宽度方向和所述像素电路的宽度方向均平行于所述排列方向。

[0016] 可选的,每个所述GOA单元的宽度为所述像素电路的宽度的两倍,每个所述GOA单

元组中包括四列所述GOA单元。

[0017] 可选的,每列所述GOA单元的排列方向垂直于所述像素电路的行方向。

[0018] 另一方面,提供了一种显示面板,所述显示面板包括:至少一个如上述方面所述的阵列基板。

[0019] 可选的,所述显示面板包括:多个拼接的所述阵列基板。

[0020] 又一方面,提供了一种显示装置,所述显示装置包括:如上述方面所述的显示面板。

[0021] 本申请提供的技术方案带来的有益效果至少包括:

[0022] 本申请提供了一种阵列基板、显示面板及显示装置,该阵列基板中包括的每个GOA单元组位于多个像素电路一侧,且该GOA单元组包括有至少两列GOA单元。由于每个GOA单元组包括至少两列GOA单元,相较于相关技术中的将多个GOA单元设置在一列,可以有效减少阵列基板中的GOA单元的行数,相应的每行GOA单元能够占用的区域的宽度增大,从而可以有效降低对曝光机的精度要求,降低阵列基板的制造难度,进而能够有效降低制造工艺对显示面板的分辨率的限制。

附图说明

[0023] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1是相关技术中的一种显示装置的结构示意图;

[0025] 图2是相关技术中的一种TFT的结构示意图;

[0026] 图3是本发明实施例提供的一种阵列基板的结构示意图;

[0027] 图4是本发明实施例提供的另一种阵列基板的结构示意图;

[0028] 图5是本发明实施例提供的又一种阵列基板的结构示意图;

[0029] 图6是本发明实施例提供的再一种阵列基板的结构示意图;

[0030] 图7是本发明实施例提供的一种GOA单元的结构示意图

[0031] 图8是本发明实施例提供的另一种GOA单元的结构示意图;

[0032] 图9是本发明实施例提供的一种显示面板的结构示意图;

[0033] 图10是本发明实施例提供的另一种显示面板的结构示意图。

具体实施方式

[0034] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明实施方式作进一步地详细描述。

[0035] 图1是相关技术中的一种显示装置的结构示意图。参见图1,该显示装置可以包括阵列基板10,以及至少一个源极驱动集成电路(integrated circuit, IC) 20,例如图1中示出了2个源极驱动IC 20。其中,该阵列基板可以包括多个阵列排布的像素电路101,以及多个级联的GOA单元102。

[0036] 如图1所示,该多个GOA级联的单元102可以设置在该多个像素电路101的一侧,且

该多个GOA单元102的排列方向可以垂直于该像素电路101的行方向。该多个GOA单元102中的每个GOA单元102可以通过栅线与一行像素电路101中的各个像素电路101连接,用于为其所连接的每个像素电路101提供栅极驱动信号。

[0037] 该至少一个源极驱动IC 20中每个源极驱动IC 20可以通过数据线与至少一列像素电路101中的每个像素电路101连接,用于为其所连接的每个像素电路101提供数据信号。每个像素电路101可以在该栅极驱动信号和数据信号驱动下驱动与其所连接的发光元件发光。需要说明的是,若该显示装置包括一个源极驱动IC 20,则该源极驱动IC 20可以与每列像素电路101连接。

[0038] 从图1还可以看出,相关技术中的每个GOA单元102可以设置在其所连接的一行像素电路101的一侧,因此每个GOA单元102的宽度 W_1 与像素电路101的宽度 W_2 可以大致相等。其中,该每个GOA单元102的宽度方向以及该像素电路101的宽度方向均垂直于像素电路101的行方向。

[0039] 相关技术中,每个GOA单元102可以包括至少一个电容以及多个薄膜晶体管(thin film transistor,TFT)。图2是相关技术中的一种TFT的结构示意图。该TFT可以包括:栅极(gate,G)、源极(source,S)、漏极(drain,D)以及有源层(active layer,ACT),其中有源层ACT也可以称为沟道。从图2中还可以看出,该源极S和漏极D中的每一极上还设置有至少一个过孔a,源极S和漏极D可以分别通过该过孔a与有源层ACT连接。

[0040] 参见图2,TFT中的源极S和漏极D可以同层形成,且该在该TFT的源漏极层还设置有源漏电极线 L_1 和 L_2 ,以使该TFT可以与该GOA单元102中的其他元器件连接。并且,从图2还可以看出,源极S与源漏电极线 L_2 之间存在间隙 H_1 ,漏极D与源漏电极线 L_1 之间存在间隙 H_1 ,由此可以避免源极S与源漏电极线 L_2 接触,漏极D与源漏电极线 L_1 接触,造成TFT短路。

[0041] 在该TFT的制造过程中,通常需要采用曝光机对形成该TFT的各个层级(例如有源层、栅极、源极以及漏极)的材料膜层进行曝光。该曝光机的精度可以为1微米(μm)。因此,该曝光机在理想状态下,曝光形成的源漏电极线 L_1 和 L_2 的线宽至少可以为 $1\mu\text{m}$,该间隙 H_1 的宽度至少可以为 $1\mu\text{m}$,有源层ACT的宽度 H_2 可以为 $3.5\mu\text{m}$,该栅极G的宽度 H_3 可以为 $7.5\mu\text{m}$ 。因此曝光机在理想状态下,在衬底基板上形成一个TFT及源漏电极线所需区域的宽度至少为 $8.5\mu\text{m}$ 。其中,上文所述的宽度方向均是指像素电路的列方向,即阵列基板中数据线的延伸方向。

[0042] 目前,显示面板的分辨率越来越高,即每英寸包括的像素单元的个数越来越多,相应的,每个像素单元的宽度越来越小,每个像素单元中包括的像素电路的宽度也越来越小。例如,若显示面板的分辨率为3000PPI(pixels per inch,像素密度),即每英寸包括3000个像素单元,则每个像素单元中的像素电路的宽度最大为 $8.5\mu\text{m}$ 。

[0043] 由此,若显示面板的分辨率为3000PPI,则该阵列基板中的每个GOA单元的宽度应小于或等于 $8.5\mu\text{m}$ 。但是,由于每个GOA单元通常包括多个TFT和至少一个电容,且目前曝光机在理想状态下在衬底基板上形成的一个TFT所需区域的宽度为 $7.5\mu\text{m}$,加之GOA单元中还需要设置走线以连接各个TFT和电容C,因此在衬底基板上形成一个GOA单元所需区域的宽度通常大于 $8.5\mu\text{m}$ 。因此,对于高分辨率的显示面板而言,在阵列基板中的衬底基板上形成该GOA单元时,对曝光机的精度要求更高,导致采用目前的曝光机在衬底基板上形成GOA单元的难度较高,从而导致显示面板的分辨率无法得到有效的提高。

[0044] 图3是本发明实施例提供的一种阵列基板的结构示意图,参见图3,该阵列基板可

以包括多个阵列排布的像素电路01,以及至少一个GOA单元组02。例如图3中示出了两个GOA单元组02。

[0045] 从图3可以看出,每个GOA单元组02可以位于多个像素电路01的一侧,且每个GOA单元组02可以包括至少两列GOA单元021,每列GOA单元021的排列方向Y可以与该像素电路01的行方向X相交。

[0046] 其中,每个GOA单元021可以与一行像素电路01中的至少一个像素电路01连接。例如,每个GOA单元021可以与一行像素电路01中的各个像素电路01连接。

[0047] 综上所述,本发明实施例提供了一种阵列基板,该阵列基板中包括的每个GOA单元组位于多个像素电路一侧,且该GOA单元组包括有至少两列GOA单元。由于每个GOA单元组包括至少两列GOA单元,相较于相关技术中的将多个GOA单元设置在一列,可以有效减少阵列基板中的GOA单元的行数,相应的每行GOA单元能够占用的区域的宽度增大,从而可以有效降低对曝光机的精度要求,降低阵列基板的制造难度,进而能够有效降低制造工艺对显示面板的分辨率的限制。

[0048] 可选的,每个GOA单元021的宽度可以大于该像素电路01的宽度,例如每个GOA单元021的宽度可以为像素单元01的宽度的K倍,K为大于1的正整数。相应的,每个GOA单元021可以设置在至少两行像素电路01的一侧。其中,每个GOA单元021的宽度方向和该像素电路01的宽度方向均平行于每列GOA单元021的排列方向。

[0049] 示例的,每个GOA单元021的宽度可以为像素电路01的宽度的两倍。例如,像素电路01的宽度可以为 $8.5\mu\text{m}$,GOA单元021的宽度可以为 $17\mu\text{m}$ 。

[0050] 在本发明实施例中,该阵列基板还可以包括衬底基板,该多个阵列排布的像素电路01,以及至少一个GOA单元组02均可以设置在该衬底基板上。

[0051] 每个像素电路01可以包括至少一个TFT,以及至少一个电容。每个像素电路01的宽度可以为其在衬底基板上所占区域的宽度,也即是,该像素电路01所包括的TFT在衬底基板上所占区域的宽度。

[0052] 需要说明的是,若该阵列基板所应用的显示面板为液晶显示(liquid crystal display,LCD)面板,则该阵列基板中的每个像素电路01可以包括一个TFT和至少一个电容。若该阵列基板所应用的显示面板为有机发光二极管(organic light-emitting diode,OLED)显示面板,则该阵列基板中的每个像素电路01可以包括至少两个TFT和至少一个电容。

[0053] 在本发明实施例中,每个GOA单元组02包括的至少两列GOA单元021也可以阵列排布,即每个GOA单元组02包括的多个GOA单元021可以划分为多行多列,每行GOA单元021包括的GOA单元021的个数等于GOA单元组02包括的GOA单元021的列数。

[0054] 其中,每列GOA单元021的排列方向可以垂直于该像素电路01的行方向,即每个GOA单元组02中的GOA单元021的列方向可以平行于阵列基板中数据线的延伸方向。相应的,每个GOA单元组02中的GOA单元021的行方向可以平行于该像素电路01的行方向,即每个GOA单元组02中的GOA单元021的行方向可以平行于阵列基板中栅线的延伸方向。

[0055] 需要说明的是,在本发明实施例中,每个GOA单元组02中,每行GOA单元021包括的多个GOA单元021可以与多行相邻的像素电路01连接。相应的,每行GOA单元021包括的多个GOA单元021可以依次级联,且每行GOA单元中位于最后一列的GOA单元021可以与下一行GOA

单元021中位于第一列的GOA单元021连接。由此可以确保该GOA单元组02能够逐行驱动各行像素电路01。

[0056] 作为一种可选的实现方式,参见图4,该阵列基板可以包括一个GOA单元组02。该一个GOA单元组02包括的每个GOA单元021可以与一行像素电路01中的每个像素电路01连接。

[0057] 作为另一种可选的实现方式,如图3和图5所示,该阵列基板可以包括两个GOA单元组02,该两个GOA单元组02可以相对设置在多个像素电路01的两侧。

[0058] 在本发明实施例中,该两个GOA单元组02中的每个GOA单元021可以与一行像素电路01中的部分像素电路01连接,或者也可以与该一行像素电路01中的每个像素电路01连接。

[0059] 可选的,每个GOA单元组02包括的GOA单元021的个数可以与该像素电路01的行数相等,且每个GOA单元021对应一行像素电路01。也即是,该两个GOA单元组02包括的GOA单元021的个数可以为像素电路01的行数的2倍。参见图3,每行像素电路01中的部分像素电路01可以与一个GOA单元组02中对应的一个GOA单元021连接,剩余的像素电路01可以与另一个GOA单元组02中对应的一个GOA单元021连接。其中,与同一行像素电路01连接的两个GOA单元021可以位于同一行。

[0060] 在本发明实施例中,假设以图3所示的阵列基板的左侧为起始点,则每行像素电路01中的前半行像素电路01可以与位于阵列基板左侧的GOA单元组02中对应的一个GOA单元021连接,后半行像素电路01可以与位于阵列基板右侧的GOA单元组02中对应的一个GOA单元021连接。

[0061] 示例的,假设每行像素电路01包括N个像素电路01,N为正整数。若N为偶数,则这两个GOA单元组02中位于阵列基板左侧的每个GOA单元021可以与一行像素电路01中的前N/2个像素电路01连接,位于阵列基板右侧的每个GOA单元021可以与后N/2个像素电路01连接。

[0062] 若N为奇数,则这两个GOA单元组02中位于阵列基板左侧的每个GOA单元021可以与一行像素电路01中的前(N+1)/2个像素电路01连接,位于阵列基板右侧的每个GOA单元021可以与后(N-1)/2个像素电路01连接。

[0063] 可选的,如图5所示,每个GOA单元组02包括的GOA单元021的个数可以小于该像素电路01的行数,且这两个GOA单元组02包括的GOA单元021的总数可以等于该像素电路01的行数。每个GOA单元组02包括的每个GOA单元021对应一行像素电路01,且每个GOA单元021可以与对应的一行像素电路01中的每个像素电路01连接。

[0064] 示例的,参见图5,两个GOA单元组02中的一个GOA单元组02中的每个GOA单元021可以与多行像素电路01中的偶数行像素电路01中的每个像素电路01连接,另一个GOA单元组02中的每个GOA单元021可以与多行像素电路01中的奇数行像素电路01中每个像素电路01连接。

[0065] 在本发明实施例中,以每个GOA单元021的宽度为像素电路01的两倍为例,并以每个GOA单元021与一行像素电路01中的每个像素电路01连接为例,对阵列基板中GOA单元组02的设置方式进行说明。

[0066] 由于每个GOA单元021的宽度为像素电路01的两倍,因此每个GOA单元021可以设置在至少两行像素电路01的一侧。其中,该GOA单元组02可以阵列排布,且每行GOA单元021包括的多个GOA单元021可以与多行相邻的像素电路01行连接。

[0067] 参见图4,假设该阵列基板包括一个GOA单元组02,且该GOA单元组02包括四列GOA单元021,即GOA单元组02包括的多行GOA单元021中,每行GOA单元021包括四个GOA单元021。则如图4所示,每个GOA单元021可以与一行像素电路01连接,且每行包括的四个GOA单元021可以与相邻的四行像素电路01连接。

[0068] 例如,该阵列基板中的第一行像素电路01可以与该GOA单元组02中的位于第一行第一列的GOA单元021连接,第二行像素电路01可以与位于第一行第二列的GOA单元021连接,第三行像素电路01可以与位于第一行第三列的GOA单元021连接,第四行像素电路01可以与位于第一行第四列的GOA单元021连接。依次类推,该阵列基板中的最后一行像素电路01可以与位于该GOA单元组02中的最后一行第四列的GOA单元021连接。

[0069] 由于每个GOA单元021可以设置在4行像素电路01的一侧,而每个GOA单元021的宽度仅与两行像素电路01的宽度相等,由此在衬底基板上形成该GOA单元组02后,相邻两行GOA单元021之间具有较大的空间,由此可以便于布线。

[0070] 或者,参见图6,该阵列基板可以包括一个GOA单元组02,且该GOA单元组02可以包括两列GOA单元021,即该GOA单元组02包括的多行GOA单元021中,每行GOA单元021包括两个GOA单元021。则如图6所示,每个GOA单元021可以与一行像素电路01连接,且每行包括的两个GOA单元021可以与相邻的两行像素电路01连接。也即是,该两列GOA单元021中的一列GOA单元021可以与多行像素电路01中的奇数行像素电路01连接,另一列GOA单元021可以与偶数行像素电路01连接。

[0071] 由于每个GOA单元组02包括的GOA单元021的列数较少,仅包括两列GOA单元021,由此可以避免该GOA单元组02在衬底基板上所占用的区域的长度过长,便于窄边框显示面板的实现。其中,该长度方向垂直该GOA单元组02中的GOA单元021的列方向。

[0072] 在本发明实施例中,若每个GOA单元021的宽度为像素电路01的宽度的M倍,M为大于1的数,则为了确保相邻两行GOA单元021之间具有较为充足的布线空间,可以设置每个GOA单元组02包括的GOA单元021的列数大于或等于M。并且,可以根据每个GOA单元组02的个数,以及GOA单元021与像素电路01的连接方式,灵活设置每组GOA单元02包括的GOA单元021的列数。

[0073] 例如,若阵列基板包括两个GOA单元组02,且每个GOA单元021连接一行像素电路01,则每个GOA单元组02包括的GOA单元021的列数为大于或等于M的整数。例如,若M等于1.5或者等于2,则每个GOA单元组02包括的GOA单元的列数可以等于2。

[0074] 若阵列基板包括两个GOA单元02组,且每个GOA单元021仅连接一行像素电路01中的部分像素电路01,即每行像素电路01与两个不同的GOA单元组02的GOA单元021连接;或者若阵列基板包括一个GOA单元组02,且每个GOA单元021连接一行像素电路01,则每个GOA单元组02包括的GOA单元021的列数为大于M的整数,例如若M等于2,则每个GOA单元组02包括的GOA单元021的列数可以等于3或者4。

[0075] 图7是本发明实施例提供的一种GOA单元的结构示意图。图8是本发明实施例提供的另一种GOA单元的结构示意图。参见图7和图8,本发明实施例提供的阵列基板中的每个GOA单元021可以包括10个TFT,以及两个电容C。该10个TFT分别为M1至M10,该两个电容分别为C1和C2。

[0076] 从图7中可以看出,每个GOA单元102可以具有输入端I(n),输出端G(n),第一复位

端T_rst,第二复位端RST,第一控制信号端CN,第二控制信号端CNB,第一时钟信号端CLK,第二时钟信号端CLKB,第一电源端VGH以及第二电源端VGL。其中,参考图8,对于第一级GOA单元102,其输入端可以为启动信号端STV。

[0077] 其中,该第一控制信号端CN提供的第一控制信号的电位可以为第一电位,第二控制信号端CNB提供的第二控制信号的电位可以为第二电位。第一电源端VGH提供的电压信号的电位可以为第一电位,第二电源端VGL提供的电压信号的电位可以为第二电位。该第一时钟信号端CLK提供的第一时序信号的时序与第二时钟信号端CLKB提供的第二时序信号的时序可以互补。该第一电位相对于第二电位可以为高电位。

[0078] 可选的,若该GOA单元021包括10个TFT和两个电容,则该GOA单元的长度可以为725 μ m。其中,GOA单元的长度方向垂直于该GOA单元组02中的GOA单元021的列方向,即平行于阵列基板中栅线的延伸方向。

[0079] 需要说明的是,在本发明实施例中,阵列基板可以包括显示区域和非显示区域。该多个像素电路01中还包括多行虚设像素电路,该虚设像素电路以及该阵列基板中的GOA单元组02均可以位于该非显示区域。除虚设像素电路之外的像素电路011可以位于该显示区域。其中,每行虚设像素电路可以与一个或多个GOA单元021连接,与虚设像素电路连接的GOA单元可以称为虚设GOA单元021。

[0080] 综上所述,本发明实施例提供了一种阵列基板,该阵列基板中包括的每个GOA单元组位于多个像素电路一侧,且该GOA单元组包括有至少两列GOA单元。由于每个GOA单元组包括至少两列GOA单元,相较于相关技术中的将多个GOA单元设置在一列,可以有效减少阵列基板中的GOA单元的行数,相应的每行GOA单元能够占用的区域的宽度增大,从而可以有效降低对曝光机的精度要求,降低阵列基板的制造难度,进而能够有效降低制造工艺对显示面板的分辨率的限制。

[0081] 本发明实施例还提供了一种显示面板,该显示面板可以包括:至少一个如上述实施例提供的阵列基板。例如,该显示面板可以包括一个如上述实施例提供的阵列基板。或者,该显示面板可以包括多个(例如四个)拼接的如上述实施例提供的阵列基板。也即是,如图9所示,该显示面板可以由多个子显示面板00拼接而成,每个子显示面板00可以包括一个如上述实施例提供的阵列基板。

[0082] 示例的,多个拼接的阵列基板可以位于同一行或者同一列,或者如图9所示,该多个拼接的阵列基板可以阵列排布,即该多个拼接的阵列基板可以呈多行多列排布。

[0083] 在本发明实施例中,若显示面板包括多个拼接的阵列基板,即该显示面板由多个子显示面板拼接而成,则该显示面板的分辨率可以等于该拼接的各个子显示面板的分辨率之和。

[0084] 示例的,假设该显示面板由4个分辨率相同的子显示面板拼接而成,且每个子显示面板包括7680*4320个像素单元(pixel, PX),即该子显示面板中的阵列基板具有7680列,4320行像素电路,该子显示面板的分辨率为8K4K。则该显示面板可以包括15360*8640个像素单元,即该显示面板中的阵列基板具有15360列,8640行像素电路,该显示面板的分辨率为16K8K。其中,1K可以是指1024。

[0085] 在本发明实施例中,若显示面板包括呈2行2列排布的4个显示子面板。则每个子显示面板中的阵列基板可以仅包括一个GOA单元组02。如图9所示,每个GOA单元组02可以设置

在阵列基板远离与其拼接的阵列基板的一侧,且各个GOA单元组02中的GOA单元021的排布方式相同,连接方式也相同。

[0086] 示例的,参考图9,左侧的两个子显示面板00中的GOA单元组02,可以与右侧的两个子显示面板00中的GOA单元组02以显示面板中平行于数据线的第一轴线P为轴对称设置。上侧的两个子显示面板00中的GOA单元组02,可以与下侧的两个子显示面板00中的GOA单元组02以显示面板中平行于栅线的第二轴线Q为轴对称设置。

[0087] 可选的,在本发明实施例中,对称设置的两个GOA单元021的工作时序可以相同。即该对称设置的两个GOA单元021可以同时输出栅极驱动信号。其中,对称设置可以是指以第一轴线为轴P对称设置,也可以是指以第二轴线Q为轴对称设置。

[0088] 示例的,参见图9,该拼接的显示面板包括的4个阵列基板中,位于该显示面板的上侧(即该显示面板的第一行)的两个阵列基板中的每个阵列基板的GOA单元组02,可以从最后一行像素单元011开始,逐行驱动各行像素单元011直至第一行像素单元011。位于该显示面板的下侧(即该显示面板的第二行)的两个阵列基板中的每个阵列基板的GOA单元组02,则可以从第一行像素单元011开始,逐行驱动各行像素单元011直至最后一行像素单元011。由此,该显示面板包括的各行像素单元011,可以从中间向两端逐行点亮。

[0089] 图10是本发明实施例提供的另一种显示面板的结构示意图。参见图10,该显示面板可以包括多个阵列排布的像素单元011。其中,每个像素单元011可以包括像素电路,以及与该像素电路连接的发光元件。

[0090] 若该显示面板为LCD面板,则每个发光元件可以包括:像素电极、公共电极以及位于像素电极与公共电极之间的液晶分子。相应的,该LCD面板还可以包括彩膜基板,以及位于该阵列基板与彩膜基板之间的液晶层。其中,该像素电极可以设置在阵列基板中,公共电极可以设置在彩膜基板中。

[0091] 若该显示面板为OLED面板,则每个发光元件可以包括阴极、阳极以及位于阴极和阳极之间的发光层。其中,该阴极、阳极以及发光层均可以设置在阵列基板中。

[0092] 需要说明的是,在本发明实施例中,参见图10,该显示面板中包括的多行像素单元011中还可以包括多行虚设(dummy)像素单元(DPX),该虚设像素单元可以位于显示面板的非显示区域,除虚设像素单元外的像素单元011位于显示面板的显示区域。其中,该虚设像素单元包括的像素电路为虚设像素电路。例如,参见图10,该显示面板中的前4行像素单元011以及最后4行像素单元011均可以为虚设像素单元,且每行虚设像素单元中的至少一个虚设像素单元011可以与一个GOA单元021连接。

[0093] 本发明实施例还提供了一种显示装置,该显示装置可以包括:包括上述实施例提供的显示面板。例如可以包括如图9或图10所示的显示面板。

[0094] 在本发明实施例中,该显示装置还可以包括驱动装置,该驱动装置可以通过数据线与显示面板中的阵列基板中的每列像素电路连接,用于为每个像素电路提供数据信号。

[0095] 可选的,该显示装置可以为LCD显示装置或OLED显示装置。该显示装置可以为:液晶面板、电子纸、OLED面板、有源矩阵有机发光二极管(active-matrix organic light emitting diode,AMOLED)面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0096] 以上所述仅为本申请的示例性实施例,并不用以限制本申请,凡在本申请的精神

和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

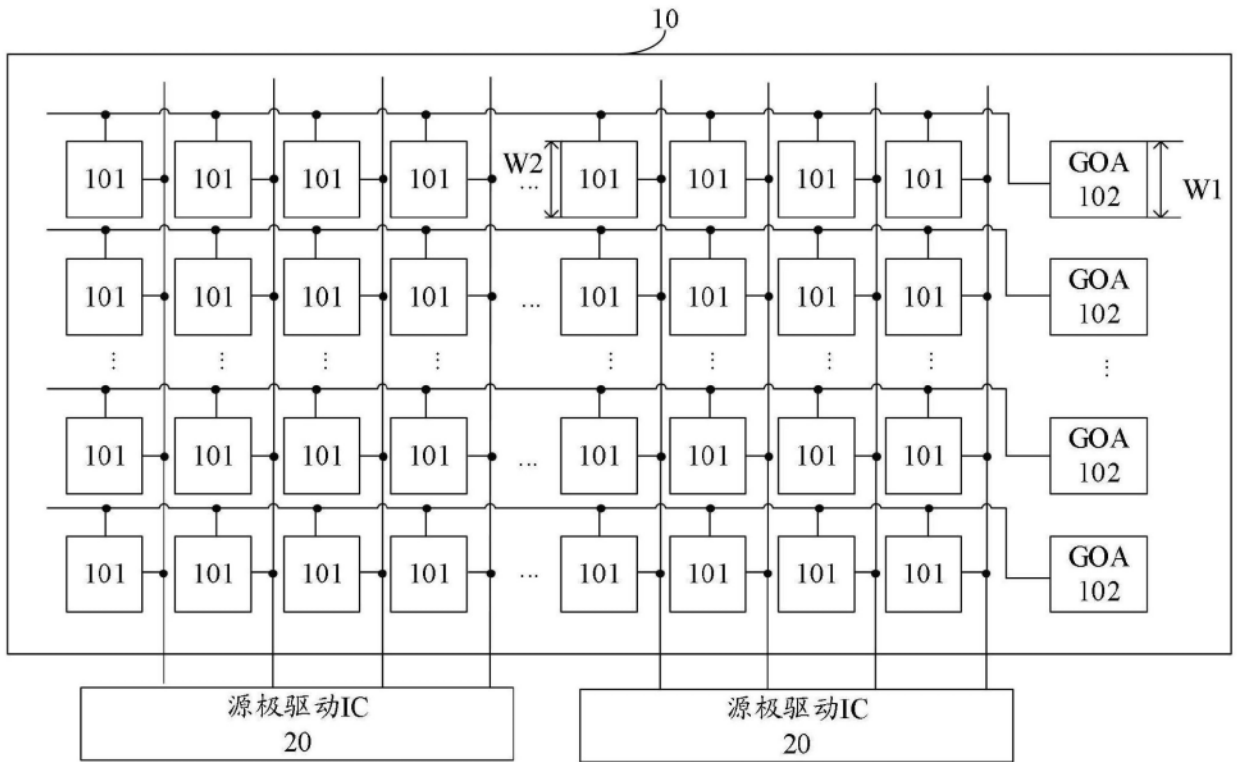


图1

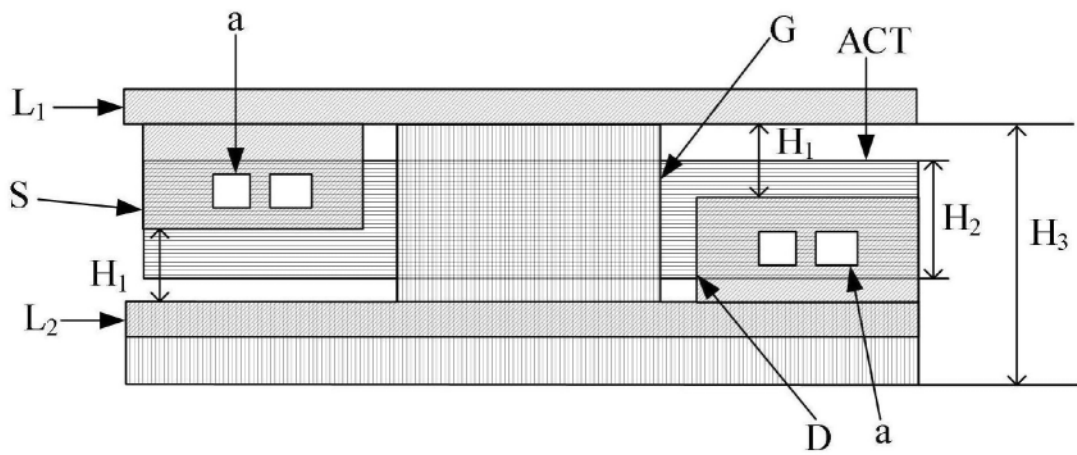


图2

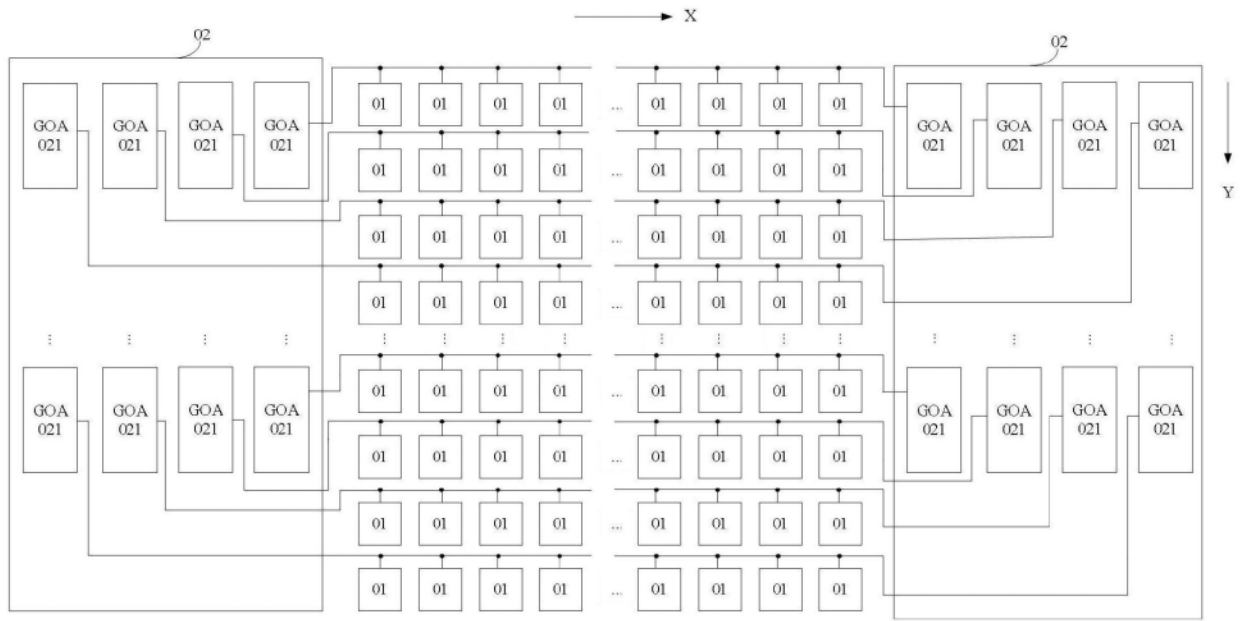


图3

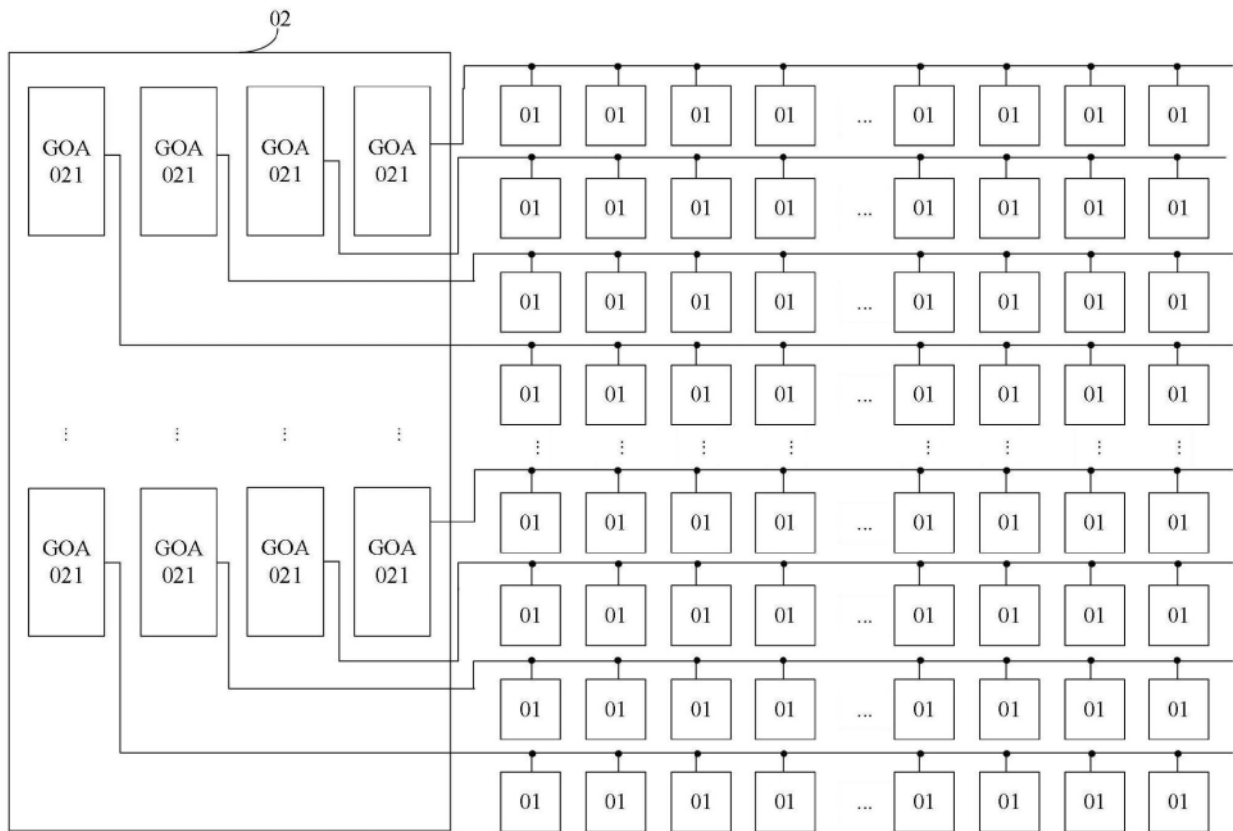


图4

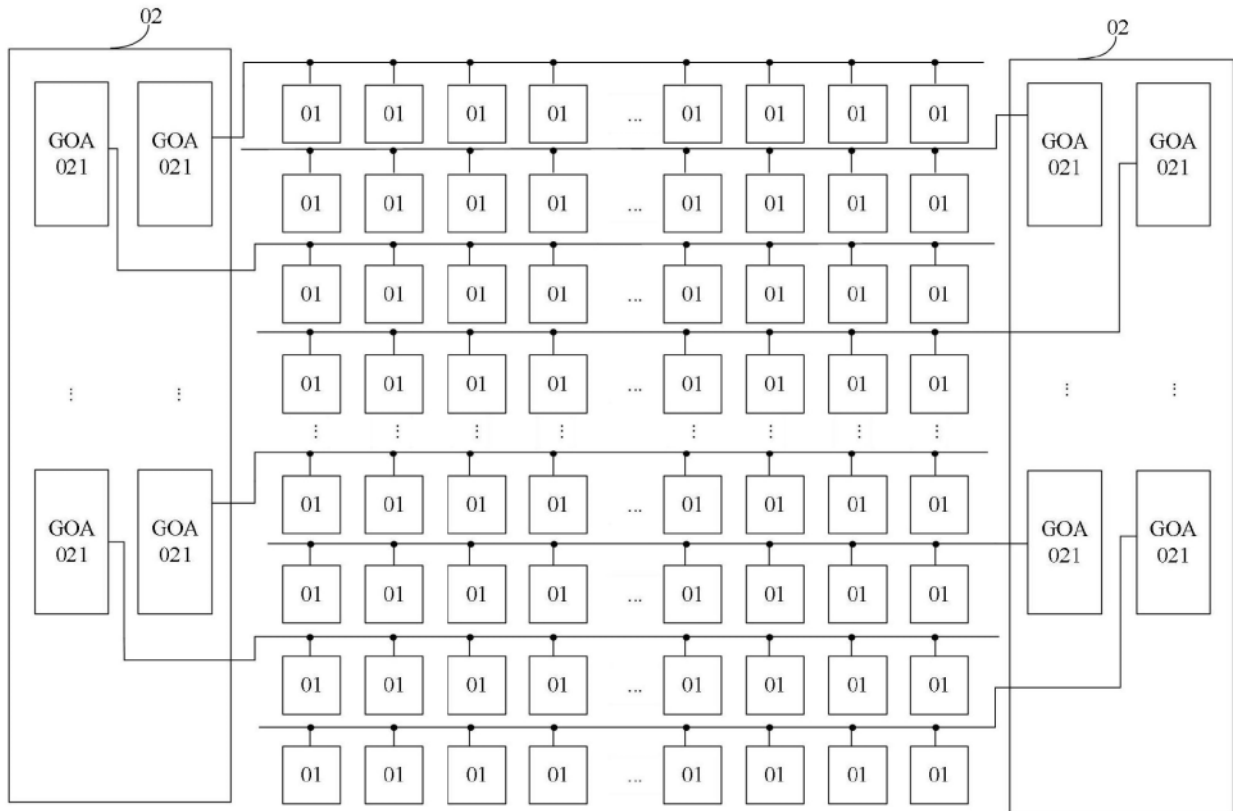


图5

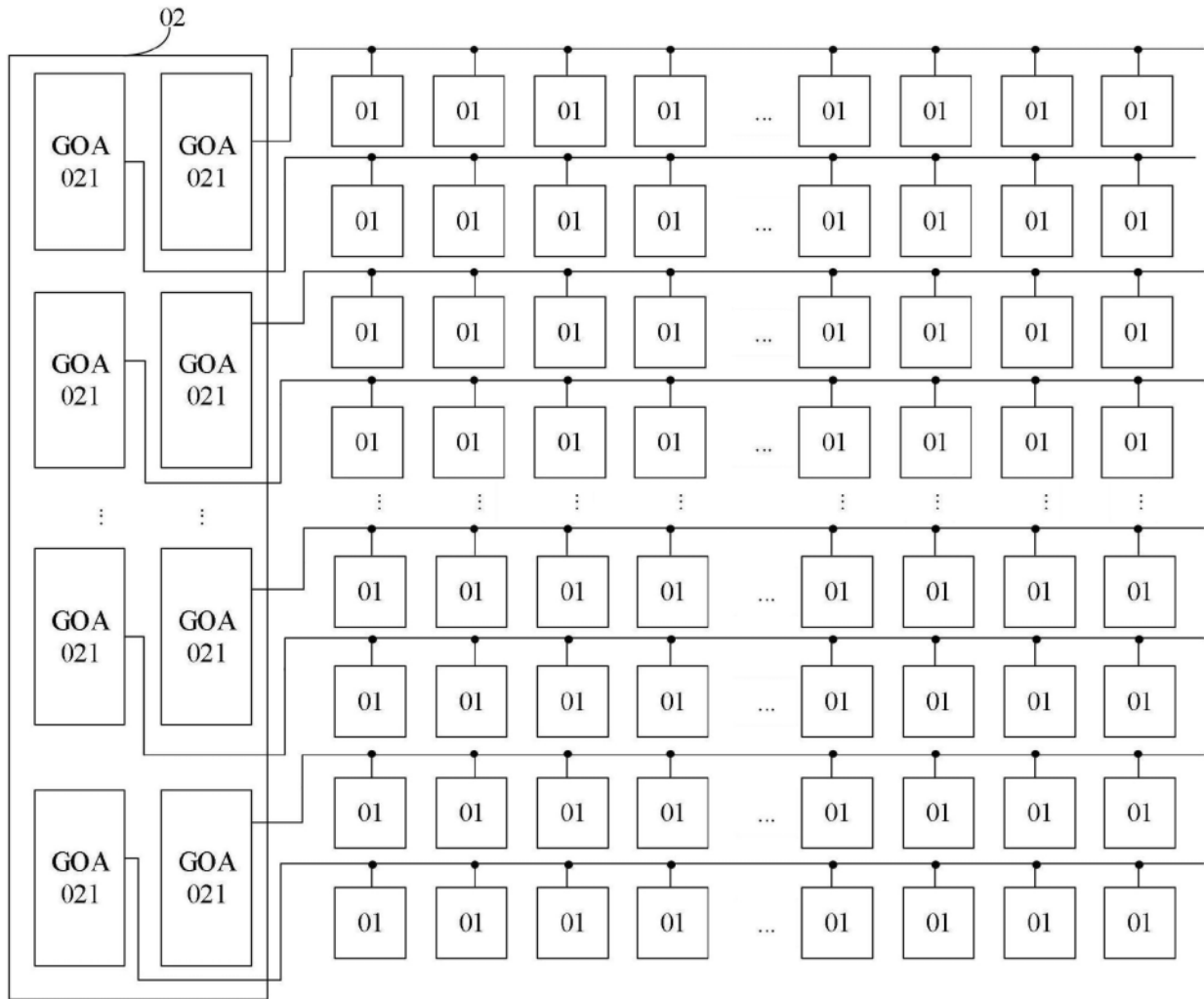


图6

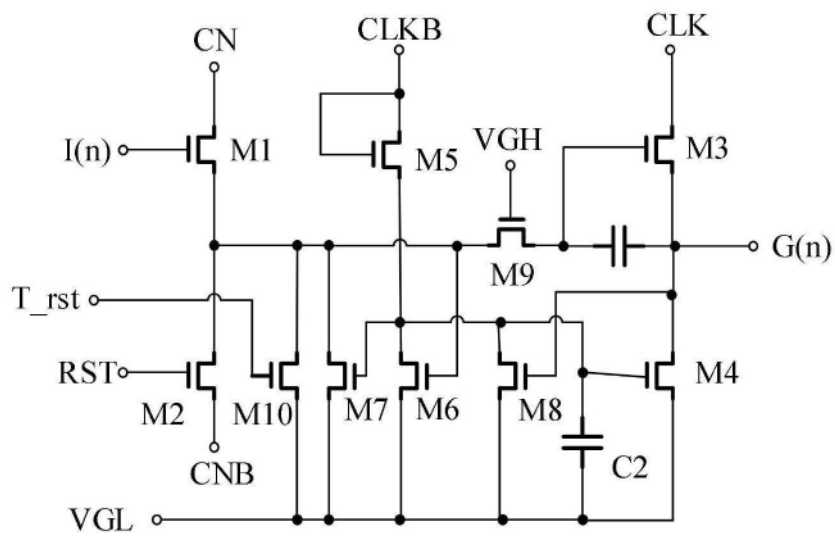


图7

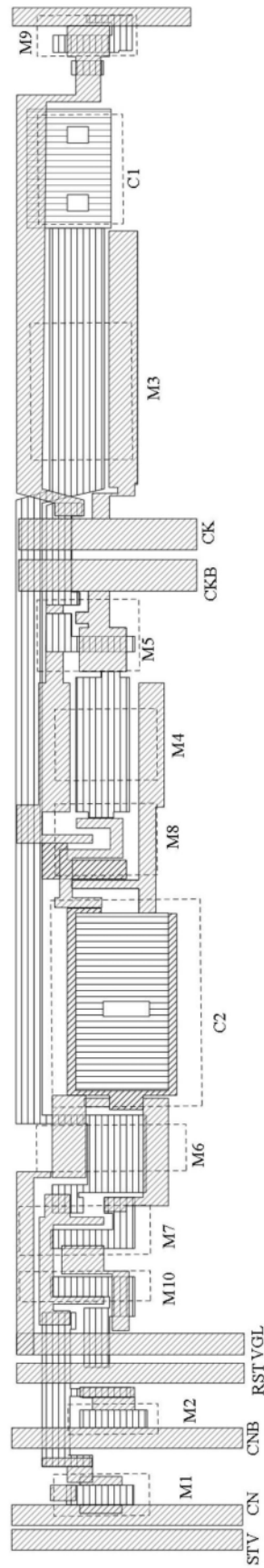


图8

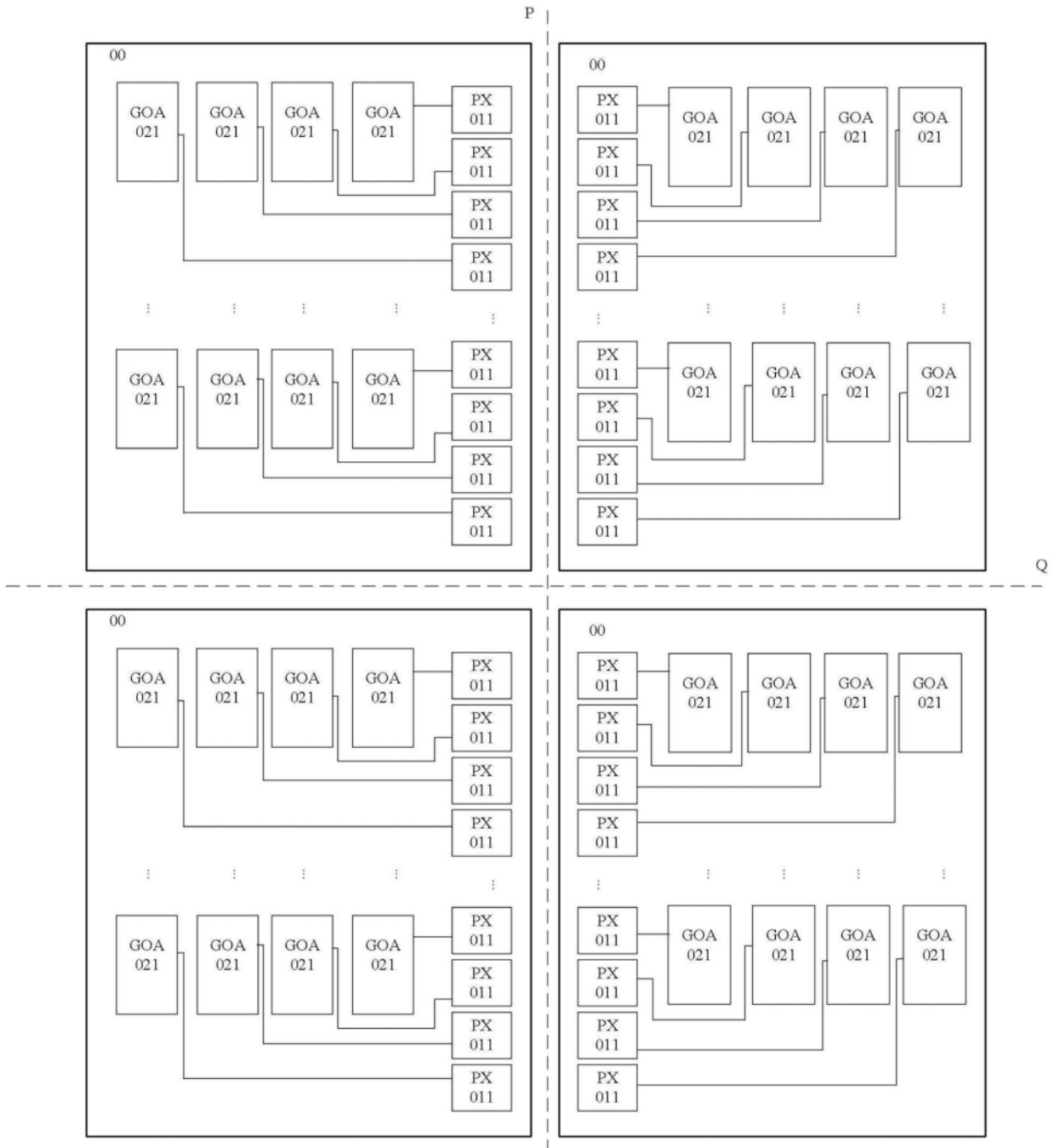


图9

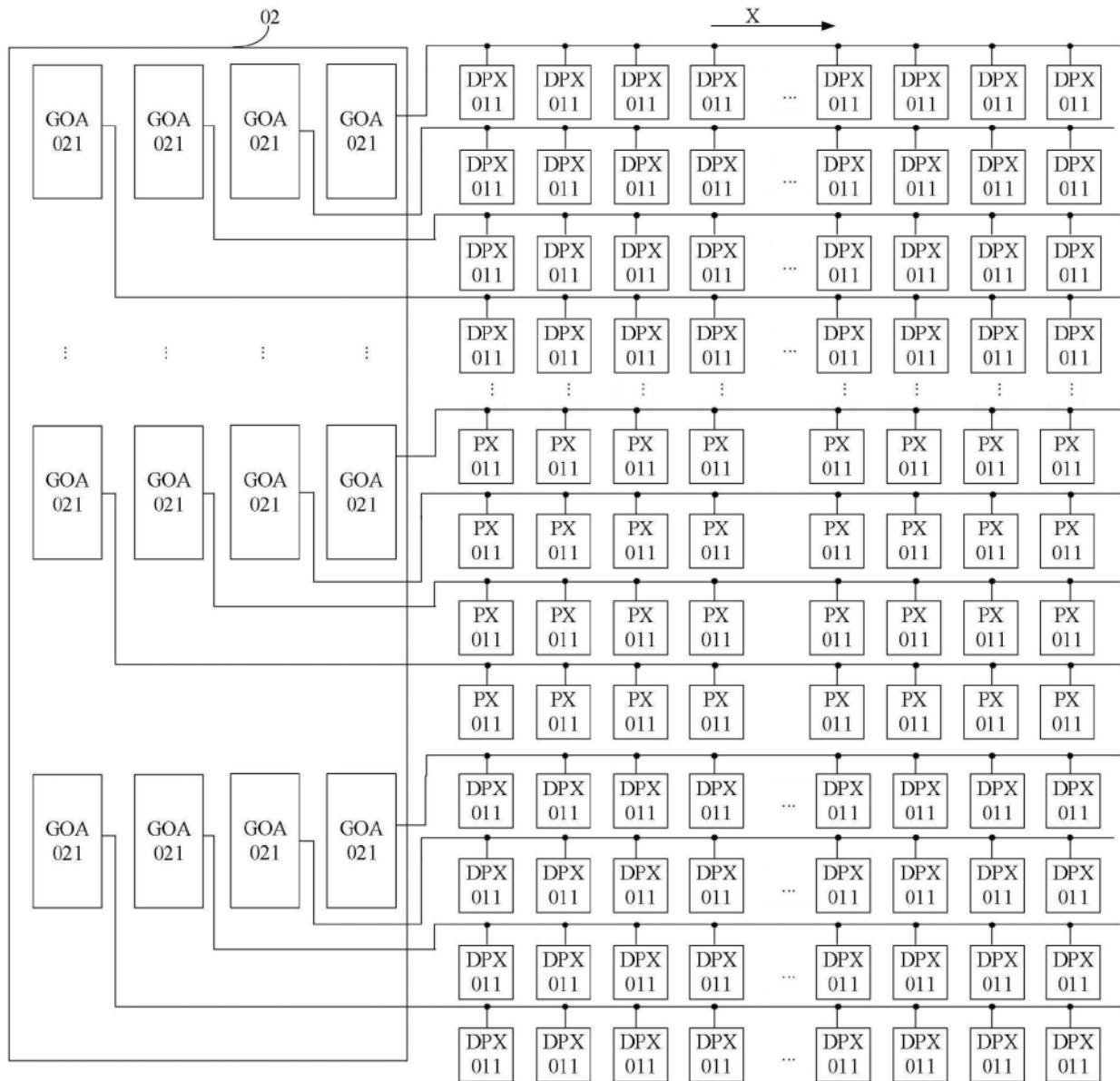


图10