

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-338131

(P2005-338131A)

(43) 公開日 平成17年12月8日(2005.12.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/20	G09G 3/20 623B	2H093
G02F 1/133	G09G 3/20 623E	5C006
G09G 3/36	G09G 3/20 641C	5C080
	G02F 1/133 550	
	G09G 3/36	
審査請求 未請求 請求項の数 16 O L (全 26 頁)		

(21) 出願番号	特願2004-153001 (P2004-153001)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成16年5月24日 (2004.5.24)	(74) 代理人	100064746 弁理士 深見 久郎
		(74) 代理人	100085132 弁理士 森田 俊雄
		(74) 代理人	100083703 弁理士 仲村 義平
		(74) 代理人	100096781 弁理士 堀井 豊
		(74) 代理人	100098316 弁理士 野田 久登
		(74) 代理人	100109162 弁理士 酒井 将行

最終頁に続く

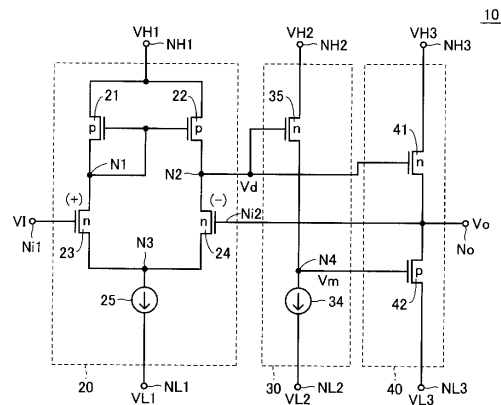
(54) 【発明の名称】 駆動回路およびそれを備える表示装置

(57) 【要約】

【課題】 発振に対する安定性が高く、かつ薄膜トランジスタの適用に適した駆動回路およびそれをデータ線駆動用として備えた表示装置を提供する。

【解決手段】 差動増幅段20は、入力電圧信号Viおよび出力電圧Voの電圧差に応じた差動増幅電圧Vdを出力する。増幅段30は、n型トランジスタ35のソースフォロア動作により、実質的に増幅率1で差動増幅電圧Vdを増幅した中間電圧Vmを生成する。プッシュプル型の出力段40は、出力ノードNoを介して電圧源間に直列接続された出力トランジスタ41および42で構成される。出力トランジスタ41のゲートには、差動増幅段20からの差動増幅電圧Vdが直接入力され、出力トランジスタ42のゲートには、オフ時におけるゲート・ソース間電圧が低減されるように、増幅段30からの中間電圧Vmが入力される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

入力電圧信号が入力される第 1 の入力ノードおよび出力ノードと接続された第 2 の入力ノードとの間の電圧差に応じた第 1 の電圧を出力する差動増幅段と、

前記差動増幅段が出力した前記第 1 の電圧を実質的に 1 の増幅率で増幅して、前記第 1 の電圧に応じた第 2 の電圧を出力する増幅段と、

前記出力ノードへ出力電圧を生成するための出力段とを備え、

前記出力段は、

第 1 の電圧源および前記出力ノードの間に電氣的に接続され、かつ、前記差動増幅段からの前記第 1 の電圧をゲートに受ける第 1 の電界効果トランジスタと、

第 2 の電圧源および前記出力ノードの間に電氣的に接続され、かつ、前記増幅段からの前記第 2 の電圧をゲートに受ける第 2 の電界効果トランジスタとを含む、駆動回路。

10

【請求項 2】

前記第 1 および第 2 の電界効果トランジスタは、それぞれ反対導電型であり、かつ、各々がソースフォロワ動作を行なうように接続され、

前記増幅段は、前記第 2 の電圧および前記出力電圧の電圧差が前記第 1 の電圧および前記出力電圧の電圧差よりも小さくなるように前記第 2 の電圧を生成する、請求項 1 に記載の駆動回路。

【請求項 3】

前記第 1 および第 2 の電界効果トランジスタは、それぞれ反対導電型であり、かつ、各々がソースフォロワ動作を行なうように接続され、

20

前記増幅段は、

前記第 2 の電圧が生成される中間ノードと第 3 の電圧源との間に接続された第 3 の電界効果トランジスタと、

前記中間ノードおよび第 4 の電圧源の間に接続される定電流源とを含み、

前記第 3 の電界効果トランジスタは、前記第 1 の電界効果トランジスタと同一導電型で構成され、かつ、前記第 1 の電圧をゲートに受ける、請求項 1 に記載の駆動回路。

【請求項 4】

前記増幅段は、前記定電流源の電流量を I とし、前記第 3 の電界効果トランジスタの電流増幅係数を β とすると、 $(2 \cdot I / \beta)^{1/2}$ が前記第 2 の電界効果トランジスタのしきい値電圧の絶対値よりも小さくなるように設計される、請求項 3 に記載の駆動回路。

30

【請求項 5】

入力電圧信号が入力される第 1 の入力ノードおよび出力ノードと接続された第 2 の入力ノードの間の電圧差に応じた第 1 の電圧を出力する差動増幅段と、

前記差動増幅段が出力した前記第 1 の電圧を実質的に 1 の増幅率で増幅して、前記第 1 の電圧に応じた第 2 の電圧を第 1 の中間ノードに出力する第 1 の増幅段と、

前記差動増幅段が出力した前記第 1 の電圧を実質的に 1 の増幅率で増幅して、前記第 1 の電圧に応じた第 3 の電圧を第 2 の中間ノードに出力する第 2 の増幅段とを備え、

前記第 1 の電圧および第 2 の電圧の電圧差と、前記第 1 の電圧および前記第 3 の電圧の電圧差とは極性が異なり、

40

前記出力ノードへ前記出力電圧を生成するための出力段をさらに備え、

前記出力段は、

第 1 の電圧源および前記出力ノードの間に電氣的に接続され、かつ、ゲートが前記第 2 の中間ノードと接続される第 1 の電界効果トランジスタと、

第 2 の電圧源および前記出力ノードの間に電氣的に接続され、かつ、ゲートが前記第 1 の中間ノードと接続される第 2 の電界効果トランジスタとを含む、駆動回路。

【請求項 6】

前記第 1 および第 2 の電界効果トランジスタの少なくとも一方は、ソースフォロワ動作を行なうように接続される、請求項 1 または 5 に記載の駆動回路。

【請求項 7】

50

前記第 1 の電圧源の供給電圧は、前記第 2 の電圧源の供給電圧より高く、
前記第 1 および第 2 の電界効果トランジスタの導電型は、それぞれ n 型および p 型であり、

前記第 1 の増幅段が出力する前記第 2 の電圧は、前記差動増幅段が出力する前記第 1 の電圧よりも低く、

前記第 2 の増幅段が出力する前記第 3 の電圧は、前記差動増幅段が出力する前記第 1 の電圧よりも高い、請求項 5 に記載の駆動回路。

【請求項 8】

前記第 1 の増幅段は、

前記第 1 の中間ノードと第 3 の電圧源との間に接続された n 型の第 3 の電界効果トランジスタと、 10

前記第 3 の電圧源よりも低い電圧を供給する第 4 の電圧源と前記第 1 の中間ノードとの間に接続される第 1 の定電流源とを含み、

前記第 2 の増幅段は、

前記第 2 の中間ノードと前記第 4 の電圧源との間に接続された p 型の第 4 の電界効果トランジスタと、

前記第 2 の中間ノードおよび前記第 3 の電圧源の間に接続される第 2 の定電流源とを含み、

前記第 3 の電界効果トランジスタおよび前記第 4 の電界効果トランジスタの各々は、前記差動増幅段からの前記第 1 の電圧をゲートに受ける、請求項 7 に記載の駆動回路。 20

【請求項 9】

前記第 1 および第 2 の電界効果トランジスタのそれぞれのしきい値電圧の絶対値の和は、前記第 1 および第 2 の増幅段によって与えられる前記第 2 の電圧および前記第 3 の電圧の電圧差よりも大きい、請求項 5 に記載の駆動回路。

【請求項 10】

前記第 1 および第 2 の電界効果トランジスタのゲート間に設けられた電圧クランプ回路をさらに備え、

前記電圧クランプ回路は、前記第 1 および第 2 の電界効果トランジスタのゲート間の電圧差が、前記第 1 および第 2 の電界効果トランジスタのそれぞれのしきい値電圧の絶対値の和を超えないように制限する、請求項 5 に記載の駆動回路。 30

【請求項 11】

前記電圧クランプ回路は、前記第 1 および第 2 の電界効果トランジスタのゲート間に直列に接続された、各々がダイオード接続された 2 個の電界効果トランジスタを含み、

前記 2 個の電界効果トランジスタのそれぞれは、前記第 1 および第 2 の電界効果トランジスタのそれぞれと同一導電型および同等のしきい値電圧を有する、請求項 10 に記載の駆動回路。

【請求項 12】

前記電圧クランプ回路は、前記第 1 および第 2 の電界効果トランジスタのゲート間に直列に接続された、各々がダイオード接続された 2 個の電界効果トランジスタを含み、

前記 2 個の電界効果トランジスタの各々は、前記第 1 および第 2 の電界効果トランジスタの一方と同一導電型および同等のしきい値電圧を有する、請求項 10 に記載の駆動回路。 40

【請求項 13】

前記第 1 および第 2 の電界効果トランジスタのゲート間に設けられた電圧クランプ回路をさらに備え、

前記電圧クランプ回路は、前記第 1 および第 2 の電界効果トランジスタのゲート間の電圧差が、前記第 1 および第 2 の電界効果トランジスタの所定の一方のしきい値電圧の絶対値を超えないように制限する、請求項 5 に記載の駆動回路。

【請求項 14】

前記電圧クランプ回路は、前記第 1 および第 2 の電界効果トランジスタのゲート間に接 50

続された、自身がダイオード接続された電界効果トランジスタを含み、

該電界効果トランジスタは、前記第1および第2の電界効果トランジスタの前記所定の一方と同一導電型および同等のしきい値電圧を有する、請求項13に記載の駆動回路。

【請求項15】

前記入力電圧信号は、一定値に固定される、請求項1から14のいずれか1項に記載の駆動回路。

【請求項16】

行列状に配置され、各々が書込まれた表示電圧に応じた輝度を発する複数の画素と、前記画素の行ごとに設けられ、それぞれが周期的に選択される複数のゲート線と、前記画素の列ごとに設けられる複数のデータ線と、

10

前記複数の画素のそれぞれでの表示輝度を示す表示信号に応じて前記表示電圧を順次生成して、前記複数のデータ線へ出力するデータ駆動回路とを備え、

前記データ駆動回路は、

前記表示信号のデコード結果に応じた階調電圧を前記表示電圧として生成するデコード回路と、

前記複数のデータ線ごとに設けられる請求項1から14のいずれか1項に記載の駆動回路とを含み、

前記駆動回路の前記第1の入力ノードは、前記デコード回路からの前記表示電圧を受け、かつ、前記駆動回路の前記出力ノードは、前記複数のデータ線のうちの対応する1本と接続され、

20

前記複数の画素は、前記複数のゲート線のうちの対応する1本が選択されたときに、前記複数のデータ線のうちの対応する1本と電気的に接続されて、前記表示電圧を書込まれる、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、絶縁ゲート型電界効果トランジスタを用いた駆動回路に関し、より特定のには、入力電圧信号に応じた出力電圧を低出力インピーダンスで生成可能な駆動回路およびそれをデータ線駆動に用いた表示装置に関する。

【背景技術】

30

【0002】

電圧駆動型発光素子である液晶素子を備えた液晶表示装置では、各画素における表示輝度は、液晶素子に書込まれる電圧に依存する。特に、各画素で多段階の階調表示を実行する構成では、データ線等を介して画素に書込まれる電圧を変動が発生しないように高精度に制御する必要がある。また、液晶表示装置以外の他の電子機器等においても、入力電圧信号に追従した出力電圧を低出力インピーダンスで高精度に供給することが求められるケースは多い。

【0003】

一般的にこのようなケースでは、入力電圧信号および出力電圧を差動入力とする差動増幅段と、当該差動増幅段の出力に応じて出力ノードへ電流を供給する出力トランジスタとの組合せによる電圧発生回路が構成される。たとえば、特許文献1には、ソースフォロワ動作するnMOS(Metal Oxide Semiconductor)トランジスタを用いて出力トランジスタを構成することによって位相余裕を大きくした、安定度の高い内部電圧発生回路が開示されている。

40

【0004】

さらに、負荷充電用の出力用半導体素子および負荷放電用の出力用半導体素子との両方を配置して、いわゆる「プッシュプル型」の出力段を有する増幅装置を液晶表示装置に適用する技術が開示されている(たとえば特許文献2)。特に、特許文献2の構成では、差動増幅段の相補出力にそれぞれ応じて充電用および放電用の出力用半導体素子のゲート電圧を制御することによって、入力信号電圧に高速応答して低消費電力で大容量性負荷を駆

50

動する構成が示されている。

【0005】

また、液晶表示装置等のフラットパネルディスプレイに適用される薄膜トランジスタ(TFT)については、ゲート・ソース間に加わる逆方向電圧、すなわちターンオフ時でのゲート・ソース間電圧が大きくなるほど、トランジスタの寿命に悪影響を及ぼすことが報告されている(たとえば非特許文献1)。

【特許文献1】特開2000-148263号公報

【特許文献2】特開2001-337658号公報

【非特許文献1】浦岡行治他6名,「低温ポリシリコン薄膜トランジスタのホットキャリア劣化」,平成14年度応用物理学会中国四国支部研究会「SOIおよびTFTデバイス技術の現状と将来展望」,応用物理学会,平成14年,p.78-83

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1に開示された内部電圧発生回路は、半導体集積回路装置等の内部で固定的な内部電圧を安定的に生成するための回路であるため、その入力電圧信号は一定レベルに固定される。その一方、液晶表示装置等の表示装置において画素への書込電圧の駆動に用いられる駆動回路では、入力電圧信号は1ラインごとの走査周期に従って逐次変化していく。このため、表示画像に対応させて各画素における表示輝度を正確に設定するために、入力電圧信号の変化に追従して出力電圧を正確かつ高速に生成する必要がある。

20

【0007】

すなわち、高応答性のために差動増幅段を含んで構成される駆動回路は負帰還増幅回路として動作するため発振動作が内在するが、このような駆動回路において、発振動作を抑制した増幅動作によって、入力電圧信号の変化に追従させて出力電圧を安定的に制御する必要がある。

【0008】

また、特許文献2に開示されたプッシュプル型の出力段を含む構成では、貫通電流を防止するために、充電用および放電用の出力用半導体素子の一方のみが導通される動作条件が選択される。このため、少なくとも一方の出力用半導体素子是非導通(オフ)されることになり、出力用半導体素子のオフ頻度が高くなる。したがって、液晶表示装置等のフラットパネルディスプレイに搭載されて、出力用半導体素子が電界効果トランジスタ、特にTFT素子で構成される場合には、ゲート逆方向電圧、すなわちターンオフ時でのゲート・ソース間電圧を考慮した長寿命化を図る必要がある。

30

【0009】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、発振に対する安定性が高く、かつ薄膜トランジスタの適用に適した駆動回路およびそれをデータ線駆動用として備えた表示装置を提供することである。

【課題を解決するための手段】

【0010】

この発明による駆動回路は、入力電圧信号が入力される第1の入力ノードおよび出力ノードと接続された第2の入力ノードとの間の電圧差に応じた第1の電圧を出力する差動増幅段と、差動増幅段が出力した第1の電圧を実質的に1の増幅率で増幅して、第1の電圧に応じた第2の電圧を出力する増幅段と、出力ノードへ出力電圧を生成するための出力段とを備える。出力段は、第1の電圧源および出力ノードの間に電氣的に接続され、かつ、差動増幅段からの第1の電圧をゲートに受ける第1の電界効果トランジスタと、第2の電圧源および出力ノードの間に電氣的に接続され、かつ、増幅段からの第2の電圧をゲートに受ける第2の電界効果トランジスタとを含む。

40

【0011】

この発明の他の構成による駆動回路は、入力電圧信号が入力される第1の入力ノードおよび出力ノードと接続された第2の入力ノードの間の電圧差に応じた第1の電圧を出力す

50

る差動増幅段と、差動増幅段が出力した第1の電圧を実質的に1の増幅率で増幅して、第1の電圧に応じた第2の電圧を第1の中間ノードに出力する第1の増幅段と、差動増幅段が出力した第1の電圧を実質的に1の増幅率で増幅して、第1の電圧に応じた第3の電圧を第2の中間ノードに出力する第2の増幅段とを備える。第1の電圧および第2の電圧の電圧差と、第1の電圧および第3の電圧の電圧差とは極性が異なる。駆動回路は、出力ノードへ出力電圧を生成するための出力段をさらに備える。出力段は、第1の電圧源および出力ノードの間に電氣的に接続され、かつ、ゲートが第2の中間ノードと接続される第1の電界効果トランジスタと、第2の電圧源および出力ノードの間に電氣的に接続され、かつ、ゲートが第1の中間ノードと接続される第2の電界効果トランジスタとを含む。

【0012】

10

この発明による表示装置は、行列状に配置され、各々が書込まれた表示電圧に応じた輝度を発する複数の画素と、画素の行ごとに設けられ、それぞれが周期的に選択される複数のゲート線と、画素の列ごとに設けられる複数のデータ線と、複数の画素のそれぞれでの表示輝度を示す表示信号に応じて表示電圧を順次生成して、複数のデータ線へ出力するデータ駆動回路とを備える。データ駆動回路は、表示信号のデコード結果に応じた階調電圧を表示電圧として生成するデコード回路と、複数のデータ線ごとに設けられる請求項1から14のいずれか1項に記載の駆動回路とを含み、駆動回路の第1の入力ノードは、デコード回路からの表示電圧を受け、かつ、駆動回路の出力ノードは、複数のデータ線のうちの対応する1本と接続され、複数の画素は、複数のゲート線のうちの対応する1本が選択されたときに、複数のデータ線のうちの対応する1本と電氣的に接続されて、表示電圧を書込まれる。

20

【発明の効果】

【0013】

この発明による駆動回路は、出力段を構成する第1および第2の電界効果トランジスタを差動増幅段からの出力電圧および増幅率が実質的に1の増幅段からの出力電圧によって駆動するので、利得を抑えたことにより発振が起りにくく動作の安定性が高い。さらに、第2の電界効果トランジスタのオフ時でのゲート・ソース間電圧を低減できるので、特に電界効果トランジスタがTFT素子で構成された場合の長寿命化に効果がある。

【0014】

この発明の他の構成による駆動回路は、増幅率が実質的に1である第1および第2増幅段からの出力電圧によって、出力段を構成する第1および第2の電界効果トランジスタを駆動するので、利得を抑えたことにより発振が起りにくく動作の安定性が高い。さらに、第1および第2の電界効果トランジスタの両方について、オフ時でのゲート・ソース間電圧を低減できるので、特に電界効果トランジスタがTFT素子で構成された場合の長寿命化に効果がある。

30

【0015】

この発明による液晶表示装置では、上記の駆動回路を各データ線のデータ線駆動回路として適用する。したがって、表示信号に応じた表示電圧を発振動作を防止して正確かつ安定的に各データ線へ駆動できるとともに、駆動回路の出力段を構成する電界効果トランジスタ（特にTFT素子）の長寿命化を図ることができる。

40

【発明を実施するための最良の形態】

【0016】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。なお、図中における同一符号は同一または相当部分を示すものとして詳細な説明は繰返さないものとする。

【0017】

[比較例として示される駆動回路]

図1は、この発明の比較例として示される駆動回路の構成を示す回路図である。

【0018】

図1を参照して、比較例として示される駆動回路100は、差動増幅段20と、増幅段

50

103と、出力段40とを備える。

【0019】

差動増幅段20は、カレントミラーアンプを構成するp型トランジスタ21, 22およびn型トランジスタ23, 24と、定電流源25とを含む。なお、本実施の形態においては、トランジスタは、ゲート電圧により電流量が制御される電界効果トランジスタ、代表的には、絶縁体基板上に形成されるTFT素子で構成されるものとする。

【0020】

p型トランジスタ21は、図示しない高電圧源から高電圧V_Hが供給される高電圧ノードN_HおよびノードN₁の間に接続される。p型トランジスタ22は、高電圧ノードN_HおよびノードN₂の間に接続される。n型トランジスタ23はノードN₁およびN₃の間に接続され、n型トランジスタ24はノードN₂およびノードN₃の間に接続される。定電流源25は、ノードN₃および低電圧ノードN_Lの間に接続されて、MOSトランジスタ21~24によって構成されるカレントミラーアンプへの動作電流を供給する。低電圧ノードN_Lには、図示しない低電圧源より低電圧V_Lが供給される。

10

【0021】

p型トランジスタ21および22の各ゲートはノードN₂と接続される。n型トランジスタ23のゲートは、差動増幅段20の一方の入力ノードN_{i1}(反転入力端子)に相当する。入力ノードN_{i1}には入力電圧信号V_iが供給される。n型トランジスタ24のゲートは、差動増幅段20の他方の入力ノードN_{i2}(非反転入力端子)に相当する。入力ノードN_{i2}は、出力電圧V_oが生成される出力ノードN_oと接続される。

20

【0022】

増幅段103は、p型トランジスタ33および定電流源34を含む。p型トランジスタ33は、高電圧ノードN_HおよびノードN₄の間に接続される。定電流源34はノードN₄および低電圧ノードN_Lの間に接続される。p型トランジスタ33のゲートは、ノードN₁と接続されて、差動増幅段20の負側の出力電圧を受ける。

【0023】

プッシュプル型の出力段40は、出力トランジスタ41および42を含む。出力トランジスタ41は、n型トランジスタで構成され、高電圧ノードN_Hおよび出力ノードN_oの間に接続される。出力トランジスタ42は、p型トランジスタで構成され、出力ノードN_oおよび低電圧ノードN_Lの間に接続される。出力トランジスタ41および42の各ゲートは、ノードN₄と接続される。

30

【0024】

差動増幅段20は、入力電圧信号V_iと出力電圧V_oの電圧差をノードN₁およびN₂の電圧差に増幅する。これにより、ノードN₂には正側(高電圧V_H側)の出力電圧が生成され、ノードN₁には負側(低電圧V_L側)の出力電圧が生成される。

【0025】

増幅段103は、差動増幅段20の出力電圧を増幅した中間電圧V_mをノードN₄に生成する。出力段40では、n型トランジスタで構成される出力トランジスタ41およびp型トランジスタで構成される出力トランジスタ42が増幅段103の出力電圧に応じてプッシュプル動作を行なうことにより、入力電圧信号V_iに応じた出力電圧V_oが出力ノードN_oに生成される。

40

【0026】

具体的には、出力電圧V_oが入力電圧信号V_iの電圧よりも低い場合には、差動増幅段20のノードN₁の電圧が低下する。これにより、増幅段103のp型トランジスタ33がより導通の方向、すなわち電流供給量が増加する方向に動作するので、ノードN₄の電圧は上昇する。出力トランジスタ41のソースフォロワ動作により、出力電圧V_oは中間電圧V_mの上昇に従って上昇する。最終的には、出力電圧V_oが入力電圧信号V_iと同等レベルになるまで、中間電圧V_mが上昇する。

【0027】

反対に、出力電圧V_oが入力電圧信号V_iの電圧よりも高い場合には、差動増幅段20

50

のノードN1の電圧が上昇して、p型トランジスタ33のゲート・ソース間電圧を減少させ、トランジスタ33をより非導通の方向、すなわち電流供給量が減少する方向に動作させる。これにより、増幅段103がノードN4に出力する中間電圧 V_m が低下する。出力トランジスタ42のソースフォロワ動作により、出力電圧 V_o は中間電圧 V_m の低下に従って低下する。最終的には、出力電圧 V_o が入力電圧信号 V_i と同等レベルになるまで、中間電圧 V_m が低下する。

【0028】

このように、駆動回路100では、出力電圧 V_o を差動増幅段20の入力ノード N_{i2} へ負帰還するループを形成することにより、出力電圧 V_o は、入力電圧信号 V_i と等しいレベルに制御される。

10

【0029】

次に、図1に示した駆動回路100の発振特性について説明する。ここでは、説明を簡略化するために、駆動回路100から出力段40を省略した、差動増幅段20および増幅段103によって構成される負帰還回路200の発振特性を説明する。

【0030】

図2に示されるように、負帰還回路200では、解析を簡略化するために、出力電圧 V_o と同様に变化するノードN4の電圧(中間電圧 V_m)を出力電圧 V_o として扱っている。なお、出力トランジスタ41, 42のソースフォロワ動作により、中間電圧 V_m および出力電圧 V_o の電圧差は一定となっている。

【0031】

負帰還回路200において、出力電圧 V_o が入力電圧信号 V_i の電圧よりも大きい場合には、p型トランジスタ33のゲート電圧が上昇するため、p型トランジスタ32の電流供給量が減少して、出力電圧 V_o が低下する。一方、出力電圧 V_o が入力電圧信号 V_i の電圧よりも低い場合には、p型トランジスタ33の電流供給量が増加して、出力電圧 V_o が上昇する。すなわち、負帰還回路200では、出力電圧 V_o が入力電圧信号 V_i と同レベルになるように制御される。

20

【0032】

図3および図4は、負帰還回路200の発振特性を表わすためのボード線図である。

【0033】

図3を参照して、負帰還回路200の総合利得は、差動増幅段20の利得 G_{01} および増幅段103の利得 G_{02} との和、すなわち $G_{01} + G_{02}$ で示される。

30

【0034】

動作周波数に相当する角周波数 ω が上昇するにつれ、差動増幅段20の利得 G_{01} および増幅段103の利得 G_{02} は低下する。具体的には、差動増幅段20の利得 G_{01} は、カットオフ周波数 ω_{p1} 以上の領域($\omega > \omega_{p1}$)では、 -20 dB/dec の割合で低下する。同様に、増幅段103の利得 G_{02} は、カットオフ周波数 ω_{p2} 以上の領域($\omega > \omega_{p2}$)では、 -20 dB/dec の割合で低下する。総合利得 $G_{01} + G_{02}$ は、 $\omega_{p2} < \omega < \omega_{p1}$ の領域では -20 dB/dec の割合で低下し、かつ、 $\omega > \omega_{p1}$ の領域では -40 dB/dec の割合で低下して、ゲイン交差周波数 ω_c において $G_{01} + G_{02} = 0 [\text{dB}]$ となる。

40

【0035】

図4を参照して、負帰還回路200の全体位相 ϕ は、差動増幅段20の位相 ϕ_1 および増幅段103の位相 ϕ_2 との和 $\phi = \phi_1 + \phi_2$ で示される。

【0036】

総合利得 $G_{01} + G_{02} = 0 [\text{dB}]$ となるゲイン交差周波数 ω_c において、全体位相 $\phi = \phi_1 + \phi_2$ が $-180 [\text{deg}]$ よりも遅れていれば図2に示す駆動回路は発振し、 $-180 [\text{deg}]$ よりも進んでいれば発振しない。ゲイン交差周波数 ω_c での位相と $-180 [\text{deg}]$ との差は位相余裕 ϕ_m は称され、閉ループ系の安定度の一般的な指標として用いられる。位相余裕 ϕ_m が大きいほど、閉ループ系は発振が起りにくく安定している。

50

【0037】

このように、比較例として示される駆動回路100による負帰還回路200では、差動増幅段20および増幅段103の両方が電圧増幅能力を有しているため、利得が高い一方で位相余裕 m が小さく、発振が起りやすい構成となっている。さらに、実際の駆動回路100では、負帰還回路200の後段に出力段40がさらに設けられた3段構成となっているので、位相遅れが増大し、より発振しやすい構成となっている。

【0038】

〔実施の形態1〕

実施の形態1では、比較例として示された駆動回路100を改良した、発振が起りにくく、かつターンオフ時の逆電圧ストレス抑制によりTFT素子の長寿命化が図られた構成の駆動回路を説明する。

10

【0039】

図5は、この発明の実施の形態1に従う駆動回路10の構成を示す回路図である。

【0040】

図5を参照して、実施の形態1に従う駆動回路10は、差動増幅段20と、増幅段30と、出力段40とを備える。

【0041】

差動増幅段20は、p型トランジスタ21, 22と、n型トランジスタ23, 24と定電流源25とを含む。差動増幅段20の構成は、負荷トランジスタであるp型トランジスタ21および22のゲートがノードN1と接続される点を除いては、図1に示したのと同様であるので詳細な説明は繰り返さない。すなわち、差動増幅段20では、ノードN2には正側（高電圧VH側）の出力電圧が生成され、ノードN1には負側（低電圧VL側）の出力電圧が生成される。

20

【0042】

増幅段30は、高電圧ノードNH2およびノードN4の間に接続されたn型トランジスタ35と、ノードNおよび低電圧ノードNL2の間に接続された定電流源34とを含む。n型トランジスタ35のゲートは、ノードN2と接続されて差動増幅段20からの出力電圧Vd（以下、差動増幅電圧Vdと称する）を受ける。

【0043】

出力段40は、図1と同様に、n型トランジスタで構成された出力トランジスタ41およびp型トランジスタで構成された出力トランジスタ42を含む。特に、駆動回路10では、出力トランジスタ41のゲートは、ノードN2と接続されて差動増幅段20からの差動増幅電圧Vdを直接受ける。一方、出力トランジスタ42のゲートは、ノードN4と接続されて増幅段30からの中間電圧Vmを受ける。

30

【0044】

すなわち、図5に示した駆動回路10において、出力トランジスタ41および42は、この発明における「第1の電界効果トランジスタ」および「第2の電界効果トランジスタ」にそれぞれ相当する。さらに、ノードN4はこの発明における「中間ノード」に相当し、差動増幅電圧Vdおよび中間電圧Vmは、この発明における「第1の電圧」および「第2の電圧」にそれぞれ相当する。

40

【0045】

なお、図5に示す構成では、差動増幅段20、増幅段30および出力段40のそれぞれに対応して、高電圧VH1~VH3および低電圧VL1~VL3を独立に設けているが、電源供給の簡略化のために、図1に示した駆動回路と同様に、高電圧VH1~VH3および低電圧VL1~VL3のそれぞれを高電圧VHおよび低電圧VLに共通化してもよい。一方、図5に示すように高電圧VH1~VH3および低電圧VL1~VL3を独立に設定した場合には、 $(VH1 - VL1) = (VH2 - VL2)$ かつ、 $(VH2 - VL2) > (VH3 - VL3)$ と設定することによって、あるいは、 $(VH1 - VL1) > (VH2 - VL2)$ かつ $(VH2 - VL2) = (VH3 - VL3)$ と設定することによって低消費電力化を図ることができる。

50

【 0 0 4 6 】

また、差動増幅段 20 においては、カレントミラー負荷として設けられる p 型トランジスタ 21, 22 の各々を抵抗素子で構成することもできる。ただしこのような場合には、差動増幅段 20 の増幅度が低下する。同様に、増幅段 30 において、定電流源 34 を同程度の電流を流すように設計された抵抗値を有する抵抗素子で置換することも可能である。

【 0 0 4 7 】

次に、駆動回路 10 の動作について説明する。

【 0 0 4 8 】

差動増幅段 20 は、入力ノード N_{i1} および N_{i2} の電圧差を増幅して、入力電圧信号 V_i および出力電圧 V_o の電圧差に応じた差動出力電圧 V_d を出力する。

10

【 0 0 4 9 】

増幅段 30 は、n 型トランジスタ 35 のソースフォロワ動作によって、差動増幅段 20 からの差動出力電圧 V_d に応じた中間電圧 V_m をノード N_4 に出力する。ソースフォロワ回路である増幅段 30 では、n 型トランジスタ 35 が飽和領域で動作するので、ソースフォロワ回路の出力電圧に相当する中間電圧 V_m は下記 (1) 式で示される。

【 0 0 5 0 】

$$V_m = V_d - V_{tn} - (2 \cdot I / \dots)^{1/2} \dots (1)$$

なお、(1) 式中において、 V_{tn} は n 型トランジスタ 35 のしきい値電圧であり、 I は定電流源 34 による一定電流である。

20

【 0 0 5 1 】

したがって、差動出力電圧 V_d の変化量 ΔV_d に対する中間電圧 V_m の変化量 ΔV_m の比 ($\Delta V_m / \Delta V_d$) で表現される増幅段 30 の増幅率は、実質的に 1 となる。

【 0 0 5 2 】

出力段 40 は、差動増幅段 20 からの差動増幅電圧 V_d および増幅段 30 からの中間電圧 V_m に応じてプッシュプル動作を行なうことにより、出力ノード N_o に出力電圧 V_o を生成する。

【 0 0 5 3 】

出力電圧 V_o が入力電圧信号 V_i の電圧よりも低い場合には、差動増幅電圧 V_d が上昇して n 型トランジスタ 35 のゲート・ソース間電圧を増大させるので、n 型トランジスタ 35 はより導通する方向 (電流増方向) に動作する。これにより中間電圧 V_m が上昇すると、出力トランジスタ 41 のソースフォロワ動作によって、出力電圧 V_o は差動増幅電圧 V_d の上昇分だけ上昇し、最終的に入力電圧信号 V_i と出力電圧 V_o とが等しいレベルとなるまで、出力電圧 V_o が上昇する。

30

【 0 0 5 4 】

このとき、以下の条件を満たすように設計することにより、p 型トランジスタで構成される出力トランジスタ 42 を非導通として、出力段 40 における貫通電流の発生を防止できる。

【 0 0 5 5 】

出力電圧 V_o は、出力トランジスタ 41 のしきい値電圧 V_{tn} を用いて下記 (2) 式で示される。すなわち、出力トランジスタ 41 および n 型トランジスタ 35 のしきい値電圧は同等であるとする。

40

【 0 0 5 6 】

$$V_o = V_d - V_{tn} \dots (2)$$

一方、出力トランジスタ 42 を非導通として出力段 40 に貫通電流が流れないためのゲート電圧を V_p とすると、出力トランジスタ 42 のしきい値電圧を V_{tp} として、下記 (3) 式が成立することが必要である。

【 0 0 5 7 】

$$V_p > V_o - |V_{tp}| \dots (3)$$

出力トランジスタ 42 のゲート電圧は増幅段 30 からの中間電圧 V_m であるので、(1)

50

) 式を (3) 式に代入して下記 (4) 式が得られる。

【 0 0 5 8 】

$$V_d - V_{tn} - (2 \cdot I / \dots)^{1/2} > V_o - |V_{tp}| \dots (4)$$

(2) 式を上記 (4) 式に代入することにより (5) 式が得られる。

【 0 0 5 9 】

$$(2 \cdot I / \dots)^{1/2} < |V_{tp}| \dots (5)$$

通常、ソースフォロワ回路では、定電流源による一定電流 I は電流増幅係数 β に対して小さく設定されるので、一般的な設計により (5) 式の左辺 $(2 \cdot I / \dots)^{1/2}$ は右辺 $|V_{tp}|$ よりも十分小さく設定される。すなわち、上記 (5) 式が満足されて、出力トランジスタ 4 2 は非導通となり、出力段 4 0 に貫通電流は流れない。

10

【 0 0 6 0 】

一方、出力電圧 V_o が入力電圧信号 V_i の電圧よりも高い場合には、差動増幅電圧 V_d が低下して n 型トランジスタ 3 5 のゲート・ソース間電圧を低下させるので、 n 型トランジスタ 3 5 はより非導通の方向 (電流減方向) に動作する。これにより中間電圧 V_m が低下すると、出力トランジスタ 4 1 のソースフォロワ動作によって、出力電圧 V_o は差動増幅電圧 V_d の低下分だけ低下し、最終的に入力電圧信号 V_i と出力電圧 V_o とが等しいレベルとなるまで、出力電圧 V_o が低下する。

【 0 0 6 1 】

このとき、以下の条件を満たすように設計することにより、 n 型トランジスタで構成される出力トランジスタ 4 1 を非導通として、出力段 4 0 における貫通電流の発生を防止できる。

20

【 0 0 6 2 】

出力電圧 V_o は、 p 型トランジスタである出力トランジスタ 4 2 のしきい値電圧 V_{tp} を用いて下記 (6) 式で示される。

【 0 0 6 3 】

$$V_o = V_m + |V_{tp}| \dots (6)$$

他方、出力トランジスタ 4 1 が非導通となる条件を、そのゲート電圧、すなわち差動増幅段 2 0 からの差動増幅電圧 V_d を用いて示すと、下記 (7) 式が導出される。

【 0 0 6 4 】

$$V_d < V_o + V_{tn} \dots (7)$$

ソースフォロワ回路である増幅段 3 0 の出力する中間電圧 V_m に関する (1) 式を変形すると下記 (8) 式が得られる。

30

【 0 0 6 5 】

$$V_d = V_m + V_{tn} + (2 \cdot I / \dots)^{1/2} \dots (8)$$

(8) 式を (7) 式に代入することにより、下記 (9) 式が得られる。

【 0 0 6 6 】

$$V_m + (2 \cdot I / \dots)^{1/2} < V_o \dots (9)$$

(6) 式を上記 (9) 式に代入することにより下記 (1 0) 式が得られる。

【 0 0 6 7 】

$$(2 \cdot I / \dots)^{1/2} < |V_{tp}| \dots (10)$$

すなわち上記 (5) 式と同様の条件が導かれ、増幅段 3 0 において定電流源による一定電流 I は電流増幅係数 β に対して小さく設定する一般的な設計により、上記 (1 0) 式を満足して出力段 4 0 での貫通電流を防止できる。

40

【 0 0 6 8 】

このように出力段 4 0 では、出力電圧 V_o が入力電圧信号 V_i よりも低い場合は出力トランジスタ 4 1 のみが導通して出力ノード N_o を充電する一方で、出力電圧 V_o が入力電圧信号 V_i よりも高い場合は出力トランジスタ 4 2 のみが導通して出力ノード N_o を放電できる。これにより、貫通電流の流れないプッシュプル動作が実現されるので、低消費電力化を図ることができる。

【 0 0 6 9 】

50

次に、実施の形態 1 に従う駆動回路 10 の発振特性を説明する。ここでも説明を簡略化するために、駆動回路 10 から出力段 40 を省略した、差動増幅段 20 および増幅段 30 によって構成される負帰還回路 200 の発振特性を説明する。負帰還回路 200 においても、解析を簡略化するために、出力電圧 V_o と同様に变化するノード N4 の電圧（中間電圧 V_m ）の出力電圧 V_o として扱っている。

【0070】

図 6 を参照して、負帰還回路 200 は、図 2 に示した負帰還回路 200 と比較して、増幅段が p 型トランジスタではなく、ソースフォロワ動作を行なう n 型トランジスタで構成される点異なる。

【0071】

図 7 および図 8 は、負帰還回路 200 の発振特性を表わすためのボード線図である。

【0072】

図 7 を参照して、ソースフォロワ動作をする増幅段 30 の利得 G_{02} は、そのカットオフ周波数 p_2 より低い領域（ $< p_2$ ）では 0 [dB]（増幅率 1）であり、カットオフ周波数 p_2 以上の領域では -20 dB/dec で徐々に低下していく。差動増幅段 20 の利得 G_{01} は、角周波数 ω に対して図 3 に示したのと同様に推移する。

【0073】

したがって、総合利得 $G_{01} + G_{02}$ は、 $< p_2$ の領域では差動増幅段 20 による利得 G_{01} と等しく、 $p_2 < \omega < p_1$ の領域では -20 dB/dec の割合で低下し、かつ、 $> p_1$ の領域では -40 dB/dec の割合で低下して、ゲイン交差周波数 ω_c において $G_{01} + G_{02} = 0$ [dB] となる。

【0074】

図 8 を参照して、負帰還回路 200 の位相 ϕ は、図 4 と同様に、差動増幅段 20 の位相 ϕ_1 および増幅段 30 の位相 ϕ_2 の和で示される。発振を起りにくくするように位相余裕 m を大きくするには、差動増幅段 20 のカットオフ周波数 p_1 と、増幅段 30 のカットオフ周波数 p_2 との差を広げればよい。したがって、負帰還回路 200 では、増幅段 30 のカットオフ周波数 p_2 を低くして高周波領域における利得を下げるか、差動増幅段 20 のカットオフ周波数 p_1 を高くして応答速度を高速化すればよい。

【0075】

通常、カットオフ周波数を低くする方がカット周波数を高めるよりも簡単に実現できるので、負帰還回路 200 すなわち駆動回路 10 では、増幅段 30 のカットオフ周波数 p_2 を低くする方法をとっている。

【0076】

ソースフォロワ動作を行なう増幅段 30 では、入力電圧（すなわち差動増幅電圧 V_d ）の変化に対し、出力電圧（中間電圧 V_m ）がほぼ 1 : 1 で変化するので、電圧増幅作用は生じず電流増幅のみが行なわれる。すなわちその電圧増幅率はほぼ 1（利得 $G_{02} = 0$ [dB]）であり、図 2 に示した増幅段 103 と比較して利得が大幅に小さくなる。

【0077】

このため、図 7 に示すように、総合利得 $G_{01} + G_{02}$ のゲイン交差周波数 ω_c が図 4 と比較して低くなる。一方、図 8 に示すように、負帰還回路 200 の全体位相 $\phi_1 + \phi_2$ の特性は、比較例の負帰還回路 200 と同様であるので、位相余裕 m を大きくすることができる。したがって、実施の形態 1 に従う負帰還回路 200 すなわち駆動回路 10 を、比較例の負帰還回路 200 すなわち駆動回路 100 よりも発振が送りにくい回路とすることができる。

【0078】

以上の説明を考慮して再び図 5 を参照すると、実施の形態 1 に従う駆動回路 10 では、出力段 40 の出力トランジスタ 41 が差動増幅段 20 の出力電圧（差動増幅電圧 V_d ）によって直接駆動されているため、比較例の駆動回路 100（図 1）と比較して、段数が 1 段少なく位相遅れが小さい。また、出力トランジスタ 42 は、ソースフォロワ回路で構成された増幅段 30 の出力電圧（中間電圧 V_m ）で駆動されている。したがって、実施の形

10

20

30

40

50

態 1 に従う駆動回路 1 0 は、比較例による駆動回路 1 0 0 よりも発振が起りにくいという長所を有している。

【 0 0 7 9 】

増幅段数の減少による発振防止の効果は、図 9 に示される、差動増幅段 2 0 の出力電圧を直接用いて出力トランジスタ 4 1 , 4 2 の各ゲートを共通に駆動する構成の駆動回路 1 0 1 によっても享受できる。しかしながら、実施の形態 1 に従う駆動回路 1 0 では、以下に説明するように、比較例の駆動回路 1 0 0 , 1 0 1 と比較して、出力段を構成する絶縁ゲート型電界効果トランジスタ (T F T) の長寿命化を図ることが可能となる。

【 0 0 8 0 】

上記非特許文献 1 に示されるように、絶縁ゲート型電界効果トランジスタ、特に T F T 10 では、オフ時のゲート・ソース間電圧が大きくなるほど、トランジスタの寿命が短くなることが知られている。

【 0 0 8 1 】

まず、図 1 に示した駆動回路 1 0 0 における、出力トランジスタ 4 2 のゲート逆方向電圧 (オフ時のゲート・ソース間電圧) を求める。

【 0 0 8 2 】

出力電圧 V_o としたとき中間電圧 $V_m = V_o + V_{tn}$ となるので、出力トランジスタ 4 2 のゲート逆方向電圧 V_R は、下記 (1 1) 式で示される。

【 0 0 8 3 】

$$V_R = V_o + V_{tn} - V_o = V_{tn} \quad \dots (1 1) \quad 20$$

同様に、図 9 に示した駆動回路 1 0 1 においても、出力トランジスタ 4 2 のゲート逆方向電圧 V_R は、下記 (1 2) 式で示される。

【 0 0 8 4 】

$$V_R = V_d - V_o = V_o + V_{tn} - V_o = V_{tn} \dots (1 2)$$

これに対して、実施の形態 1 に従う駆動回路 1 0 では、出力電圧 V_o に対する差動増幅電圧 V_d は、上記 (2) 式より $V_o + V_{tn}$ で示される。さらに、上記 (1) 式より、ノード N 7 の中間電圧 V_m は、 $V_m = V_2 - V_{tn} - (2 \cdot I / \dots)^{1/2}$ で示されるので、ゲート逆方向電圧 V_R は下記 (1 3) 式で示される。

【 0 0 8 5 】

$$\begin{aligned} V_R &= V_m - V_o = V_2 - V_{tn} - (2 \cdot I / \dots)^{1/2} - V_o \\ &= V_o + V_{tn} - V_{tn} - (2 \cdot I / \dots)^{1/2} - V_o \\ &= - (2 \cdot I / \dots)^{1/2} \dots (1 3) \end{aligned} \quad 30$$

(1 3) 式より、出力トランジスタ 4 2 のゲート逆方向電圧 V_R は、0 以下の $- (2 \cdot I / \dots)^{1/2}$ となる。つまり、比較例の駆動回路 1 0 0 , 1 0 1 と比較して、ゲート逆方向電圧 V_R は、 $V_{tn} + (2 \cdot I / \dots)^{1/2}$ だけ小さくなる。この結果、出力トランジスタ 4 2 における逆電圧ストレスが緩和されるので、電界効果型トランジスタ (代表的には T F T 素子) で構成される出力トランジスタ 4 2 の長寿命化を図ることができる。

【 0 0 8 6 】

[実施の形態 1 の変形例]

図 1 0 は、実施の形態 1 の変形例に従う駆動回路 1 2 の構成を示す回路図である。 40

【 0 0 8 7 】

図 1 0 を参照して、実施の形態 1 の変形に従う駆動回路 1 2 は、差動増幅段 2 0 と、ソースフォロワ回路で構成される増幅段 3 0 と、出力段 4 0 とを含む。

【 0 0 8 8 】

差動増幅段 2 0 は、n 型トランジスタ 2 3 , 2 4 を負荷とするカレントミラー回路である。したがって、定電流源 2 5 は、高電圧ノード N H 1 およびノード N 5 の間に設けられ、ノード N 3 は定電流源を介することなく低電圧ノード N L 1 と接続される。

【 0 0 8 9 】

n 型トランジスタ 2 3 はノード N 1 およびノード N 3 の間に接続され、n 型トランジスタ 2 4 はノード N 2 およびノード N 3 の間に接続される。p 型トランジスタ 2 1 および 2 50

2は差動トランジスタとして動作し、p型トランジスタ21は、ノードN1およびノードN5の間に接続され、p型トランジスタ22はノードN2およびノードN5の間に接続される。

【0090】

入力ノードNi1（非反転入力端子）に相当するp型トランジスタ21のゲートには、入力電圧信号Viが与えられ、入力ノードNi2（反転入力端子）に相当するp型トランジスタ22のゲートは出力ノードNoと接続される。n型トランジスタ23, 24の各ゲートは、ノードN1と接続される。

【0091】

増幅段30は、定電流源34およびp型トランジスタ36で構成される。定電流源34は、高電圧ノードNH2およびノードN4の間に接続される。p型トランジスタ36は、ノードN4および低電圧ノードNL2の間に接続されてソースフォロワ動作を行なう。p型トランジスタ36のゲートは、差動増幅段20のノードN2と接続されて、差動増幅電圧Vdを受ける。

10

【0092】

出力段40においては、n型トランジスタで構成される出力トランジスタ41のゲートがノードN4と接続されて増幅段30からの中間電圧Vmを受け、一方で、p型トランジスタで構成される出力トランジスタ42のゲートは、ノードN2と接続されて差動増幅段20からの差動増幅電圧Vdを直接受ける。

【0093】

すなわち、図9に示した駆動回路12では、駆動回路10とは異なり、出力トランジスタ41がこの発明における「第2の電界効果トランジスタ」に相当し、出力トランジスタ42がこの発明における「第1の電界効果トランジスタ」に相当する。

20

【0094】

差動増幅段20は、差動増幅段20と同様に、入力ノードNi1およびNi2の電圧差を増幅して、入力電圧信号Viおよび出力電圧Voの電圧差に応じた差動出力電圧Vdを出力する。

【0095】

増幅段30は、p型トランジスタ36のソースフォロワ動作によって、差動増幅段20からの差動出力電圧Vdに応じた中間電圧VmをノードN4に出力する。p型トランジスタ36が飽和領域で動作するので、ソースフォロワ回路の出力電圧に相当する中間電圧Vmは下記(14)式で示される。

30

【0096】

$$V_m = V_d + |V_{tp}| + (2 \cdot I / \dots)^{1/2} \dots (14)$$

なお、(14)式中において、 V_{tp} ($V_{tp} < 0$)はp型トランジスタ36のしきい値電圧である。すなわち、増幅段30においても、電圧増幅率は、実質的に1である。

【0097】

このように、実施の形態1の変形例に従う駆動回路12は、実施の形態1に従う駆動回路10と比較して、差動増幅段20および増幅段30においてトランジスタの導電型が適宜入れ換えられた構成となっているが、その機能は差動増幅段20および増幅段30と同様である。したがって、実施の形態1の変形例に従う駆動回路12の回路動作、貫通電流の抑制機構および発振の特性は、実施の形態1に従う駆動回路10と同様であるので詳細な説明は繰返さない。

40

【0098】

すなわち、実施の形態1の変形例に従う駆動回路12においても、増幅率が実質的に1の増幅段30によって出力トランジスタ41を駆動し、かつ差動増幅段20からの出力電圧によって出力トランジスタ42を直接駆動するので発振の危険性を抑制することができる。さらに、増幅段30による中間電圧Vmによって出力トランジスタ41を駆動することにより、出力トランジスタ41のオフ時における逆電圧ストレスが緩和される。これにより、電界効果型トランジスタ（代表的にはTFET素子）で構成される出力トラ

50

ンジスタ 4 1 の長寿命化を図ることが可能となる。

【 0 0 9 9 】

[実施の形態 2]

図 1 1 は、この発明の実施の形態 2 に従う駆動回路 1 3 の構成を示す回路図である。

【 0 1 0 0 】

図 1 1 を参照して、実施の形態 2 に従う駆動回路 1 3 は、差動増幅段 2 0 と、増幅段 3 0 a , 3 0 b と、出力段 4 0 とを備える。

【 0 1 0 1 】

増幅段 3 0 a は、図 5 に示した増幅段 3 0 と同様に構成され、ノード N 4 を介して直列接続された、定電流源 3 4 およびソースフォロワ動作を行なう n 型トランジスタ 3 5 を含む。増幅段 3 0 b は、図 1 0 に示した増幅段 3 0 と同様に構成され、ノード N 4 を介して直列接続された、定電流源 3 4 およびソースフォロワ動作を行なう p 型トランジスタ 3 5 を含む。

10

【 0 1 0 2 】

出力段 4 0 の出力トランジスタ 4 1 のゲートは、増幅段 3 0 b のノード N 4 と接続されて中間電圧 V m を受ける。出力トランジスタ 4 2 のゲートは、増幅段 3 0 a のノード N 4 と接続されて中間電圧 V m を受ける。

【 0 1 0 3 】

すなわち、図 1 1 に示した駆動回路 1 3 において、出力トランジスタ 4 1 および 4 2 は、この発明における「第 1 の電界効果トランジスタ」および「第 2 の電界効果トランジスタ」にそれぞれ相当し、増幅段 3 0 a および 3 0 b は、この発明における「第 1 の増幅段」および「第 2 の増幅段」にそれぞれ相当する。同様に、ノード N 4 および N 4 はこの発明における「第 1 の中間ノード」および「第 2 の中間ノード」にそれぞれ相当し、差動増幅電圧 V d 、中間電圧 V m および中間電圧 V m はこの発明における「第 1 の電圧」、「第 2 の電圧」および「第 3 の電圧」にそれぞれ相当する。

20

【 0 1 0 4 】

さらに、n 型トランジスタ 3 5 および p 型トランジスタ 3 5 は、この発明における「第 3 の電界効果トランジスタ」および「第 4 の電界効果トランジスタ」にそれぞれ相当し、定電流源 3 4 および 3 4 は、この発明における「第 1 の定電流源」および「第 2 の定電流源」にそれぞれ相当する。

30

【 0 1 0 5 】

増幅段 3 0 a が出力する中間電圧 V m は、n 型トランジスタ 3 4 のソースフォロワ動作によって (1) 式と同様に下記 (1 5) 式で示される。

【 0 1 0 6 】

$$V_m = V_d - V_{tn} - (2 \cdot I_a / a)^{1/2} \dots (15)$$

なお、(1 5) 式において、I a は定電流源 3 4 の電流値であり、a は n 型トランジスタ 3 5 の電流増幅係数である。

【 0 1 0 7 】

また、増幅段 3 0 a が出力する中間電圧 V m は、p 型トランジスタ 3 4 のソースフォロワ動作によって、(1 4) 式と同様に下記 (1 6) 式で示される。

40

【 0 1 0 8 】

$$V_m = V_d + |V_{tp}| + (2 \cdot I_b / b)^{1/2} \dots (16)$$

なお、(1 6) 式において、I b は定電流源 3 4 の電流値であり、a は p 型トランジスタ 3 5 の電流増幅係数である。

【 0 1 0 9 】

駆動回路 1 3 の基本的な回路動作および発振特性については、図 5 に示した実施の形態 1 に従う駆動回路 1 0 と同様である。特に、駆動回路 1 3 では、出力トランジスタ 4 1 , 4 2 のそれぞれのゲート・ソース間電圧がしきい値電圧よりも $(2 \cdot I / a)^{1/2}$ だけ小さくなるので、出力トランジスタ 4 1 および 4 2 の両方について、ゲート逆方向電圧を減少できる。この結果、出力トランジスタ 4 1 および 4 2 の両方について、ターンオフ時の

50

逆電圧ストレスが緩和されるので、TFT素子の長寿命化を図ることができる。

【0110】

その一方で、駆動回路13では出力段40での貫通電流が発生しやすくなる。

【0111】

上記(16)式で示される中間電圧 V_m より、出力トランジスタ41を流れる貫通電流 I_s は、出力トランジスタ41の電流増幅係数を c とすると、下記(17)式で示される。

【0112】

$$I_s = c \cdot \{ V_d - V_{tp} + (2 \cdot I_b / \beta)^{1/2} - V_{tn} - V_o \}^2 / 2 \dots (17)$$

10

ここで、 c は出力トランジスタ41の電流増幅係数である。

【0113】

同様に、上記(15)式で示される中間電圧 V_m より、出力トランジスタ42を流れる貫通電流 I_s は、出力トランジスタ42の電流増幅係数を d とすると、下記(18)式で示される。

【0114】

$$I_s = d \cdot \{ V_d - V_{tn} - (2 \cdot I_a / \alpha)^{1/2} - V_{tp} - V_o \}^2 / 2 \dots (18)$$

出力段40におけるプッシュ側およびプル側の駆動能力を同じ、すなわち $c = d$ と仮定すると、電流の方向を考慮した上で(17)式=(18)式とすることにより、下記(19)式が導かれる。

20

【0115】

$$V_d - V_{tp} + (2 \cdot I_a / \alpha)^{1/2} - V_{tn} - V_o = \{ V_d - V_{tn} + (2 \cdot I_b / \beta)^{1/2} - V_{tp} - V_o \}$$

$$V_d - V_{tp} - V_{tn} - V_o = \{ (2 \cdot I_a / \alpha)^{1/2} - (2 \cdot I_b / \beta)^{1/2} \} / 2 \dots (19)$$

(19)式を(17)式に代入することにより、下記(20)式が導出される。

【0116】

$$I_s = c \cdot [\{ (2 \cdot I_b / \beta)^{1/2} + (2 \cdot I_a / \alpha)^{1/2} \} / 2] / 2 \dots (20)$$

30

$I_a = I_b$ および $\alpha = \beta$ と設計すると、下記(21)式が得られる。

【0117】

$$I_s = I_a \cdot c / \alpha = I_b \cdot d / \beta \dots (21)$$

すなわち、貫通電流 I_s は、増幅段30a, 30bでの定電流量 I_a , I_b と、出力トランジスタ41, 42およびソースフォロワトランジスタ35, 35の電流増幅係数の比との積で示される。

【0118】

したがって、これらの定電流量および電流増幅係数の比を適切に設計することにより、出力段40での貫通電流 I_s の増大を防ぐことができる。

【0119】

40

このように、実施の形態2に従う駆動回路13では、実施の形態1に従う駆動回路と同様に、発振の危険性を抑制する一方で、出力段を構成するプッシュ側およびプル側の両方の出力トランジスタについて、ターンオフ時の逆電圧ストレス緩和による長寿命化を図ることができる。さらに、増幅段30a, 30bを適切に設計することにより貫通電流の増大を抑制して消費電流の削減を図ることができる。

【0120】

[実施の形態2の変形例]

図12は、この発明の実施の形態2の変形例に従う駆動回路14の構成を示す回路図である。

【0121】

50

図 1 2 を参照して、実施の形態 2 の変形例に従う駆動回路 1 4 は、図 1 1 に示す実施の形態 2 に従う駆動回路と比較して、差動増幅段 2 0 に代えて差動増幅段 2 0 を備える点で異なる。差動増幅段 2 0 および差動増幅段 2 0 の相違点については、図 1 0 で説明したのでその詳細な説明は繰返さない。

【 0 1 2 2 】

駆動回路 1 4 のその他の部分は、駆動回路 1 3 と同様であるので詳細な説明は繰返さない。このように、差動増幅段におけるトランジスタの導電型を適宜入れ換えても、同様の効果を楽しむ駆動回路を構成することが可能である。

【 0 1 2 3 】

なお、実施の形態 2 およびその変形例では、以下に説明するように、出力トランジスタのしきい値電圧を適切に設計することにより、出力段での貫通電流発生を防止することも可能である。

【 0 1 2 4 】

駆動回路 1 3 および 1 4 では、下記 (2 2) 式に示すように、出力トランジスタ 4 1 および 4 2 の間でのゲート電圧差、すなわち中間電圧 V_m および V_m の電圧差が、出力トランジスタ 4 1 および 4 2 のそれぞれのしきい値電圧の絶対値の和 $V_{tn} + |V_{tp}|$ よりも大きくなる。これにより、出力段 4 0 の貫通電流が発生する。

【 0 1 2 5 】

$$V_m - V_m = V_{tn} + |V_{tp}| + (2 \cdot I_a / a)^{1/2} + (2 \cdot I_b / b)^{1/2} \dots (22)$$

したがって、出力トランジスタ 4 1 および 4 2 のしきい値電圧の絶対値の和が、増幅段 3 0 a , 3 0 b によって固定的に与えられる電圧差 $V_m - V_m$ よりも大きくなるように設計することにより、出力段 4 0 での貫通電流発生を防止できる。

【 0 1 2 6 】

具体的には、これまでの説明と同様に、n 型トランジスタ 3 5 および出力トランジスタ (n 型) 4 1 のしきい値電圧ならびに、p 型トランジスタ 3 6 および出力トランジスタ (p 型) 4 2 のしきい値電圧をそれぞれ同等に設計するのではなく、出力トランジスタ 4 1 および 4 2 のしきい値電圧の絶対値の和が、n 型トランジスタ 3 5 および p 型トランジスタ 3 6 のしきい値電圧の絶対値の和 $V_{tn} + |V_{tp}|$ よりも、 $(2 \cdot I_a / a)^{1/2} + (2 \cdot I_b / b)^{1/2}$ 以上大きくなるように設計すればよい。

【 0 1 2 7 】

たとえば、このようなしきい値電圧設計は、一般的に知られているように、ゲート直下領域へのイオン注入量を、n 型トランジスタ 3 5 および p 型トランジスタ 3 6 よりも出力トランジスタ 4 1 および 4 2 で多くする、すなわちゲート直下領域での不純物濃度を調節することによって実現可能である。

【 0 1 2 8 】

[実施の形態 3]

上述のように、実施の形態 2 およびその変形例に従う駆動回路では、出力段 4 0 での貫通電流発生を防止するには、出力トランジスタ 4 1 , 4 2 のしきい値電圧を大きくする必要はある。しかしながら、この場合には、しきい値電圧降下の影響によって出力電圧 V_o の設定可能範囲が相対的に低下する。したがって、同様の出力電圧範囲を確保するためには、しきい値電圧の増加分だけ、高電圧 V_{H3} を高く設定し、かつ、低電圧 V_{L3} を低く設定する必要が生じるので、消費電力の増加が懸念される。

【 0 1 2 9 】

したがって、実施の形態 3 では、出力トランジスタ 4 1 , 4 2 のしきい値電圧を増大させることなく貫通電流の発生を防止するとともに、実施の形態 2 と同様の出力トランジスタ 4 1 , 4 2 の長寿命化を実現可能な駆動回路の構成について説明する。

【 0 1 3 0 】

図 1 3 は、この発明の実施の形態 3 に従う駆動回路 1 5 の構成を示す回路図である。

【 0 1 3 1 】

10

20

30

40

50

図 13 を参照して、実施の形態 3 に従う駆動回路 15 は、実施の形態 2 に従う駆動回路 13 の構成に加えて、電圧クランプ回路 50 をさらに備える。電圧クランプ回路 50 は、ノード N4 および N4 の間、すなわち出力トランジスタ 41 および 42 のゲート間に設けられる。

【0132】

電圧クランプ回路 50 は、ノード N4 およびノード N4 の間に接続された n 型トランジスタ 51 および p 型トランジスタ 52 を有する。n 型トランジスタ 51 のゲートはノード N4 と接続され、p 型トランジスタ 52 のノードはノード N4 と接続されている。すなわち、n 型トランジスタ 51 および p 型トランジスタ 52 の各々は、ダイオード接続されている。

10

【0133】

実施の形態 3 に従う駆動回路 13 では、出力トランジスタ 41, 42 と同等のしきい値電圧を有する n 型トランジスタ 51 および p 型トランジスタ 52 をダイオードとして用いる電圧クランプによって、出力段 40 での貫通電流発生を防止する。以下その機構について説明する。

【0134】

出力段 40 において、出力トランジスタ 41 に貫通電流が流れる条件は、出力トランジスタ 41 (n 型) のしきい値電圧 V_{tn} を用いて、下記 (23) 式で示される。

【0135】

$$V_m - V_o > V_{tn} \dots (23)$$

20

同様に、出力トランジスタ 42 に貫通電流が流れる条件は、出力トランジスタ 42 (p 型) のしきい値電圧 V_{tp} ($V_{tp} < 0$) を用いて、下記 (24) 式で示される。

【0136】

$$V_m - V_o < V_{tp} \dots (24)$$

(23) 式および (24) 式の差をとることにより、出力電圧 V_o を消去すると、下記 (25) 式が得られる。

【0137】

$$V_m - V_m > V_{tn} - V_{tp} \\ V_m - V_m > V_{tn} + |V_{tp}| \dots (25)$$

つまり、出力トランジスタ 41 および 42 のしきい値電圧の絶対値の和よりも、出力トランジスタ 41 および 42 のゲート電圧の差 ($V_m - V_m$) が大きくなると貫通電流が流れ始める。したがって、逆に言えば下記 (26) 式を満足させることにより、出力段 40 における貫通電流の発生を防止できる。

30

【0138】

$$V_m - V_m < V_{tn} + |V_{tp}| \dots (26)$$

実施の形態 3 に従う駆動回路 15 では、各々がダイオード接続された n 型トランジスタ 51 および p 型トランジスタ 52 を、ノード N4 および N4 の間に直列接続することにより、ノード N4 およびノード N4 の電圧差、すなわち出力トランジスタ 41 および 42 の間のゲート電圧差を、ほぼ $V_{tn} + |V_{tp}|$ にクランプすることができる。

【0139】

これにより、出力トランジスタ 41, 42 のしきい値電圧を n 型トランジスタ 51 および p 型トランジスタ 52 のしきい値電圧と同等としても、上記 (26) 式の条件を成立させて、出力段 40 における貫通電流発生を防止できる。

40

【0140】

なお、電圧クランプ回路 50 における n 型トランジスタ 51 および p 型トランジスタ 52 の位置を上下に入れ換えても、同等の電圧クランプ効果が得られる。

【0141】

また、出力トランジスタ 41 および 42 のしきい値電圧の間に、 $V_{tn} > |V_{tp}|$ が成立している場合には、出力トランジスタ 41 と同等のしきい値電圧を有する 2 個の p 型トランジスタ 52 を各々ダイオード接続して、かつこれらの p 型トランジスタ 52 がノード

50

ドN4およびN4間に直列接続された電圧クランプ回路を用いることによって、出力トランジスタ41, 42のしきい値電圧を増大させることなく出力段40での貫通電流発生を確実に防止できる。

【0142】

同様に、出力トランジスタ41および42のしきい値電圧の間に、 $V_{tn} < |V_{tp}|$ が成立している場合には、出力トランジスタ42と同等のしきい値電圧を有する2個のn型トランジスタ51を各々ダイオード接続して、かつこれらのn型トランジスタ51がノードN4およびN4間に直列接続された電圧クランプ回路を用いることによって、出力段40における貫通電流発生を確実に防止できる。

【0143】

10

[実施の形態3の変形例]

図14は、実施の形態3の変形例に従う駆動回路15は、実施の形態3に従う駆動回路14と比較して、電圧クランプ回路50に代えて電圧クランプ回路50を備える点で異なる。電圧クランプ回路50は、電圧クランプ回路50と同様に、出力トランジスタ41および42のゲート間に設けられる。

【0144】

電圧クランプ回路50は、ノードN4およびノードN4の間に接続されたn型トランジスタ53を有する。n型トランジスタ53は、ダイオード接続されている。

【0145】

駆動回路15のその他の部分の構成は、駆動回路14と同様であるので詳細な説明は繰り返さない。

20

【0146】

電圧クランプ回路50においては、出力トランジスタ41および42のゲート電圧差、すなわち $V_m - V_m = V_{tn}$ となるので、電圧クランプ回路50と同様に上記(25)式が満足される。これにより、出力トランジスタ41, 42のしきい値電圧を増大させることなく、より簡易な構成の電圧クランプ回路を用いて、出力段40での貫通電流発生を防止できる。

【0147】

なお、電圧クランプ回路50は、出力トランジスタ42(p型)と同等のしきい値電圧を有し、かつ、ダイオード接続されたp型トランジスタによって、構成することも可能である。

30

【0148】

ただし、電圧クランプ回路50を用いた駆動回路16では、図15に示した駆動回路15と比較して、ノードN4の中間電圧 V_m が低くなり、かつノードN4の中間電圧 V_m が高くなる。このため、実施の形態3の変形例に従う駆動回路15では、電圧クランプ回路を小面積化できる一方で、入力電圧信号 V_i の変化に対する出力電圧 V_o の追随性、すなわち応答性が相対的に低下してしまう。

【0149】

[実施の形態4]

実施の形態4では、本発明に従う駆動回路を表示装置に適用した構成例について説明する。

40

【0150】

図15は、この発明の実施の形態4に従う表示装置の全体構成を示すブロック図である。

【0151】

図15を参照して、この発明の実施の形態4に従う表示装置110は、液晶アレイ部120と、ゲート駆動回路130と、データ駆動回路140とを備える。

【0152】

液晶アレイ部120は、行列状に配された複数の画素125を含む。画素の行(「画素行」とも以下称する)にそれぞれ対応して、ゲート線GLが配置され、画素の列(「画素

50

列」とも以下称する)にそれぞれ対応して、データ線DLがそれぞれ設けられる。図15には、第1行の第1列および第2列の画素ならびにこれに対応するゲート線GL1およびデータ線DL1, DL2が代表的に示されている。

【0153】

各画素125は、対応するデータ線DLと画素ノードNpとの間に設けられるスイッチ素子126と、画素ノードNpおよび共通電極ノードNcの間に並列に接続される保持容量127および液晶表示素子128とを有する。画素ノードNpおよび共通電極ノードNcの間の電圧差に応じて、液晶表示素子128中の液晶の配向性が変化し、これにตอบสนองして液晶表示素子128の表示輝度が変化する。これにより、データ線DLおよびスイッチ素子126を介して画素ノードNpへ伝達される表示電圧に応じて、各画素の輝度をコン

10

【0154】

すなわち、最大輝度に対応する電圧差と、最小輝度に対応する電圧差との間の中間的な電圧差を画素ノードNpと共通電極ノードNcとの間に印加することによって、中間的な輝度を得ることができる。すなわち、表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

【0155】

ゲート駆動回路130は、所定の走査周期に基づいて、ゲート線GLを順に活性化する。スイッチ素子126のゲートは対応するゲート線GLと接続される。したがって、対応するゲート線GLの活性化(Hレベル)期間中において、画素ノードNpは対応するデータ線DLと接続される。スイッチ素子126は、一般的には、液晶表示素子128と同一の絶縁体基板(ガラス基板・樹脂基板等)上に形成されるTFT素子で構成される。画素ノードNpへ伝達された表示電圧は、保持容量127によって保持される。

20

【0156】

データ駆動回路140は、Nビットのデジタル信号である表示信号SIGによって段階的に設定される表示電圧をデータ線DLへ出力する。図15では、N=6の場合、すなわち、表示信号SIGが表示信号ビットD0~D5からなる場合が例示される。6ビットの表示信号SIGに基づいて、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、R(Red)、G(Green)およびB(Blue)の各1つの画素から1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。

30

【0157】

データ駆動回路140は、シフトレジスタ150と、データラッチ回路152, 154と、階調電圧回路160と、デコード回路170と、データ線駆動部180とを含む。

【0158】

表示信号SIGは、画素125ごとの表示輝度に対応してシリアルに生成される。すなわち、各タイミングにおける表示信号ビットD0~D5は、液晶アレイ部120中の1つの画素125における表示輝度を示している。

【0159】

シフトレジスタ150は、表示信号SIGの設定が切換えられる所定周期に同期したタイミングで、データラッチ回路152に対して、表示信号ビットD0~D5の取込を指示

40

【0160】

1つの画素行分の表示信号SIGがデータラッチ回路152に取込まれたタイミングで、ラッチ信号LTの活性化にตอบสนองして、データラッチ回路152にラッチされた表示信号群は、データラッチ回路154に伝達される。階調電圧回路160は、64段階の階調電圧V1~V64を、階調電圧ノードNV1~NV64にそれぞれ生成する。

【0161】

デコード回路170は、データラッチ回路154にラッチされた表示信号をデコードして、当該デコードに基づいて階調電圧V1~V64を選択する。デコード回路170は、

50

選択された階調電圧（ $V_1 \sim V_{64}$ のうちの一つ）を表示電圧としてデコード出力ノード N_d に生成する。この構成例では、デコード回路 170 は、データラッチ回路 154 にラッチされた表示信号に基づいて、1 行分の表示電圧を並列に出力する。なお、図 15 においては、第 1 列目および第 2 列目のデータ線 DL_1 , DL_2 に対応するデコード出力ノード N_{d1} , N_{d2} が代表的に示されている。

【0162】

データ線駆動部 180 は、各データ線 DL に対応して設けられたデータ線駆動回路 250 を有する。

【0163】

各データ線駆動回路 250 は、デコード出力ノード N_{d1} , N_{d2} , ... へ出力された表示電圧にそれぞれ対応したアナログ電圧をデータ線 DL_1 , DL_2 , ... にそれぞれ駆動する。当該アナログ電圧の駆動時に、各データ線駆動回路 250 は、対応のデータ線 DL の寄生容量ならびに選択された画素 125 の画素ノード N_p の充電電流を供給する必要がある。

10

【0164】

したがって、各データ線駆動回路 250 として、この発明による駆動回路 10 , 12 ~ 16 を適用する。具体的には、各電流増幅回路の入力ノード N_{i1} はデコード出力ノード N_{d1} , N_{d2} , ... と接続され、出力ノード N_o はデータ線 DL_1 , DL_2 , ... と接続される。

【0165】

これにより、各データ線駆動回路 250 は、デコード回路 170 によって選択された表示電圧を、発振動作を防止して正確かつ安定的に対応のデータ線 DL へ駆動できる。特に、各データ線駆動回路 250 を構成する T F T 素子の長寿命化を図ることができる。

20

【0166】

なお、図 15 では、ゲート駆動回路 130 およびデータ駆動回路 140 が液晶アレイ部 120 と一体的に形成された表示装置 110 の構成を例示したが、ゲート駆動回路 130 およびデータ駆動回路 140 については、液晶アレイ部 120 の外部回路として設けることも可能である。

【0167】

また、各画素 125 内に電圧 - 電流変換回路を設け、かつ、電圧駆動型発光素子である液晶駆動素子に代えて、電流駆動型発光素子（たとえば EL 素子や有機発光ダイオード）によって各画素 125 を構成する表示装置についても、この発明による駆動回路をデータ線駆動回路として適用することが可能である。

30

【0168】

なお、実施の形態 1 から実施の形態 3 およびそれらの変形例で説明した駆動回路では、入力電圧信号 V_i として時間経過に伴って逐次変化するアナログ電圧を想定したが、入力電圧信号 V_i を一定の基準電圧とすることによって、これらの駆動回路の構成を、発振の起りにくい安定的に動作するプッシュプル型の電源回路（定電圧発生回路）として用いることも可能である。

【0169】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

40

【図面の簡単な説明】

【0170】

【図 1】この発明の第 1 の比較例として示される駆動回路の構成を示す回路図である。

【図 2】図 1 に示した駆動回路中の負帰還回路の構成を示す図である。

【図 3】図 2 に示した負帰還回路のボード線図（利得）である。

【図 4】図 2 に示した負帰還回路のボード線図（位相）である。

50

【図5】この発明の実施の形態1に従う駆動回路の構成を示す回路図である。

【図6】図5に示した駆動回路中の負帰還回路の構成を示す図である。

【図7】図6に示した負帰還回路のボード線図(利得)である。

【図8】図6に示した負帰還回路のボード線図(位相)である。

【図9】この発明の第2の比較例として示される駆動回路の構成を示す回路図である。

【図10】この発明の実施の形態1の変形例に従う駆動回路の構成を示す回路図である。

【図11】この発明の実施の形態2に従う駆動回路の構成を示す回路図である。

【図12】この発明の実施の形態2の変形例に従う駆動回路の構成を示す回路図である。

【図13】この発明の実施の形態3に従う駆動回路の構成を示す回路図である。

【図14】この発明の実施の形態3の変形例に従う駆動回路の構成を示す回路図である。

10

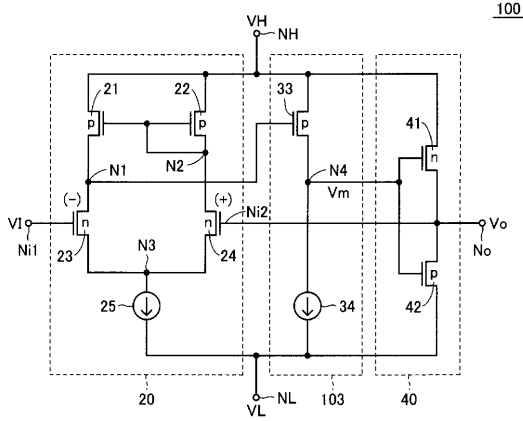
【図15】この発明の実施の形態4に従う表示装置の構成を示すブロック図である。

【符号の説明】

【0171】

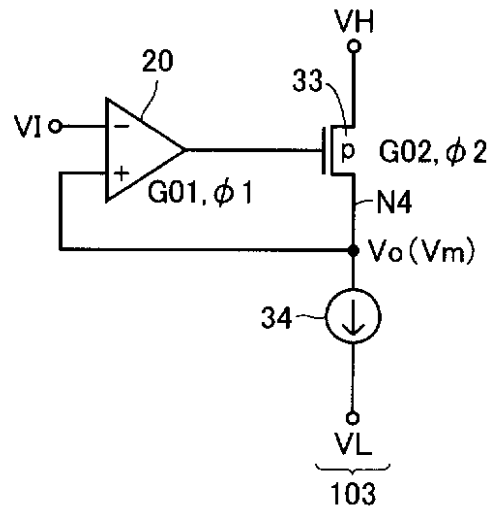
10, 12 ~ 16 駆動回路、20, 20 差動増幅段、30, 30a, 30b 増幅段、35, 35, 36 ソースフォロワトランジスタ(増幅段)、40 出力段、41, 42 出力トランジスタ、50, 50 電圧クランプ回路、51, 52, 53 ダイオード接続トランジスタ、110 表示装置、120 液晶アレイ部、125 画素、128 液晶表示素子、130 ゲート駆動回路、140 データ駆動回路、150 シフトレジスタ、152, 154 データラッチ回路、160 階調電圧回路、170 デコード回路、180 データ線駆動部、250 データ線駆動回路、DL, DL1, DL 20
2 データ線、GL, GL1 ゲート線、N1 ~ N4, N4, N5, N7 ノード、NH1 ~ NH3 高電圧ノード(電圧源)、Ni1, Ni2 入力ノード、NL1 ~ NL3 低電圧ノード(電圧源)、No 出力ノード、VH1 ~ VH3 高電圧、Vi 入力電圧信号、VL1 ~ VL3 低電圧、Vm, Vm 中間電圧(増幅段出力電圧)、Vo 出力電圧、Vtn, Vtp しきい値電圧、m 位相余裕、c ゲイン交差周波数、p1 カットオフ周波数、p2 カットオフ周波数。

【 図 1 】



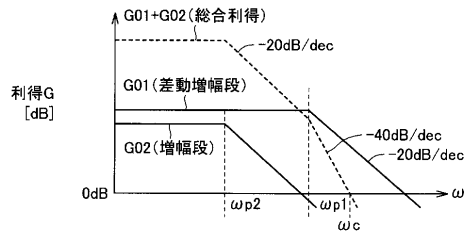
100

【 図 2 】

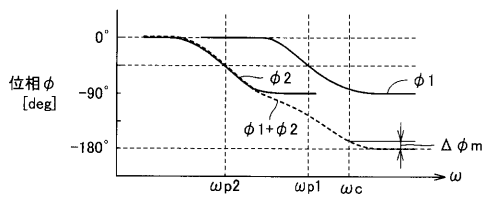


200#

【 図 3 】

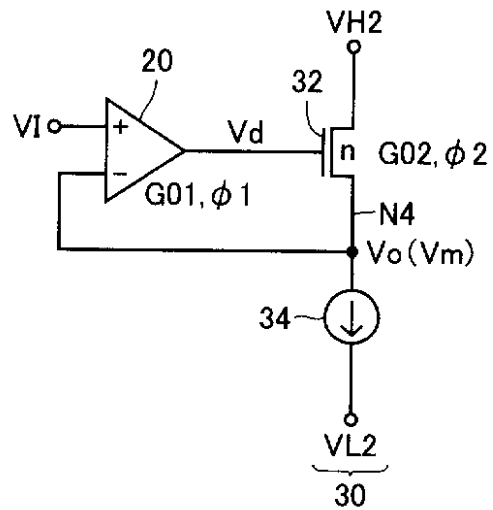


【 図 4 】

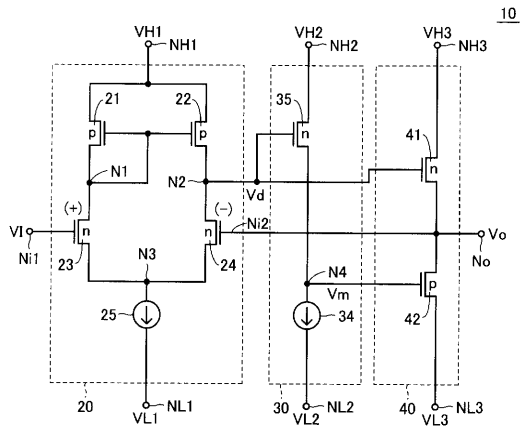


【 図 6 】

200

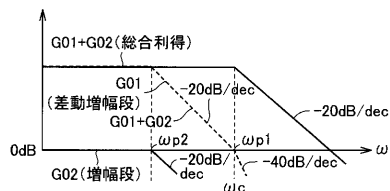


【 図 5 】

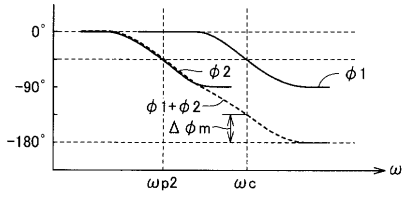


10

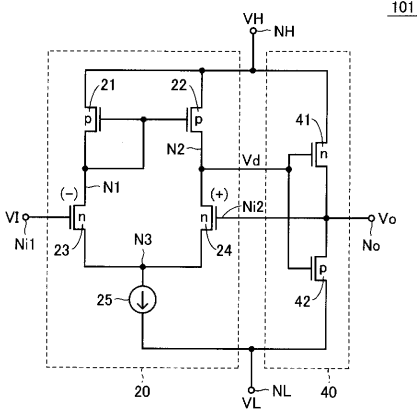
【 図 7 】



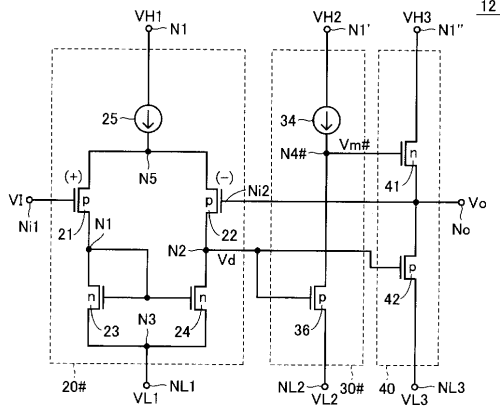
【 図 8 】



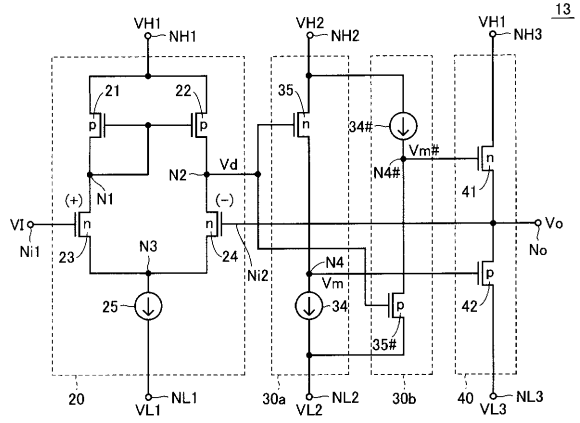
【 図 9 】



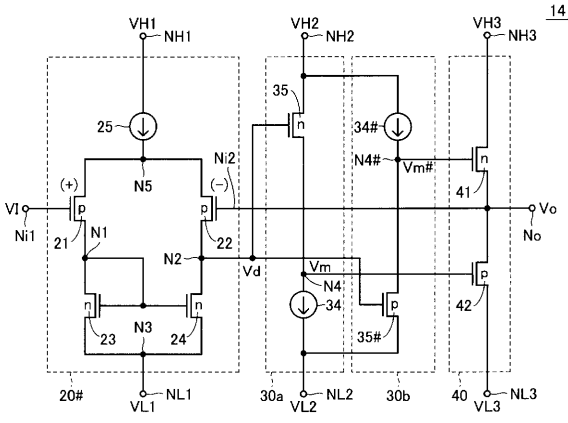
【 図 10 】



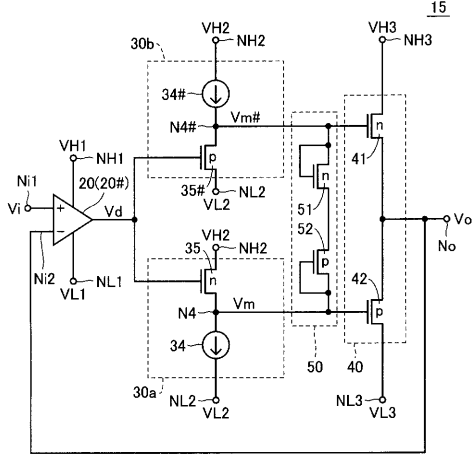
【 図 11 】



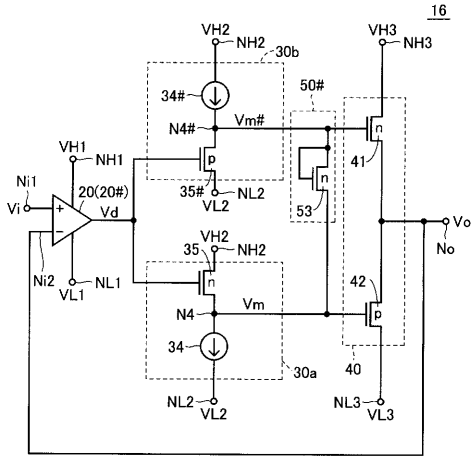
【 図 12 】



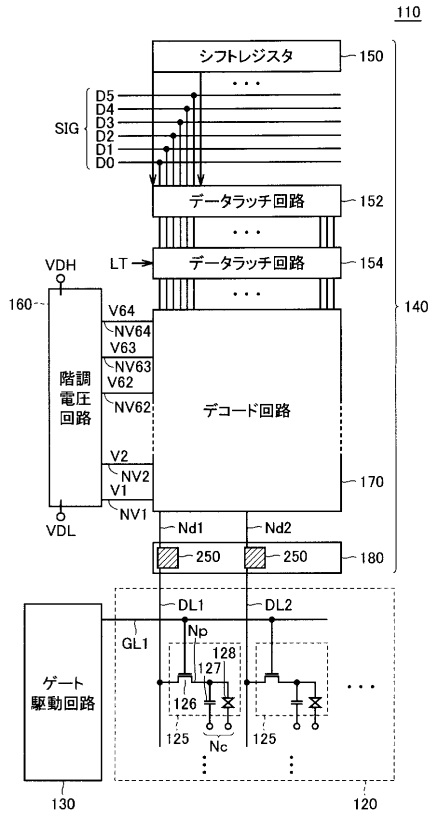
【 図 13 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 橋戸 隆一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 2H093 NA16 NC13 NC15 NC34 NC35 ND42 ND44

5C006 AA16 AC11 AC21 AF43 AF51 AF83 BB16 BC12 BF25 FA00

5C080 AA10 BB05 DD09 DD30 EE29 FF11 GG11 JJ02 JJ03 JJ05