

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G02F 1/133

G03F 7/00



# [12] 发明专利说明书

[21] ZL 专利号 99120542.1

[45] 授权公告日 2004 年 2 月 25 日

[11] 授权公告号 CN 1139837C

[22] 申请日 1999.9.29 [21] 申请号 99120542.1

[30] 优先权

[32] 1998.10.1 [33] KR [31] 41355/1998

[32] 1998.12.31 [33] KR [31] 63760/1998

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 洪雯杓 朴云用 尹钟秀

审查员 焦丽宁

[74] 专利代理机构 北京市柳沈律师事务所

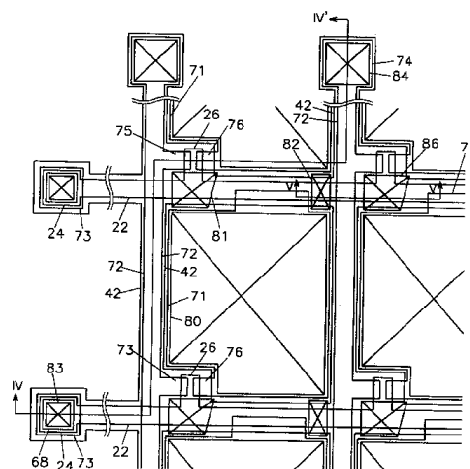
代理人 陶凤波

权利要求书 10 页 说明书 24 页 附图 58 页

[54] 发明名称 液晶显示器用薄膜晶体管阵列基板及其制造方法

[57] 摘要

一种液晶显示器用薄膜晶体管阵列基板的制造方法，包括：通过第一光刻工艺，在绝缘基板上形成栅极布线；通过第二光刻工艺，在栅极布线及基板上，形成包括栅绝缘层、半导体层、接触层及数据导体层的四重层；通过第三光刻工艺，在数据导体层上形成导电图案；对没有被导电图案覆盖的数据导体层蚀刻，从而形成数据布线；对没有被数据布线覆盖的接触层蚀刻；和通过第四光刻工艺，在导电图案上形成钝化层图案的步骤。



ISSN 1008-4274

1. 一种液晶显示器用薄膜晶体管阵列基板的制造方法，其特征在于，该方法包括如下步骤：

- 5       通过第一光刻工艺，在绝缘基板上形成栅极布线；  
      通过第二光刻工艺，在上述栅极布线及上述基板上，形成包括栅绝缘层、半导体层、接触层及数据导体层的四重层；  
      通过第三光刻工艺，在上述数据导体层上形成导电图案；  
      对没有被上述导电图案覆盖的上述数据导体层进行蚀刻，从而形成数据  
10  布线；  
      对没有被上述数据布线覆盖的上述接触层进行蚀刻；和  
      通过第四光刻工艺，在上述导电图案上形成钝化层图案的步骤。

2. 按照权利要求1所述的基板的制造方法，其特征在于，上述栅极布线包括：多条以第一方向延伸的栅极线；作为上述栅极线分支的栅极电极；  
15  以及，与上述栅极线的末端相连接，并从外部接收扫描信号的栅极衬垫，  
      上述四重层具有暴露上述栅极衬垫的第一接触孔；及  
      上述钝化层具有暴露上述第一接触孔的第二接触孔。

3. 按照权利要求1所述的基板的制造方法，其特征在于，上述栅极布线包括：多条以第一方向延伸的栅极线；作为上述栅极线分支的栅极电极；  
20  以及，与上述栅极线的末端相连接，并从外部接收扫描信号的栅极衬垫，  
      上述四重层具有暴露上述栅极衬垫的第一接触孔；  
      上述导电图案具有通过上述第一接触孔与上述栅极衬垫相连接的第一导电层图案；及

- 上述钝化层具有暴露上述第一导电层图案的第二接触孔。  
25  4. 按照权利要求1所述的基板的制造方法，其中上述栅极布线包括：以第一方向延伸的栅极线；作为上述栅极线分支的栅极电极；以及，与上述栅极线的末端相连接，并从外部接收扫描信号的栅极衬垫，  
      上述数据布线包括：以与上述第一方向相交叉的第二方向延伸的数据线；与上述数据线的末端相连接，并从外部接收图像信号的数据衬垫；与  
30  上述数据线相连接并与上述栅极电极相邻的源极电极；以及，相对上述栅极电极，位于上述源极电极的对面的漏极电极，

上述导电图案包括：形成于上述数据线、上述源极电极及上述数据衬垫上的第一导电层图案；形成于上述漏极电极上部的第二导电层图案；以及，与上述第二导电层图案相连接，并形成于被上述栅极线及上述数据线围绕的区域内的像素极，

5 上述钝化层具有暴露上述像素极的第一开口部；及暴露形成于上述数据衬垫上的上述第一导电层图案的第二开口部。

5. 按照权利要求4所述的基板的制造方法，其特征在于，上述钝化层具有暴露相邻两个数据线之间的半导体层一部分的第三开口部，并且该方法进一步包括蚀刻通过上述第三开口部而暴露的上述半导体层，从而分离上述相邻两数据线下部的半导体层的步骤。

6. 按照权利要求5所述的基板的制造方法，其特征在于，上述像素极与相邻的栅极线相重叠，且上述像素极与上述栅极线之间的半导体层与其他半导体层部分相互隔离。

7. 按照权利要求5或6所述的基板的制造方法，其特征在于，上述栅绝缘层包括，形成于上述栅极衬垫之间及上述数据衬垫之间的第一部分，上述钝化层具有暴露上述栅绝缘层的第一部分上部半导体层的第四开口部，并且上述第一部分上部半导体层被清除，从而分离上述栅极衬垫上部及上述数据衬垫下部的上述半导体层。

8. 按照权利要求5或6所述的基板的制造方法，其特征在于，上述钝化层覆盖上述像素极周边部的全部区域。

9. 按照权利要求5或6所述的基板的制造方法，其特征在于，上述第一开口部暴露上述像素极的周边部。

10. 按照权利要求5所述的基板的制造方法，其特征在于，在上述基板上形成有与上述像素极相重叠的储存布线，且，上述四重层形成于上述储存布线上；及上述储存布线与上述像素极之间的半导体层为孤立的状态。

11. 按照权利要求5所述的基板的制造方法，其特征在于，上述钝化层具有暴露上述第一导电层图案与上述像素极之间，以及与相邻两个上述像素极之间的上述半导体层的沟渠，并进一步包括蚀刻通过上述沟渠暴露的上述半导体层的步骤。

12. 按照权利要求11所述的基板的制造方法，其特征在于，上述栅极线是由两个母线和连接上述母线的支线构成，且上述像素极与上述栅极线的

母线及支线的一部分相重叠。

13. 按照权利要求11所述的基板的制造方法，其特征在于，上述源极具有凹部，上述漏极电极的一端位于上述凹部。

14. 按照权利要求1所述的基板的制造方法，其特征在于，上述导电图案  
5 是由透明导电体构成。

15. 按照权利要求14所述的基板的制造方法，其特征在于，上述导电图案是由ITO构成。

16. 按照权利要求1所述的基板的制造方法，其特征在于，形成上述四重层的步骤进一步包括：

10 在上述数据导体层上涂敷光致抗蚀剂层；

对上述光致抗蚀剂层通过曝光及显像进行构图，使其厚度随着位置而不同；

与上述光致抗蚀剂层一起对上述四重层进行蚀刻，从而暴露上述栅极布线的栅极衬垫，形成源极电极与漏极电极相连接状态的数据布线，并暴露  
15 上述数据布线之间的上述栅绝缘层的部分。

17. 按照权利要求16所述的基板的制造方法，其特征在于，上述光致抗蚀剂层厚度最薄的第一部分，形成于上述栅极衬垫上部，上述光致抗蚀剂层厚度最厚的第二部分，形成于将要形成上述源极电极与漏极电极相连接状态的数据布线部分上部，上述光致抗蚀剂层厚度为中间厚度的第三部分，形成于上述第二部分之间。  
20

18. 按照权利要求16所述的基板的制造方法，其特征在于，使上述光致抗蚀剂层曝光步骤，利用设计成按部位具有3个以上不同透过率的光掩模。

19. 按照权利要求18所述的基板的制造方法，其特征在于，在上述第二光刻工艺中，以暴露上述栅极布线的端部为准，清除上述绝缘膜。

20. 按照权利要求19所述的基板的制造方法，其特征在于，上述导电体图案包括，与露出的上述栅极布线端部相连接的第一导电层图案。  
25

21. 按照权利要求20所述的基板的制造方法，其特征在于，在上述第四光刻工艺中，在上述钝化层上，形成暴露上述第一导电层图案的接触区。

22. 一种液晶显示器用薄膜晶体管阵列基板，其包括：

30 一栅极布线，其形成于绝缘基板上，并包括以第一方向延伸的栅极线、与上述栅极线相连接的栅极电极以及与上述栅极线的端部相连接的栅极衬

垫；

一栅绝缘层，其以矩阵形态形成于上述栅极布线及上述基板上，并具有暴露上述栅极衬垫的接触孔；

一半导体层，其形成于上述栅绝缘层上；

- 5 一数据布线，其形成于上述半导体层上，并包括与上述第一方向交叉，以第二方向延伸的数据线、与上述栅极电极相邻的源极电极、与上述数据线的一端相连接的数据衬垫、与上述数据线及源极相分离，并相对上述栅极电极，位于上述源极电极相对方向的漏极电极；

- 10 一导电体，其包括形成于上述数据线及上述源极上的第一图案、形成于上述漏极电极上的第二图案、与上述第二图案相连接的像素极以及形成于上述数据衬垫上的第三图案；和

一钝化层，其具有形成于上述导电体、半导体层及基板上，并暴露上述像素极的第一开口部、暴露相邻数据线之间的栅绝缘层的第二开口部、上述栅极衬垫上部的第三开口部以及暴露上述数据衬垫的第四开口部，

- 15 其中，上述数据布线只形成于上述导电体与上述半导体层之间，上述半导体层形成于除上述第二开口部的栅绝缘层以外的所有栅绝缘层上，且相邻的两数据线下部半导体层相互分离。

- 20 23. 按照权利要求22所述的基板，其特征在于，在上述半导体层与上述数据布线之间，进一步包括具有与上述数据布线相同形状，且为了减小上述半导体层与上述数据布线之间接触电阻的接触层。

24. 按照权利要求23所述的基板，其特征在于，上述导电体进一步包括，通过上述接触孔与上述栅极衬垫相连接的第四图案，且上述第三开口部暴露上述第四图案。

- 25 25. 按照权利要求23所述的基板，其特征在于，上述像素极与相邻的栅极线相重叠，且上述像素极与上述栅极线之间的半导体层为孤立的状态。

26. 按照权利要求23所述的基板，其特征在于，上述栅绝缘层包括，形成于上述栅极衬垫与数据衬垫之间的第一部分，上述钝化层具有暴露上述栅绝缘层的第一部分的第五开口部，上述第五开口部上不形成有半导体层。

- 30 27. 按照权利要求23所述的基板，其特征在于，上述钝化层覆盖上述像素极周边部的全部领域。

28. 按照权利要求23所述的基板，其特征在于，上述第一开口部暴露上述像素极的周边部。

29. 按照权利要求28所述的基板，其特征在于，进一步包括一形成于上述基板上，被上述栅绝缘层覆盖，并与上述像素极相重叠的储存布线，且  
5 上述储存布线与上述像素极之间的半导体层为孤立状态。

30. 按照权利要求28所述的基板，其特征在于，上述导电体由ITO构成。

31. 一种液晶显示器用薄膜晶体管阵列基板的制造方法，其包括如下步骤：

10 在绝缘基板上，通过第一光刻工艺，形成包括栅极线和栅极衬垫的多个栅极布线；

在上述栅极布线上沉积第一绝缘膜、半导体膜、接触层及金属层；

通过第二光刻工艺，形成具有与上述栅极衬垫部以外栅极布线相重叠部分的矩阵形态的金属层图案、接触层图案、半导体层图案及第一绝缘膜图  
15 案；

对没有被上述透明层图案覆盖的上述金属层及接触层进行蚀刻并清除的步骤；

在上述所有图案上沉积第二绝缘膜，并通过第四光刻工艺使上述第二绝缘膜图案化，从而形成上述栅极衬垫、数据衬垫、像素极及形成具有暴露  
20 连接相邻数据布线的上述半导体层的开口部的钝化层图案；和

对通过上述开口部而暴露的半导体层进行蚀刻并清除。

32. 按照权利要求31所述的基板的制造方法，其特征在于，在蚀刻通过上述开口部暴露的半导体层并清除步骤后，进一步包括对其下部的上述第一绝缘膜图案进行蚀刻的步骤。

25 33. 一种薄膜晶体管阵列基板的制造方法，其包括如下步骤：

在绝缘基板上，通过第一光刻工艺，形成包括栅极衬垫的多个栅极布线；

在上述栅极布线上连续沉积第一绝缘膜、半导体层、接触层及金属层；

30 通过第二光刻工艺使上述第一绝缘膜、半导体层、接触层及金属层图案化，形成至少在上述栅极布线上具有相互分离部分的金属层图案、接触层图案及半导体层图案，以及，形成覆盖除上述栅极衬垫以外的上述栅极布

线的第一绝缘膜图案；

在上述所有图案上沉积透明导电体层，并通过第三光刻工艺形成透明导电层图案；

5 对没有被上述透明导电层图案覆盖的上述金属层及接触层进行蚀刻，从而形成包括数据衬垫、源极电极以及漏极电极的数据布线和其下部的接触层图案；和

在上述所有图案上沉积第二绝缘层，并通过第四光刻工艺，形成具有至少暴露上述栅极衬垫和上述数据衬垫的接触区的钝化层图案。

10 34. 按照权利要求33所述的基板的制造方法，其特征在于，上述第二光刻工艺包括：

在上述金属层上涂敷光致抗蚀剂层，并使其曝光及显像，使上述光致抗蚀剂层至少具有3个不同厚度的图案化步骤；和

15 蚀刻上述光致抗蚀剂层和其下部的上述金属层、接触层、半导体层及第一绝缘膜，使上述光致抗蚀剂层中厚度最薄的第一部分及其下部的上述金属层、接触层、半导体层及第一绝缘膜与上述光致抗蚀剂层中，中间厚度的第三部分及其下部的上述金属、接触层及半导体层一起清除，在上述光致抗蚀剂层中，厚度最厚的第二部分为蚀刻遮断层，以防止其下部的上述各层不被蚀刻的步骤。

20 35. 按照权利要求34所述的基板的制造方法，其特征在于，上述光致抗蚀剂层曝光步骤，利用被设计成按部位具有3个以上不同透过率的光掩模。

36. 按照权利要求35所述的基板的制造方法，其特征在于，上述光掩模具有比曝光器的解析度(resolution)小的缝隙或至少以两种以上不同透过率物质构成。

25 37. 按照权利要求36所述的基板的制造方法，其特征在于，在对上述光致抗蚀剂层进行曝光步骤，上述光掩模被分成，为了形成上述栅极衬垫的第一光掩模和为了形成上述栅极衬垫以外部分的第二光掩模，并且，上述第一光掩模的全体透过率与上述第二光掩模的全体透过率互不相同。

38. 按照权利要求34所述的基板的制造方法，其特征在于，上述光致抗蚀剂层的第一部分位于上述栅极衬垫的上部。

30 39. 按照权利要求38所述的基板的制造方法，其特征在于，对上述光致抗蚀剂层及其下部的上述金属层、接触层、半导体层及第一绝缘膜蚀刻的

步骤包括如下步骤：

以上述光致抗蚀剂层的第二及第三部分为蚀刻遮断层，对上述第一部分下部的上述金属层、接触层、半导体层及第一绝缘膜进行蚀刻的步骤；

5 对上述光致抗蚀剂层的第三部分通过灰化(ashing)工艺进行清除，从而暴露其下部的上述金属层图案的步骤；和

以上述第二部分为蚀刻遮断层，对上述暴露的金属层、其下部的上述接触层及半导体层进行蚀刻的步骤。

40. 按照权利要求33所述的基板的制造方法，其特征在于，上述半导体层为非晶质硅。

10 41. 按照权利要求33所述的基板的制造方法，其特征在于，上述第二绝缘膜为感光性物质。

42. 一种液晶显示器用薄膜晶体管阵列基板的制造方法，其包括如下步骤：

15 在包括图像显示部和周边部的基板上，形成包括上述图像显示部的栅极线、栅极电极及上述周边部的栅极衬垫的栅极布线的步骤；

在上述栅极布线上连续沉积栅极绝缘膜、半导体层、接触层及金属层的步骤；

在上述金属层上涂敷光致抗蚀剂层的步骤；

20 使上述光致抗蚀剂层曝光及显影，从而按部位形成不同厚度光致抗蚀剂层图案的步骤；

通过一次光刻工艺，使上述金属层及其下部的上述接触层和上述半导体层图案化，形成金属层图案、第一接触层图案及半导体层图案的同时，蚀刻上述周边部的上述栅极绝缘膜，从而形成暴露上述栅极衬垫图案的步骤；

25 沉积导电体层的步骤；

通过对上述导电体层进行光刻，形成覆盖上述金属层图案的一部分的像素极和覆盖上述金属层图案的另一部分，相对上述栅极电极，位于上述像素极对面，并与上述像素极相分离的导电体层图案的步骤；

30 清除位于上述像素极与导电体层图案之间的上述金属层图案及其下部的第一接触层图案，形成包括数据线、数据衬垫、源极及漏极电极的数据布线及其下部的第二接触层图案的步骤；和



形成钝化层的步骤。

43. 按照权利要求42所述的基板的制造方法，其特征在于，上述光致抗蚀剂层图案只形成于上述图像显示部和上述金属层图案的上部，上述光致抗蚀剂层图案的厚度，在上述金属层图案以外的上述图像显示部领域的厚度比在上述金属层图案上部的厚度薄，且上述图案化步骤包括：

清除上述周边部上暴露的金属层，从而暴露接触层的步骤；

使用可同时对上述光致抗蚀剂层图案和上述接触层及上述半导体层进行蚀刻的蚀刻方法，清除上述图像显示部的薄光致抗蚀剂层，从而暴露其下部的上述金属层的步骤；

清除上述图像显示部中暴露的上述金属层，从而暴露接触层的步骤；和使用可同时对上述接触层和半导体层及栅绝缘层进行蚀刻的蚀刻方法，在暴露上述周边部的上述栅极衬垫的同时，清除上述图像显示部中暴露的接触层和其下部的半导体层的步骤。

44. 按照权利要求42所述的基板的制造方法，其特征在于，上述钝化层具有暴露上述像素极的开口部。

45. 按照权利要求44所述的基板的制造方法，其特征在于，上述导电体层图案包括：覆盖上述数据线的补助数据线；覆盖上述数据衬垫的补助数据衬垫；和，覆盖上述栅极衬垫的补助栅极衬垫。

46. 按照权利要求45所述的基板的制造方法，其特征在于，上述钝化层具有暴露上述补助栅极衬垫及上述补助数据衬垫的开口部。

47. 按照权利要求42所述的基板的制造方法，其特征在于进一步包括，在上述基板上，形成包括与上述像素极一起形成电场的共同极的共同电极布线的步骤。

48. 一种液晶显示器用薄膜晶体管阵列基板的制造方法，其包括如下步骤：

在绝缘基板上，形成包括栅极线以及与其连接的栅极电极的栅极布线和包括共同极的共同极布线的步骤；

形成覆盖上述栅极布线及共同极布线的栅绝缘层的步骤；

在上述栅绝缘层上形成半导体层图案的步骤；

在上述半导体层图案上形成欧姆接触层图案的步骤；

在上述接触层上，形成包括相互分离而形成的源极电极和漏极电极以及

与上述源极电极相连接的数据线的数据布线的步骤；

形成覆盖除上述漏极电极一部分以外，其它上述数据布线的钝化层图案的步骤；和

5 形成与上述漏极电极相连接，并与上述共同极一起产生电场的像素极的步骤，

其中，上述源极以及漏极电极的分离是通过利用光致抗蚀剂层图案的光刻工艺而实现，上述光致抗蚀剂层图案包括：位于上述源极电极与漏极电极之间的第一部分；比上述第一部分厚的第二部分；和，比上述第一部分薄

10 49. 按照权利要求48所述的基板的制造方法，其特征在于，上述数据布线、上述接触层图案及上述半导体层图案是通过利用一个光掩模而形成。

50. 按照权利要求49所述的基板的制造方法，其特征在于，形成上述栅绝缘层、半导体层图案、接触层图案及数据布线的步骤包括如下步骤：

沉积上述栅绝缘层、半导体层、接触层及金属层的步骤；

15 在上述金属层上涂敷光致抗蚀剂层的步骤；

利用光掩模使上述光致抗蚀剂层曝光的步骤；

使上述光致抗蚀剂层显像，使上述第二部分位于上述数据布线的上部的光致抗蚀剂层图案化的步骤；

20 蚀刻上述第三部分下部的上述金属层和其下部的接触层及半导体层、上述第一部分和其下部的上述金属层及接触层以及上述第二部分的一部分厚度，从而形成上述数据布线、上述接触层图案和上述半导体层图案的步骤；和

清除上述光致抗蚀剂层图案的步骤。

25 51. 按照权利要求50所述的基板的制造方法，其特征在于，形成上述数据布线、上述接触层图案及上述半导体层图案，包括如下步骤；

对上述第三部分下部的上述金属层进行湿式或干式蚀刻，从而暴露上述接触层的步骤；

30 对上述第三部分下部接触层及其下部的上述半导体层，与上述第一部分一起进行干式蚀刻，从而暴露上述第三部分下部的上述栅极绝缘膜和上述第一部分下部的上述金属层的同时，完成由上述半导体层构成的上述半导体层图案的步骤；和

---

蚀刻上述第一部分下部的上述金属层和其下部的上述接触层，并把其清除，从而完成上述数据布线和上述接触层图案的步骤。

## 液晶显示器用薄膜晶体管阵列基板及其制造方法

5 本发明涉及液晶显示器用薄膜晶体管阵列基板及其制造方法，尤其涉及减少光刻步骤的制造液晶显示器用薄膜晶体管阵列基板的方法。

液晶显示器是最普遍使用的平面显示装置(FPD)，它是由具有电极的两个基板，以及在两个基板之间注入的液晶层构成。当给两个基板上的电极施加电位差时，液晶层的液晶分子重新排列，光的透射量得到调整，从而  
10 显示图像。

目前最普遍使用的液晶显示器中，在两个基板上各自形成电场形成电极，基板之一具有开关元件，例如薄膜晶体管。

形成有薄膜晶体管阵列的基板，通常是利用多个光掩模(mask)的光刻工艺制造。这时，为了降低制造成本，应减少光刻步骤(photolithography step)  
15 的个数。现在通常是使用五个或六个光掩模。虽然有使用四个光刻步骤制造薄膜晶体管阵列基板的技术，但是，实际应用该技术还有很多困难。

下面，对过去所使用的利用四个光刻步骤制造薄膜晶体管阵列基板的技术做说明。

首先，利用第一光掩模，在基板上形成由铝或铝合金等电阻小的物质组成的栅极布线，然后，在其上面连续沉积栅绝缘层、非晶质硅层、n+非晶质硅层及金属层。然后，利用第二光掩模使金属层、n+非晶质硅层及非晶质硅层的三层膜图案化。此时，栅极衬垫上部没有剩余的三层膜图案，只剩有栅绝缘层。接着，沉积ITO(indium tin oxide；氧化铟锡)膜，并利用第三光掩模使之图案化。这时，栅极衬垫的上部不剩有ITO膜。把没有被  
25 ITO膜覆盖的金属层及n+非晶质硅层图案化，之后，沉积钝化层。最后，利用第四光掩模使钝化层和钝化层下部的栅绝缘层图案化，从而最终形成薄膜晶体管阵列基板。在此，在最后钝化层图案化步骤，栅极衬垫部分的栅绝缘层被清除。

如上所述，过去利用四个光掩模制造薄膜晶体管阵列基板的方法中，  
30 由铝或铝合金构成的栅极衬垫按原状暴露。虽然铝或铝合金的电阻很小，但对外在的物理及化学性抵抗力差，所以易受损伤。为了补偿这一点，采

用了使栅极布线成为两层膜或使用物理性及化学性强的、不易受损的金属，但是，如果使用前一种方法，会出现工序非常复杂的问题，如果使用后一种方法，会出现这种金属的电阻过大的问题。

5 本发明的目的是提供一种新的、减少光刻步骤的制造薄膜晶体管阵列基板的方法。

本发明的另一目的是提供一种能够保护栅极衬垫的液晶显示装置。

本发明的再一目的是防止液晶显示装置的电流泄漏。

为了实现上述目的，在本发明中，采用了同时对栅绝缘层、半导体层、接触层及数据导电层图案化的方法。

10 根据本发明，首先，利用第一光掩模在绝缘基板上形成栅极布线。利用第二光掩模在栅极布线及基板上，形成包括栅绝缘层、半导体层、接触层及数据导电层的四重层，然后，在由数据导电层上部及数据导电层围绕的领域，利用第三光掩模形成导电图案。对没有被导电层图案覆盖的导电层进行蚀刻，形成数据布线，对没有被数据布线覆盖的接触层进行蚀刻。  
15 利用第四光掩模形成钝化层，对没有被钝化层覆盖的半导体层进行蚀刻。

在此，栅极布线包括：栅极线、栅极电极以及栅极衬垫。四重层具有暴露栅极衬垫的第一接触孔，在第一接触孔上面，可形成有钝化层的第二接触孔。

20 此时，导电图案可包括，通过第一接触孔形成于栅极衬垫上的第一导电层图案。

另外，数据布线包括：与第一方向相交的，以第二方向延伸的数据线；与数据线末端相连接，并从外部接收图像信号的数据衬垫；与数据线相连接，并与栅极电极相邻的源极电极；和，相对栅极电极，位于源极电极对面的漏极电极。导电图案包括：形成于数据线、源极电极及数据衬垫上的第一导电层图案；形成于漏极电极上的第二导电层图案；及与第二导电层图案相连接，并形成于被栅极线及数据线围绕的领域的像素极。钝化层可具有暴露像素极的第一开口部和暴露形成于数据衬垫上的上述第一导电层图案的第二开口部。

30 钝化层可具有暴露两数据线之间的半导体层部分的第三开口部。此时，第三开口部的半导体层被清除，使相邻的两数据线下部的半导体层相互分离。

像素极可与相邻的栅极线相重叠，此时，较佳地是像素极与栅极线之间的半导体层为孤立状态。

另外，栅绝缘层可包括，形成于栅极衬垫与数据衬垫之间的第一部分。此时，钝化层具有暴露栅绝缘层的第一部分上部半导体层的第四开口部，并且，较佳地是第一部分上部的半导体层被清除，使栅极衬垫上部与数据衬垫下部的半导体层相互分离。

另外，暴露像素极的第一开口部，可完全覆盖上述像素极的周边部，也可暴露一部分。

这种液晶显示装置用薄膜晶体管阵列基板，也可用于独立布线方式。即，在基板上形成与像素极相重叠的储存布线，四重层形成于储存布线上，但应使储存布线与像素电极之间的半导体层孤立。

附图说明本发明实施例，与其描述一起用以说明本发明原理。

图1是表示根据本发明实施例，为了制造液晶显示器用薄膜晶体管阵列基板而把基板分领域表示的配置图；

图2是表示根据本发明实施例，一个液晶显示器用薄膜晶体管阵列基板形成的元件及其布线的配置略图；

图3是表示根据本发明第一实施例的液晶显示器用薄膜晶体管阵列基板的图；

图4是表示图3中的薄膜晶体管阵列基板沿着IV-IV'线的截面图；

图5是表示图3中的薄膜晶体管阵列基板沿着V-V'线的截面图；

图6a, 7a, 8a是表示根据本发明实施例制造的中间过程中的薄膜晶体管阵列基板的配置图，是按制造顺序表示的图；

图6b, 7b, 8b是表示各自沿着图6a, 7a, 8a中的VIB-ViB', VIIB-VIIB', VIIIIB-VIIIIB'线的截面图；

图6c, 7c, 8c是表示各自沿着图6a, 7a, 8a中的VIC-VIC', VIIC-VIIC', VIIIIC-VIIIIC'线的截面图；

图9是表示根据本发明第二实施例的液晶显示器用薄膜晶体管阵列基板的配置图；

图10是表示沿着图9中的X-X'线的截面图；

图11是表示沿着图9中的XI-XI'线的截面图；

图12a和图13a是表示根据本发明第二实施例制造的中间过程中的薄膜晶

晶体管阵列基板的配置图，是按制造顺序表示的图；

图12b和图13b是表示沿着图12a和图13a中的XIIB - XIIB'及XIIIB - XIIIB'线的截面图；

5 图14是表示根据本发明第三实施例的液晶显示器用薄膜晶体管阵列基板的配置图；

图15是表示沿着图14中的XV - XV'线的截面图；

图16是表示根据本发明第四实施例的液晶显示器用薄膜晶体管阵列基板的配置图；

图17是表示沿着图16中的XVII - XVII'线的截面图；

10 图18是表示沿着图16中的XVIII - XVIII'线的截面图；

图19是表示根据本发明第五实施例的液晶显示器用薄膜晶体管阵列基板的配置图；

图20是表示沿着图19中的XX - XX'线的截面图；

15 图21是表示根据本发明第六实施例的液晶显示器用薄膜晶体管阵列基板的图，是在图2中以一个像素和衬垫为中心的扩大的图；

图22是表示沿着图21中的XXII - XXII'线的截面图；

图23a是表示根据本发明第六实施例制造的第一步骤中的薄膜晶体管阵列基板的配置图；

图23b是表示沿着图23a中的XXIII B - XXIII B'线的截面图；

20 图24a是表示图23a及图23b下一步骤的薄膜晶体管阵列基板的配置图；

图24b是表示沿着图24a中的XXIV B - XXIV B'线的截面图；

图25a及图25b，图26a及图26b和图27是表示分别在图24a及24b步骤中所使用的光掩模结构截面的图；

25 图28是表示沿着图24a中的XXIV B - XXIV B'线的截面图，是图24b下一步骤的截面图；

图29a是表示图28下一步骤的薄膜晶体管阵列基板的配置图；

图29b是表示沿着图29a中的XXIX B - XXIX B'线的截面图；

图30是表示根据本发明第七实施例的液晶显示器用薄膜晶体管阵列基板的配置图；

30 图31是表示沿着图32及图30中的XXXI - XXXI'线及XXXII - XXXII'线的截面图；

图33a是表示根据本发明第七实施例制造的第一步骤中的薄膜晶体管阵列基板的配置图；

图33b及图33c是分别表示沿着图33a中的XXXIIIB - XXXIIIB'线及XXXIIIC - XXXIIIC'线的截面图；

5 图34a是表示图33a至图33c的下一步骤薄膜晶体管阵列基板配置的图；

图34b及图34c是分别表示沿着图34a中的XXXIVB - XXXIVB'线及XXXIVC - XXXIVC'线的截面图；

图35a是表示图34a至图34c的下一步骤薄膜晶体管阵列基板配置的图；

10 图35b及图35c是分别表示沿着图35a中的XXXV B - XXXV B'线及XXXV C - XXXV C'线的截面图；

图36是表示根据本发明第八实施例的液晶显示器用薄膜晶体管阵列基板的配置图；

图37及图38是表示沿着图36中的XXXVII - XXXVII'线及XXXVIII - XXXVIII'线的截面图；

15 图39a是表示根据本发明第八实施例制造的第一步骤中的薄膜晶体管阵列基板的配置图；

图39b及图39c是分别表示沿着图39a中的XXXIXB - XXXIXB'线及XXXIXC - XXXIXC'线的截面图；

图40a是表示图39a至图39c的下一步骤薄膜晶体管阵列基板配置的图；

20 图40b及图40c是分别表示沿着图40a中的XLB - XLB'线及XLC - XLC'线的截面图；

图41a是表示图40a至图40c的下一步骤薄膜晶体管阵列基板配置的图；  
和

25 图41b及图41c是分别表示沿着图41a中的XLIB - XLIB'线及XLIC - XLIC'线的截面图。

下面，参照附图对根据本发明实施例的液晶显示器用基板及其制造方法做详细说明。通过说明，不难使本领域的技术人员理解并实施该技术。应当理解，本发明不局限于这些实施例，其可以由很多方式来实现。在附图中，各个层的厚度和区域为了清楚起见而作了夸张。在整个说明书中，  
30 类似的标号表示类似的元件。可以理解，当述及某元件，如层、区域、或基板在另一元件上时，其可以直接位于该另一元件上或也可以存在其他中



间层。如果提出某元件直接位于另一元件上时，其表示不存在中间层。

首先，参照图1至图5，对根据本发明实施例的薄膜晶体管阵列基板的结构做详细说明。

如图1所示，在一个绝缘基板上，同时形成制造多个液晶显示器用面板的区域。比如，如图1所示，在一个玻璃基板10上，形成四个液晶显示器用面板区域110，120，130，140。所形成的面板是薄膜晶体管阵列面板时，面板区域110，120，130，140包括，由多个像素构成的图像显示部111，121，131，141，和周边部112，122，132，142。在图像显示部111，121，131，141上，主要有薄膜晶体管、布线及像素极等，它们是以阵列形式重复排列，在周边部112，122，132，142上，主要有与驱动元件连接的元素，即，面板和其它静电保护线路等。

但是，在形成这种液晶显示器时，通常使用分步曝光机(stepper)曝光技术，在使用该曝光器时，先把图像显示部111，121，131，141及周边部112，122，132，142分成多个区域，在每个区域中使用同一个或不同的光掩模，对薄膜上感光层进行曝光，之后，使整个基板显像，从而制造图案。然后，蚀刻下部的薄膜而形成特定的图案。通过这种反复形成薄膜图案，最终完成液晶显示器用薄膜晶体管阵列基板。

但是，也可以不使用分步曝光器，而一次性曝光而完成。另外，也可以在一个绝缘基板上只形成一个液晶显示器的面板。

图2是表示在图1中一个面板区域中形成的液晶显示器用薄膜晶体管阵列基板的分布简图。

如图2所示，由虚线1围绕的图像显示部中，形成有多个薄膜晶体管3、与各薄膜晶体管3电连接的像素极71以及包括栅极线22和数据线62的布线等。图像显示部的外围周边部，布置有与栅极线22端部连接的栅极衬垫24，和与数据线62端部连接的数据衬垫64，以及，布置有为了防止因静电放电而损坏元件而以电连接栅极线22及数据线62，从而形成等电位差的栅极线短路条(shorting bar)4及数据线短路条5。栅极线短路条4及数据线短路条5通过短路条连接部6连接。该短路条4，5最终会被移除，移除时截断基板的线是图中的符号2。图面符号7是接触窗，它为了连接中间有栅极线短路条4及数据线短路条5和绝缘层(未图示)的短路条连接部6而贯穿于绝缘层。

图3至图5是在图2中的图像显示部的薄膜晶体管、像素极及布线周边部的衬垫的扩大图，图3为配置图，图4及图5分别表示在图3中沿着IV-IV'线及V-V'线的截面图。

首先，在绝缘基板10上形成由铝或铝合金、钼(Mo)或钼钨(MoW)、铬5 (Cr)或钽(Ta)等金属构成的栅极布线。栅极布线包括：横向排列的栅极线(扫描信号线)22；与栅极线22的端部连接，从外部接收扫描信号并传送给栅极线22的栅极衬垫24；和，作为栅极线22的分支、薄膜晶体管的栅极电极26。

栅极线22，24和26可以单层形成也可以二重层或三重层形成。以单10 一层形成时，以铝(Al)或铝(Al)-钕(Nd)合金构成，以二重层形成时，下面层用铝(Al)-钕(Nd)合金构成，上层以钼(Mo)-钨(W)合金构成。当栅极线22、24和26为多层结构时，最好是，一层为低电阻率材料，另一层由与其他材料具有良好接触性的材料制成。二重层的例子如Cr/Al(或Al合金)和Al/Mo。

15 在栅极布线22，24，26上，形成有由诸如氮化硅( $\text{SiN}_x$ )构成的栅绝缘层30，栅绝缘层30不仅形成于栅极布线22，24，26上，而且还以纵向延伸形成网状。

栅绝缘层30上，形成有由氢化非晶硅等半导体物质构成的半导体层图20 案42，47。半导体层图案42，47被分成相互分离的多个第一部分42和第二部分47。第一部分42处于栅极电极26的附近，起薄膜晶体管的通道层作用，多个第二部分47则处于栅极线22的上部，并相互孤立。与栅极衬垫24相邻的第一部分42延伸到栅极衬垫24并形成栅极衬垫24的分支。

半导体层42，47上，形成有由n型杂质如磷以高浓度掺杂的非晶硅等物质构成的欧姆接触层图案55，56，57，58。

25 在接触层图案55，56，57，58上，形成有由诸如铬(Cr)或钼-钨合金、Cr、Al、或Al合金构成的数据布线62，64，66，67，68。数据布线62，64，66，67，68以纵向形成，其包括：具有与栅极电极26相邻的源极电极65的数据线62；与数据线62一端相连接，并从外部接收图像信号的数据衬垫64；与数据线62相分离，相对栅极电极26处于源极电极的相反方向的漏极电极66；形成于栅极衬垫24附近的第一孤立数据导体68；和，形成于半30 导体层的第二部分上部47的第二孤立数据导体67。欧姆接触层55，56，

57, 58形成于半导体层42, 47与数据布线62, 64, 66, 67, 68之间, 并具有与数据布线62, 64, 66, 67, 68相同的形态。

另一方面, 栅极衬垫24上形成的栅绝缘层图案30, 半导体层42, 接触层58及第一孤立数据导体68, 具有暴露栅极衬垫24的接触孔。

5 由数据布线62, 64, 66, 67, 68上部, 和栅极线22及数据线62围绕着的像素区域的基板10上, 形成有由诸如氧化铟锡(indium tin oxide; ITO)等透明导电物质构成的导电体图案71, 72, 73, 74, 75, 76, 77。导电体图案71, 72, 73, 74, 75, 76, 77可分为第一至第四图案。形成于数据线62及数据衬垫64上的第一图案72, 75, 是由形成于数据线62的源极电极上部的  
10 部分75, 及形成于其以外部分上部的部分72构成。第二图案71, 76是由形成于漏极电极66上的部分76和形成于像素领域的像素极71构成, 像素极71如图3所示, 形成于第二孤立数据导体67上, 与位于其下部的前端栅极线22相重叠而形成储存蓄电池。第三图案74形成于数据衬垫64上, 起一种保证数据衬垫64与外部之间的电气连接作用。第四图案73通过接触区而形成于  
15 暴露着的栅极衬垫24上, 起一种保证栅极衬垫24与外部之间的电气连接作用。在此, 第一图案72, 75与第三图案74相连接, 但与其余图案71, 73, 76相分离, 第四图案73可以剩略。

在此, 导电体层图案是利用了透明导电物质, 如果是反射型液晶显示装置时, 也可使用非透明导电物质。

20 最后, 在这种结构的全范围内, 形成由诸如氮化硅等构成的钝化层80, 在钝化层80上形成暴露像素极71、第三及第四透明导电体层图案73, 74的开口部83, 84, 85以及暴露栅绝缘层30的两个开口部81, 82。开口部81, 82起一种把半导体层分隔成两部分的作用, 特别是在象本实施例, 像素极71与前端栅极线相重叠的前端栅极方式中, 如图5所示, 以栅极线22为  
25 栅极, 以数据线62为源极及以像素极71为漏极电极, 使之不产生寄生晶体管。但是, 如此把半导体层分成两部分, 并不是只有前端栅极方式所必须。即, 半导体层在接通栅极电压时形成通道, 所以, 如果相邻的两个数据线通过半导体层相连接, 那么两个数据线之间的信号会发生干涉现象, 所以, 有必要把这种相邻的两个数据线之间的半导体层分离。对这种情况,  
30 通过实施例4做详细说明。

下面对具有这种结构的液晶显示装置用薄膜晶体管阵列基板的制造方

法，参照附图3至图5和图6a至图8c进行详细说明。

图6a, 7a, 8a是根据本发明实施例制造过程中，中间过程中的薄膜晶体管阵列基板的配置图，是根据制造顺序依次排列的图。图6b, 7b, 8b各自是对图6a, 7a, 8a中沿着VIB-ViB', VIIB-VIIB', VIIIB-VIIIB'线的截面图。

5 图6c, 7c, 8c各自是图6a, 7a, 8a中按VIC-ViC', VIIC-VIIC', VIIIC-VIIIC'线的截面图。

首先，如图6a至6c所示，利用第一光掩模在基板10上形成横向的包括栅极线22、栅极电极26以及栅极衬垫24的栅极布线。如前所述，栅极布线22, 24, 26可由铝-钽合金与钼-钨合金膜的二重层组成，这时采用干式蚀刻法为佳。除此以外，也可由铬膜/铝-钽合金膜的二重层组成，但这时应采用湿式蚀刻法。

其次，如图7a至图7c所示，把栅绝缘层30、半导体层40、接触层50及由铬或铝-钽合金构成的数据导体层60的四重层连续沉积，然后，利用第二光掩模通过干式蚀刻法使之图案化。此时，如图7a所示，图案应以纵向及纵向延伸，形成矩形或网状，四重层覆盖全部栅极布线22, 24, 26，在像素领域中形成暴露基板10的开口部220。同时，形成暴露栅极衬垫24的接触孔210。

之后，如图8a至图8c所示，沉积ITO膜，利用第三光掩模通过干式蚀刻法使之图案化，从而形成透明导电体图案71, 72, 73, 74, 75, 76, 77，对没有被透明导电体层图案覆盖的数据导体层60及接触层50进行干式蚀刻。

最后，如图3至图5所示，重叠由氮化硅形成的钝化层80，利用第四光掩模，使其图案化，从而形成开口部81, 82, 83, 84, 85，蚀刻开口部81, 82，下部暴露的半导体层40，分成两部分42, 47。这时，如果对钝化层80和半导体层40采用干式蚀刻法，那么，就可连续进行，蚀刻气体可使用氮化硅与非晶质硅的蚀刻比为约10:1的氯(Cl)/氧(O<sub>2</sub>)气体。

这种薄膜晶体管阵列基板，除此以外，还可用多种变化形式及方法制造。

比如，在该实施例中，具有栅绝缘层30、半导体层40、接触层50及数据导体层60的四重层的图案，并不形成于各衬垫之间，但也可以在各衬垫之间形成四重层图案，然后把在各衬垫之间形成的半导体层，通过钝化层

的图案化而清除。

下面描述根据本发明的第二实施例的TFT阵列基板及其制造方法。

图9是根据本发明第二实施例的薄膜晶体管阵列基板的配置图，图10是在图9中沿着X-X'的薄膜晶体管阵列基板截面图，图11是在图9中沿着XI-XI'的薄膜晶体管阵列基板截面图。

如图9至图11所示，根据本实施例的薄膜晶体管阵列基板的结构，除衬垫部分以外，与第一实施例几乎相同。即，在第一实施例中，衬垫之间没有栅绝缘层，但在本实施例中，衬垫之间形成有栅绝缘层30。另外，位于衬垫之间的栅绝缘层上部的钝化层80上，形成有如图9所示的开口部86，开口部86的半导体层被清除，防止了各衬垫之间通过半导体层的连接。

下面，对具有这种结构的薄膜晶体管阵列基板的制造方法，参照附图9至图11以及图12a至图13b做详细说明。

图12a和图13a是根据本发明的第二实施例的制造中间过程中的薄膜晶体管阵列基板的配置图，是按制造顺序排列的图，图12b及图13b分别为图12a及图13a中按XIIB-XIIB'线及XIIIB-XIIIB'线的截面图。

首先，以与第一实施例相同的方法，形成栅极布线22，24，26，然后，连续沉积栅绝缘层30、半导体层40、接触层50及数据导电层60的四重层，并使其图案化。此时，如图12a及图12b所示，衬垫部的四重层为全部保留状态。

然后，如图13a及图13b所示，沉积ITO膜，使用干式蚀刻法使之图案化，从而形成透明导电体层图案71，72，73，74，75，76，77，对没有被透明导电体层图案覆盖的数据导体层60及接触层50进行干式蚀刻。

最后，如图9至图12所示，沉积钝化层80并使其图案化，从而形成开口部81，82，83，84，85，86，对暴露于开口部81，82，86下部的半导体层40进行蚀刻，在分隔相邻的数据线62下部部分42的同时，清除形成于衬垫之间的部分。此时，可与半导体层40一起，对其下部的栅绝缘层进行一定程度蚀刻。

另外，在第一及第二实施例中，像素极71的周边部被钝化层80所覆盖，但也可能并不如此。对此，参照表示根据本发明的第三实施例的薄膜晶体管阵列基板的结构的图14及图15做详细说明。在此，图15是图14中按XV-XV'的薄膜晶体管阵列基板的截面图。

如图14及图15所示，钝化层80的开口部85暴露出了像素极71的周边部。所以，钝化层80与像素极71之间的基板10被暴露。其余结构与第一实施例几乎相同。

这种结构是为了防止像素极71、数据线62或数据线62上部的导电体层图案72通过半导体层42而断落。即，当发生排列误差，使像素极71被置于伸出到数据线62外部的数据线下部的半导体层下部上，也因在钝化层80上形成开口部85并蚀刻半导体层42时，暴露出的半导体层42通过开口部85所清除，所以，像素极71下部的半导体层与数据线62下部的半导体层相分离。

虽然第一至第三实施例为前端栅结构的薄膜晶体管阵列基板，但也可适用于独立布线方式中。对此，通过第四实施例做详细说明。

图16是根据本发明第四实施例的液晶显示装置用薄膜晶体管阵列基板，图17是在图16中以XVII-XVII'线的截面图，图18是在图16中以XVIII-XVIII'线的截面图。

如图16至图18所示，在绝缘基板10上，在形成有栅极布线22，24，26以外，以相同的物质以及在相同层上还形成有储存布线27，28。栅极布线包括：横向延伸的栅极线22；与栅极线22的末端相连接的栅极衬垫24；以及作为栅极线22分支的栅极电极26。储存布线包括：与栅极线22相分离的、以平行横向延伸的储存电极线27；及与其末端下连接的储存衬垫28。

在栅极布线22，24，26及储存布线27，28上，形成有栅绝缘层30，在栅绝缘层30上形成有半导体层42，49。

半导体层具有两部分42，49，第一部分42以纵向延伸，第二部分49位于两个第一部分42之间，并处于储存电极线27上部，第二部分49与第一部分42相分离。

在半导体层42，49上，形成有接触层55，56，58，59，接触层55，56，58，59上，形成有由诸如铬或钼-钨合金等构成的数据布线62，64，66，68，69。数据布线62，64，66，68，69包括：具有源极的数据线62；数据衬垫64；漏极电极66；第一孤立数据导体68；及形成于半导体层的第二部分49上的第二孤立数据导体69。接触层55，56，58，59形成于半导体层42，49与数据布线62，64，66，68，69之间，并具有与数据布线62，64，66，68，69相同的形态。

另外，形成于栅极衬垫24及储存衬垫28上的栅绝缘层30、半导体层42、接触层58及第一孤立数据导体68，具有暴露栅极衬垫24及储存衬垫28的接触孔。

在由数据布线62，64，66，68，69上部、栅极线22及数据线62围绕着的像素领域的基板10上，形成有由诸如ITO等透明导电物质构成的透明导电体图案71，72，73，74，75，76，77。透明导电体图案71，72，73，74，75，76，77可分为相互分离的第一至第四图案。数据线62上形成的第一图案72，75包括：形成于数据线62的源极上部的部分75和其以外部分形成的部分72。第二图案71，76包括：形成于漏极电极66上部的部分76和形成于像素领域的像素极71。像素极71如图16所示，其形成于第二孤立数据导体69上部，与位于其下部的储存电极线27相重叠而构成储存电池。第三图案74形成于数据衬垫64上，起一种使数据衬垫64与外部以电气连接的作用。第四图案73形成于通过接触孔而暴露的栅极衬垫24及储存衬垫28上，起一种使栅极衬垫24与外部以电气连接的作用。

最后，在这种结构上的全部范围内，形成有由诸如氮化硅等物质的钝化层80。在钝化层80上，形成有形成于相邻的两个数据线62之间的栅极线22上部的栅绝缘层30和暴露像素极71的开口部。所以，钝化层80也就相当于随数据线62而形成全部清除相邻的两个数据线62之间的钝化层80，把暴露的半导体层也全部清除，从而使两数据线62之间不能通过半导体层相连接，同时使像素极71不被钝化层80所覆盖。另外，在钝化层80上，还形成有暴露第三及第四透明导电体图案73，74的开口部83，84。

其他结构与第三实施例类似。

具有这种结构的薄膜晶体管阵列基板的制造方法，除在形成栅极布线22，24，26时，同时形成储存布线27，28这一点以外，与第一实施例相类似。

本发明用于环(ring)栅结构的薄膜晶体管阵列基板时，通过第五实施例做详细说明。

图19是表示根据本发明第五实施例的液晶显示器用薄膜晶体管阵列基板的配置图，图20是表示沿着图19中的XX-XX'线的截面图。

如图19及图20所示，在绝缘基板10上，形成有横向的栅极布线22，25，26。在此，栅极线22以两个为一组，并通过栅极线连接部25而连接，

在两个当中的一个上，形成有栅极电极26。虽然图中未表示，但是，与前述实施例相同，其栅极衬垫与栅极线22的末端相连接。

在栅极布线22，25，26上，形成有栅绝缘层30，在栅绝缘层30上形成有半导体层42。半导体层42以纵向形成并通过相互分离的第一部分和薄膜晶体管的通道部与第一部分相连接，并与栅极线22及栅极线连接部25有一部分相重叠的第二部分构成。

在半导体层42上，形成有接触层55，56，57。接触层55，56，57上，形成有数据布线62，65，66，67。数据布线62，65，66，67包括：数据线62；与数据线相连接，并具有U字型凹部的源极65；形成于源极65凹部的漏极电极66；及与漏极电极66相连接，且与半导体层42的第二部分相重叠的储存电极67。虽然图中未表示，但是，数据衬垫与数据线的末端连接，以及，形成于栅极衬垫上部的孤立的数据导电层(末图示)，与前述实施例相同。接触层55，56，57形成于半导体层42与数据布线62，65，66，67之间，并具有与数据布线62，65，66，67相同的形态。

另外，形成于栅极衬垫上的栅绝缘层30、半导体层42、接触层及孤立数据导体，具有暴露栅极衬垫的接触孔，这些与前述实施例相同。

在由数据布线62，65，66，67的上部、栅极线22以及数据线62围绕的像素领域基板10上，形成有由诸如ITO等透明导电物质构成的透明导电层图案71，72，75，76。此时，除像素极71、栅极衬垫及数据衬垫上部的导电层图案(末图示)以外的透明导电层图案72，75，76，与其下部的数据布线62，65，66，67具有相同的形态。这是因用光掩模对透明导电层图案72，75，76下部的数据布线62，65，66，67及接触层55，56，57图案化的缘故。

像素极71形成于储存电极67上，并与位于其下部的栅极线22及栅极线连接部25相重叠而形成储存电极。栅极衬垫及数据衬垫上部的透明导电层图案，与前述的实施例相同，起一种保证暴露的栅极衬垫及数据衬垫与外部以电气连接的作用。

最后，在这种结构的全部范围内形成有钝化层80。钝化层80上，形成有暴露像素极71的开口部85和暴露栅绝缘层30以及基板10并沿着像素极71周边部形成的沟渠(trench)81。此时，沟渠81以纵向延伸，除与漏极电极66相连接部分以外，形成完全包围像素极71的形态。该沟渠81通过清除其下



部的半导体层42，实现防止相邻的两个数据线62之间或像素极71和数据线62通过半导体层42的相互连接，并在清除半导体层的同时，清除可能残留在半导体层42上的ITO残渣，从而防止像素极71和数据线62的断落。

具有这种结构的薄膜晶体管阵列基板的制造方法与第一至第四实施例  
5 相同。

为了实现本发明目的的另一种方法，通过第六至第八实施例做详细说明。

首先，参照图21及图22对根据本发明第六实施例的薄膜晶体管阵列基板的结构做详细说明。

10 图21及图22是在图2中表示液晶显示器用薄膜晶体管和像素极及布线和周边部的衬垫的扩大图，图21为配置图，图22是表示沿着图21中的XXII-XXII'线的截面图。

首先，在绝缘基板10上，形成由铝(Al)或铝合金(Al alloy)，钼(Mo)或钼-钨合金(MoW)，铬(Cr)，钽(Ta)等金属或导电体构成的栅极布线。栅极布  
15 线包括：以横向延伸的扫描信号线、栅极线22或栅极线的末端相连接，从外部接收扫描信号，并向栅极线22传送的栅极衬垫24；及，为栅极线22分支的薄膜晶体管的栅极电极26。

栅极布线22，24，26可以单一层形成也可以二重层或三重层形成。以二重层以上的形式构成时，一层由电阻小的物质构成、而另一层较佳地是  
20 由跟其它物质的接触特性好的物质构成。比如，Cr/Al(或Al合金)的二重层或Al/Mo的二重层。

在栅极布线22，24，26上，形成有由氮化硅等构成的栅绝缘层30，它覆盖图像显示部的全部范围，特别覆盖着栅极线22及栅极电极26。但是，栅绝缘层30并不覆盖周边部的栅极衬垫24。

25 栅绝缘层30上，形成有由氢化非晶质硅等半导体构成的半导体层图案42，半导体层图案42上形成有由磷(P)等n型不纯物以高浓度掺杂的非晶质硅或硅化物等构成的欧姆接触层(ohmic contact layer)图案或中间层图案55，56。

接触层图案55，56，上，形成有由Mo或MoW合金，Cr，Al或Al合金，  
30 Ta等导电物质形成的数据布线62，64，65，66。数据布线包括：纵向排列的数据线62；与数据线62的一端相连接，并从外部接收图像信号的数据衬

垫64；和，由数据线62分支的薄膜晶体管的源极电极65构成的数据线部。数据布线进一步包括：与数据线部分离，并相对栅极电极26处于源极65相反方向的薄膜晶体管的漏极电极66。

5 数据布线62，64，65，66也与栅极布线22，24，26同样，可以单层形成也可以二重层或三重层形成。当然，以二重层以上层形成时，较佳地是其中一层应使用电阻小的物质，而另一层应使用与其它物质间的接触特性好的物质。

另外，接触层图案55，56具有与数据布线62，64，65，66相同的形态，它起一种降低其下部半导体层图案42与其上部数据布线62，64，65，10 66之间的接触电阻作用。虽然半导体层图案42与数据布线62，64，65，66及接触层图案55，56具有几乎相同的形态，但不同的是，它还形成于源极电极65与漏极电极66之间。

数据布线62，64，65，66上，形成有由诸如氧化铟锡(ITO)等透明或不透明导电物质构成的导电体层图案71，72，73，74。导电体层图案首先包15 括，主要形成于由栅极线22及数据线62围绕的像素领域内的像素极71。像素极71位于漏极电极66的正上部，并把栅绝缘层30置于中间，与栅极线22相重叠而形成储存电池。另外，导电体层图案还包括：覆盖数据线62及源极电极65的辅助数据线72；及覆盖数据衬垫64的辅助数据衬垫74。还进一步包括形成于栅极衬垫24紧上部，并覆盖栅极衬垫24的辅助栅极衬垫73。

20 在该实施例6中，导电体层图案71，72，73，74和没有被该导电体层图案覆盖的半导体层图案42及没有被辅助栅极衬垫73和栅绝缘层30覆盖的栅极布线22，24，26，被钝化层80覆盖，钝化层80在半导体层图案42中，至少应覆盖并保护处于源极65与漏极电极66之间的通道部分。钝化层80可以由氮化硅或碱性的有机绝缘物质构成。

25 在此，像素极63的材料是以透明的ITO为例作了说明，但在反射型液晶显示装置中，可使用不透明导电物质。

下面，对根据本发明第六实施例的液晶显示装置用薄膜晶体管阵列基板的制造方法，参照图23a至图29b及图21和图22做详细说明。

30 首先，如图23a及图23b所示，把诸如金属等导电体层，用溅射等方法，以1000埃至3000埃的厚度进行叠层，利用第一光掩模进行干式或湿式蚀刻，在基板10上形成包括栅极线22、栅极衬垫24及栅极电极26的栅极布

线。

然后，如图24a至24b所示，把栅绝缘层30、半导体层40及接触层50通过化学气相沉积法，分别以1500埃至5000埃，500埃至1500埃，300埃至600埃的厚度连续沉积。然后，把诸如金属等导电体层60，通过溅射等方法，以1500埃至3000埃的厚度进行沉积。接着，利用第二光掩模使金属层60、接触层50、半导体层40及栅绝缘层30图案化，从而形成金属层图案61、其下部的第一接触层图案51及半导体层图案42(参考图28)。在此，金属层图案与完成的数据布线相似，但不同之处是源极电极和漏极电极还与其相连接。此时，在周边部(P)中，除金属层图案61及其下部的膜以外，清除所有金属层60、接触层50、半导体层40及栅绝缘层30，但在图像显示部(D)中，只清除金属层图案61以外剩下的金属层60、接触层50及半导体层40，不应使栅绝缘层30也被清除。为此，按部位形成厚度不同的感光膜图案，并以此为蚀刻掩模对下部的各膜进行干式蚀刻，对此参照图24b至图27做详细说明。

首先，在金属层60上涂敷光致抗蚀剂层(PR)，较佳地是涂敷阳性光致抗蚀剂层，其厚度为5000埃至30000埃，之后，利用第二光掩模300，410，420进行曝光。曝光后的光致抗蚀剂层(PR)如图24b，图像显示部(D)与周边部(P)不同。即，在图像显示部(D)的光致抗蚀剂层(PR)中，曝光的部分(C)，从表面到一定深度发生了光反应，使高分子分解，而其下面部分的高分子没有发生反应，继续保持原状，而周边部位(P)的光致抗蚀剂层(PR)与此不同，曝光部位(B)一直到下部，全部发生了反应，使高分子发生了分解。在此，图像显示部(D)或周边部位(P)中被曝光的部位(C，B)，是金属层60应被清除的部位。

为此，可利用改变使用在图像显示部(D)光掩模300和使用在周边部(P)光掩模410，420的结构的方法，在此提供三种方法。

如图25a及图25b所示，光掩模300，400包括：一般基板310，410；在上述基板上，由诸如铬等形成的不透明图案层320，420；和，覆盖在图案层320，420及暴露的基板310，410上的薄膜(pellicle)330，430构成。使用在图像显示部(D)光掩模300的薄膜330的光透过率比使用在周边部(P)光掩模400的薄膜430的光透过率低。薄膜330的透过率为薄膜430透过率的10%至80%为佳，最佳地是，在20%至60%之间。

如图26a及图26b所示，在图像显示部(D)光掩模300的全部范围内，使铬层350的厚度为约100埃至300埃，使透过率降低，而在周边部(P)的光掩模400中不残留这种铬层。这时，使用在图像显示部(D)光掩模300薄膜340可具有与周边部(P)的薄膜430相同的透过率。

5 在此，理所当然可以把上述两种方法混合使用。

上述两个例，是使用分档器进行分割曝光时适用的方法，它因在图像显示部(D)和周边部(P)使用不同的光掩模进行曝光，所以成为可能。在这样分别曝光时，除上述以外，还可通过改变在图像显示部(D)和周边部(P)的曝光时间来调整厚度。

10 但是，在图像显示部(D)和周边部(P)中，也可以不使用分别曝光方法，而是用一个光掩模进行曝光，这时，所适用的光掩模的结构，参照图28做详细说明。

如图28所示，在光掩模500的基板510上形成有透过率调解膜550，透过率调解膜550上形成有图案层520。透过率调解膜550在图像显示部(D)中，不仅形成于图案层520的下部，而且是形成于整个范围，但是，在周边部(P)中，只是形成于图案层550的下部。其实，就是在基板510上形成高度不同的两个以上的图案。

当然，可使周边部(P)也具有透过率调解膜，这时，周边部(P)的透过率调解膜的透过率，应当比图像显示部(D)的透过率调解膜550的透过率高。

20 在制造具有这种透过率调解膜550的光掩模500时，首先，在基板500上，连续沉积透过率调解膜550和与该透过率调解膜550相比，蚀刻比不同的图案层520。在全部范围内涂敷光致抗蚀剂层(未图示)，经曝光、显像后，用蚀刻光掩模对光致抗蚀剂层进行蚀刻而形成图案层520。清除剩余光致抗蚀剂层后，再使周边部(P)的接触窗对应位置的透过率调解膜曝光，形成新光致抗蚀剂层图案(未图示)，再以此为蚀刻掩模蚀刻透过率调解膜550而完成光掩模500。

除这种方法以外，还可用具有比光源的解析度小的缝隙 slit 或矩阵型状的微细图案掩模来调解透过率。

30 用这种方法使光致抗蚀剂层(PR)曝光后显像时，可获得如图24b中所示的网状表示部被清除，按部位厚度不同的光致抗蚀剂层图案(PR)。即，除欲形成金属层图案61部分以外的所有周边部上，没有形成光致抗蚀剂层，在

将要形成金属层图案61部分的金属层60上部，形成有厚的光致抗蚀剂层(A)，在图像显示部(D)的其它部分形成有薄的光致抗蚀剂层(C)。

这时，光致抗蚀剂层(PR)的薄部分的厚度，较佳地是在最初厚度的1/4至1/7之间，即，350埃至10000埃之间，最佳地是在1000埃至6000埃之间。

5 比如，可以使光致抗蚀剂层(PR)的最初厚度为25000埃至30000埃，图像显示部(D)的透过率为30%，使薄部分光致抗蚀剂层厚度成为3000埃至5000埃。但是，保留的厚度应根据干式蚀刻工艺的条件而决定，所以，必须根据这种工艺条件，对光掩模的薄膜，残留铬层的厚度或透过率调解膜的透过率以及暴光时间等进行调整。

10 这种薄的光致抗蚀剂层也可用通常的方法经光致抗蚀剂层曝光、显像后，通过回流(reflow)而形成。

接着，通过干式蚀刻法对光致抗蚀剂层图案(PR)及其下部的膜，即，金属层60、接触层50、半导体层40及栅绝缘层30进行蚀刻。

15 这时，如前所述，光致抗蚀剂层图案(PR)中的A部分不应完全清除，B部分下部的金属层60、接触层50、半导体层40及栅绝缘层30应被清除，在C部分下部中，应当只清除金属层60和其下部的接触层50及半导体层40，而保留栅绝缘层30。

20 为此，首先通过湿式或干式蚀刻清除周边部的金属层60，从而暴露接触层50。接着，使用可使光致抗蚀剂层图案(PR)、接触层50和半导体层40同时蚀刻的干式蚀刻法进行蚀刻。此时，蚀刻进行到使C部分的薄的光致抗蚀剂层被清除而暴露其下部的金属层60时，在此过程中，周边部中被暴露的接触层50和其下部的半导体层40被蚀刻。此时，根据薄的光致抗蚀剂层和各层50，40的厚度与蚀刻条件，半导体层40被完全蚀刻而暴露栅绝缘层30，或，有可能使栅绝缘层30也被蚀刻一定的深度，也有可能剩下一定厚度的半导体层40。另外，在此过程中，A部分的厚的光致抗蚀剂层也被蚀刻一定深度。接着，以湿式或干式蚀刻法清除C部分中露出的金属层，从而暴露接触层50。最后，用可以同时对接触层50、半导体层40及栅绝缘层30进行蚀刻的干式蚀刻法进行蚀刻。此时，结束蚀刻的前提是暴露出周边部的栅极衬垫24，这时，在C部分中暴露的接触层50和其下部的半导体层40应被清除。当然，A部分的光致抗蚀剂层在此时也被蚀刻一定的深度。

30 所以，通过一次光掩模工艺和干式蚀刻法，在图像显示部(D)中只清除

金属层60、接触层50及半导体层40，从而形成金属层图案61、第一接触层图案51及半导体层图案42，在周边部(P)中，可全部清除，除金属层图案61以外的剩余部分，即，金属层60、接触层50、半导体层40及栅绝缘层30。

然后，清除剩余的A部分的光致抗蚀剂层图案，以溅射法等沉积400埃至500埃厚度的ITO层。接着，利用第三光致抗蚀剂层使ITO层图案化。从而形成具有如图29a及图29b所示结构的导电体层图案71，72，73，74。此时，像素极71与补助数据线72之间具有栅极电极26，至使它们相分隔，所以使它们之间的金属层图案61被暴露。然后，通过湿式蚀刻等方法清除暴露的金属层图案，从而暴露第一接触层图案51的同时，分离源极电极65及漏极电极66。接着，通过蚀刻暴露的第一接触层图案51而暴露半导体层42，从而完成薄膜晶体管。

最后，如图21及图22所示，用CVD方法沉积氮化硅或把有机绝缘物质旋转镀敷成3000埃以上的钝化层80，并用第四光掩模使其图案化。此时，图案化时应使像素极71、补助栅极衬垫73及补助数据衬垫74暴露。另外，光致抗蚀剂层80，可利用感光性物质只通过曝光及显像过程而图案化。

如前述，在第六实施例中，对覆盖栅极衬垫24的栅绝缘层30，与金属层图案61、第一接触层图案51及半导体层图案42同时利用一个光掩模形成所以能够减少光刻步骤数。

另外，在前述的第六实施例中，是以薄膜晶体管阵列基板上只具有像素极的状态为例做了说明，但是，该方法也可适用于薄膜晶体管阵列基板具有像素极以及共同电极的状态下。

下面对该状态通过第七实施例，参照图30至图35c做详细说明。

图30是根据本发明第七实施例的液晶显示装置用薄膜晶体管阵列基板的配置图，图31及图32是对图30中沿着XXXI-XXXI'线和XXXII-XXXII'线的截面图。

首先，在绝缘基板10上，形成有由铝(Al)或铝合金(Al alloy)，钼(Mo)或钼-钨(MoW)合金，铬(Cr)，钽(Ta)等金属或导电体构成的栅极布线。栅极布线包括：横向排列的扫描信号线或栅极线22；与栅极线22的末端相连接，从外部接收扫描信号并传送给栅极线22的栅极衬垫24；以及，作为栅极线22的一部分的薄膜晶体管的栅极电极26。

另外，在基板10上，形成有与栅极布线相同物质构成的共同极布线。

共同电极布线包括：与栅极线22相平行的横向排列的共同电极线27和共同电极线27的纵向分支的共同电极28。虽然末图示，但是，形成于共同电极线27的末端，接收共同电极信号，并向共同电极线27传送的共同电极线衬垫，也与栅极衬垫24几乎相同的形态而形成。

5 在栅极布线22，24，26及共同电极布线27，28上，形成有由氮化硅(SiN<sub>x</sub>)等构成的栅级绝缘膜30，覆盖图像显示部的全部范围，特别覆盖栅极线22、栅极电极26、共同电极线27、及共同电极28。但是，栅绝缘层30并不覆盖周边部的栅极衬垫24及共同电极线。

10 在栅绝缘层30上，形成有诸如氢化非晶质硅等半导体构成的半导体层图案42，在半导体层图案42上形成有诸如磷(P)等n型不纯物经高浓度掺杂的氢化非晶质硅或诸如硅化物等构成的欧姆接触层图案或中间层图案55，56。

15 接触层图案55，56上，形成有由诸如钼或钼-钨合金，铬，铝或铝合金，钽等金属构成的数据布线62，64，65，66。数据布线首先包括：纵向排列的数据线62；与数据线62的一端连接，从外部接收图像信号的数据衬垫64；做为数据线62分支，包括薄膜晶体管的源极电极65的数据线部。数据线导还进一步包括：与数据线部相分离的、相对于栅极电极26处于源极电极65的相反方向的薄膜晶体管的漏极电极66。

20 另外，接触层图案55，56具有与数据布线62，64，65，66相同的形态，起一种降低其下部的半导体层图案42与其上部的数据布线62，64，65，66之间的接触电阻作用。半导体层图案42具有与数据布线62，64，65，66及接触层图案55，56几乎相同的形态，但它也形成于源极电极65及漏极电极66之间，这一点有所不同。

25 数据布线62，64，65，66上，形成有由导电物质构成的导电体图案72，73，74，75，76。导电体图案首先包括：与共同电极线27相平行，并延伸至漏极电极66上部的像素极线75；和，与像素极线75相连接，并与共同电极线27相平行的像素极76。像素极76与共同电极28是以交替配置而形成电场，像素极76可置栅绝缘层30于中间与共同电极线27相重叠而形成储存电容器。另外，导电体图案包括：覆盖数据线62及源极65的辅助数据线30 72和覆盖数据衬垫64的辅助数据衬垫74。还进一步包括，形成于栅极衬垫24紧上部，并覆盖栅极衬垫24的辅助栅极衬垫73和覆盖共同电极线衬垫的

补助共同电极线衬垫(末图示)。

然后，在导电体图案72，73，74，75，76上，形成有补助栅极衬垫73、补助共同电极线衬垫(末图示)及具有分别暴露补助数据衬垫74的接触区的钝化层80。钝化层80可由氮化硅或碱性是有的有机绝缘物质构成。

5 下面，对根据本发明实施例的液晶显示器用薄膜晶体管阵列基板的制造方法，参照图33a至图35c及图30至图32做详细说明。

首先，如图33a至图33c所示，把诸如金属等导电体层，用溅射等方法，以1000埃至3000埃的厚度进行沉积，利用第一光掩模，通过干式或湿式蚀刻法，在基板10上形成包括栅极线22、栅极衬垫24及栅极电极26的栅极布  
10 线27，和，包括共同电极线衬垫(末图示)及共同电极28的共同电极布线。

然后，如图34a及图34c所示，把栅绝缘层30、半导体层40及接触层50，通过利用化学气相沉积法，分别以1500埃至5000埃，500埃至1500埃，300埃至600埃的厚度连续沉积。然后，继续以溅射等方法沉积1500埃至3000埃厚度的金属层60。接着，使用第二光掩模，把金属层60、接触层  
15 50、半导体层40以及栅绝缘层30图案化，从而形成金属层图案61、及其下部的第一接触层图案51以及半导体层图案42。在此，金属层图案与完成的数据布线在形态上相似，但不同点是源极电极和漏极电极还没有被连接。这时，在周边部(P)中，除金属层图案61和其下部的薄膜以外，清除所有的金属层60、接触层50、半导体层40及栅绝缘层30。但是，在图像显示部(D)  
20 中，除金属层图案61以外，只清除剩余的金属层60、接触层50及半导体层40，不应使栅绝缘层30也被清除。

在此使用的方法与第六实施例相同。即，按着部位，形成不同厚度的光致抗蚀剂层图案，并以此为蚀刻掩模对下部的各膜进行干式蚀刻，在形成这种光致抗蚀剂层图案时，根据不同部位使用不同透过率的光掩模。

25 接着，用溅射等方法，以400埃至500埃的厚度沉积导电体层。之后，使用第三光掩模使之图案化，形成具有与图35a至图35c相同结构的导电体图案72，73，74，75，76。这时，像素电极线75与补助数据线72之间置有栅极电极26，其间的金属层图案61被暴露。然后，把暴露的金属层图案61通过湿式蚀刻等方法清除，从而暴露第一接触层图案51的同时，分离源极电  
30 极65及漏极电极66。接着，对暴露出的第一接触层图案51进行蚀刻，最终暴露出半导体层42而完成薄膜晶体管。



最后，如图21及图22所示，把氮化硅用CVD方法沉积或把有机绝缘物质旋转涂覆成具有3000埃以上厚度的钝化层80，之后，利用第四光掩模使之图案化。此时，图案化后，应使补助栅极衬垫73以及补助数据衬垫74暴露。

5 如上所述，于第七实施例中，虽然利用一个光掩模同时形成覆盖栅极衬垫24的栅绝缘层30，以及金属层图案61、第一接触层51及半导体层图案42，并且通过使周边部与图像显示部的透过率不同而减少了光掩模的使用数，但是也可以使用与此不同的方法。

本发明的第八实施例，是有关在形成数据布线时，在薄膜晶体管通道部分使用厚度薄的光致抗蚀剂层，从而减少光掩模的方法，亦即是有关薄膜晶体管阵列基板上具有像素极和共同极的状态。

下面，对根据本发明第八实施例的液晶显示器用薄膜晶体管阵列基板的制造方法，参照图36至图41c做详细说明。

图36是表示根据本发明第八实施例的液晶显示器用薄膜晶体管阵列基板的配置图，图37及图38是表示沿着图36中的XXXVII-XXXVII'线及XXXVIII-XXXVIII'线的截面图；

20 首先，在绝缘基板10上，形成由铝或铝合金，钼或钼-钨合金，铬，钽等金属或导电体构成的栅极布线。栅极布线包括：横向排列的扫描信号线或栅极线22；与栅极线22的末端相连接，从外部接收扫描信号并向栅极线22传送的栅极衬垫24；以及，为栅极线22分支的薄膜晶体管的栅极电极26。

25 另外，在基板10上，形成有与栅极布线相同物质构成的共同极布线。共同电极布线包括：与栅极线22相平行的横向排列的共同电极线27和共同电极线27的纵向分支的共同电极28。虽然未图示，但是，形成于共同电极线27的末端，接收共同电极信号，并向共同电极线27传送的共同电极线衬垫，也与栅极衬垫24几乎相同的形态而形成。

30 在栅极布线22，24，26及共同电极布线27，28上，形成有由氮化硅(SiN<sub>x</sub>)等构成的栅级绝缘膜30，并覆盖栅极布线22，24，26及共同电极布线27，28。栅极绝缘层30覆盖显示区域的基底10，但是不覆盖栅极衬垫24、公共衬垫和周边区域的基底10

在栅绝缘层30上，形成有诸如氢化非晶质硅等半导体构成的半导体层

图案42，在半导体层图案42上形成有诸如磷(P)等n型不纯物经高浓度掺杂的氢化非晶质硅或诸如硅化物等构成的欧姆接触层图案或中间层图案55，56。

接触层图案55，56上，形成有由诸如钼或钼-钨合金，铬，铝或铝合金，钽等导电物质构成的数据布线62，64，65，66，68，69。数据布线首先包括：纵向排列的数据线62；与数据线62的一端连接，从外部接收图像信号的数据衬垫64；做为数据线62分支，包括薄膜晶体管的源极电极65的数据线部。数据线还进一步包括：与数据线部相分离的、相对于栅极电极26处于源极电极65的相反方向的薄膜晶体管的漏极电极66；漏极电极66延伸，并与共同电极线27平行的像素极线69；和，做为其分支，并与共同极28平行的像素极68。像素极68与共同电极28交替配置而形成电场，并且，像素极68置栅绝缘层30于中间，与共同电极线27形成储存电容器。

另外，接触层图案55，56具有与数据布线62，64，65，66，68，69相同的形态，起一种降低其下部的半导体层图案42与其上部的数据布线62，64，65，66之间的接触电阻作用。半导体层图案42具有与数据布线62，64，65，66，68，69及接触层图案55，56几乎相同的形态，但它也形成于源极电极65及漏极电极66之间，这一点有所不同。

数据布线62，64，65，66，68，69上，形成有钝化层80。钝化层80具有，在数据线62及数据衬垫64上形成有多个接触孔82，84，并与栅绝缘层30一起暴露栅极衬垫24的接触孔83。在此，钝化层80可由氮化硅或碱性有机绝缘物质构成。

在钝化层80上，形成有由导电物质构成的导电体层图案72，73，74，75，76。导电体图案包括覆盖数据线62的补助数据线72和覆盖数据衬垫64的补助数据衬垫74。还包括，形成于栅极衬垫24紧上面的覆盖栅极衬垫24的补助栅极衬垫73。

下面，对根据本发明第八实施例的液晶显示器用薄膜晶体管阵列基板的制造方法，参照图39a至图41c及图36至图38做详细说明。

首先，如图39a至图39c所示，把诸如金属等导电体层，用溅射等方法，以1000埃至3000埃的厚度进行沉积，利用第一光掩模，通过干式或湿式蚀刻法，在基板10上形成包括栅极线22、栅极衬垫24及栅极电极26的栅极布线27，和，包括共同电极线衬垫(末图示)及共同电极28的共同电极布线。

然后，如图40a及图40c所示，把栅绝缘层、半导体层及接触层，通过利用化学蒸汽沉积法，分别以1500埃至5000埃，500埃至1500埃，300埃至600埃的厚度连续沉积。然后，继续以溅射等方法沉积1500埃至3000埃厚度的金属层。接着，使用第二光掩模，把金属层、接触层及半导体层，通过光刻形成数据布线62，64，65，66，68，69和其下部的接触层图案55，56以及半导体层图案42。此时，半导体层图案42只保留被数据布线62，64，65，66，68，69覆盖的部位，以及在暴露于源极65和漏极电极66之间的通道部位，而其余部分应全部被清除，为此，应使通道部位的光致抗蚀剂层厚度小于数据布线上部光致抗蚀剂层的厚度。对此，可通过使光掩模在通道部分的透过率比在其他部分的透过率小而实现。

如前所述，按部位形成不同厚度的光致抗蚀剂层图案后，以此为蚀刻掩模对下部的各膜进行蚀刻。首先，对金属层的暴露部分通过湿式蚀刻等方法清除。同时，对除通道部薄的光致抗蚀剂层及数据布线部分以外其余暴露的接触层及其下部半导体层，通过干式蚀刻法清除。那么，在通道部位上就会暴露金属层，在其余部位上暴露栅绝缘层30，而数据布线部分上部厚的光致抗蚀剂层会减少一定的厚度。接着，对通道部分的金属进行湿式蚀刻，暴露出其下部的接触层，再通过干式蚀刻清除而形成图案。

然后，如图41a至图41c所示，把氮化硅通过CVD方法进行沉积或把有机绝缘物质通过旋转涂敷，沉积具有3000埃以上厚度的钝化层80，然后，利用第三光掩模与栅绝缘层30一起图案化。此时，图案化后，应使栅极衬垫24、数据衬垫64及数据线62的一部分暴露。

最后，用溅射等方法沉积400埃至500埃厚度的导电体层，并利用第四光掩模图案化，形成具有图36至图38所示结构的导电体层图案72，73，74，最终完成薄膜晶体管。

如前述，在第八实施例中，薄膜晶体管的半导体层图案与数据布线62，64，65，66，68，69同时利用一个光掩模形成，所以减少了光刻步骤数。

从上述不难看出本发明的优点，通过本发明，不仅可以利用四个光掩模制造液晶显示器用薄膜晶体管阵列基板，而且，还能保护栅极衬垫及有效地防止液晶显示器的电流泄漏。

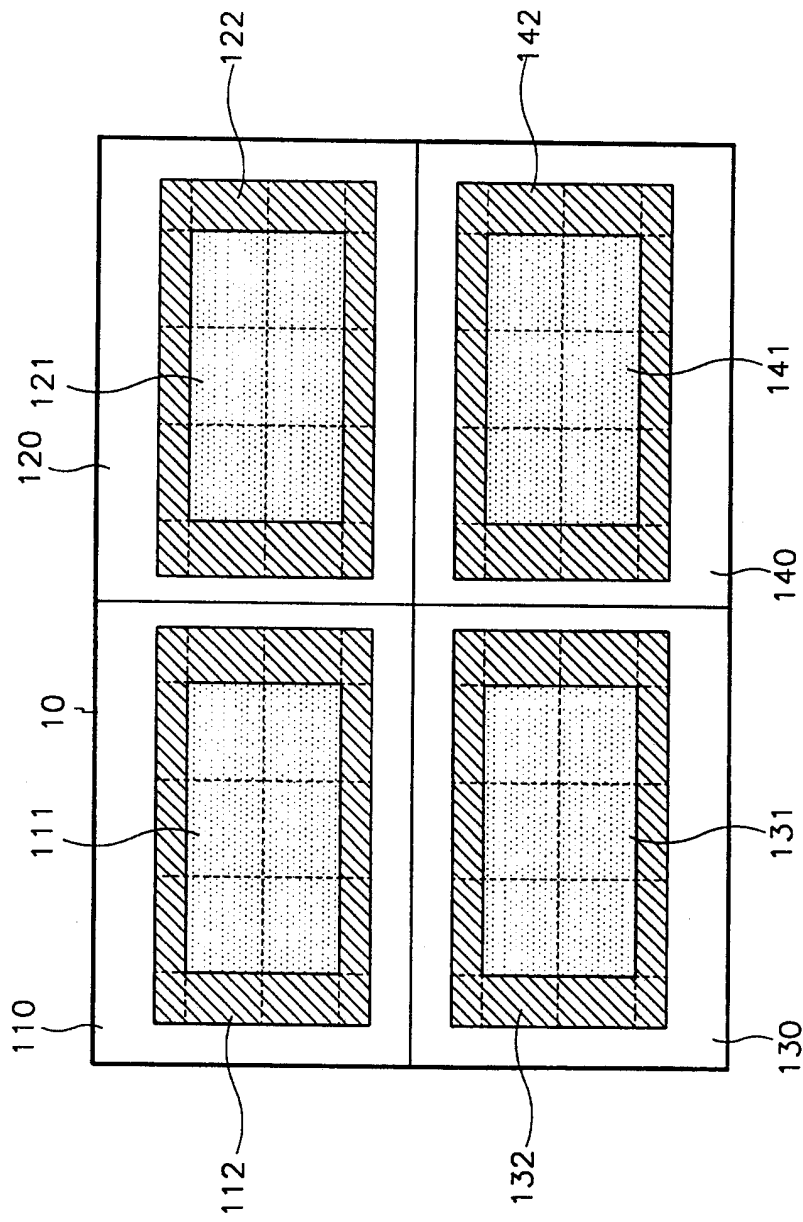


图 1

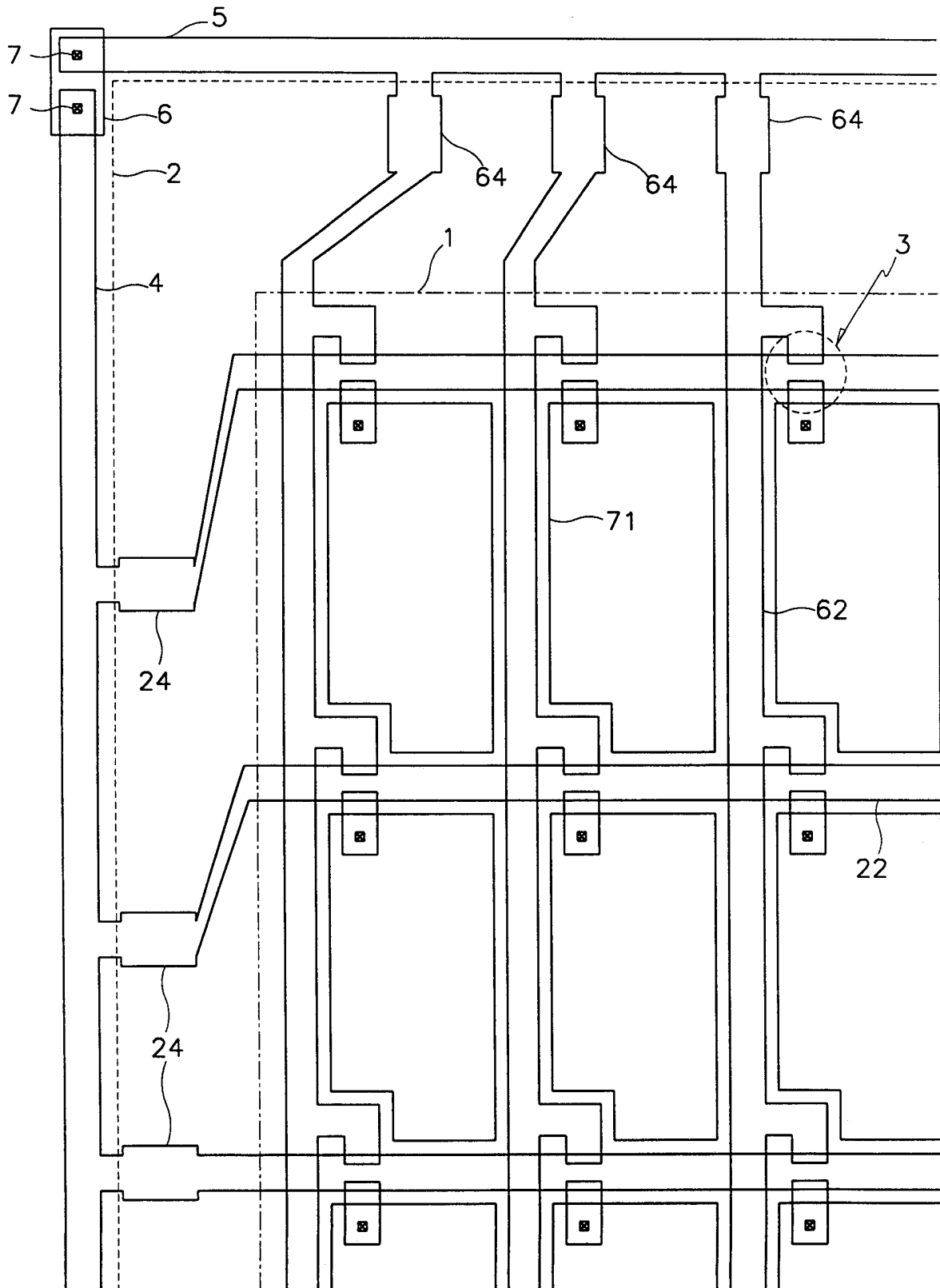


图 2

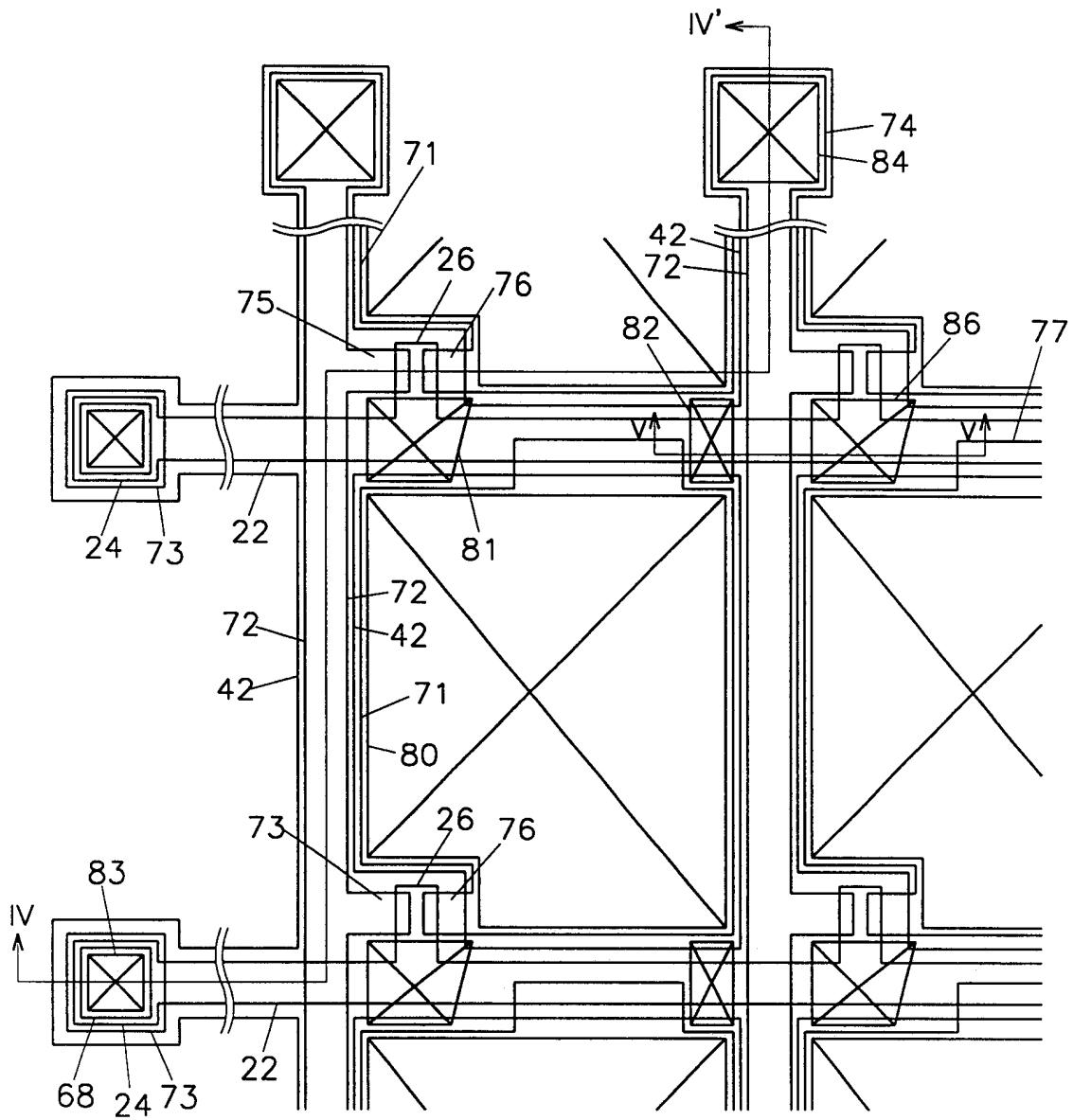


图 3



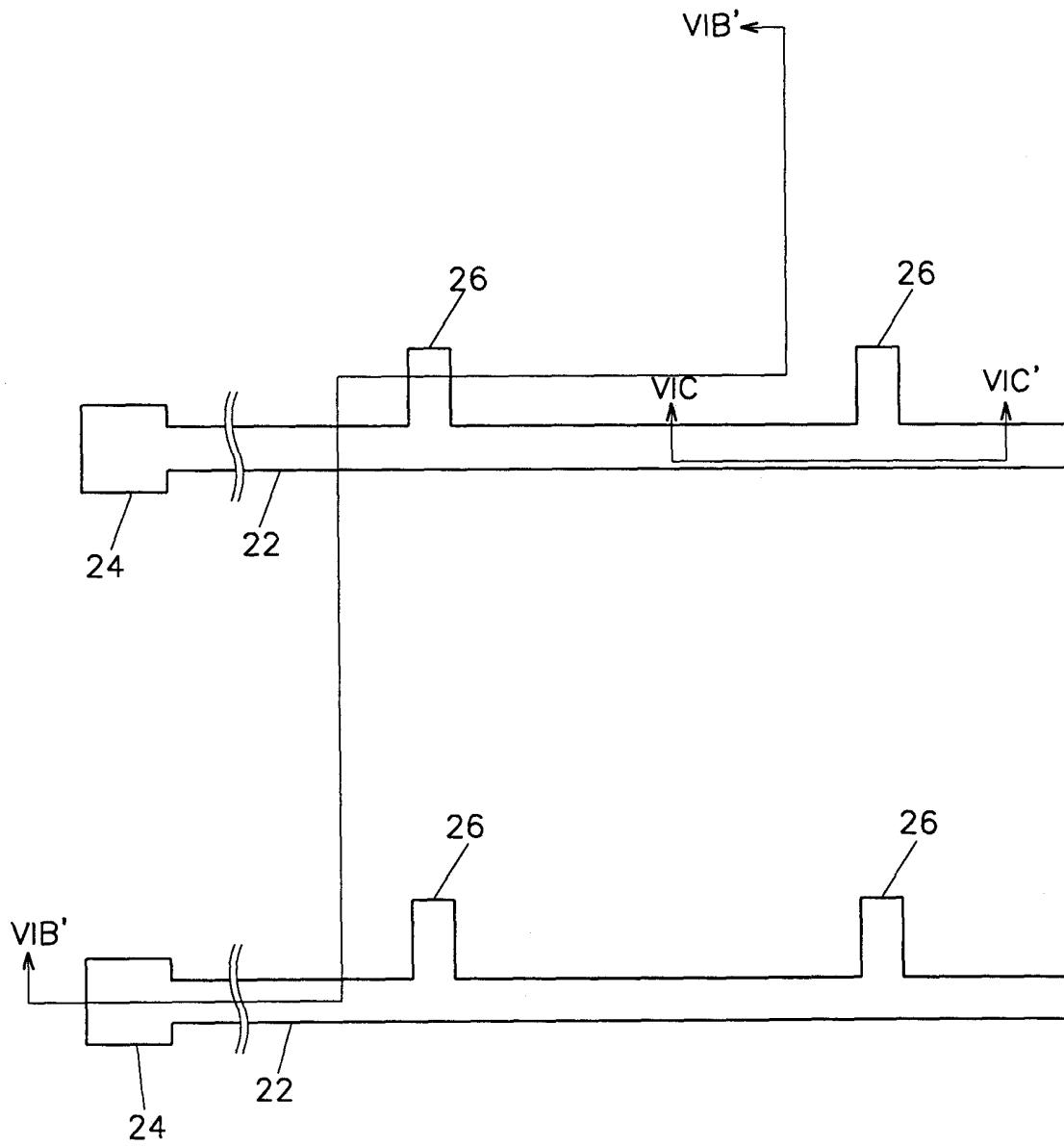


图 6A



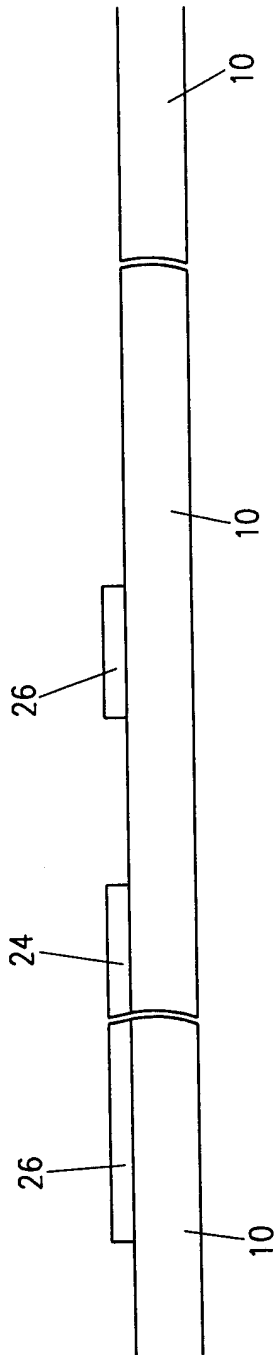


图 6B

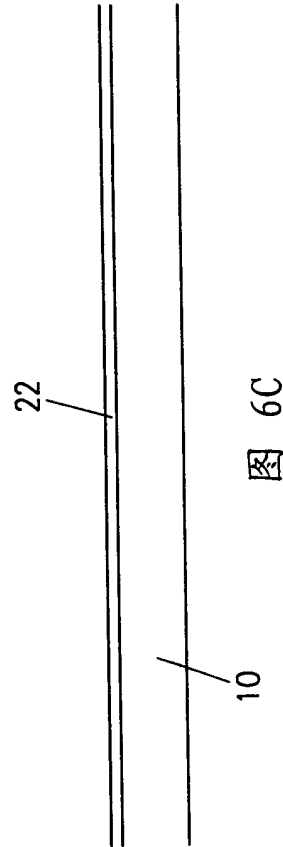


图 6C

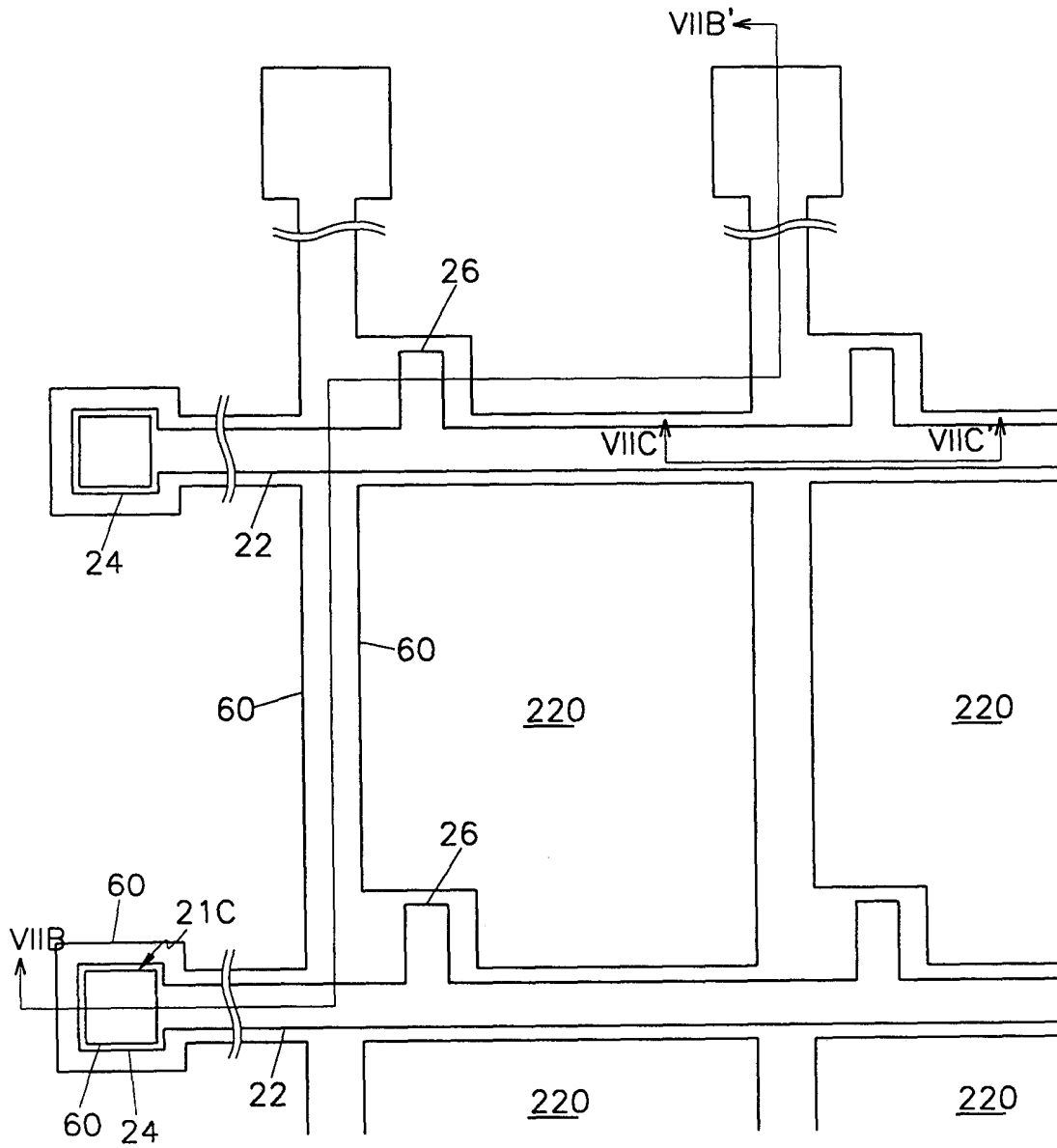


图 7A

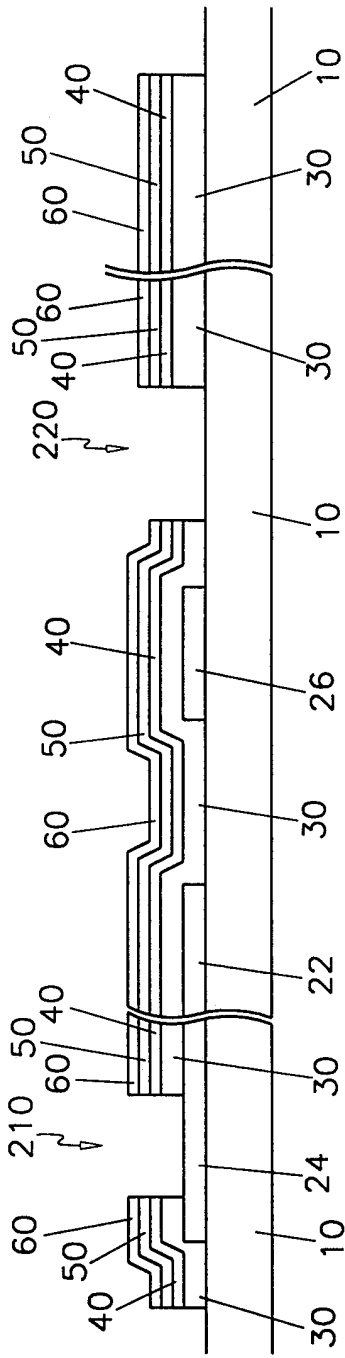


图 7B

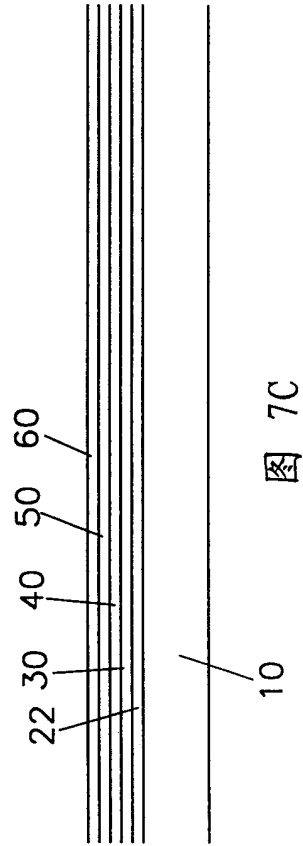


图 7C



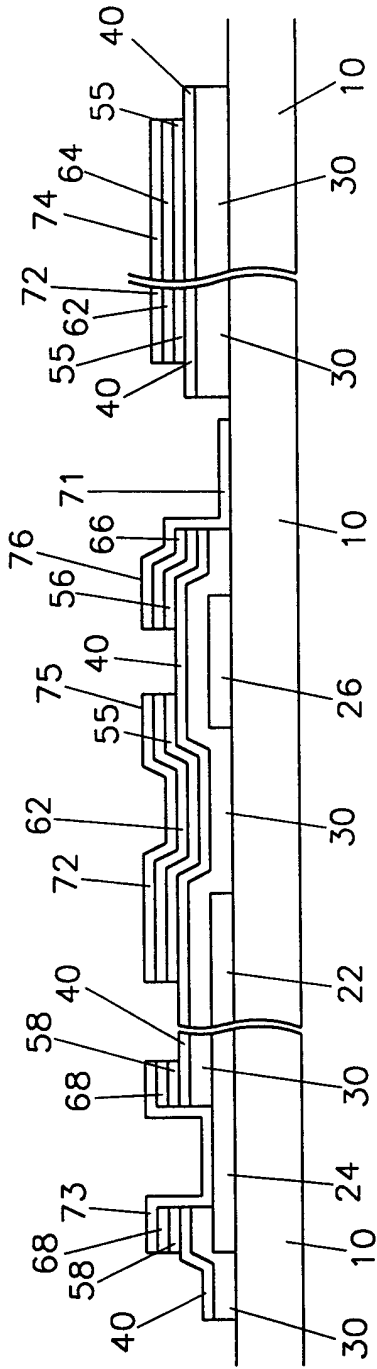


图 8B

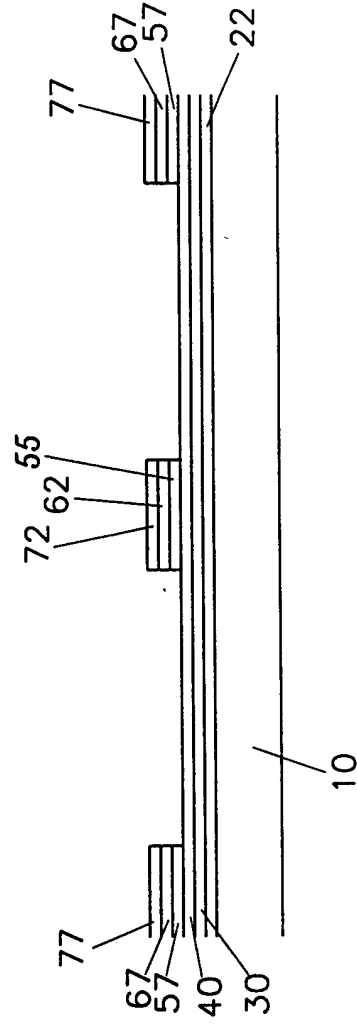


图 8C

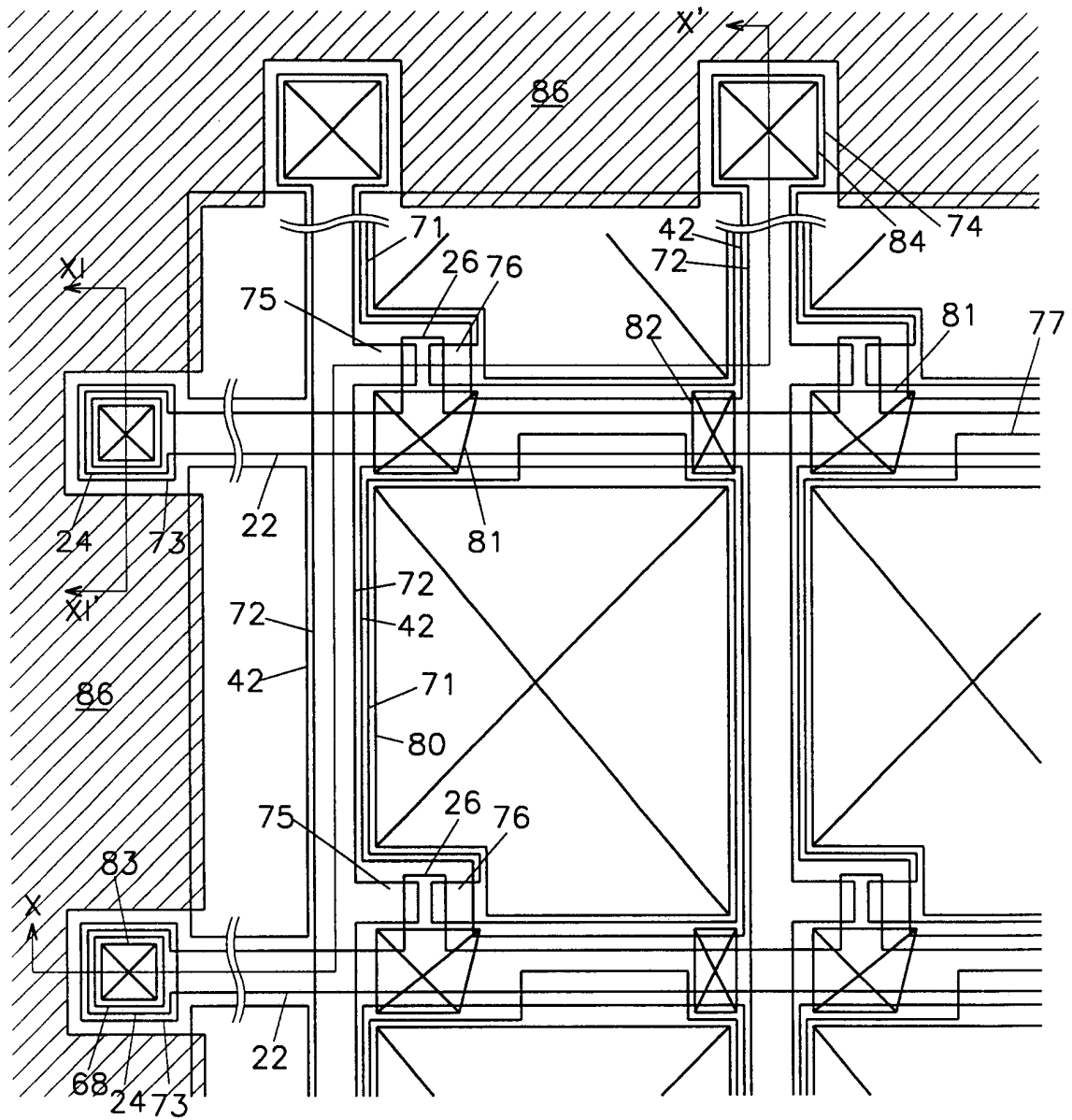


图 9

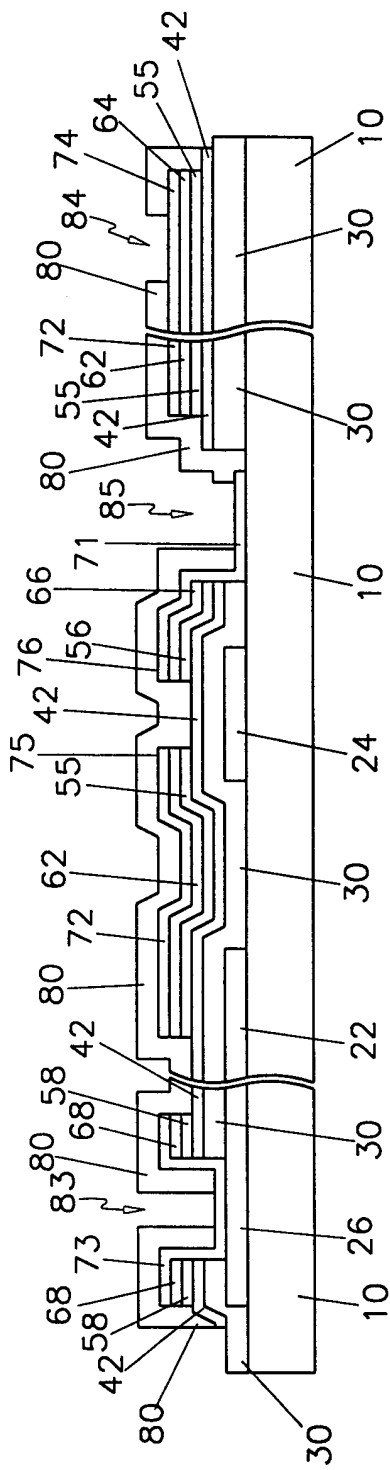


图 10

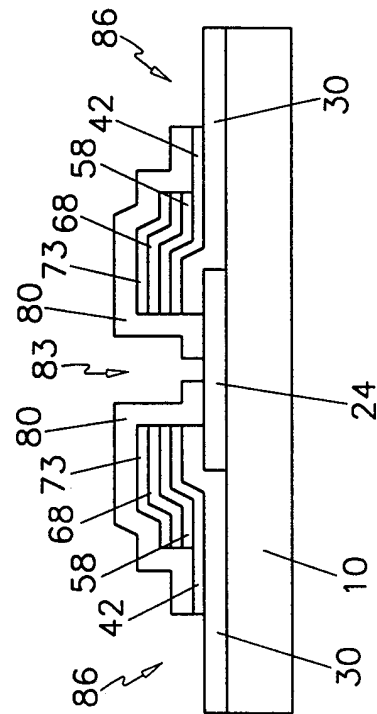


图 11

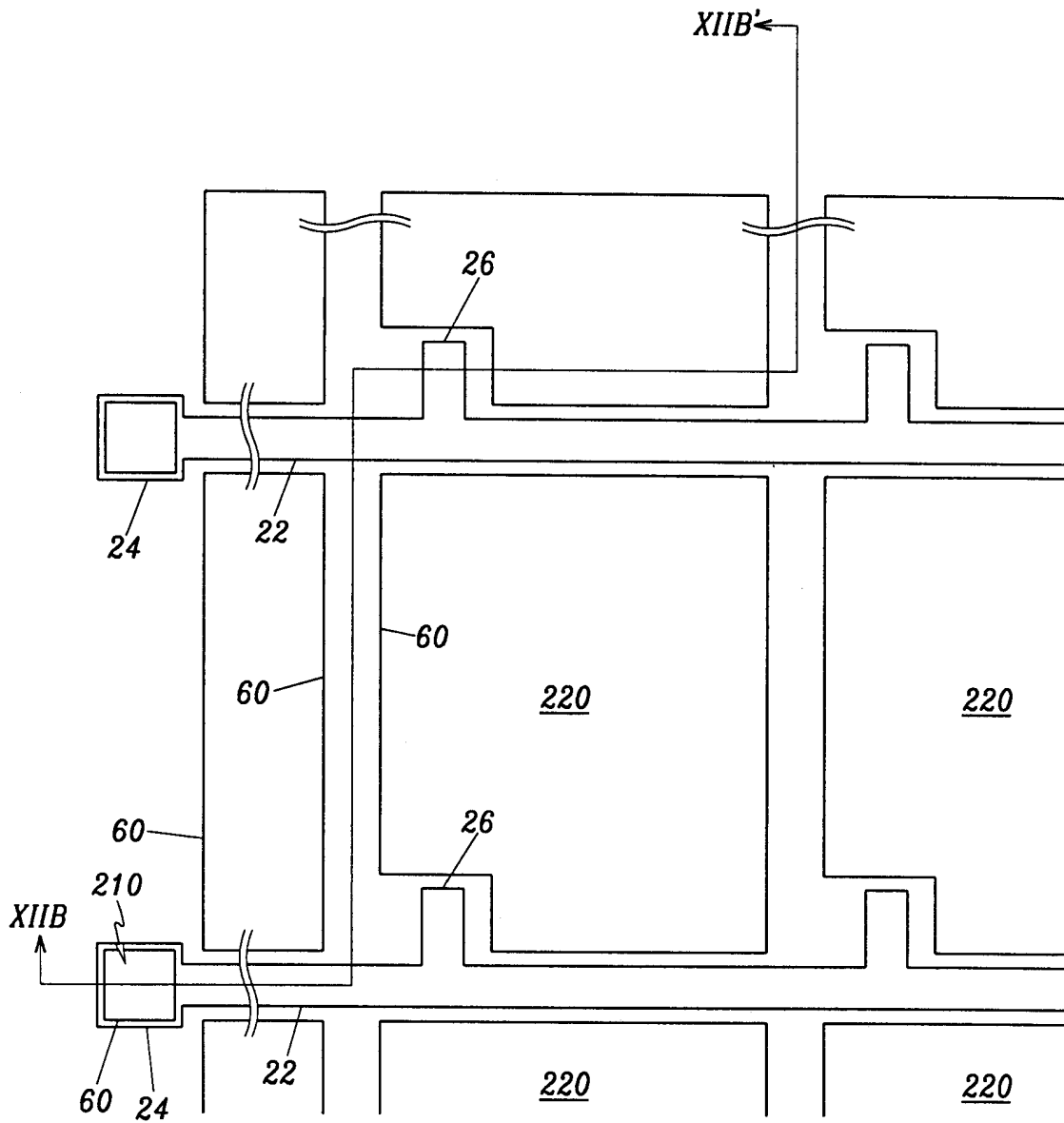


图 12A



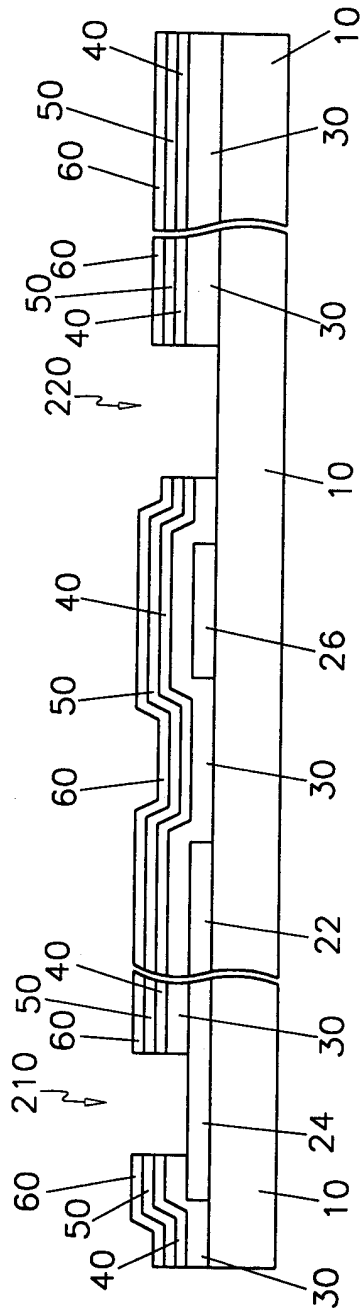


图 12B

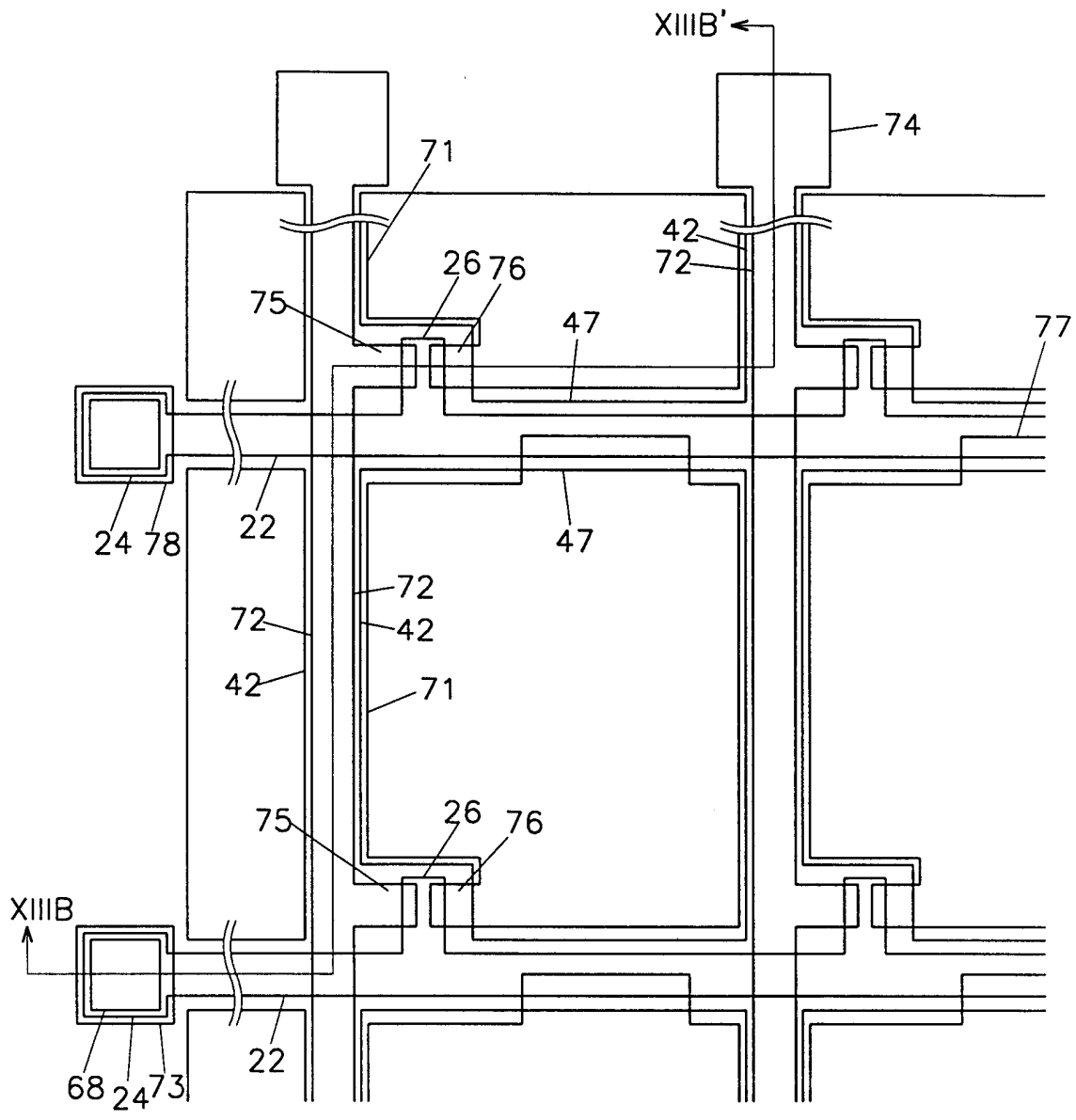


图 13A



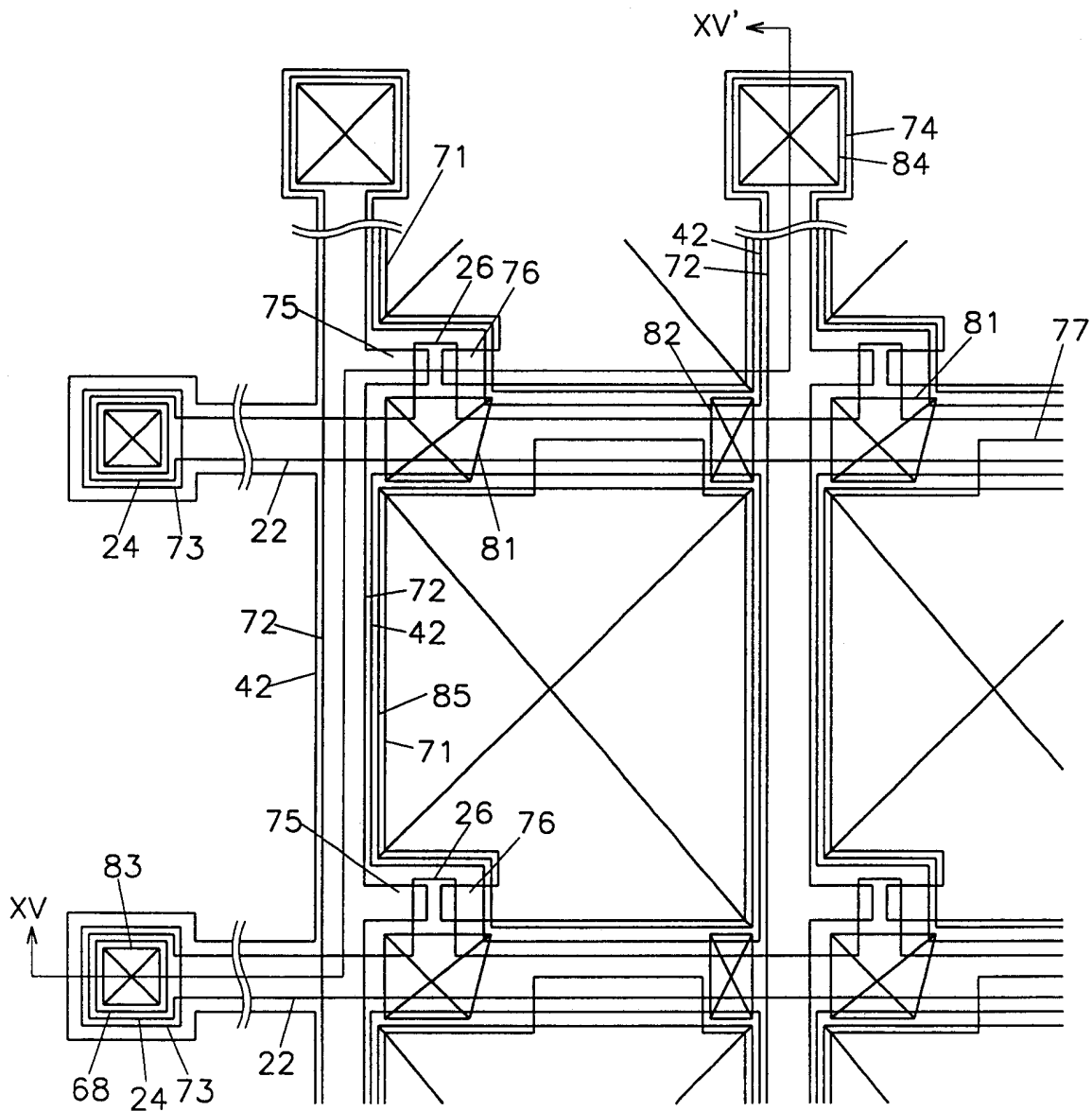


图 14



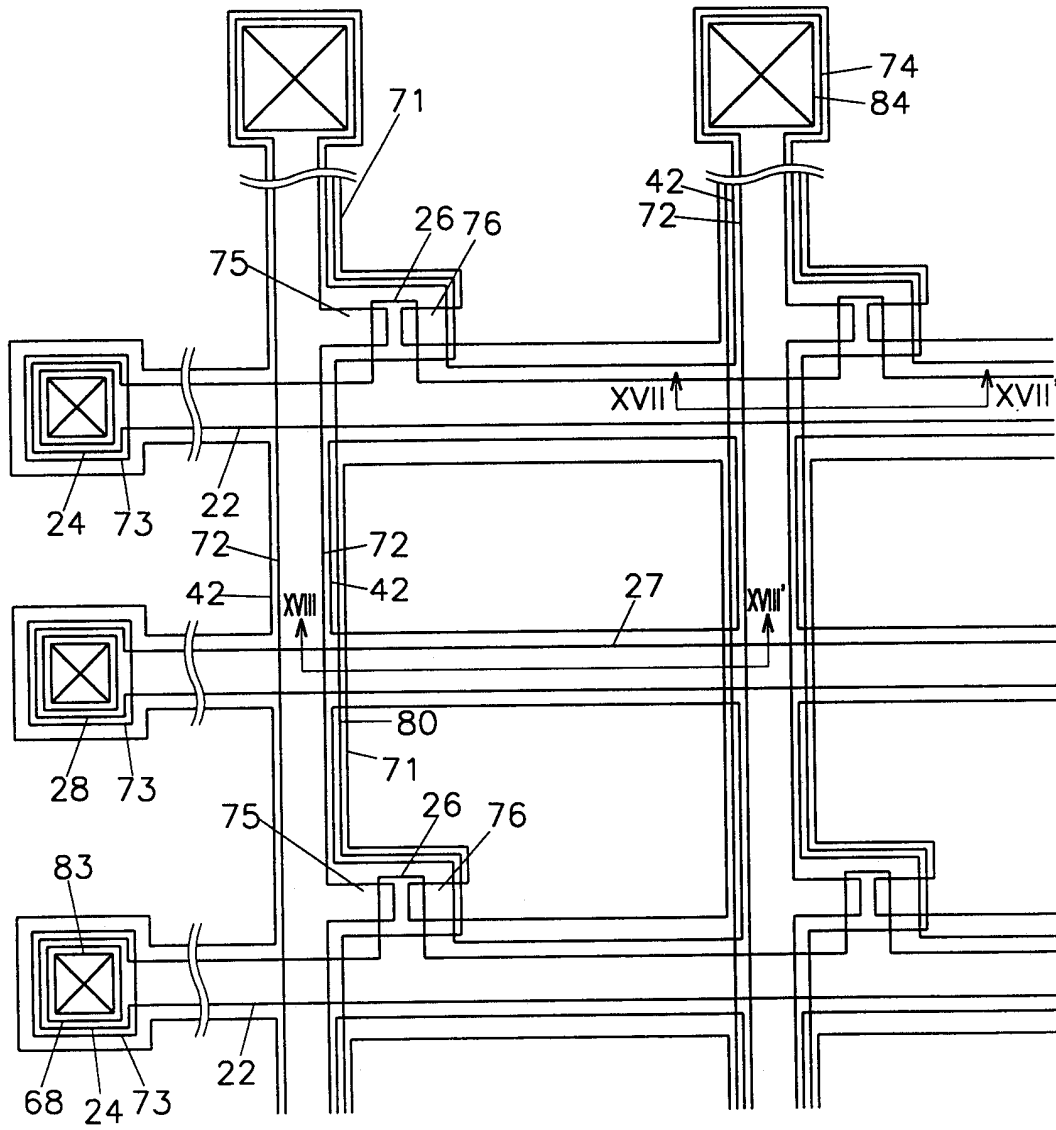


图 16

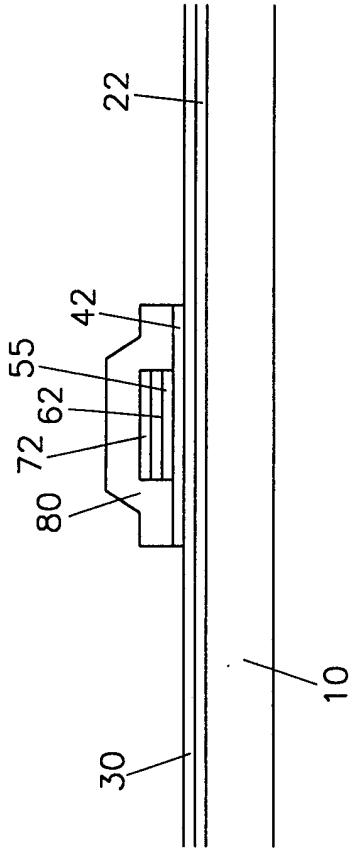


图 17

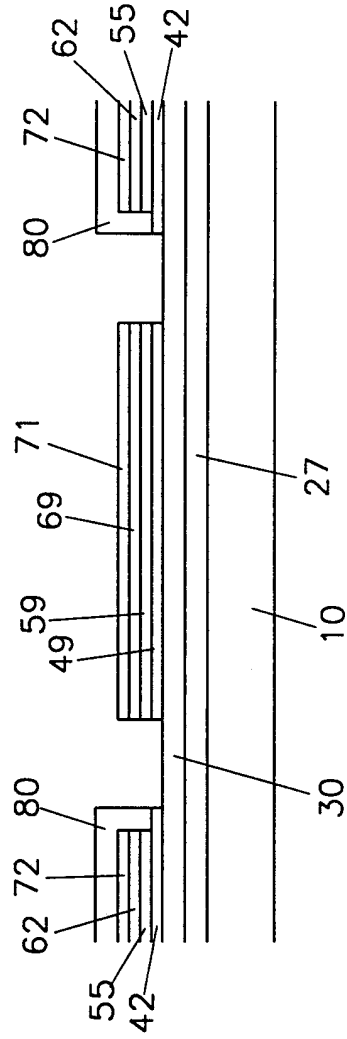


图 18

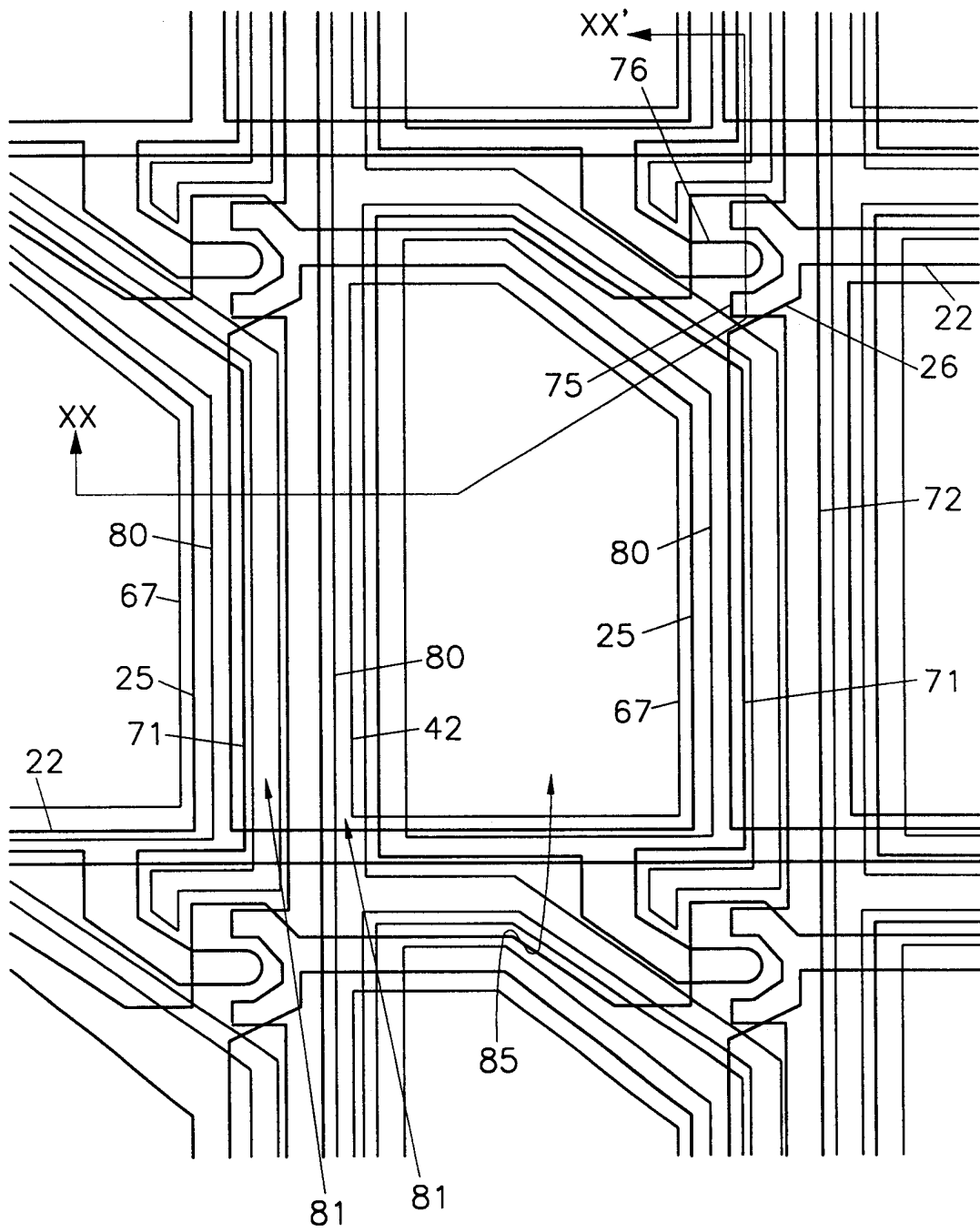


图 19



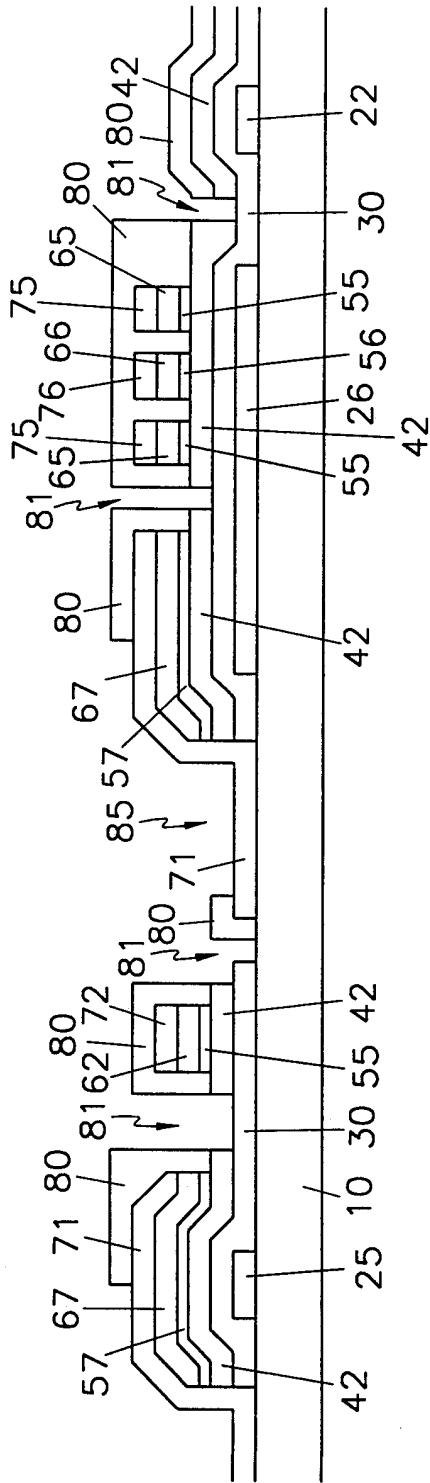


图 20

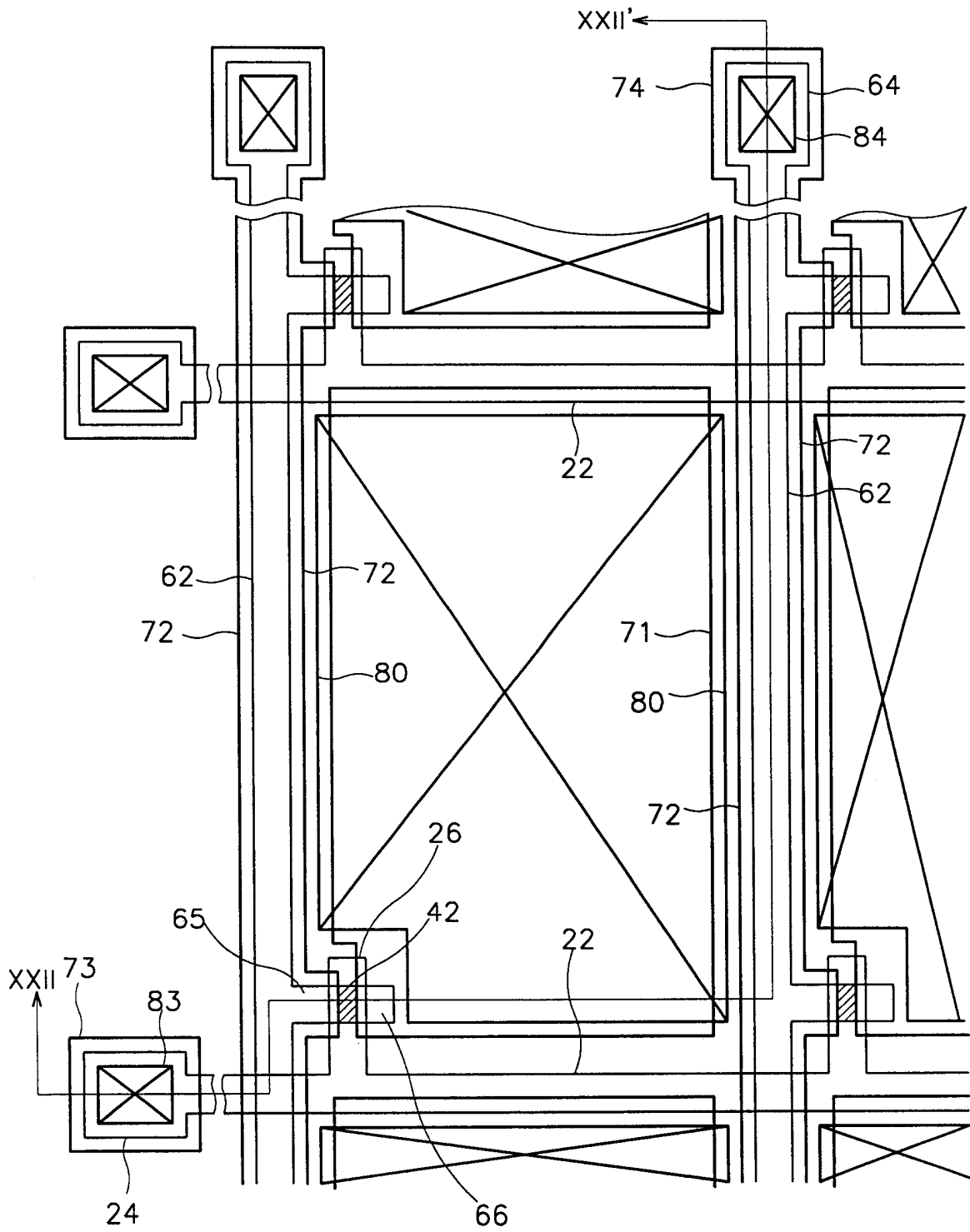


图 21

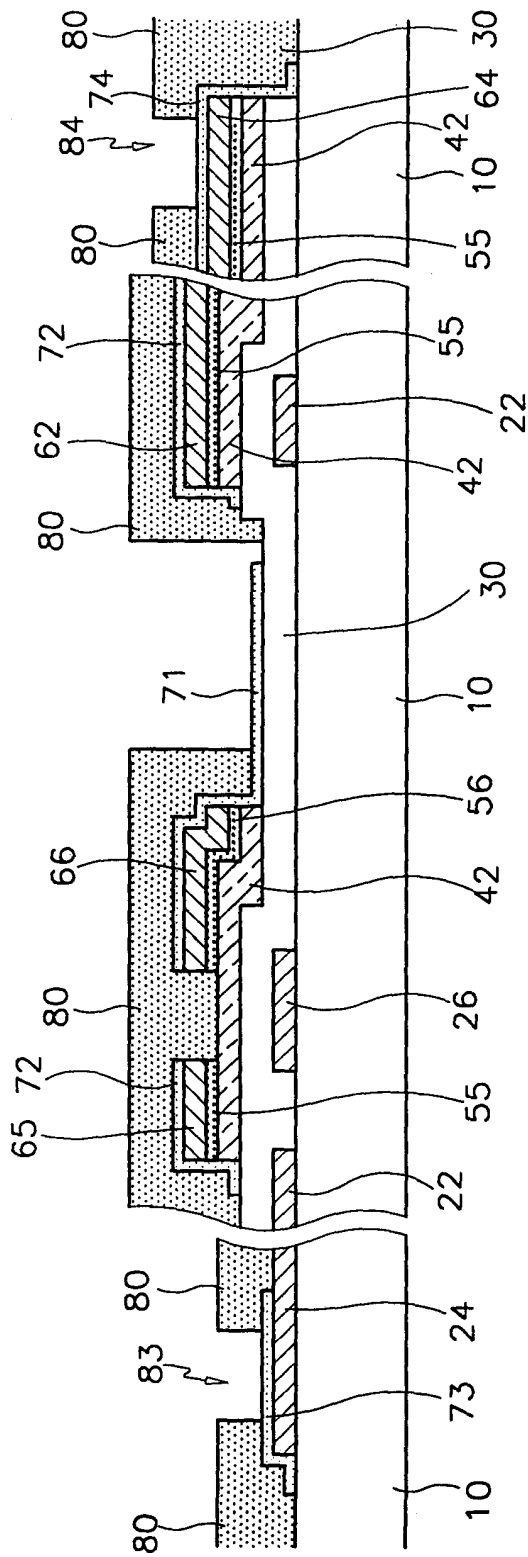


图 22

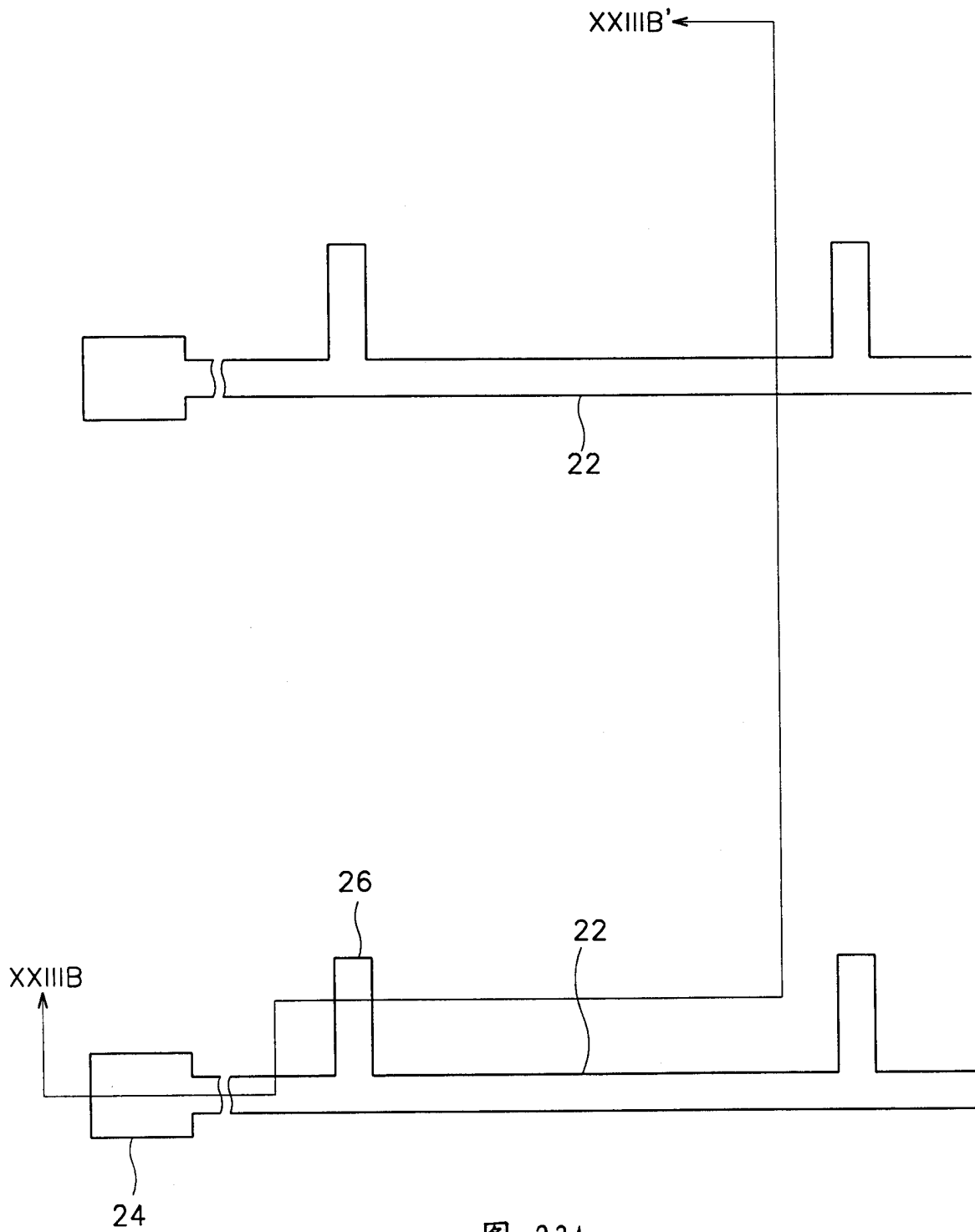


图 23A

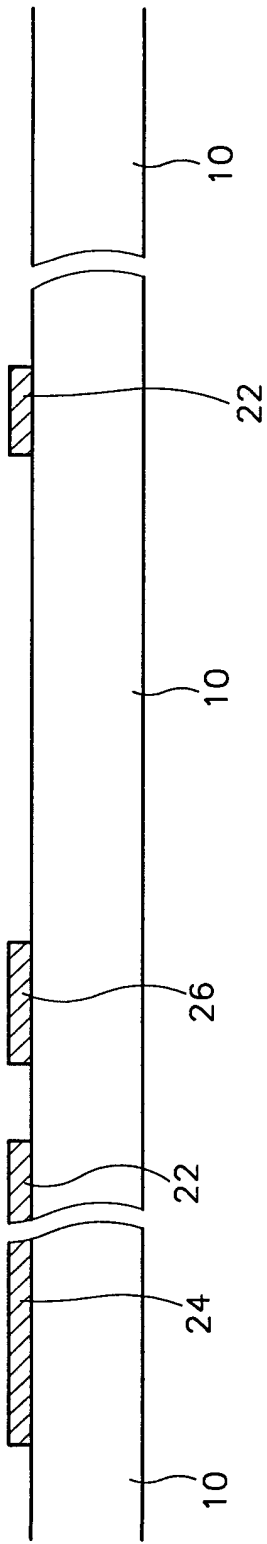


图 23B

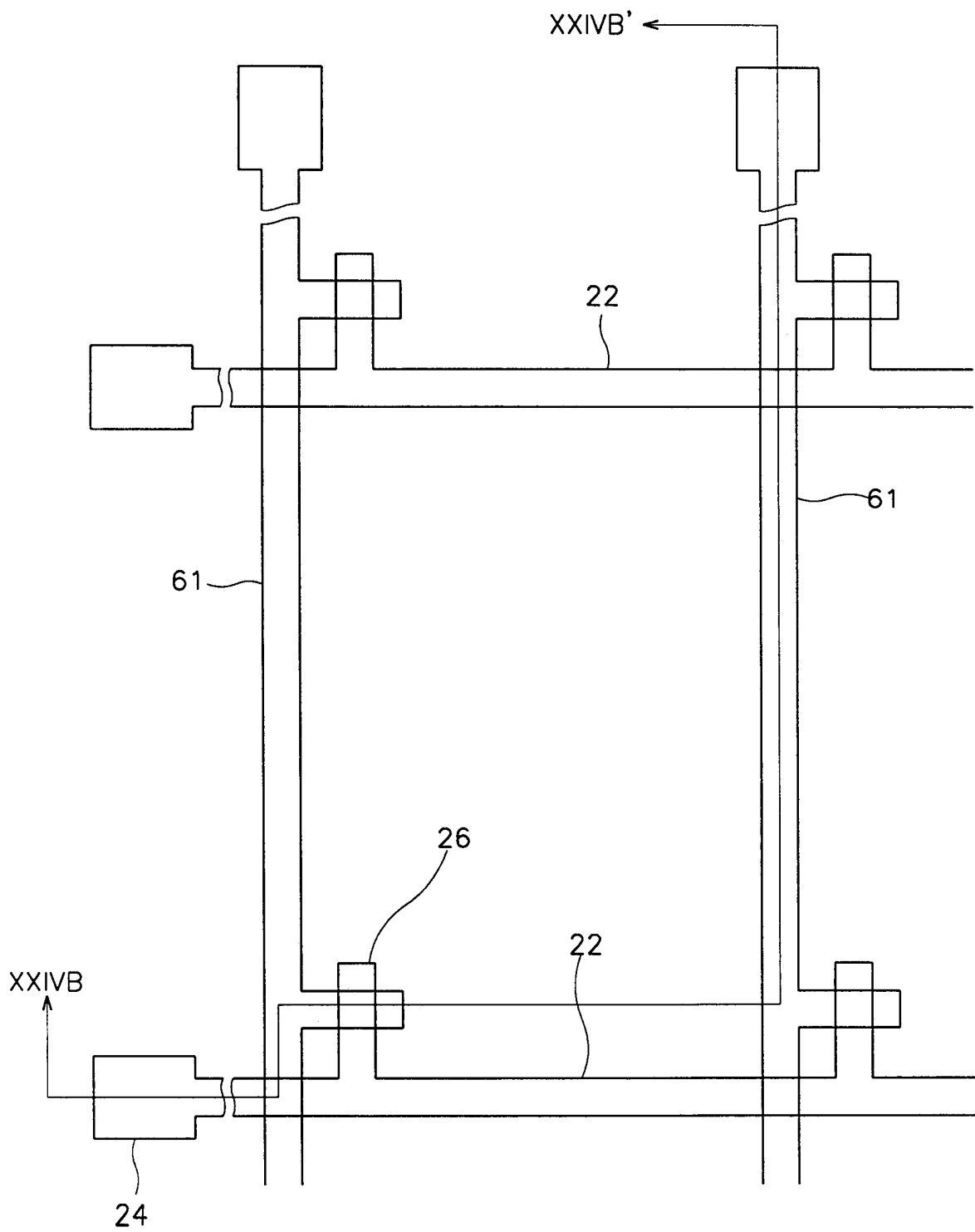


图 24A



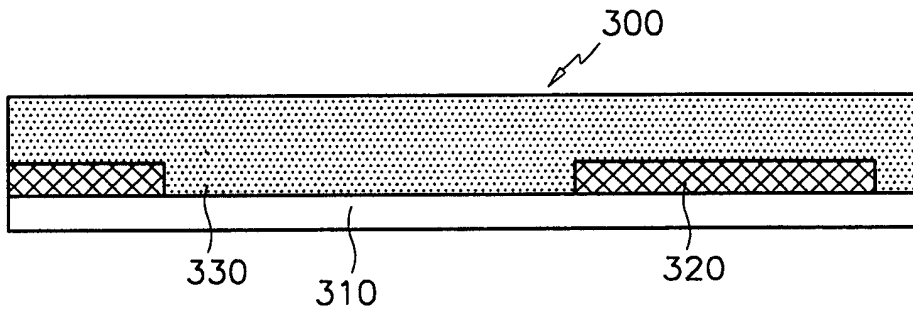


图 25A

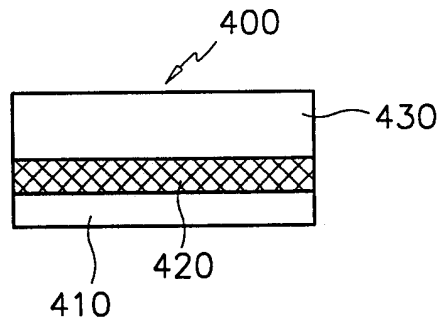


图 25B



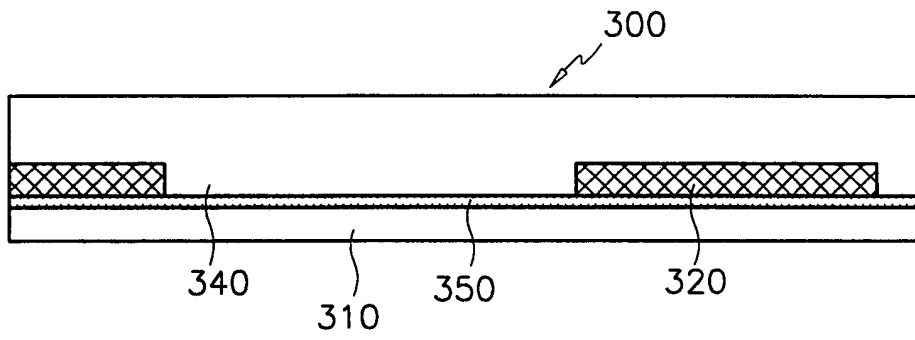


图 26A

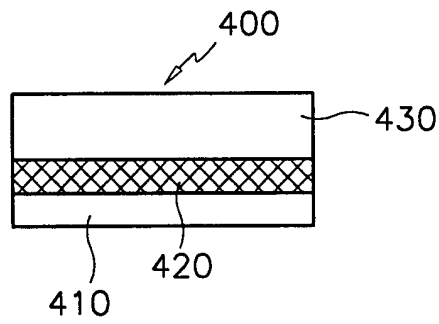


图 26B

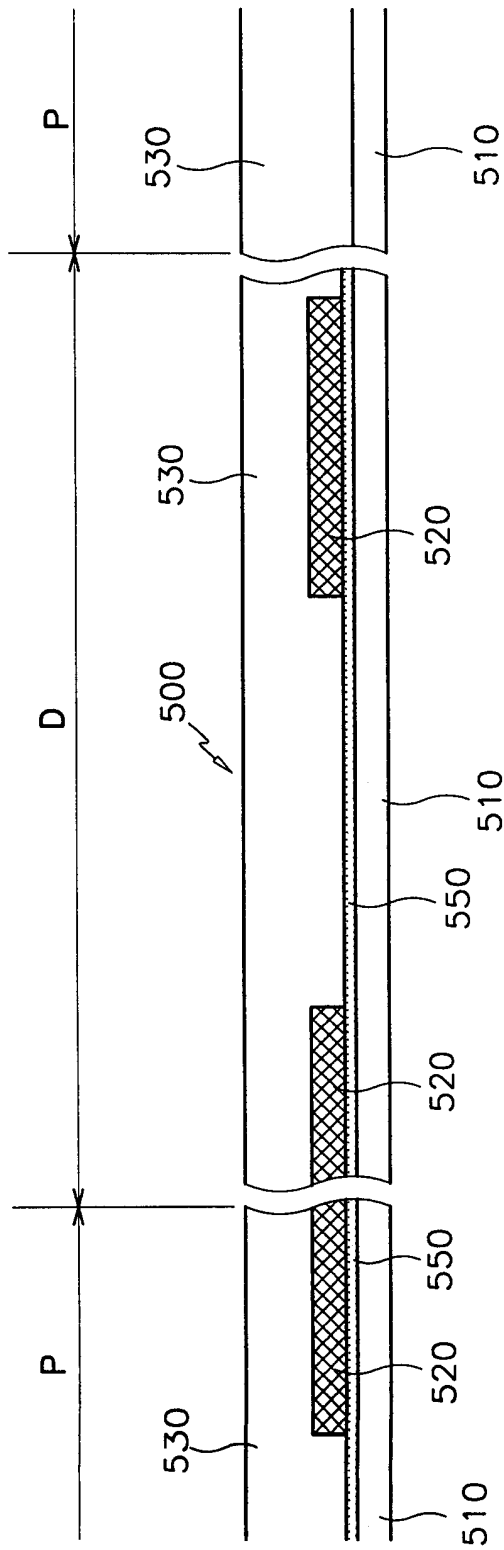


图 27

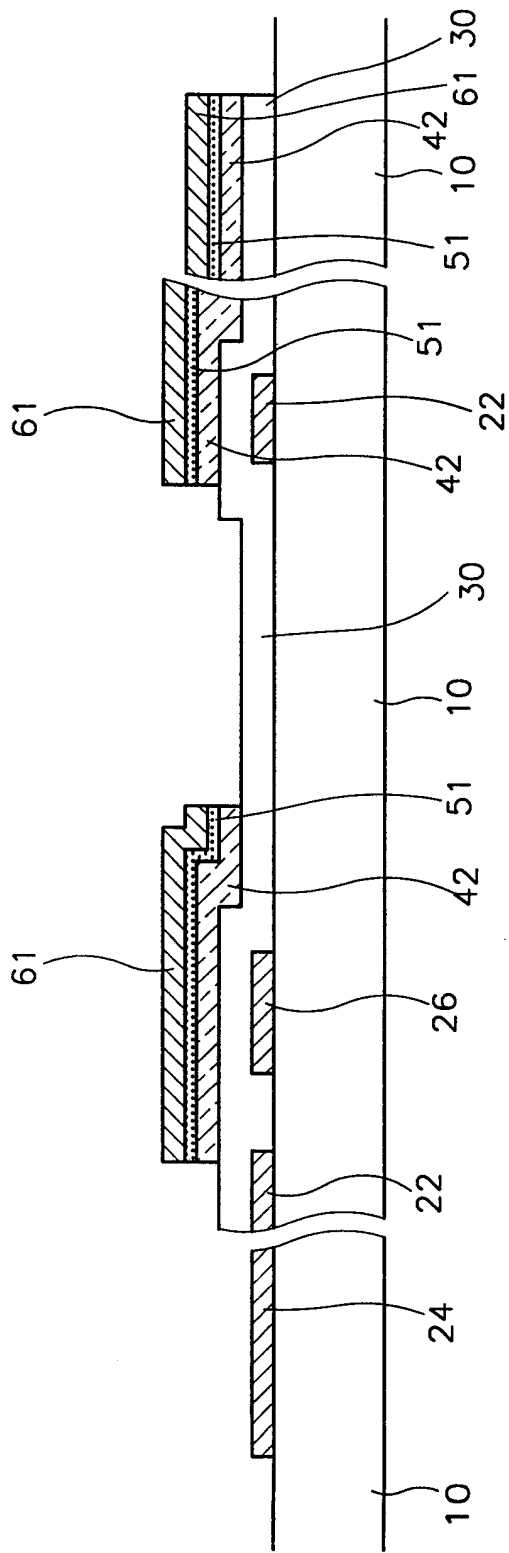


图 28

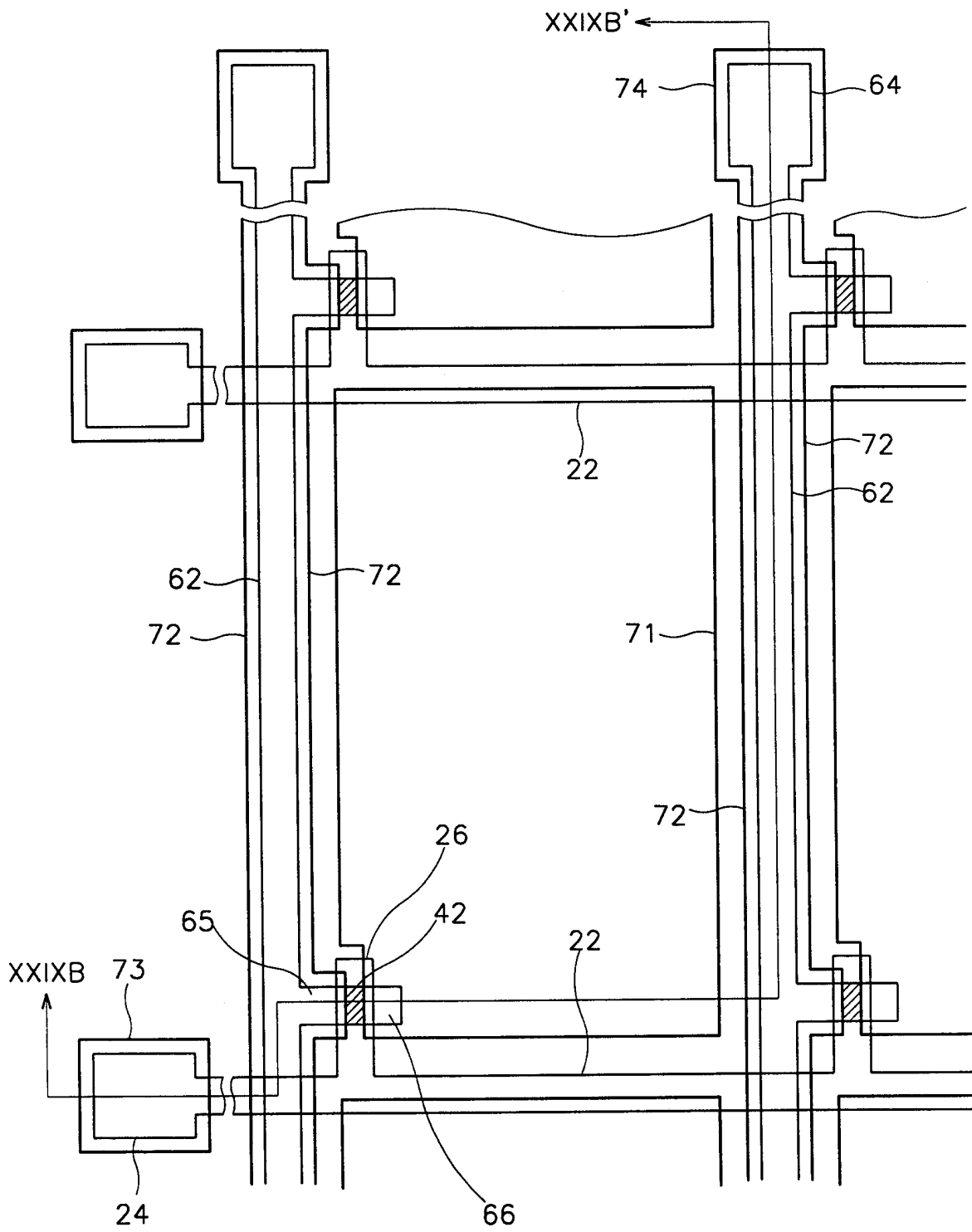


图 29A

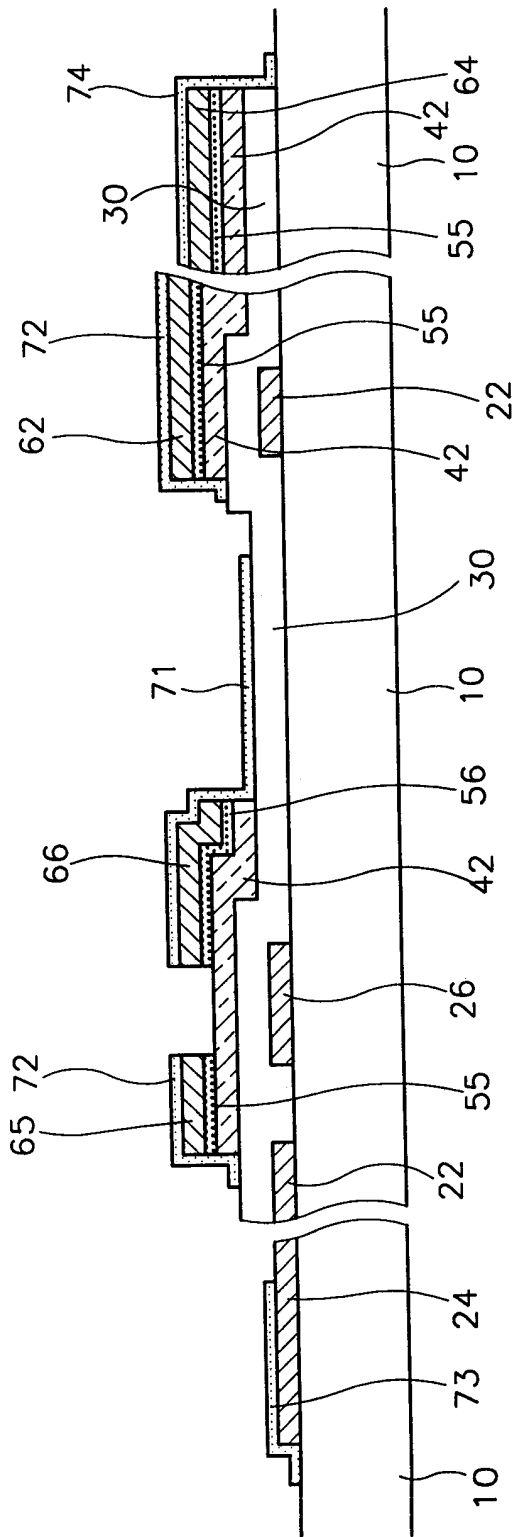


图 29B

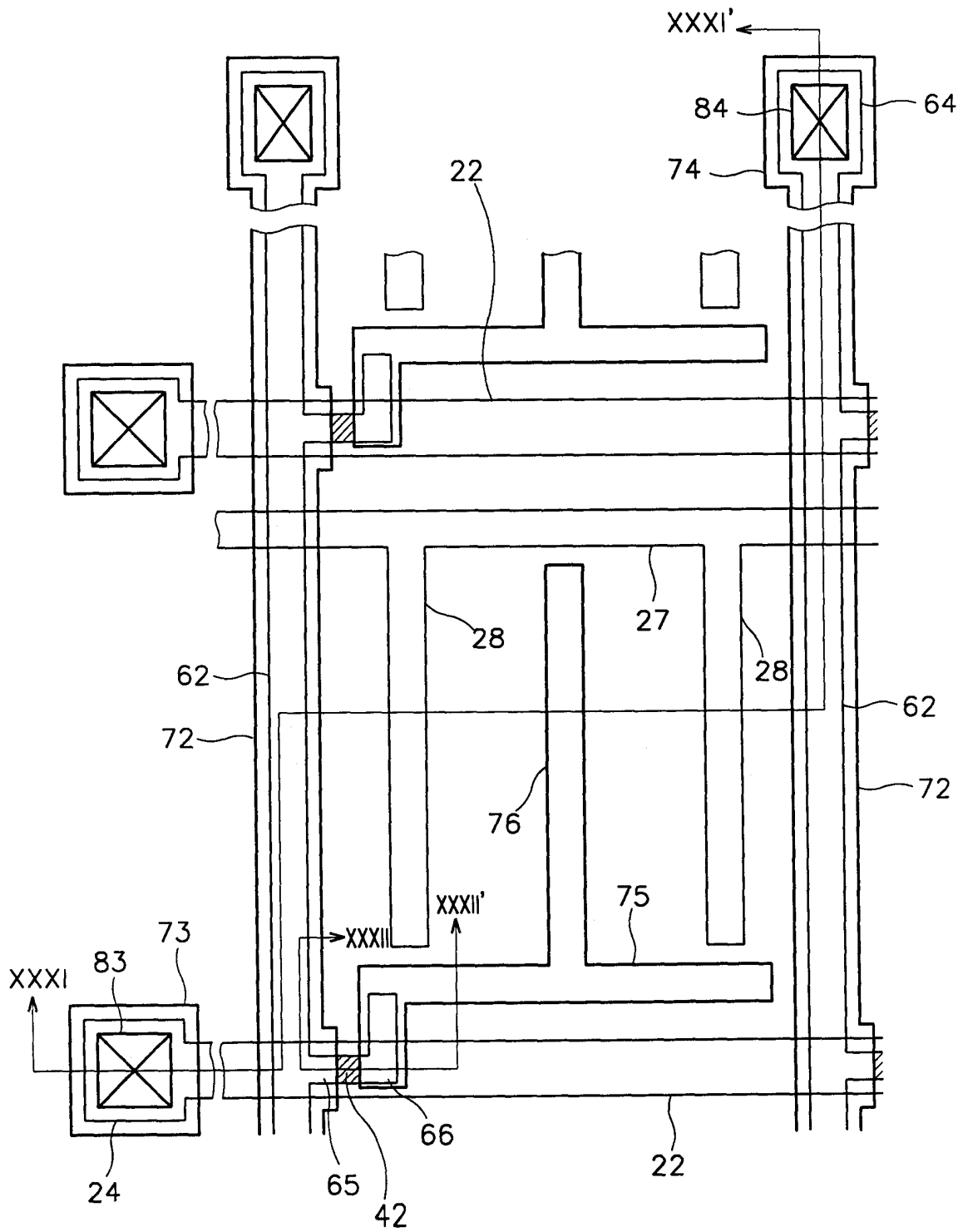


图 30

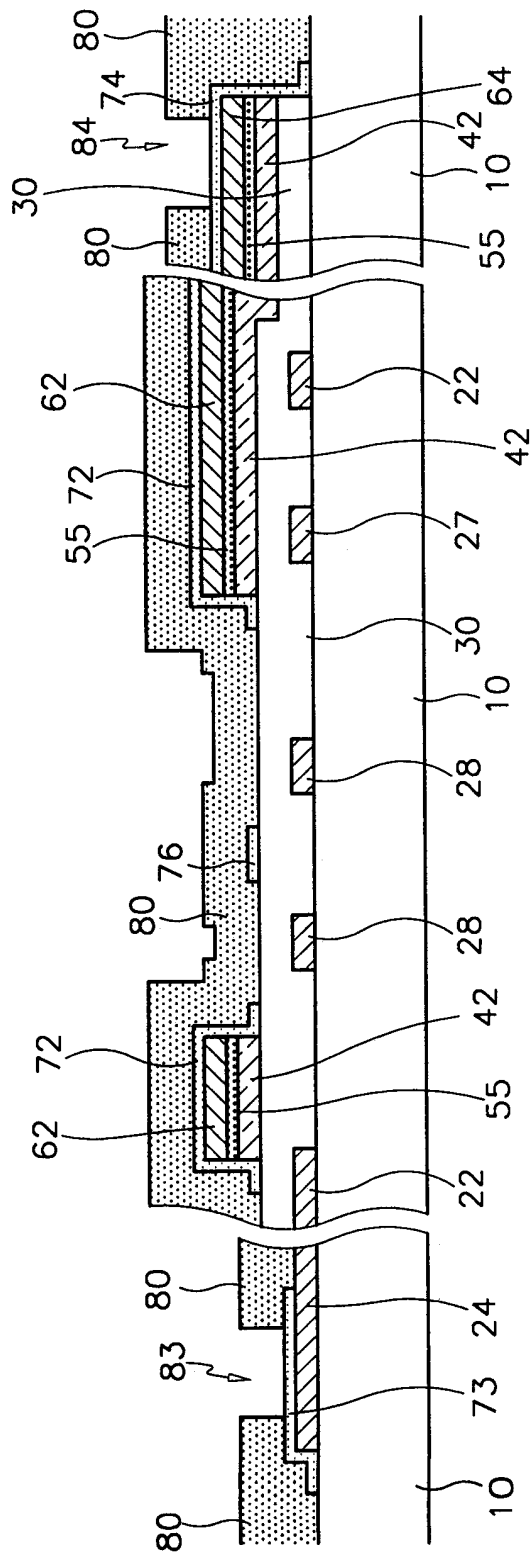


图 31

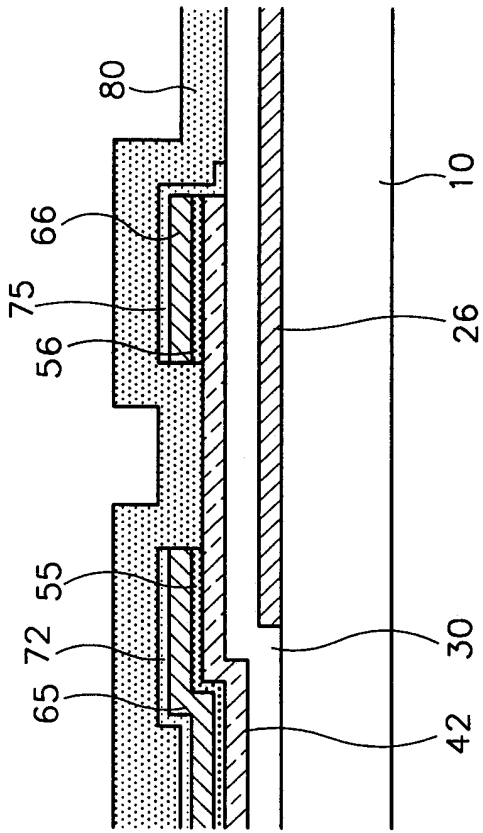


图 32



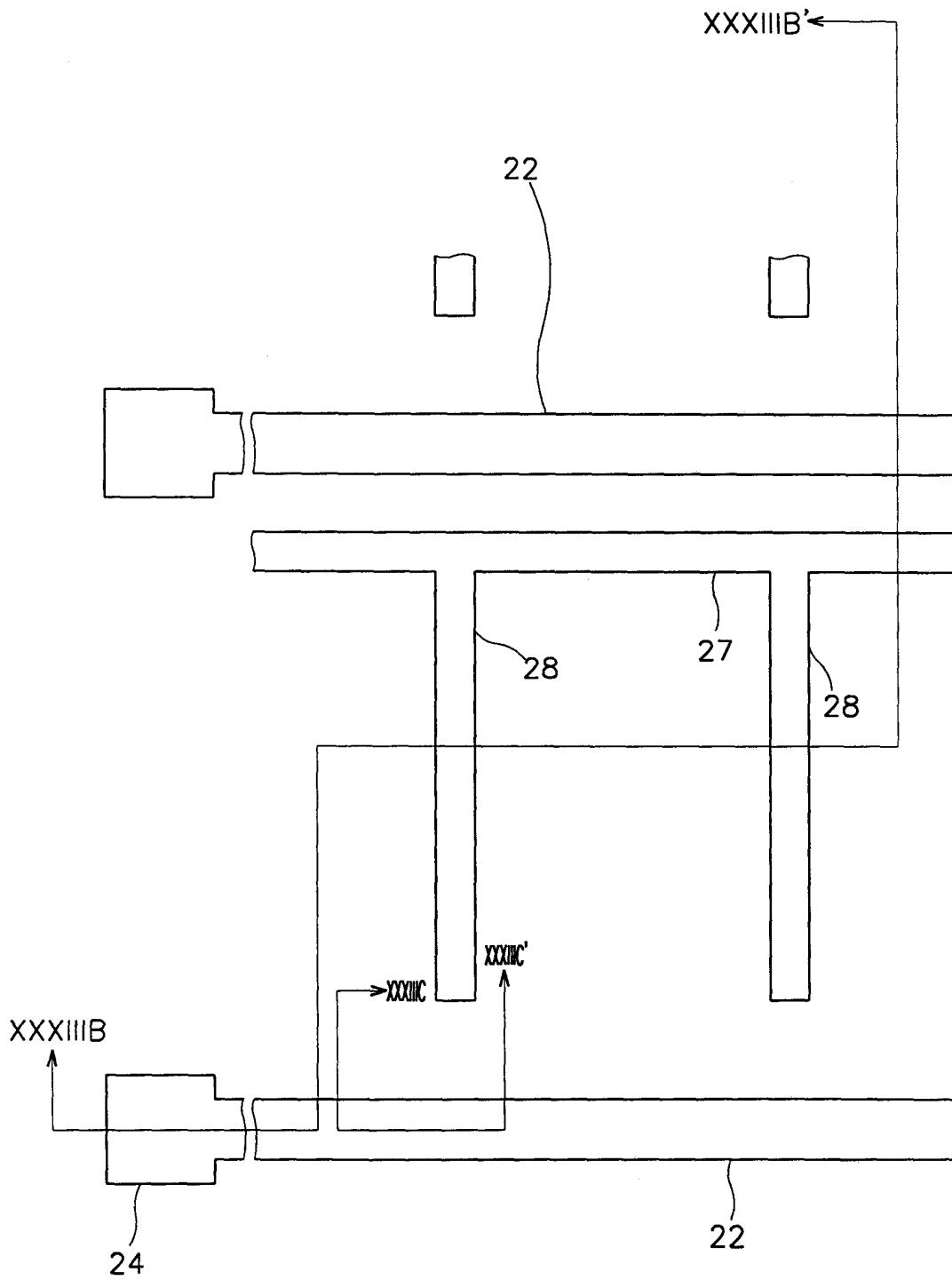


图 33A

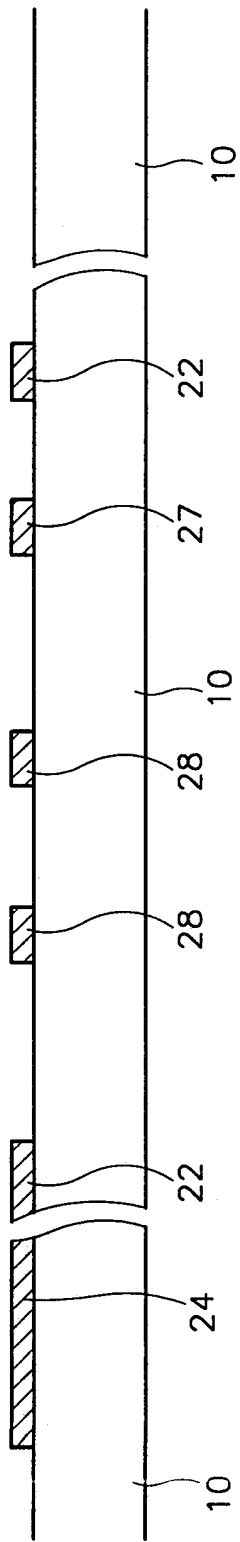


图 33B



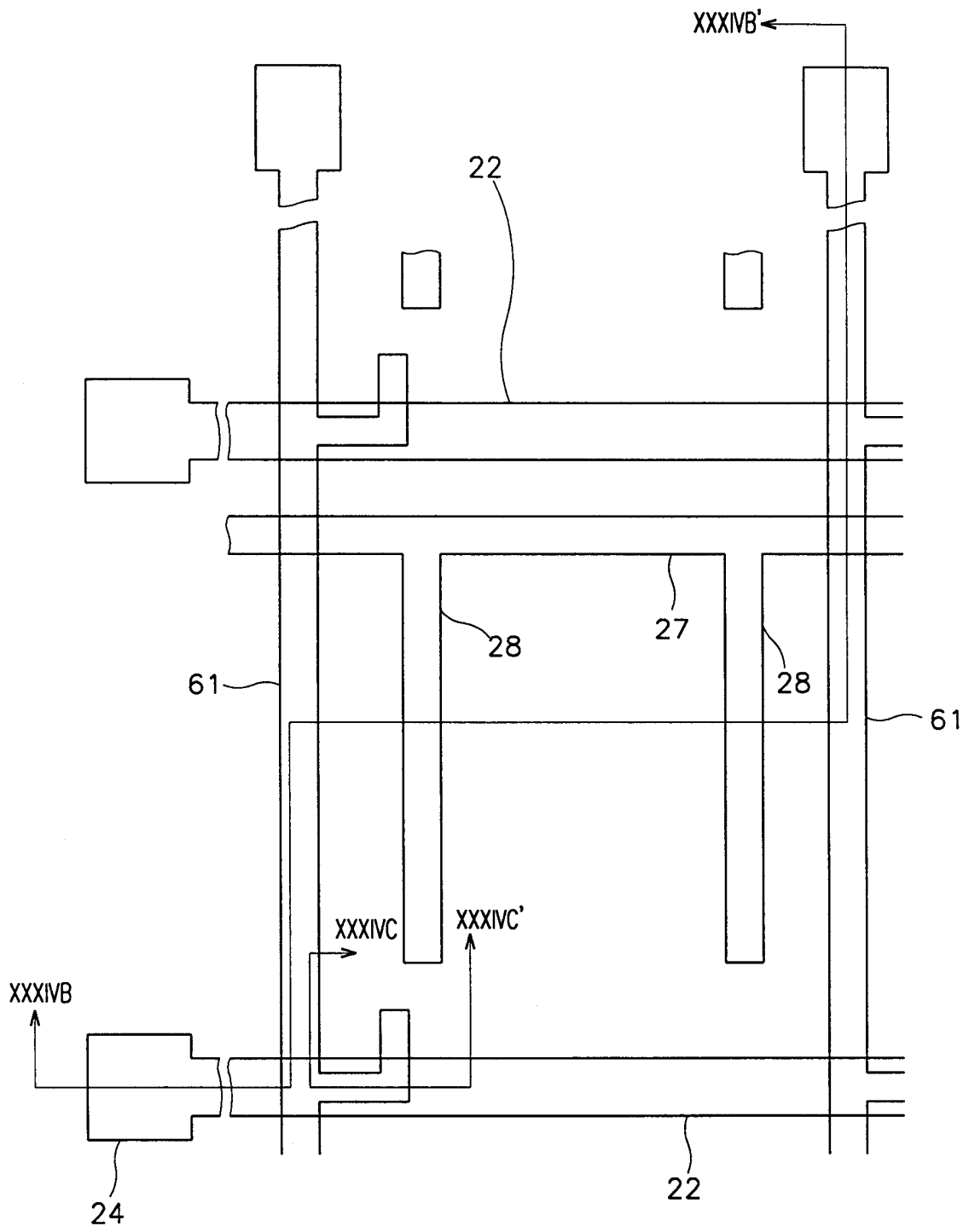


图 34A

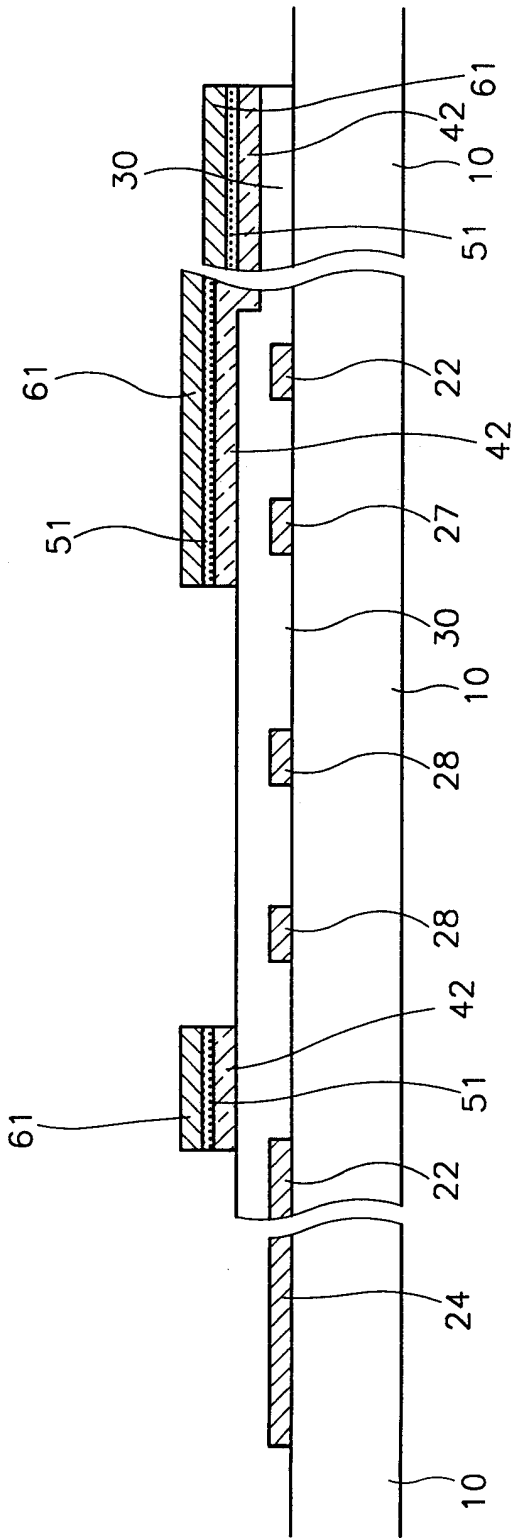


图 34B

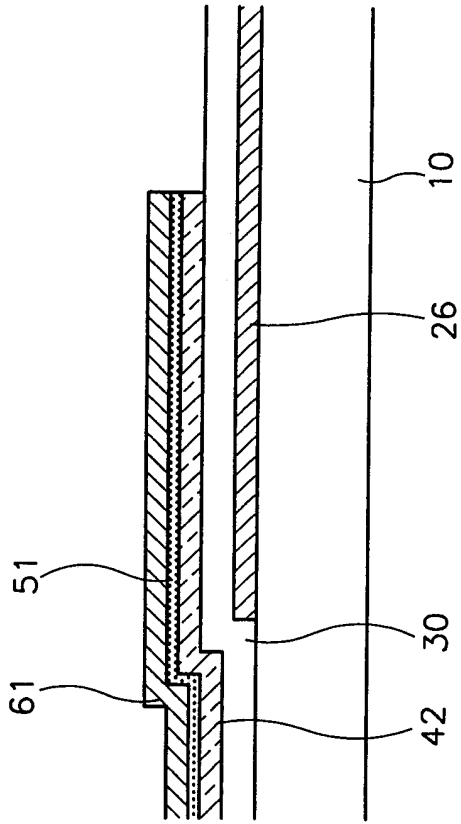


图 34C

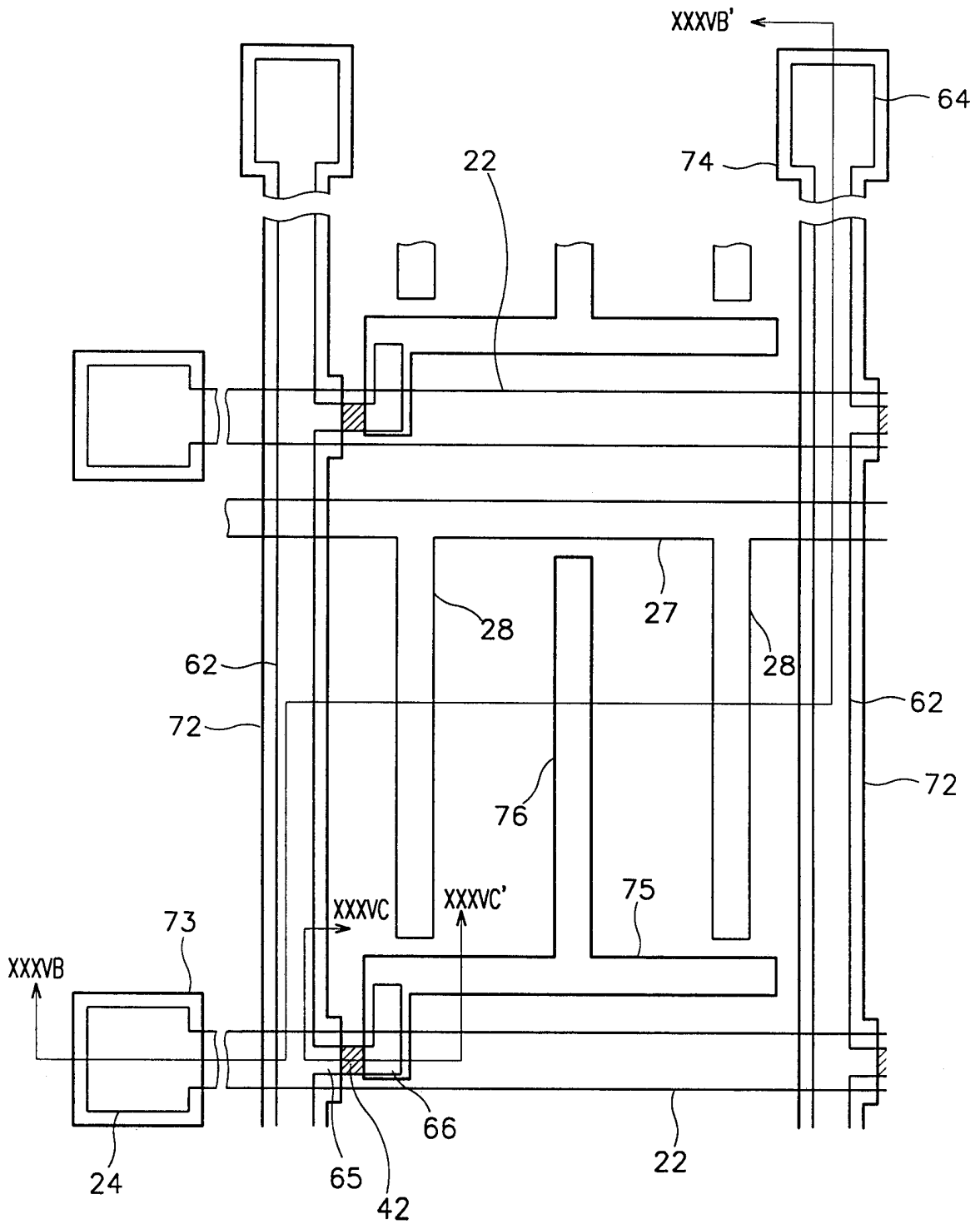


图 35A

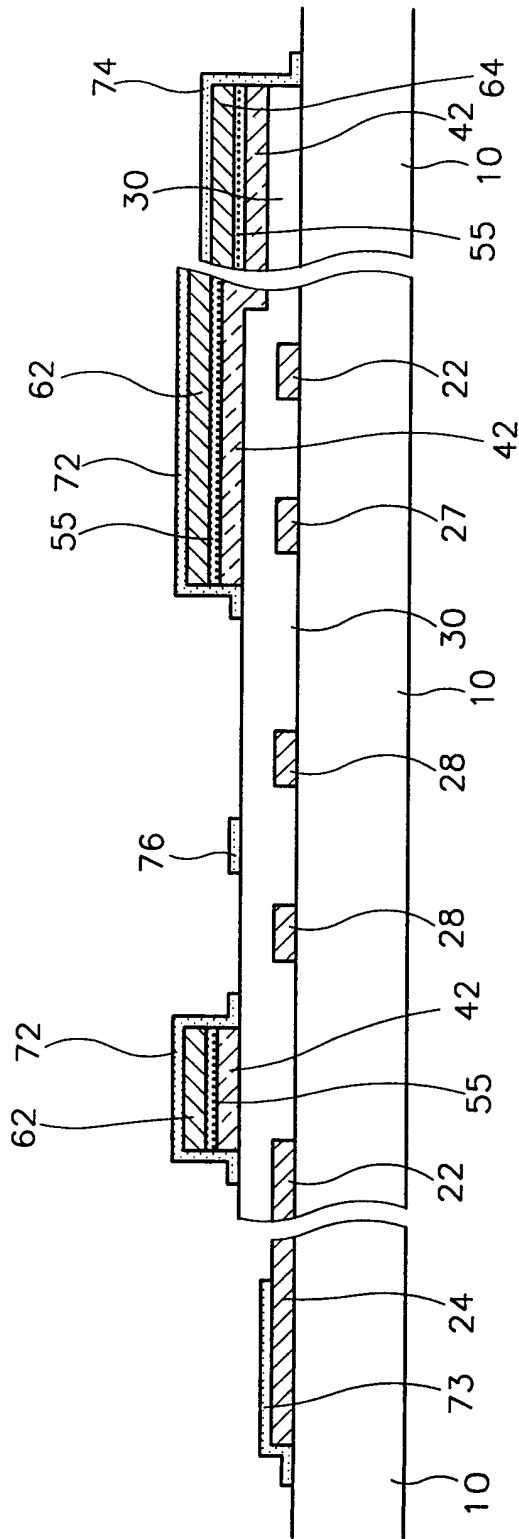


图 35B



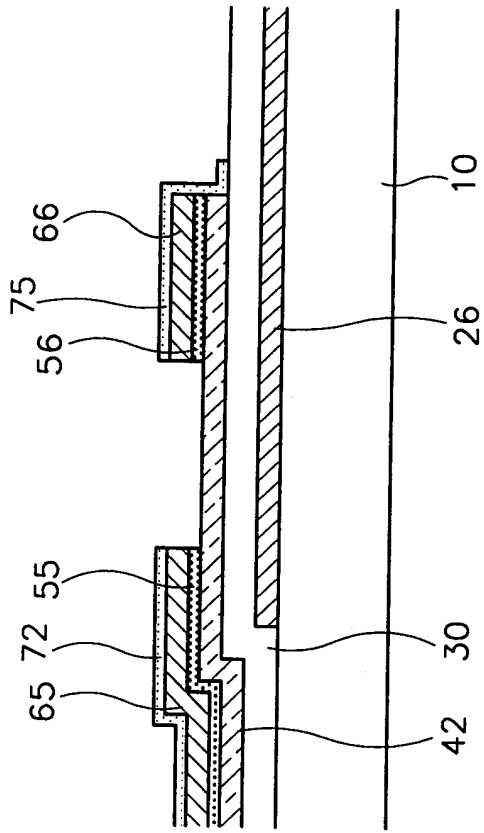


图 35C

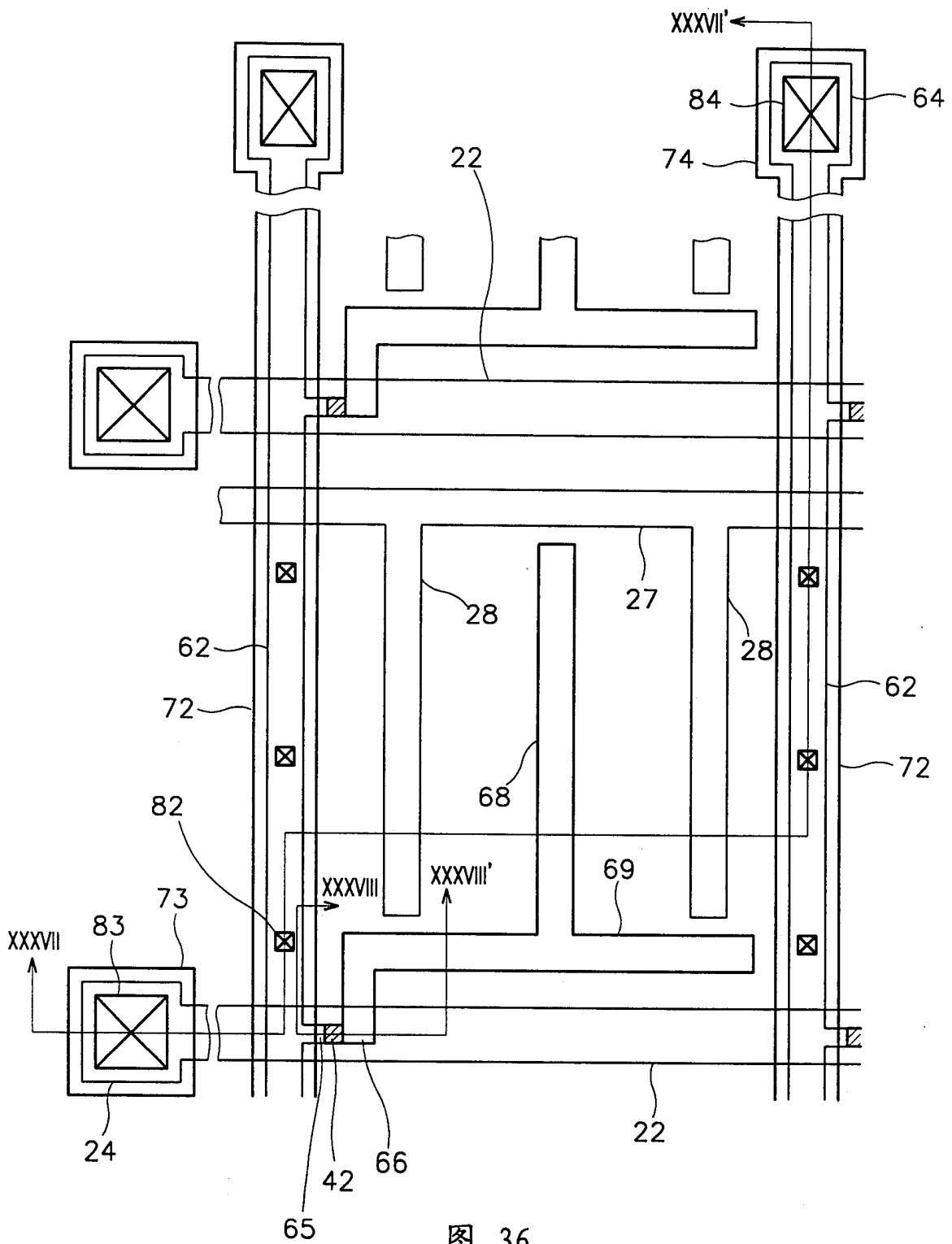


图 36



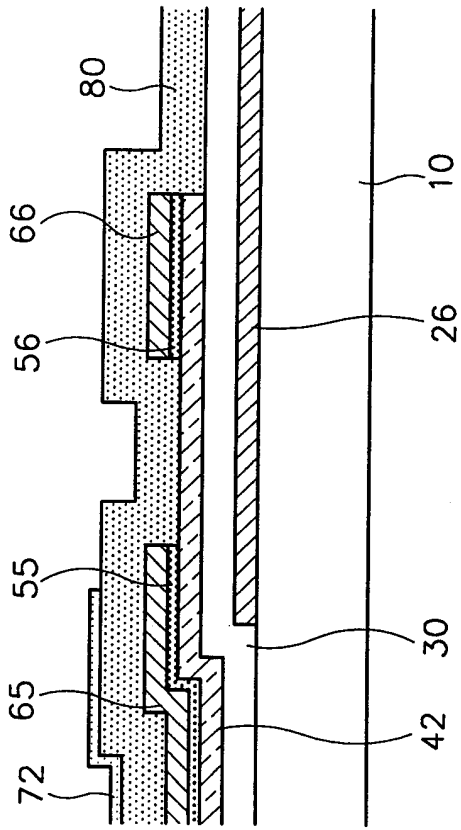


图 38

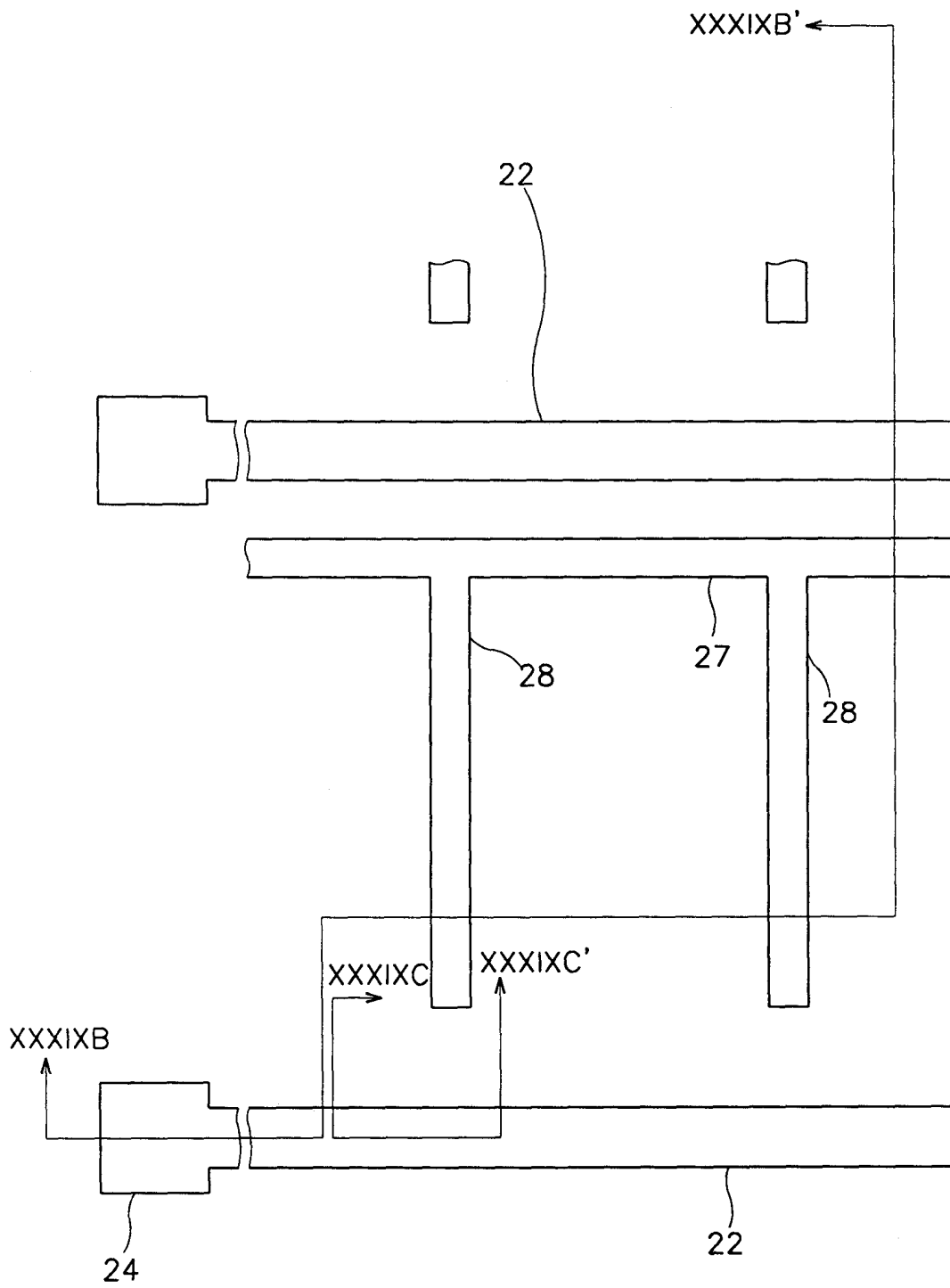


图 39A

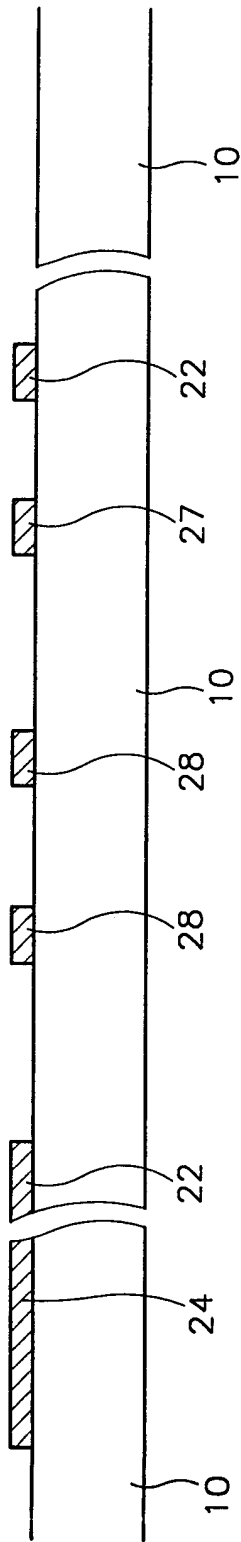


图 39B

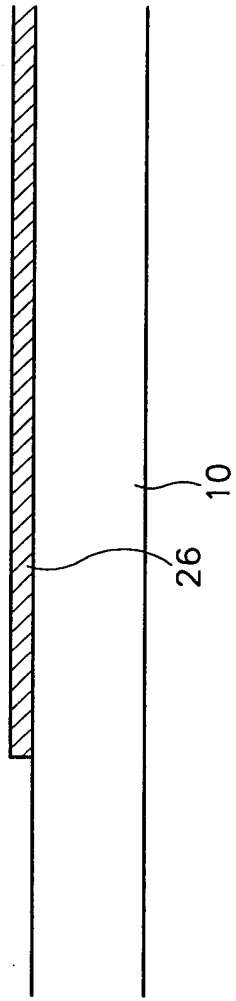


图 39C

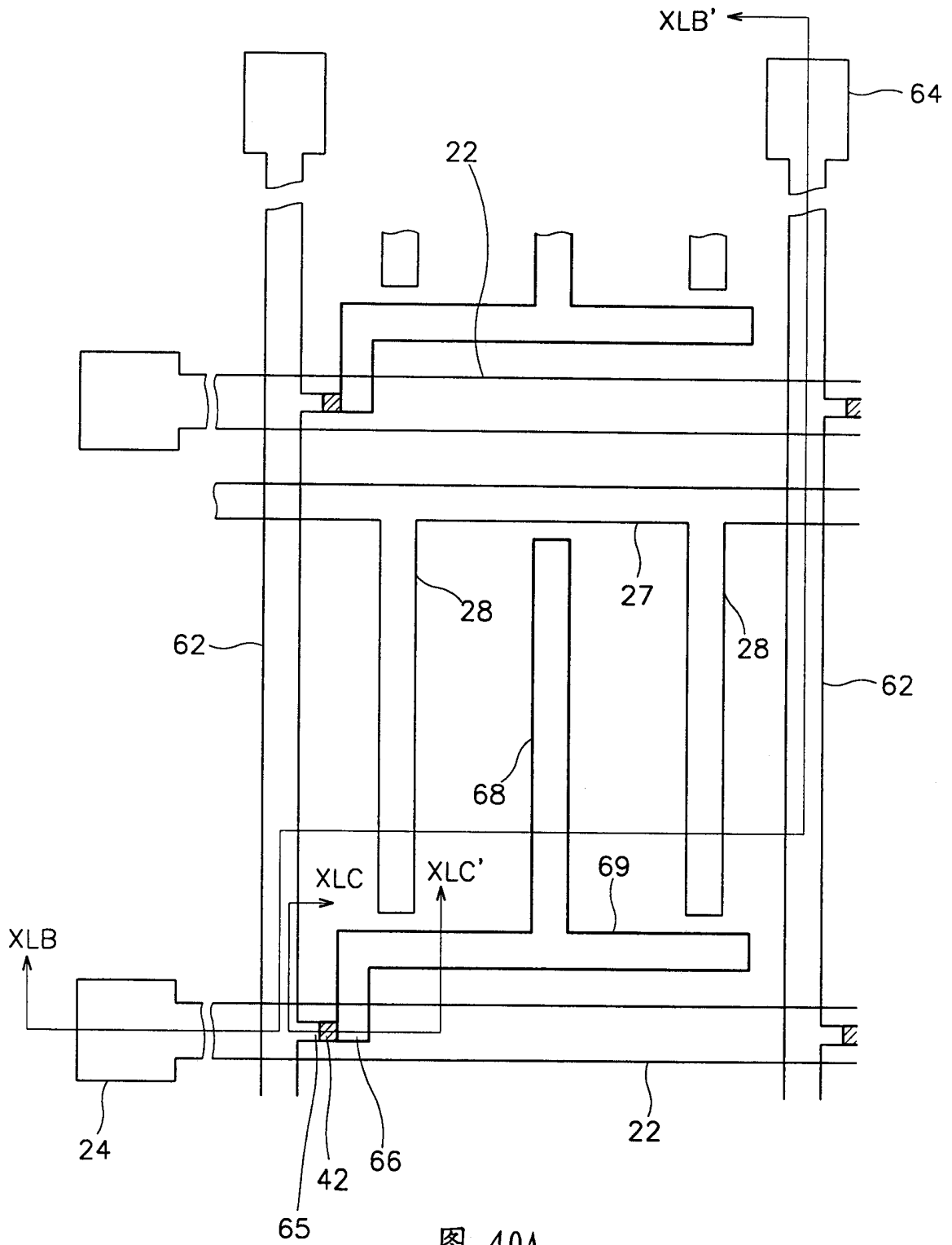


图 40A



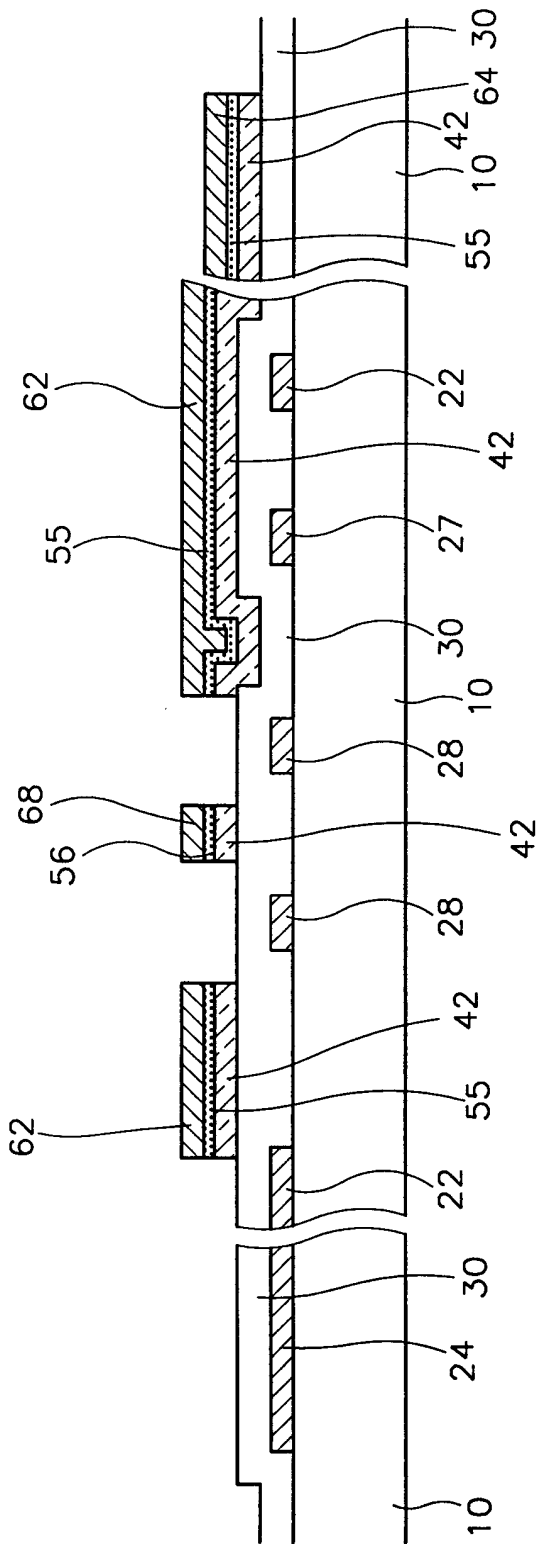


图 40B

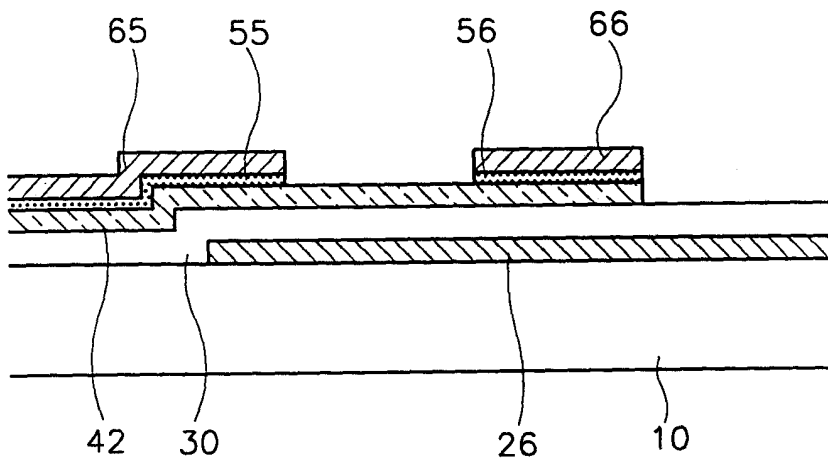


图 40C



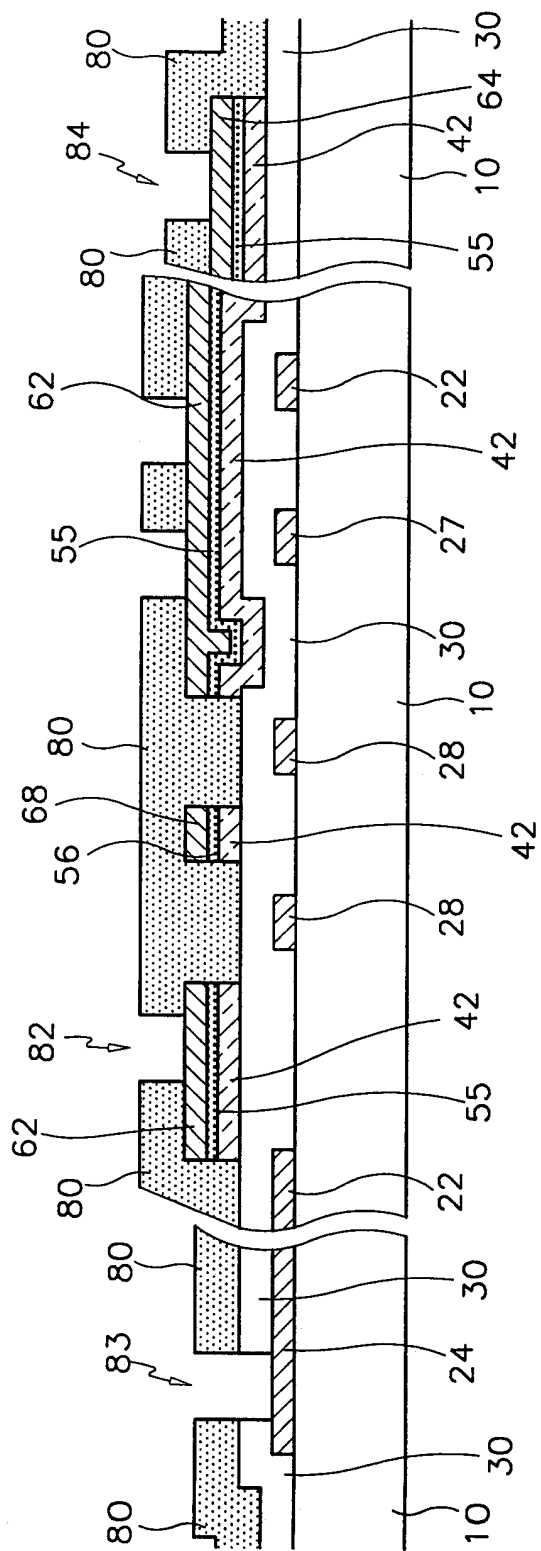


图 41B

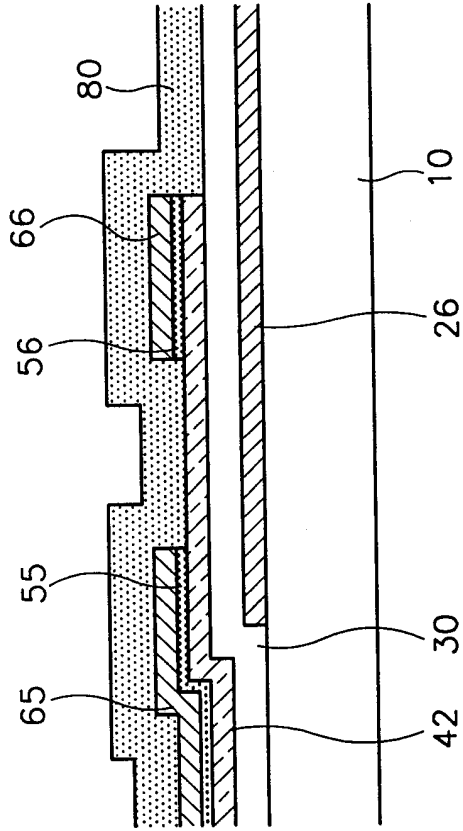


图 41C