

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4244525号
(P4244525)

(45) 発行日 平成21年3月25日(2009.3.25)

(24) 登録日 平成21年1月16日(2009.1.16)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 7 M
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 6 A
HO 1 L 21/306 (2006.01)	HO 1 L 21/306	F
HO 1 L 21/28 (2006.01)	HO 1 L 21/28	3 0 1 R
HO 1 L 21/3213 (2006.01)	HO 1 L 21/88	C

請求項の数 2 (全 10 頁) 最終頁に続く

(21) 出願番号	特願2001-65913 (P2001-65913)	(73) 特許権者	000005108
(22) 出願日	平成13年3月9日(2001.3.9)		株式会社日立製作所
(65) 公開番号	特開2002-270845 (P2002-270845A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成14年9月20日(2002.9.20)	(74) 代理人	100100310
審査請求日	平成18年2月28日(2006.2.28)		弁理士 井上 学
		(72) 発明者	佐藤 健史
			茨城県日立市大みか町七丁目1番1号
			株式会社 日立製作所 日立
			研究所内
		(72) 発明者	高橋 卓也
			茨城県日立市大みか町七丁目1番1号
			株式会社 日立製作所 日立
			研究所内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

透明絶縁性基板上に結晶性シリコンからなる半導体膜を形成する工程と、
前記半導体膜上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、Moを主成分とし、Wを5wt%以上30wt%以下含む単層の金属膜を形成する工程と、
前記金属膜上にレジストを形成する工程と、
前記レジストをマスクとして、りん酸を60wt%以上70wt%以下含むエッチング液を用いて前記金属膜をエッチングし、前記金属膜からなるゲートを前記レジストより後退した形状に加工する工程と、
前記レジストをマスクとして、前記半導体膜に不純物をドーブし、ソース及びドレインを形成する工程と、
前記レジストを除去する工程と、
前記ゲートをマスクとして、前記半導体膜に、前記ソースおよびドレインと同じ型のドーパントを、前記ソースおよびドレインよりも低濃度にドーブしてLDD領域を形成する工程を有することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項2】

透明絶縁性基板上に結晶性シリコンからなる半導体膜を形成する工程と、
前記半導体膜上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、Moを主成分とし、Wを17wt%以上22wt%以下含む単

層の金属膜を形成する工程と、

前記金属膜上にレジストを形成する工程と、

前記レジストをマスクとして、りん酸を60wt%以上70wt%以下含むエッチング液を用いて前記金属膜をエッチングし、前記金属膜からなるゲートを前記レジストより後退した形状に加工する工程と、

前記レジストをマスクとして、前記半導体膜に不純物をドーブし、ソース及びドレインを形成する工程と、

前記レジストを除去する工程と、

前記ゲートをマスクとして、前記半導体膜に、前記ソースおよびドレインと同じ型のドーパントを、前記ソースおよびドレインよりも低濃度にドーブしてLDD領域を形成する工程を有することを特徴とする薄膜トランジスタ基板の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアクティブマトリクス駆動型の液晶表示装置や、有機発光素子など自発光型の表示素子に用いられる薄膜トランジスタ基板、特に低温多結晶Si技術を用いた薄膜トランジスタ基板およびその製造方法に関する。

【0002】

【従来の技術】

液晶表示装置において、ガラスの耐熱温度以下の比較的低温で形成可能な多結晶Si膜を用いた薄膜トランジスタを用い、基板上に画素スイッチのみならず回路も形成して部品点数を削減し、低コスト化することが行われている。多結晶Si膜を用いた薄膜トランジスタでは信頼性を向上させるため、特にN型薄膜トランジスタにおいて、ソース及びドレインとゲートとの間に、低濃度のドーピング領域であるLDD(Lightly-Doped-Drain)を設けることが行われている。

20

LDDをゲートに対し位置ずれなく形成する方法として、特開平5-152325号公報には、ゲートを構成する導電膜をサイドエッチ加工し、ゲートをレジストから後退した形状に形成し、後退した領域の下部の半導体膜に、ゲートに対して自己整合的にLDDを形成する方法が開示されている。

【0003】

また、液晶表示装置では、ゲートを構成する導電膜は、同じ膜を走査信号用の配線としても用いるため、配線遅延を低減できるように低抵抗性が要求される。多結晶Siを半導体膜として用いた薄膜トランジスタを用いた液晶表示装置では、ドーパントの活性化時に高温にさらされるため、ゲートには耐熱性も要求される。特開平11-163366号公報には、低抵抗で耐熱性に優れるモリブデン(Mo)、及びモリブデンとタングステン(W)の合金(以下Mo-W合金と略す)をゲートとし、レジストアッシングを含む工程により、自己整合的に形成されたLDDを有する薄膜トランジスタを形成する例が開示されている。

30

【0004】

【発明が解決しようとする課題】

Mo-W合金からなる薄膜トランジスタのゲート加工には、ドライエッチ法またはウェットエッチ法を用いることができるが、よりエッチングレートを大きくとれるウェットエッチ法が生産性の面から有利である。しかし、Mo合金のウェットエッチでは、エッチング時の液の攪拌等の条件により膜表面に不動態膜が形成され、エッチングレートが変動することが例えば特開平10-247733号公報に開示されている。このため、ウェットエッチ法によりMo-W膜をサイドエッチして後退領域を形成し、レジストから後退した部位に自己整合的にLDDを形成する製造工程では、エッチングレートの変動を反映して後退量、ひいてはLDD長が不均一となり、従って薄膜トランジスタ特性が不均一となり、歩留まりが低下する課題があった。

40

【0005】

50

本発明の目的は、生産性に優れ、均一な特性の得られる薄膜トランジスタ基板及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】

Mo - W合金のウェットエッチング方法を検討した結果、W濃度が5wt%から30wt%、より好ましくは17wt%から22wt%の範囲のMo - W合金膜を、りん酸濃度が60wt%以上から70wt%以下のエッチング液でエッチングすることにより、Mo - W合金のサイドエッチによる後退量の変動を抑制できることを見出した。

【0007】

従って、本発明は課題を解決するための手段として、Wを5wt%から30wt%含むMo - W合金をゲートに用いることを第一の特徴とする。

【0008】

また、Wを17wt%から22wt%含むMo - W合金をゲートに用いることを第二の特徴とする。

【0009】

また、Wを5wt%から30wt%含むMo - W合金からなる導電膜を、りん酸濃度が60wt%以上70wt%以下含むエッチング液を用いてゲートに加工する工程を含み形成することを第三の特徴とする。

【0010】

本発明の上記特徴およびその他の特徴は、以下の記載により説明される。

【0011】

【発明の実施の形態】

本発明の実施の形態における薄膜トランジスタ基板の製造方法の実施例を図1および図2に示す。透明絶縁基板であるガラス基板1上に、ガラス基板からの不純物をブロックするためのSiNからなる下地膜2およびSiO₂からなる下地膜3を介し、多結晶Si膜4を形成する。多結晶Si膜は、プラズマCVDによりアモルファスSi膜を形成し、400以下のアニールによる脱水素処理を行った後、パルスエキシマレーザアニールにより結晶化して形成した。

【0012】

多結晶Si膜をホトリソグラフィを用いて島状に加工した後、TEOS(tetra orthosilicate)を用いたプラズマCVD法により、ゲート絶縁膜5となるSiO₂膜を堆積する。さらに、Mo - W合金からなる導電膜6を、Mo - W合金からなるターゲットを用いたスパッタ法により150nm堆積する。Mo - W合金は、W濃度が20wt%のものを用いた。ポジレジストを塗布し、ホトリソグラフィを用いてパターンニングし、図1に示すレジスト7を形成する。りん酸を65wt%含むエッチング液を用い、Mo - Wからなる導電膜6をウェットエッチングし、導電膜6からなるゲートをレジスト7より後退した形状に形成する。後退量8は、エッチング時間により制御し1μmとした。レジスト7をマスクとして、りんイオンを平方センチあたり1×10の15乗のドーズ量にてゲート絶縁膜を通し多結晶Si膜4に注入する。レジストを除去後、図2に示すように、りんイオンを平方センチ当たり1×10の13乗のドーズ量にて低濃度に注入すると、図1においてゲートがレジストから後退した領域に、低濃度にりんドーパされたLDD領域11が、ゲート12に自己整合的に形成される。600以下の熱アニールまたはRTA(Rapid Thermal Anneal)により、注入したりんを活性化し、ゲートに自己整合的にLDDが形成されたN型の薄膜トランジスタを得る。

【0013】

なお、図1、図2ではN型の薄膜トランジスタを形成する実施例を示したが、注入イオンとしてりんの代わりにボロンを用い、自己整合的にLDDが形成された、P型の薄膜トランジスタを形成することもできる。LDDを形成することによりP型の薄膜トランジスタにおいてもN型の薄膜トランジスタと同様に、信頼性が向上し、またオフ電流も低減される。P型の薄膜トランジスタは電流駆動に対する耐性がN型の薄膜トランジスタより高い

10

20

30

40

50

ため、有機膜を用いた発光素子による表示装置など、電流駆動型の表示装置に適している。

【0014】

また、本発明の薄膜トランジスタ基板の製造工程においては、ゲートに用いた組成のMo-W合金をドライエッチ加工することも可能であるので、LDDの形成にはウェットエッチによる後退を利用する方法のほか、レジストのアッシングによる後退を利用し、ドライエッチのみを用いて形成する方法など、公知の方法を用いることもできる。

【0015】

図3に、W濃度20wt%（約12原子%）のMo-W合金膜の、サイドエッチによるレジストからの後退量の、エッチング液のりん酸濃度に対する依存性の例を示す。エッチング液にはりん酸に硝酸、酢酸および水を添加したものをを用い、りん酸と水の割合を変えることでりん酸濃度を調整した。いずれもエッチング時間を一定としてエッチング処理を行った。後退量はりん酸濃度に依存し、その最大値はりん酸量の増加により減少した。また、後退量は処理した基板面内で、一般に分布を有していた。分布の幅は、例えばエッチング液のりん酸濃度が55wt%での後退量は最小0.5μmから最大2.5μm以上、りん酸濃度が65wt%では後退量は最小0.8μmから最大0.9μm、りん酸濃度が75wt%では後退量は0μmから0.5μmであった。図3に示すように、りん酸濃度が60wt%以下または70wt%以上のエッチング液では、後退量の分布が増大した。りん酸濃度が60wt%以下のエッチング液では、りん酸量の減少によりMo合金表面に不動態が形成されやすくなり、エッチング速度が小さい領域が形成され、後退量のばらつきが大きくなったものと推測される。一方、りん酸濃度が70wt%以上のエッチング液は粘度が大きく、基板上へエッチング液を均一に供給することが困難であり、従ってエッチング時間が基板上不均一となり後退量の分布が大きくなったと推測される。従って、後退量の面内分布の少ないエッチングを行うには、りん酸濃度を60wt%以上70wt%以下とすることが望ましい。エッチング液のりん酸濃度を60wt%から70wt%の範囲として加工することで、後退量、ひいては薄膜トランジスタのLDDの長さが均一となり、薄膜トランジスタの特性の均一性が向上する。図3の例では、りん酸濃度65wt%のエッチング液を用い、基板内で±10%以下の後退量精度が得られた。なお、図3ではW濃度20wt%の膜についての結果を示したが、W濃度を変えた場合でも、後退量の絶対値は異なるものの、りん酸濃度が60wt%から70wt%の範囲のエッチング液を用いて加工した場合の後退量が均一となり、りん酸濃度が60wt%以下または70wt%以上のエッチング液を用いると後退量の分布が増大する傾向は同様であった。

【0016】

後退量の調整はエッチング液のりん酸濃度のほか、エッチング時間によっても可能である。しかし、エッチング時間を増加すると生産性が低下する。また、生産に用いるエッチング装置では、一般にエッチング時間には装置上設定可能な下限があり、下限以下のエッチング時間は用いることができない。従って、適当な長さの時間でエッチング処理できることが望ましい。生産上適当なエッチング時間で形成可能な後退量の、Mo-W合金膜の組成に対する依存性の例を図4に示す。Mo-W合金の膜厚は150nmとし、均一な後退が得られる、りん酸濃度60wt%から70wt%のエッチング液を用いた。W濃度が5wt%以下のMo-W膜はエッチレートが大きすぎ、装置上設定可能なエッチング時間の範囲では2μm以下の後退量は形成できなかった。一方、W濃度の増加によりエッチレートは減少し、形成可能な後退量の範囲も減少した。W濃度が17wt%では0.6~2μm、W濃度が22wt%では0.3~1.3μmの範囲の後退が形成可能であった。また、W濃度が30wt%以上のMo-W合金膜はエッチレートが小さいため、生産上適当なエッチング時間の上限で形成可能な後退量は0.3μm以下であった。

【0017】

薄膜トランジスタのLDDは、短いと電界緩和効果が不十分となり、トランジスタの耐圧が低下し、長いとLDDが抵抗として付加されるため、薄膜トランジスタの電流駆動能力が低下する。LDD長としては0.3μmから2.0μmの範囲とするのがよい。しかし、

10

20

30

40

50

W濃度が5wt%以下のMo-W合金膜をゲートとした場合、形成されるLDDの長さは2 μ m以上となり、LDDの抵抗が大きく薄膜トランジスタの電流駆動能力が低下する。一方、W濃度が30wt%以上のMo-W合金膜をゲートに用いた場合には、LDD長が0.3 μ m以下と短いため、ゲート端での電界緩和が不十分となり、薄膜トランジスタの耐圧が不十分となる。5wt%以上から30wt%以下のW濃度のMo-W合金をゲートとすることにより、りん酸濃度60wt%から70wt%のエッチング液を用い、LDDとして適当な0.3 μ mから2.0 μ mの範囲の後退量を均一に形成でき、良好な特性の薄膜トランジスタが均一に形成された薄膜トランジスタ基板を生産性よく製造できる。

【0018】

また、W濃度が17wt%から22wt%のMo-W合金は、りん酸濃度60wt%から70wt%のエッチング液を用い、生産上適当なエッチング時間でエッチング処理をした場合、後退量が0.3 μ mより小さくなることはなく、また2 μ mより大きくなることもない。従って、後退量に対するエッチング条件のマージンが大きく、エッチング条件の設定自由度が大きいいため、後退量の制御性を向上でき、良好な特性の薄膜トランジスタが均一に形成された薄膜トランジスタ基板の製造を、より安定して行うことができる。従って、W濃度が17wt%から22wt%のMo-W合金は、自己整合LDDを有する薄膜トランジスタのゲートとしてより適している。

【0019】

本発明による第2の実施例である、薄膜トランジスタ基板を用いた液晶表示装置の画素の例を図5に、図6にそのA-A線での断面を示す。薄膜トランジスタのゲート12、走査信号線30及び共通電圧信号線31が、Wを5wt%(約3原子%)含むMo-W合金により形成されている。薄膜トランジスタのゲート12および走査信号線30、共通電圧信号線31は、りん酸を70wt%含むエッチング液によりエッチング加工され、ゲート12の端部には自己整合的に長さ2 μ mのLDD11が形成されている。

【0020】

ゲート上には、TEOSを用いたプラズマCVD法により形成された、SiO₂からなる層間絶縁膜13が形成され、層間絶縁膜にはコンタクトホール14が開口されている。薄膜トランジスタはコンタクトホールを介してTi/Al-Si合金/Ti積層膜からなるドレイン配線15に接続されている。さらに、SiNからなる無機保護膜16、およびポリイミド系またはアクリル系の透明樹脂からなる有機保護膜18を介し、ITO(Indium-Tin-Oxides)からなる透明電極21が形成され、スルーホール17および19を介してソース配線20に接続されている。透明電極は、印加された電圧を保持する機能を有し、ゲートと同層な導電膜からなる共通電極配線と、多結晶Si膜との間にゲート絶縁膜を介して形成された保持容量32に電氣的に接続されている。

【0021】

本実施例の薄膜トランジスタ基板では、Al合金を含む積層膜からなるドレイン配線15の加工にAlのウェットエッチを用いると、層間絶縁膜の欠陥を介したAlのエッチング液の染み込みにより、ゲートおよびゲートと同層の配線がエッチングされて断線不良を発生させるおそれがある。Al合金を含む積層膜を、塩素系ガスを用いたドライエッチで加工することにより、下層のゲート配線の断線不良を抑制できる。また、透明電極には、ITOの他、IZO(Indium-Zinc-Oxides)を用いることもでき、いずれも酸化物ターゲットを用いたスパッタ法により堆積し、有機酸を用いたウェットエッチ加工を含むホトリソグラフィにて加工することができる。また、りん酸濃度を60wt%から70wt%含むエッチング液を用いることで、Mo-W合金の代わりに、Mo-Cr合金、Mo-Zr合金を用いても、Mo合金膜表面への不動態膜の形成を抑制して均一なエッチングを行うことができ、Moへの各元素の添加量を、適切なエッチレートが得られるよう調整することにより、均一なLDDが形成された薄膜トランジスタ基板を歩留まりよく形成できる。

【0022】

本発明による薄膜トランジスタ基板の第3の実施例を図7に、そのB-B線における断

10

20

30

40

50

面を図 8 に示す。透明絶縁基板であるガラス基板 1 上に、N 型と P 型の薄膜トランジスタが形成され、Mo / Al - Si / Mo 積層膜からなるドレイン配線 15 により接続されている。薄膜トランジスタのゲート 12 および 45 は、W 濃度 30 wt % (約 18 原子%) の Mo - W 合金により形成されている。また、N 型の薄膜トランジスタのゲート 12 の端部には、ゲートに対し自己整合的に LDD が形成されている。

【0023】

図 9 から図 13 に、図 8 の薄膜トランジスタ基板の製造方法の例を示す。透明絶縁基板 1 上に下地膜 2、多結晶 Si 膜 4、ゲート絶縁膜 5 を順次形成し、さらに W を 30 wt % 含む Mo - W 合金からなる導電膜 6 をスパッタ法により堆積する。次に図 9 に示すように、N 型薄膜トランジスタのソースおよびドレインを含む領域が開口されたレジストパタン 41 を形成した後、Mo - W 合金からなる導電膜 6 を、りん酸濃度 60 wt % のエッチング液を用いてウェットエッチングし、レジストパタン 41 から 0.3 μm 後退した形状に加工する。次にレジストパタン 41 をマスクとし、りんイオンを平方センチあたり 1 × 10 の 15 乗のドーズ量で多結晶 Si 膜に注入し、N 型薄膜トランジスタのソースおよびドレインをドーブする。図 10 に示すように、レジストパタンを除去後、りんイオンを平方センチあたり 3 × 10 の 12 乗のドーズ量で低濃度に注入し、LDD 11 を形成する。次に図 11 に示すように、N 型薄膜トランジスタの領域を覆い、P 型薄膜トランジスタのソースおよびドレイン領域を開口したレジストパタン 42 を形成する。図 12 に示すように、酸素を添加したフッ素系ガスを用いたドライエッチにより、レジストを後退させつつ P 型薄膜トランジスタのゲートを加工し、ソースドレイン上の Mo - W 膜を開口する。さらに 20

【0024】

本実施例の P 型の薄膜トランジスタのゲート加工においてウェットエッチングを用いると、ゲートがレジストから後退した形状に形成され、ゲートの後退した領域の、レジストに被覆された領域の多結晶 Si にはボロンが注入されず、高抵抗領域となり、P 型薄膜トランジスタの特性が低下する。本発明の薄膜トランジスタのゲートに用いられる組成の Mo - W 膜はドライエッチ加工も可能であるため、P 型薄膜トランジスタのゲートをドライエッチによりレジストを後退させつつ加工することで、ゲート端にボロンが注入されない領域が形成されるのを防止でき、良好な特性の P 型の薄膜トランジスタを形成できる。本実施例によれば、均一性、信頼性に優れた N 型と P 型の薄膜トランジスタが同一基板上に形成された CMOS 型の薄膜トランジスタ基板を生産性よく形成でき、低消費電力である CMOS 型の駆動回路を基板上に有する液晶表示装置を低コストで提供できる。

【0025】

【発明の効果】

本発明によれば、生産性に優れ、均一な特性の得られる薄膜トランジスタ基板が提供できる。また、駆動回路を内蔵した液晶表示装置や自発光型の表示装置に適した薄膜トランジスタ基板を低コストで製造できる。

【図面の簡単な説明】

【図 1】本発明による薄膜トランジスタ基板の製造工程の第一の実施例を示す図。

【図 2】本発明による薄膜トランジスタ基板の製造工程の第一の実施例を示す図。

【図 3】Mo - W 合金膜のエッチング後退量のエッチング液組成依存性の例を示す図。

【図 4】Mo - W 合金膜のエッチング後退量の膜組成依存性の例を示す図。

【図 5】本発明による薄膜トランジスタ基板の第二の実施例を示す図。

【図 6】本発明による薄膜トランジスタ基板の第二の実施例を示す図。

【図 7】本発明による薄膜トランジスタ基板の製造工程の第 3 の実施例を示す図。

【図 8】本発明による薄膜トランジスタ基板の製造工程の第 3 の実施例を示す図。

10

20

30

40

50

【図9】本発明による薄膜トランジスタ基板の製造工程の第3の実施例を示す図。

【図10】本発明による薄膜トランジスタ基板の製造工程の第3の実施例を示す図。

【図11】本発明による薄膜トランジスタ基板の製造工程の第3の実施例を示す図。

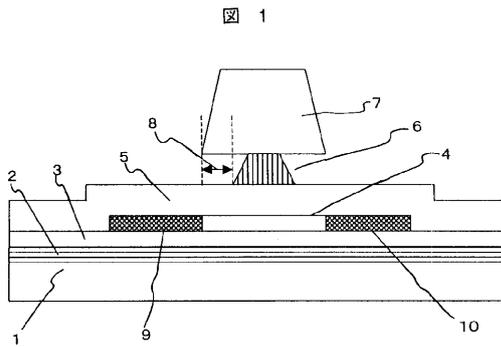
【図12】本発明による薄膜トランジスタ基板の製造工程の第3の実施例を示す図。

【図13】本発明による薄膜トランジスタ基板の製造工程の第3の実施例を示す図。

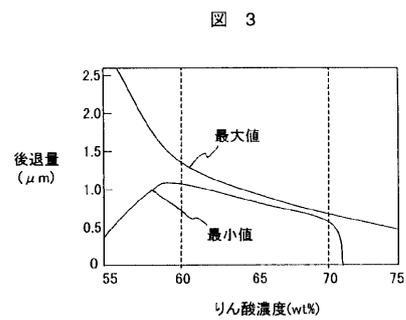
【符号の説明】

1 ... ガラス基板、2, 3 ... 下地膜、4 ... 多結晶シリコン膜、5 ... ゲート絶縁膜、6 ... 導電膜、7, 41, 42 ... レジスト、8 ... 後退量、9, 43 ... ドレイン、10, 44 ... ソース、11 ... LDD、12, 45 ... ゲート、13 ... 層間絶縁膜、14 ... コンタクトホール、15 ... ドレイン配線、16 ... 無機保護膜、17, 19 ... スルーホール、18 ... 有機保護膜、20 ... ソース配線、21 ... 透明電極、30 ... 走査信号線、31 ... 共通電圧信号線、32 ... 保持容量。

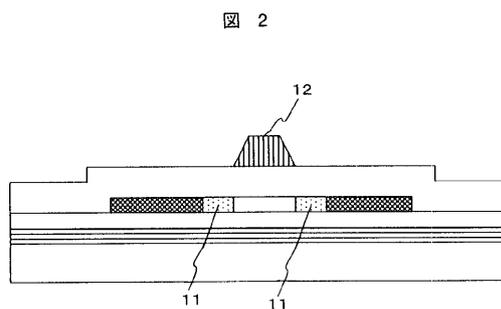
【図1】



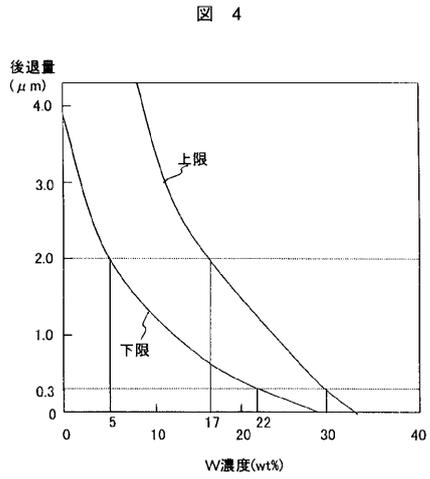
【図3】



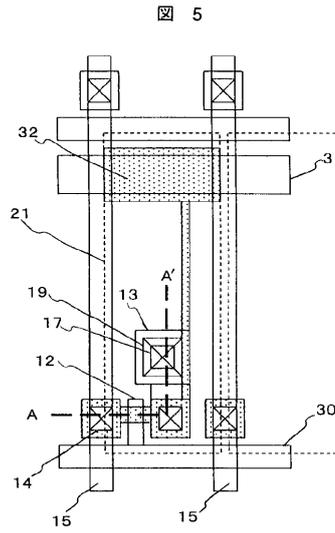
【図2】



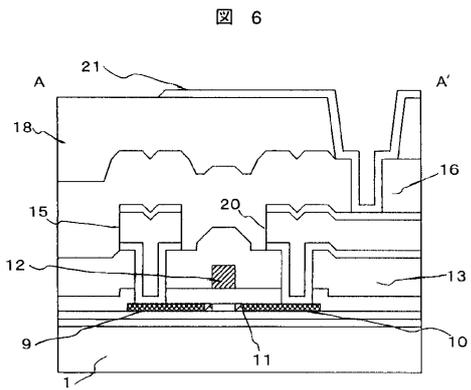
【図4】



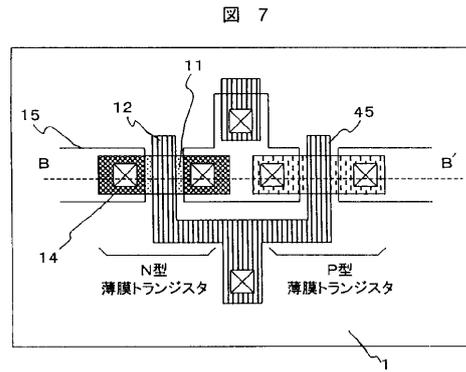
【図5】



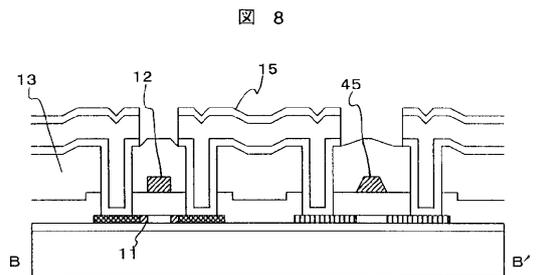
【図6】



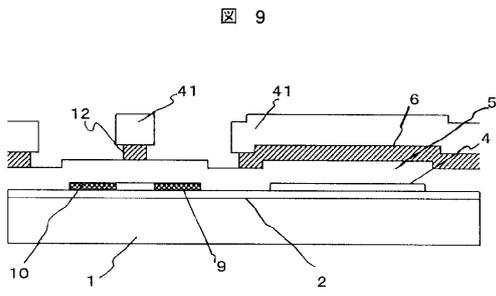
【図7】



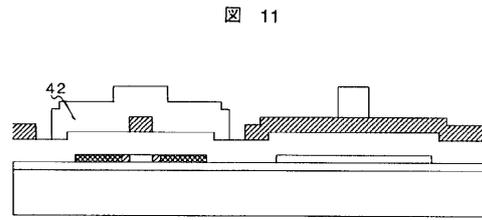
【図8】



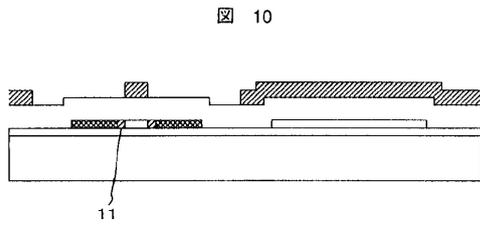
【図 9】



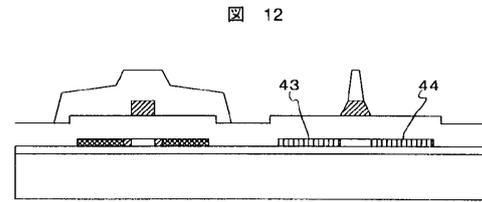
【図 11】



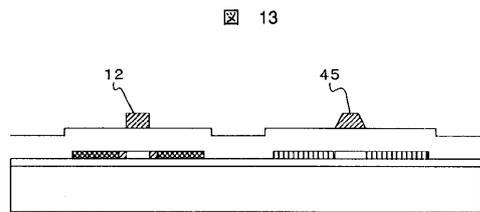
【図 10】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 21/3205 (2006.01)		H 0 1 L 21/88	M
H 0 1 L 23/52 (2006.01)		H 0 1 L 29/62	
H 0 1 L 29/43 (2006.01)			

(72)発明者 加藤 智也
茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内

(72)発明者 金子 寿輝
千葉県茂原市早野3300番地 株式会社 日立製作所 ディスプレイグル
ープ内

(72)発明者 池田 一
千葉県茂原市早野3300番地 株式会社 日立製作所 ディスプレイグル
ープ内

審査官 河本 充雄

(56)参考文献 特開平11-163366(JP,A)
特開平10-247733(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
H01L 21/28
H01L 21/306
H01L 21/3205
H01L 21/3213
H01L 21/336
H01L 29/43