



(12)发明专利申请

(10)申请公布号 CN 106409883 A

(43)申请公布日 2017. 02. 15

(21)申请号 201610929239.6

(22)申请日 2016.10.31

(71)申请人 上海晶丰明源半导体有限公司

地址 201203 上海市浦东新区张衡路666弄  
2号5层

(72)发明人 毛焜

(74)专利代理机构 上海光华专利事务所 31219

代理人 余明伟

(51) Int. Cl.

H01L 29/06(2006.01)

H01L 29/10(2006.01)

H01L 21/336(2006.01)

H01L 29/78(2006.01)

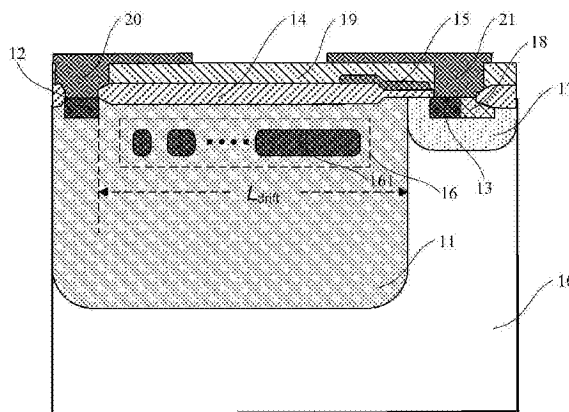
权利要求书2页 说明书9页 附图9页

(54)发明名称

高压LDMOS器件及其制作方法

(57)摘要

本发明提供一种高压LDMOS器件及其制作方法,包括:第一掺杂类型的衬底;第二掺杂类型的漂移区,位于所述第一掺杂类型的衬底内;漏极,位于所述第二掺杂类型的漂移区内;源极,位于所述第一掺杂类型的衬底内;多晶硅栅极,位于所述漏极与所述源极之间的所述第一掺杂类型的衬底表面;第一掺杂类型的埋层,位于所述源极与所述漏极之间的所述第二掺杂类型的漂移区内;所述第一掺杂类型的埋层沿自所述源极至所述漏极的方向分割为相隔一定间距的两段或多段。与传统的高压LDMOS器件相比,本发明的高压LDMOS器件在获得相同耐压的前提下,拥有更短的漂移区长度及更高的漂移区浓度,从而具有更低的导通电阻。



1. 一种高压LDMOS器件,其特征在于,所述高压LDMOS器件包括:
  - 第一掺杂类型的衬底;
  - 第二掺杂类型的漂移区,位于所述第一掺杂类型的衬底内;
  - 漏极,位于所述第二掺杂类型的漂移区内;
  - 源极,位于所述第一掺杂类型的衬底内;
  - 多晶硅栅极,位于所述漏极与所述源极之间的所述第一掺杂类型的衬底表面;
  - 第一掺杂类型的埋层,位于所述源极与所述漏极之间的所述第二掺杂类型的漂移区内;所述第一掺杂类型的埋层沿自所述源极至所述漏极的方向分割为相隔一定间距的两段或多段子埋层,各段所述子埋层的掺杂浓度不完全相同。
2. 根据权利要求1所述的高压LDMOS器件,其特征在于:所述高压LDMOS器件包括多层所述第一掺杂类型的埋层,多层所述第一掺杂类型的埋层沿所述第二掺杂类型的漂移区的深度方向平行间隔排布。
3. 根据权利要求2所述的高压LDMOS器件,其特征在于:相邻各层所述第一掺杂类型的埋层之间的间距相等。
4. 根据权利要求2所述的高压LDMOS器件,其特征在于:相邻各层所述第一掺杂类型的埋层之间的间距不等。
5. 根据权利要求1至4中任一项所述的高压LDMOS器件,其特征在于:自所述源极至所述漏极,各层所述第一掺杂类型的埋层中各段子埋层的宽度逐渐减小。
6. 根据权利要求1至4中任一项所述的高压LDMOS器件,其特征在于:各层所述第一掺杂类型的埋层中,相邻各段子埋层之间的间距相等。
7. 根据权利要求1至4中任一项所述的高压LDMOS器件,其特征在于:各层所述第一掺杂类型的埋层中,相邻各段子埋层之间的间距不等。
8. 根据权利要求1至4中任一项所述的高压LDMOS器件,其特征在于:各层所述第一掺杂类型的埋层中,相邻各段子埋层之间的间距小于或等于 $3\mu\text{m}$ 。
9. 根据权利要求1所述的高压LDMOS器件,其特征在于:所述高压LDMOS器件还包括:
  - 场氧化层,位于所述第一掺杂类型的衬底与所述多晶硅栅极之间,且位于所述漏极与所述源极之间的所述第一掺杂类型的衬底表面;
  - 第一掺杂类型的体区,位于所述第一掺杂类型的衬底内,且位于所述第二掺杂类型的漂移区远离所述漏极的一侧;所述源极位于所述第一掺杂类型的体区内;
  - 第一掺杂类型的重掺杂区,位于所述第一掺杂类型的体区内,且与所述源极相邻接。
10. 根据权利要求9所述的高压LDMOS器件,其特征在于:所述高压LDMOS器件还包括:
  - 介质层,位于所述场氧化层及所述多晶硅栅极表面,所述介质层对应于所述漏极、所述源极及所述第一掺杂类型的重掺杂区的位置形成有开口,所述开口暴露出所述漏极、所述源极及所述第一掺杂类型的重掺杂区;
  - 漏极电极,位于所述开口内及所述介质层表面,且与所述漏极相接触;
  - 源极电极,位于所述开口内及所述介质层表面,且与所述源极及所述第一掺杂类型的重掺杂区相接触。
11. 一种高压LDMOS器件的制作方法,其特征在于,所述制作方法包括如下步骤:
  - 1) 提供第一掺杂类型的衬底;

2) 在所述第一掺杂类型的衬底内形成第二掺杂类型的漂移区；

3) 在所述第二掺杂类型的漂移区内形成第一掺杂类型的埋层,所述第一掺杂类型的埋层沿所述第二掺杂类型的漂移区的长度方向分割为相隔一定间距的两段或多段子埋层,各段所述子埋层的掺杂浓度不完全相同；

4) 在所述第二掺杂类型的漂移区上方形成多晶硅栅极；

5) 在所述多晶硅栅极一侧的所述第二掺杂类型的漂移区内形成漏极,在所述多晶硅栅极另一侧的所述第一掺杂类型的衬底内形成源极。

12. 根据权利要求11所述的高压LDMOS器件的制作方法,其特征在于:步骤2)中,在所述第一掺杂类型的衬底内形成所述第二掺杂类型的漂移区包括如下步骤:

2-1) 采用离子注入工艺在所述第一掺杂类型的衬底内注入第二掺杂类型的离子；

2-2) 通过高温推结形成所述第二掺杂类型的漂移区。

13. 根据权利要求12所述的高压LDMOS器件的制作方法,其特征在于:步骤2-1)中,离子注入的剂量为 $2 \times 10^{12}/\text{cm}^2 \sim 8 \times 10^{12}/\text{cm}^2$ ;步骤2-2)中,形成的所述第二掺杂类型的漂移区的结深为 $4\mu\text{m} \sim 16\mu\text{m}$ ,形成的所述第二掺杂类型的漂移区的长度为 $10\mu\text{m} \sim 100\mu\text{m}$ 。

14. 根据权利要求11所述的高压LDMOS器件的制作方法,其特征在于:步骤3)中,采用离子注入工艺在所述第二掺杂类型的漂移区内形成所述第一掺杂类型的各段子埋层,各段所述子埋层的离子注入的剂量为 $1 \times 10^{12}/\text{cm}^2 \sim 7 \times 10^{12}/\text{cm}^2$ 。

15. 根据权利要求14所述的高压LDMOS器件的制作方法,其特征在于:在离子注入过程中,采用离子注入工艺在所述第二掺杂类型的漂移区内形成多层所述第一掺杂类型的各段子埋层,多层所述第一掺杂类型的埋层沿所述第二掺杂类型的漂移区的深度方向平行间隔排布。

16. 根据权利要求11至15中任一项所述的高压LDMOS器件的制作方法,其特征在于:自所述源极至所述漏极,各层所述第一掺杂类型的埋层中各段子埋层的宽度逐渐减小。

17. 根据权利要求11所述的高压LDMOS器件的制作方法,其特征在于:在步骤2)与步骤3)之间,还包括在所述第一掺杂类型的衬底表面形成场氧化层的步骤,此时,步骤4)中,所述多晶硅栅极位于所述第二掺杂类型的漂移区上方的所述场氧化层表面。

18. 根据权利要求17所述的高压LDMOS器件的制作方法,其特征在于:在步骤3)与步骤4)之间,还包括在所述第二掺杂类型的漂移区远离所述漏极的一侧形成第一掺杂类型的体区的步骤;步骤5)中,所述源极位于所述第一掺杂类型的体区内。

19. 根据权利要求18所述的高压LDMOS器件的制作方法,其特征在于:步骤5)之后还包括如下步骤:

6) 在所述第一掺杂类型的体区内形成第一掺杂类型的重掺杂区,所述第一掺杂类型的重掺杂区与所述源极相邻接；

7) 在所述场氧化层及所述多晶硅栅极表面形成介质层；

8) 在所述介质层对应于所述漏极、所述源极及所述第一掺杂类型的重掺杂区的位置形成有开口,所述开口暴露出所述漏极、所述源极及所述第一掺杂类型的重掺杂区；

9) 在对应于所述漏极的所述开口内及所述介质层表面形成漏极电极,在对应于所述源极及所述第一掺杂类型的重掺杂区的所述开口内形成源极电极。

## 高压LDMOS器件及其制作方法

### 技术领域

[0001] 本发明属于半导体技术领域,特别是涉及一种高压LDMOS器件及其制作方法。

### 背景技术

[0002] 高压LDMOS器件(Lateral Diffused MOSFET,横向扩散金属氧化物半导体)具有工作电压高、工艺相对简单、开关频率高等特性,并且所述高压LDMOS器件的漏极、源极及栅极均位于其表面,易于与低压CMOS(Complementary Metal Oxide Semiconductor,互补型金属氧化物半导体)及BJT(Bipolar Junction Transistor,双极晶体管)等器件在工艺上相兼容,特别是在AC/DC、DC/DC电源管理、LED驱动及马达驱动芯片中可以进行器件集成,因而高压LDMOS器件受到广泛关注,并被认为特别适合用于高压集成电路及功率集成电路中的高压功率器件。

[0003] 在现有技术中,一般采用RESURF(降低表面电场)技术或横向变掺杂技术来提高高压LDMOS器件的耐压。传统RESURF技术是通过在第一掺杂类型的漂移区(譬如N型漂移区)注入相应的第二掺杂类型的埋层(譬如P型埋层),通过互相耗尽来提高高压LDMOS器件的耐压;然而,提高耐压与降低比导通电阻(导通电阻 $\times$ 面积)是矛盾的,并且,传统的RESURF结构的表面电场通常只有两个峰值,与理想的矩形电场分布有一定的差距;传统的横向变掺杂技术是通过不同掺杂的第一掺杂类型的漂移区以提高高压LDMOS器件的耐压,但该结构仅有一个导电通道,难以获得高浓度漂移区及低的导通电阻。

### 发明内容

[0004] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种高压LDMOS器件及其制作方法,用于解决现有技术中采用传统RESURF技术提高耐压存在的提高耐压与降低比导通电阻相矛盾,表面电场通常只有两个峰值,与理想的矩形电场分布有一定的差距的问题,以及采用传统的横向变掺杂技术提高耐压存在的仅有一个导电通道,难以获得高浓度漂移区及低的导通电阻的问题。

[0005] 为实现上述目的及其他相关目的,本发明提供一种高压LDMOS器件,所述高压LDMOS器件包括:

[0006] 第一掺杂类型的衬底;

[0007] 第二掺杂类型的漂移区,位于所述第一掺杂类型的衬底内;

[0008] 漏极,位于所述第二掺杂类型的漂移区内;

[0009] 源极,位于所述第一掺杂类型的衬底内;

[0010] 多晶硅栅极,位于所述漏极与所述源极之间的所述第一掺杂类型的衬底表面;

[0011] 第一掺杂类型的埋层,位于所述源极与所述漏极之间的所述第二掺杂类型的漂移区内;所述第一掺杂类型的埋层沿自所述源极至所述漏极的方向分割为相隔一定间距的两段或多段子埋层,各段所述子埋层的掺杂浓度不完全相同。

[0012] 作为本发明的高压LDMOS器件的一种优选方案,所述高压LDMOS器件包括多层所述

第一掺杂类型的埋层,多层所述第一掺杂类型的埋层沿所述第二掺杂类型的漂移区的深度方向平行间隔排布。

[0013] 作为本发明的高压LDMOS器件的一种优选方案,相邻各层所述第一掺杂类型的埋层之间的间距相等。

[0014] 作为本发明的高压LDMOS器件的一种优选方案,相邻各层所述第一掺杂类型的埋层之间的间距不等。

[0015] 作为本发明的高压LDMOS器件的一种优选方案,自所述源极至所述漏极,各层所述第一掺杂类型的埋层中各段子埋层的宽度逐渐减小。

[0016] 作为本发明的高压LDMOS器件的一种优选方案,各层所述第一掺杂类型的埋层中,相邻各段子埋层之间的间距相等。

[0017] 作为本发明的高压LDMOS器件的一种优选方案,各层所述第一掺杂类型的埋层中,相邻各段子埋层之间的间距不等。

[0018] 作为本发明的高压LDMOS器件的一种优选方案,各层所述第一掺杂类型的埋层中,相邻各段子埋层之间的间距小于或等于 $3\mu\text{m}$ 。

[0019] 作为本发明的高压LDMOS器件的一种优选方案,所述高压LDMOS器件还包括:

[0020] 场氧化层,位于所述第一掺杂类型的衬底与所述多晶硅栅极之间,且位于所述漏极与所述源极之间的所述第一掺杂类型的衬底表面;

[0021] 第一掺杂类型的体区,位于所述第一掺杂类型的衬底内,且位于所述第二掺杂类型的漂移区远离所述漏极的一侧;所述源极位于所述第一掺杂类型的体区内;

[0022] 第一掺杂类型的重掺杂区,位于所述第一掺杂类型的体区内,且与所述源极相邻接。

[0023] 作为本发明的高压LDMOS器件的一种优选方案,所述高压LDMOS器件还包括;

[0024] 介质层,位于所述场氧化层及所述多晶硅栅极表面,所述介质层对应于所述漏极、所述源极及所述第一掺杂类型的重掺杂区的位置形成有开口,所述开口暴露出所述漏极、所述源极及所述第一掺杂类型的重掺杂区;

[0025] 漏极电极,位于所述开口内及所述介质层表面,且与所述漏极相接触;

[0026] 源极电极,位于所述开口内及所述介质层表面,且与所述源极及所述第一掺杂类型的重掺杂区相接触。

[0027] 本发明还提供一种高压LDMOS器件的制作方法,所述高压LDMOS器件的制作方法包括如下步骤:

[0028] 1) 提供第一掺杂类型的衬底;

[0029] 2) 在所述第一掺杂类型的衬底内形成第二掺杂类型的漂移区;

[0030] 3) 在所述第二掺杂类型的漂移区内形成第一掺杂类型的埋层,所述第一掺杂类型的埋层沿所述第二掺杂类型的漂移区的长度方向分割为相隔一定间距的两段或多段子埋层,各段所述子埋层的掺杂浓度不完全相同;

[0031] 4) 在所述第二掺杂类型的漂移区上方形成多晶硅栅极;

[0032] 5) 在所述多晶硅栅极一侧的所述第二掺杂类型的漂移区内形成漏极,在所述多晶硅栅极另一侧的所述第一掺杂类型的衬底内形成源极。

[0033] 作为本发明的高压LDMOS器件的制作方法的一种优选方案,步骤2)中,在所述第一

掺杂类型的衬底内形成所述第二掺杂类型的漂移区包括如下步骤：

[0034] 2-1) 采用离子注入工艺在所述第一掺杂类型的衬底内注入第二掺杂类型的离子；

[0035] 2-2) 通过高温推结形成所述第二掺杂类型的漂移区。

[0036] 作为本发明的高压LDMOS器件的制作方法的一种优选方案，步骤2-1)中，离子注入的剂量为 $2 \times 10^{12}/\text{cm}^2 \sim 8 \times 10^{12}/\text{cm}^2$ ；步骤2-2)中，形成的所述第二掺杂类型的漂移区的结深为 $4\mu\text{m} \sim 16\mu\text{m}$ ，形成的所述第二掺杂类型的漂移区的长度为 $10\mu\text{m} \sim 100\mu\text{m}$ 。

[0037] 作为本发明的高压LDMOS器件的制作方法的一种优选方案，步骤3)中，采用离子注入工艺在所述第二掺杂类型的漂移区内形成所述第一掺杂类型的各段子埋层，各段所述子埋层的离子注入的剂量为 $1 \times 10^{12}/\text{cm}^2 \sim 7 \times 10^{12}/\text{cm}^2$ 。

[0038] 作为本发明的高压LDMOS器件的制作方法的一种优选方案，在离子注入过程中，采用离子注入工艺在所述第二掺杂类型的漂移区内形成多层所述第一掺杂类型的各段子埋层，多层所述第一掺杂类型的埋层沿所述第二掺杂类型的漂移区的深度方向平行间隔排布。

[0039] 作为本发明的高压LDMOS器件的制作方法的一种优选方案，自所述源极至所述漏极，各层所述第一掺杂类型的埋层中各段子埋层的宽度逐渐减小。

[0040] 作为本发明的高压LDMOS器件的制作方法的一种优选方案，在步骤2)与步骤3)之间，还包括在所述第一掺杂类型的衬底表面形成场氧化层的步骤，此时，步骤4)中，所述多晶硅栅极位于所述第二掺杂类型的漂移区上方的所述场氧化层表面。

[0041] 作为本发明的高压LDMOS器件的制作方法的一种优选方案，在步骤3)与步骤4)之间，还包括在所述第二掺杂类型的漂移区远离所述漏极的一侧形成第一掺杂类型的体区的步骤；步骤5)中，所述源极位于所述第一掺杂类型的体区内。

[0042] 作为本发明的高压LDMOS器件的制作方法的一种优选方案，步骤5)之后还包括如下步骤：

[0043] 6) 在所述第一掺杂类型的体区内形成第一掺杂类型的重掺杂区，所述第一掺杂类型的重掺杂区与所述源极相邻接；

[0044] 7) 在所述场氧化层及所述多晶硅栅极表面形成介质层；

[0045] 8) 在所述介质层对应于所述漏极、所述源极及所述第一掺杂类型的重掺杂区的位置形成有开口，所述开口暴露出所述漏极、所述源极及所述第一掺杂类型的重掺杂区；

[0046] 9) 在对应于所述漏极的所述开口内及所述介质层表面形成漏极电极，在对应于所述源极及所述第一掺杂类型的重掺杂区的所述开口内形成源极电极。

[0047] 如上所述，本发明的高压LDMOS器件及其制作方法，具有以下有益效果：通过将第一掺杂类型的埋层分段地置于第二掺杂类型的漂移区内，使得所述高压LDMOS器件获得多峰值表面电场分布，且拥有两个导电通道；与传统的高压LDMOS器件相比，本发明的高压LDMOS器件在获得相同耐压的前提下，拥有更短的漂移区长度及更高的漂移区浓度，从而具有更低的导通电阻。

## 附图说明

[0048] 图1显示为本发明实施例一中提供的高压LDMOS器件的截面结构示意图。

[0049] 图2显示为本发明实施例一中提供的高压LDMOS器件与现有技术中的LDMOS器件的

表面电场分布图。

[0050] 图3显示为本发明实施例二中提供的高压LDMOS器件的截面结构示意图。

[0051] 图4显示为本发明实施例三中提供的高压LDMOS器件的制作方法的流程图。

[0052] 图5至图16显示为本发明实施例三中提供的高压LDMOS器件的制作方法各步骤中的截面结构示意图。

[0053] 元件标号说明

[0054] 10 第一掺杂类型的衬底

[0055] 11 第二掺杂类型的漂移区

[0056] 12 漏极

[0057] 13 源极

[0058] 14 场氧化层

[0059] 15 多晶硅栅极

[0060] 16 第一掺杂类型的埋层

[0061] 161 子埋层

[0062] 17 第一掺杂类型的体区

[0063] 18 第一掺杂类型的重掺杂区

[0064] 19 介质层

[0065] 191 开口

[0066] 20 漏极电极

[0067] 21 源极电极

[0068] S1~S6 步骤

## 具体实施方式

[0069] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0070] 请参阅图1至图16需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,虽图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局形态也可能更为复杂。

[0071] 实施例一

[0072] 请参阅图1,本发明提供一种高压LDMOS器件,所述高压LDMOS器件包括:第一掺杂类型的衬底10;第二掺杂类型的漂移区11,所述第二掺杂类型的漂移区11位于所述第一掺杂类型的衬底10内,所述第二掺杂类型与所述第一掺杂类型不同;漏极12,所述漏极12位于所述第二掺杂类型的漂移区11内;源极13,所述源极13位于所述第一掺杂类型的衬底10内;多晶硅栅极15,所述多晶硅栅极15位于所述漏极12与所述源极13之间的所述第一掺杂类型的衬底10表面;第一掺杂类型的埋层16,所述第一掺杂类型的埋层16位于所述源极13与所述漏极12之间的所述第二掺杂类型的漂移区11内;所述第一掺杂类型的埋层16沿自所述源

极13至所述漏极12的方向分割为相隔一定间距的两段或多段子埋层161,各段所述子埋层161的掺杂浓度不完全相同;具体的,自左至右,各段所述子埋层161的掺杂浓度可以梯度变化,也可以交替变化,还可以无规则变化。

[0073] 作为示例,所述第一掺杂类型可以为P型,所述第二掺杂类型可以为N型。

[0074] 作为示例,所述第一掺杂类型可以为N型,所述第二掺杂类型可以为P型。

[0075] 作为示例,所述第一掺杂类型的埋层16中分割成的各段所述子埋层161的宽度可以相同,也可以不同;优选地,所述第一掺杂类型的埋层16中分割成的各段所述子埋层161的宽度不同;更为优选地,本实施例中,自所述源极13至所述漏极12,所述第一掺杂类型的埋层16中各段所述子埋层161的宽度逐渐减小。当然,在其他示例中,自所述源极13至所述漏极12,各层所述第一掺杂类型的埋层16中各段所述子埋层161的宽度也可以逐渐增大。

[0076] 需要说明的是,所谓的“各层所述第一掺杂类型的埋层16中各段所述子埋层161的宽度”是指沿自所述源极13至所述漏极12方向的尺寸。

[0077] 作为示例,所述第一掺杂类型的埋层16分割的所述子埋层161段数可以根据实际需要进行设定,优选地,本实施例中,所述第一掺杂类型的埋层16沿自所述源极13至所述漏极12的方向分割为2~10段。

[0078] 作为示例,各层所述第一掺杂类型的埋层16中,相邻各段所述子埋层161之间的间距可以相等,也可以不等。各层所述第一掺杂类型的埋层16中,相邻各段所述子埋层161之间的间距可以根据实际需要进行设定,优选地,本实施例中,各层所述第一掺杂类型的埋层16中,相邻各段所述子埋层161之间的间距小于或等于 $3\mu\text{m}$ 。

[0079] 作为示例,所述高压LDMOS器件还包括:场氧化层14,所述场氧化层14位于所述第一掺杂类型的衬底10与所述多晶硅栅极15之间,且位于所述漏极12与所述源极13之间的所述第一掺杂类型10的衬底表面,即所述多晶硅栅极15位于所述漏极12与所述源极13之间的所述场氧化层14表面;第一掺杂类型的体区17,所述第一掺杂类型的体区17位于第一掺杂类型的衬底10内,且位于第二掺杂类型的漂移区11远离所述漏极12的一侧;所述源极位于所述第一掺杂类型的体区17内;第一掺杂类型的重掺杂区18,所述第一掺杂类型的重掺杂区18位于所述第一掺杂类型的体区17内,且与所述源极13相邻接。

[0080] 作为示例,所述高压LDMOS器件还包括:介质层19,所述介质层19位于所述场氧化层14及所述多晶硅栅极15表面,所述介质层19对应于所述漏极12、所述源极13及所述第一掺杂类型的重掺杂区18的位置形成有开口(未示出),所述开口暴露出所述漏极12、所述源极13及所述第一掺杂类型的重掺杂区18;漏极电极20,所述漏极电极20位于所述开口内及所述介质层19表面,且与所述漏极12相接触;源极电极21,所述源极电极21位于所述开口内及所述介质层19表面,且与所述源极13及所述第一掺杂类型的重掺杂区18相接触;位于所述介质层19表面的所述漏极电极20与位于所述介质层19表面的所述源极电极21相隔一定的间距。

[0081] 本发明的高LDMOS器件通过将所述第一掺杂类型的埋层16分段地置于第二掺杂类型的漂移区11内,在高压下,使得所述高压LDMOS器件获得多峰值表面电场分布,如图2所示,其中,①为本实施例中所述的高压LDMOS器件的表面电场分布图,②为现有技术中的高压LDMOS器件的表面电场分布图,横向坐标X为自所述源极13至所述漏极12的距离。由于耐压是电场沿耗尽区方向的积分,即沿自所述源极13至所述漏极12方向的积分,因此,多峰值



表面电场的分布较之现有技术中的高压LDMOS器件的少峰值表面电场的分布的击穿电压得到提升,即在同等耐压条件下,本发明的高压LDMOS器件可以拥有更短的漂移区长度 $L_{drift}$ ,更高的漂移区浓度,从而降低了高压LDMOS器件的导通电阻,减小了器件面积;本实施例中,所述漂移区长度 $L_{drift}$ 为 $10\mu\text{m}$ - $100\mu\text{m}$ 。

#### [0082] 实施例二

[0083] 请参阅图3,本实施例还提供一种高压LDMOS器件,本实施例中所述的高压LDMOS器件的结构与实施例一中所述的高压LDMOS器件的结构大致相同,二者的区别在于:实施例一中,所述高压LDMOS器件中所述第一掺杂类型的埋层16的数量为一层,而本实施例中,所述第一掺杂类型的埋层16的数量为两层或多层,两层或多层所述第一掺杂类型的埋层16沿所述第二掺杂类型的漂移区11的深度方向平行间隔排布。

[0084] 作为示例,相邻各层所述第一掺杂类型的埋层16之间的间距可以相等也可以不等,此处不做限定。

[0085] 本实施例中所述的高压LDMOS器件的其他结构与实施例一中所述的高压LDMOS器件的其他结构完全相同,具体请参阅实施例一,此处不再累述。

#### [0086] 实施例三

[0087] 请参阅图4,本发明还提供一种高压LDMOS器件的制作方法,所述高压LDMOS器件的制作方法包括如下步骤:

[0088] 1) 提供第一掺杂类型的衬底;

[0089] 2) 在所述第一掺杂类型的衬底内形成第二掺杂类型的漂移区;

[0090] 3) 在所述第二掺杂类型的漂移区内形成第一掺杂类型的埋层,所述第一掺杂类型的埋层沿所述第二掺杂类型的漂移区的长度方向分割为相隔一定间距的两段或多段子埋层,各段所述子埋层的掺杂浓度不完全相同;

[0091] 4) 在所述第二掺杂类型的漂移区上方形成多晶硅栅极;

[0092] 5) 在所述多晶硅栅极一侧的所述第二掺杂类型的漂移区内形成漏极,在所述多晶硅栅极另一侧的所述第一掺杂类型的衬底内形成源极。

[0093] 在步骤1)中,请参阅图4中的S1步骤及图5,提供第一掺杂类型的衬底10。

[0094] 作为示例,首先提供一衬底,然后通过离子注入工艺在所述衬底内注入第一掺杂类型的离子以形成所述第一掺杂类型的衬底10。

[0095] 作为示例,所述第一掺杂类型可以为P型,也可以为N型。

[0096] 在步骤2)中,请参阅图4中的S2步骤及图6,在所述第一掺杂类型的衬底10内形成第二掺杂类型的漂移区11。

[0097] 作为示例,在所述第一掺杂类型的衬底10内形成所述第二掺杂类型的漂移区11包括如下步骤:

[0098] 2-1) 采用离子注入工艺在所述第一掺杂类型的衬底10内注入第二掺杂类型的离子,离子注入的剂量为 $2 \times 10^{12}/\text{cm}^2 \sim 8 \times 10^{12}/\text{cm}^2$ ;

[0099] 2-2) 通过高温推结形成所述第二掺杂类型的漂移区11,形成的所述第二掺杂类型的漂移区11的结深为 $4\mu\text{m}$ - $16\mu\text{m}$ ,形成的所述第二掺杂类型的漂移区11的长度为 $10\mu\text{m}$ - $100\mu\text{m}$ 。

[0100] 作为示例,当所述第一掺杂类型为P型时,所述第二掺杂类型为N型;当所述第二掺

杂类型为N型时,所述第一掺杂类型为P型。

[0101] 作为示例,请参阅图7,在步骤2)之后还包括在所述第一掺杂类型的衬底10表面形成场氧化层14的步骤。

[0102] 作为示例,可以采用热氧化法、物理气相沉积法或化学气相沉积法在所述第一掺杂类型的衬底10表面形成所述场氧化层14,优选地,本实施例中,采用热氧化法在所述第一掺杂类型的衬底10表面形成所述场氧化层14。

[0103] 在步骤3)中,请参阅图4中的S3步骤及图8至图9,在所述第二掺杂类型的漂移区11内形成第一掺杂类型的埋层16,所述第一掺杂类型的埋层16沿所述第二掺杂类型的漂移区11的长度方向分割为相隔一定间距的两段或多段子埋层161,即所述第一掺杂类型的埋层16沿后续形成的自源极至漏极的方向分割为相隔一定间距的两段或多段所述子埋层161,各段所述子埋层161的掺杂浓度不完全相同。

[0104] 作为示例,依据图形化的掩膜版(所述掩膜版定义出所述第一掺杂类型的埋层16的形状)采用离子注入工艺在所述第二掺杂类型的漂移区11内形成所述第一掺杂类型的埋层16,离子注入的剂量为 $1 \times 10^{12}/\text{cm}^2 \sim 7 \times 10^{12}/\text{cm}^2$ ;即各段所述子埋层161的离子注入的剂量为 $1 \times 10^{12}/\text{cm}^2 \sim 7 \times 10^{12}/\text{cm}^2$ 。

[0105] 作为示例,在所述第二掺杂类型的漂移区11内形成的所述第一掺杂类型的埋层16的层数可以根据实际需要设定,所述第一掺杂类型的埋层16的层数可以为一层、两侧或多层,其中,图8中所述第一掺杂类型的埋层16的层数为一层,图9中所述第一掺杂类型的埋层16的层数为多层。

[0106] 作为示例,当所述第一掺杂类型的埋层16的层数为多层时,由于离子注入的深度与离子注入能量有直接的关系,在离子注入过程中,可以通过调整离子注入的能量,采用不同的离子注入能量在所述第二掺杂类型的漂移区11内形成多层所述第一掺杂类型的埋层16,多层所述第一掺杂类型的埋层16沿所述第二掺杂类型的漂移区11的深度方向平行间隔排布。

[0107] 作为示例,相邻各层所述第一掺杂类型的埋层16之间的间距可以相等也可以不等,此处不做限定。

[0108] 作为示例,各层所述第一掺杂类型的埋层16中分割成的各段所述子埋层161的宽度可以相同,也可以不同;优选地,各层所述第一掺杂类型的埋层16中分割成的各段所述子埋层161的宽度不同;更为优选地,本实施例中,自所述源极13至所述漏极12,各层所述第一掺杂类型的埋层16中各段所述子埋层161的宽度逐渐减小。当然,在其他示例中,自所述源极13至所述漏极12,各层所述第一掺杂类型的埋层16中各段所述子埋层161的宽度也可以逐渐增大。

[0109] 需要说明的是,所谓的“各层所述第一掺杂类型的埋层16中各段所述子埋层161的宽度”是指沿自所述源极13至所述漏极12方向的尺寸。

[0110] 作为示例,各层所述第一掺杂类型的埋层16分割的段数可以根据实际需要进行设定,优选地,本实施例中,各层所述第一掺杂类型的埋层16沿自所述源极13至所述漏极12的方向分割为2~10段。

[0111] 作为示例,自左至右,各段所述子埋层161的掺杂浓度可以梯度变化,也可以交替变化,还可以无规则变化。

[0112] 作为示例,各层所述第一掺杂类型的埋层16中,相邻各段所述子埋层161之间的间距可以相等,也可以不等。各层所述第一掺杂类型的埋层16中,相邻各段所述子埋层161之间的间距可以根据实际需要进行设定,优选地,本实施例中,各层所述第一掺杂类型的埋层16中,相邻各段所述子埋层161之间的间距小于或等于 $3\mu\text{m}$ 。

[0113] 需要说明的,在其他示例中,可以先在所述第二掺杂类型的漂移区11内形成所述第一掺杂类型的埋层16,然后再在所述第一掺杂类型的衬底10表面形成所述场氧化层14。

[0114] 作为示例,请参阅图10,步骤3)之后还包括在所述第二掺杂类型的漂移区11远离所述漏极12的一侧形成第一掺杂类型的体区17的步骤。具体的,采用离子注入工艺在所述第二掺杂类型的漂移区11远离所述漏极12的一侧的所述第一掺杂类型的衬底10内注入第一掺杂类型的离子,以在所述第一掺杂类型的衬底10内形成所述第一掺杂类型的体区17。

[0115] 需要说明的是,在其他示例中,还可以先在所述第二掺杂类型的漂移区11内形成所述第一掺杂类型的埋层16;然后在所述第二掺杂类型的漂移区11远离所述漏极12的一侧形成第一掺杂类型的体区17;最后再在所述第一掺杂类型的衬底10表面形成所述场氧化层14。

[0116] 在步骤4)中,请参阅图4中的S4步骤及图11,在所述第二掺杂类型的漂移区11上方形成多晶硅栅极15。

[0117] 具体的,在所述第二掺杂类型的漂移区11上方的所述场氧化层14表面形成多晶硅栅极15。

[0118] 作为示例,采用物理气相沉积法或化学气相沉积法在所述第二掺杂类型的漂移区11上方的所述场氧化层14表面沉积多晶硅层,通过光刻刻蚀工艺刻蚀所述多晶硅层以形成所述多晶硅栅极15。

[0119] 在步骤5)中,请参阅图4中的S5步骤及图12,在所述多晶硅栅极15一侧的所述第二掺杂类型的漂移区11内形成漏极12,在所述多晶硅栅极15另一侧的所述第一掺杂类型的衬底10内形成源极13。

[0120] 作为示例,采用自对准工艺在所述多晶硅栅极15一侧的所述第二掺杂类型的漂移区11内注入第一掺杂类型的离子以形成所述漏极12;采用自对准工艺在所述多晶硅栅极15另一侧的所述第一掺杂类型的衬底10内注入第一掺杂类型的以形成所述源极13。

[0121] 作为示例,所述源极13及所述漏极12均为重掺杂区域,在形成所述漏极12及所述源极13的过程中,所述第一掺杂类型离子的注入剂量为 $1 \times 10^{15}/\text{cm}^2$ 到 $1 \times 10^{16}/\text{cm}^2$ 。

[0122] 作为示例,步骤5)之后还包括如下步骤:

[0123] 6)在所述第一掺杂类型的体区17内形成第一掺杂类型的重掺杂区18,所述第一掺杂类型的重掺杂区18与所述源极13相邻接,如图13所示;具体的,采用离子注入工艺在所述第一掺杂类型的体区17内进行第一掺杂类型的离子注入以形成所述第一掺杂类型的重掺杂区18;

[0124] 7)在所述场氧化层14及所述多晶硅栅极15表面形成介质层19,如图14所示;具体的,采用物理气相沉积法或化学气相沉积法在所述场氧化层14及所述多晶硅栅极15表面形成所述介质层19;

[0125] 8)采用光刻刻蚀工艺在所述介质层19对应于所述漏极12、所述源极13及所述第一掺杂类型的重掺杂区18的位置形成有开口191,所述开口191暴露出所述漏极12、所述源极

13及所述第一掺杂类型的重掺杂区18,如图15所示;

[0126] 9) 在对应于所述漏极12的所述开口191内及所述介质层19表面形成漏极电极20,在对应于所述源极13及所述第一掺杂类型的重掺杂区18的所述开口191内形成源极电极21,如图16所示;具体的,采用物理气相沉积法或化学气相沉积法9对应于所述漏极12、所述源极13及所述第一掺杂类型的重掺杂区18的开口191内及所述介质层19表面沉积电极材料层,通过光刻刻蚀工艺形成所述漏极电极20及所述源极电极。

[0127] 本实施例的所述高压LDMOS器件的制作方法通过将所述第一掺杂类型的埋层16分段地置于第二掺杂类型的漂移区11内,在高压下,使得所述高压LDMOS器件获得多峰值表面电场分布,由于耐压是电场沿耗尽区方向的积分,即沿自所述源极13至所述漏极12方向的积分,因此,多峰值表面电场的分布较之现有技术中的高压LDMOS器件的少峰值表面电场的分布的击穿电压得到提升,即在同等耐压条件下,本实施例中的制作方法制作的高压LDMOS器件可以拥有更短的漂移区长度 $L_{drift}$ ,更高的漂移区浓度,从而降低了高压LDMOS器件的导通电阻,减小了器件面积;本实施例中,所述漂移区长度 $L_{drift}$ 为 $10\mu\text{m}$ - $100\mu\text{m}$ 。

[0128] 综上所述,本发明提供一种高压LDMOS器件及其制作方法,所述高压LDMOS器件包括:第一掺杂类型的衬底;第二掺杂类型的漂移区,位于所述第一掺杂类型的衬底内;漏极,位于所述第二掺杂类型的漂移区内;源极,位于所述第一掺杂类型的衬底内;多晶硅栅极,位于所述漏极与所述源极之间的所述第一掺杂类型的衬底表面;第一掺杂类型的埋层,位于所述源极与所述漏极之间的所述第二掺杂类型的漂移区内;所述第一掺杂类型的埋层沿自所述源极至所述漏极的方向分割为相隔一定间距的两段或多段子埋层,各段所述子埋层的掺杂浓度不完全相同。本发明通过将第一掺杂类型的埋层分段地置于第二掺杂类型的漂移区内,使得所述高压LDMOS器件获得多峰值表面电场分布,且拥有两个导电通道;与传统的高压LDMOS器件相比,本发明的高压LDMOS器件在获得相同耐压的前提下,拥有更短的漂移区长度及更高的漂移区浓度,从而具有更低的导通电阻。

[0129] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

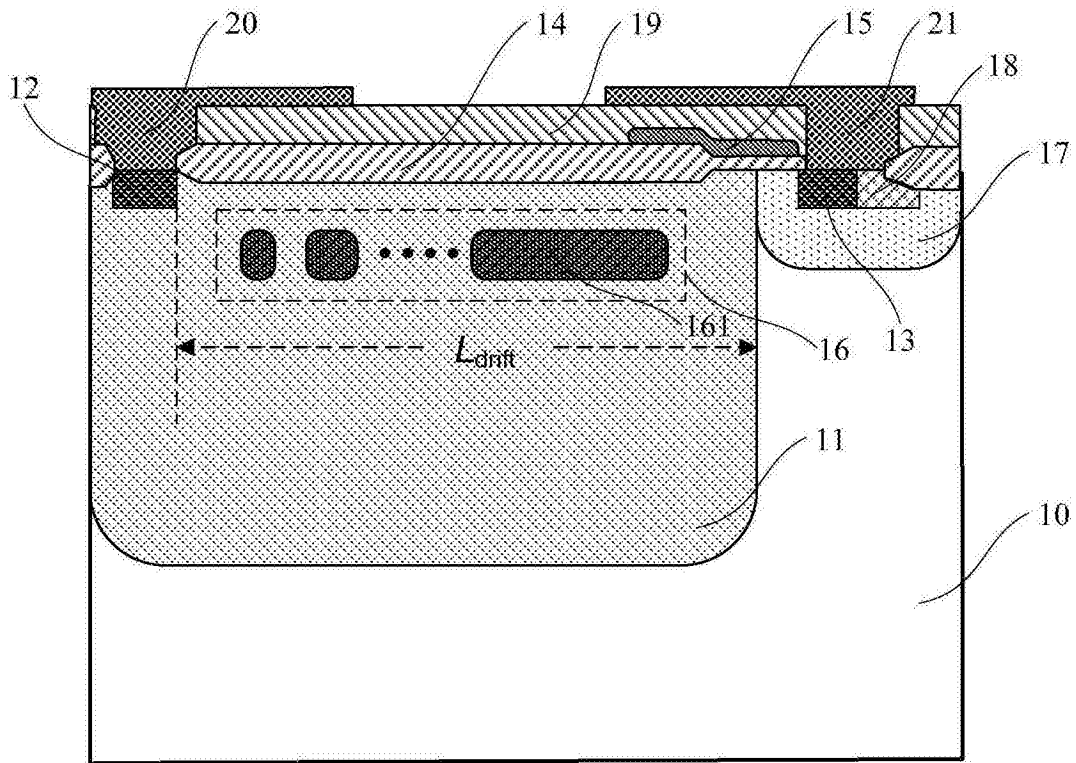


图1

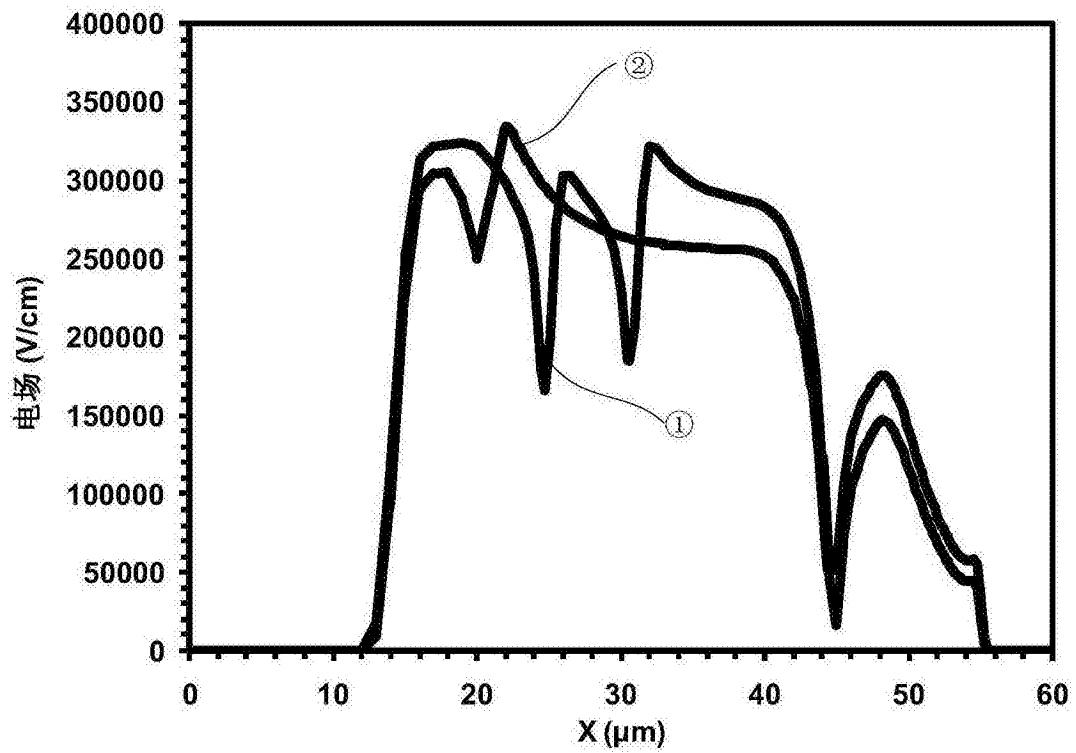


图2

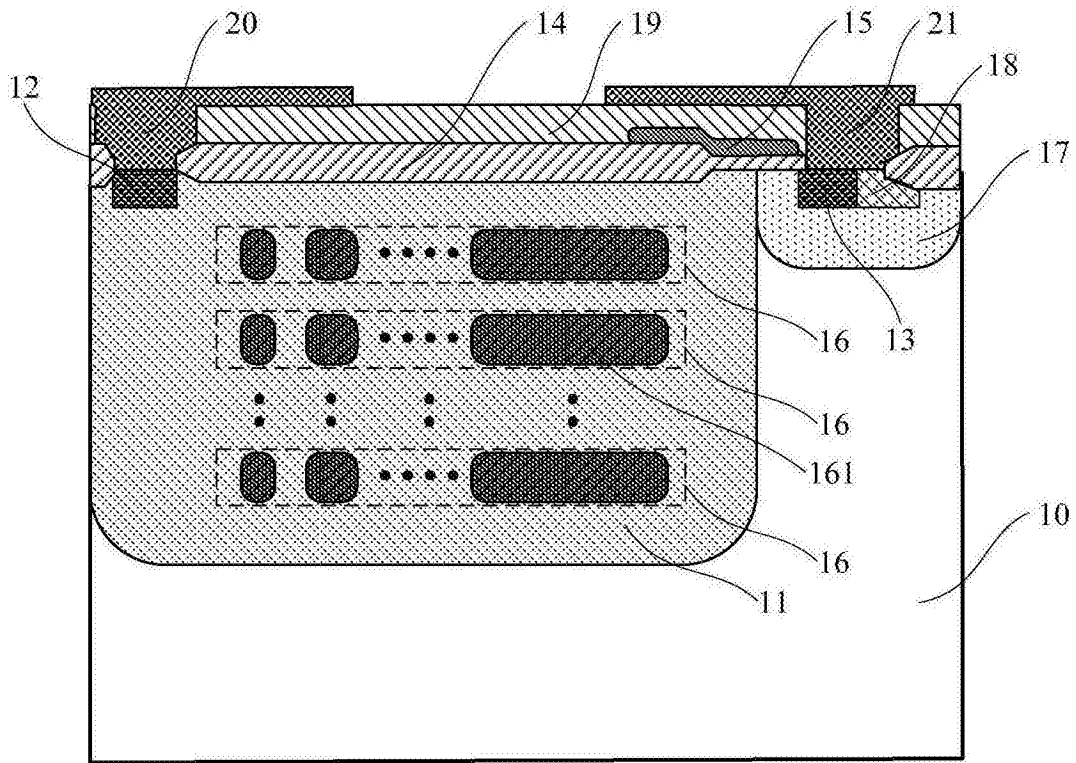


图3

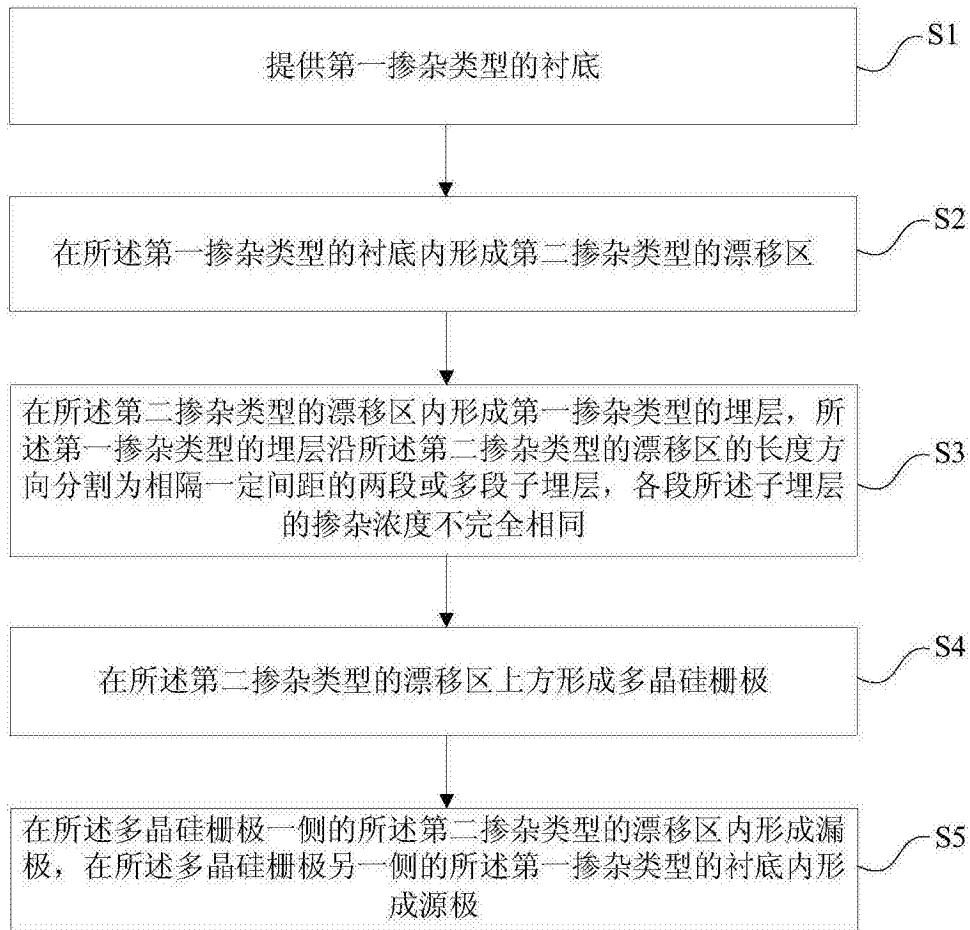


图4

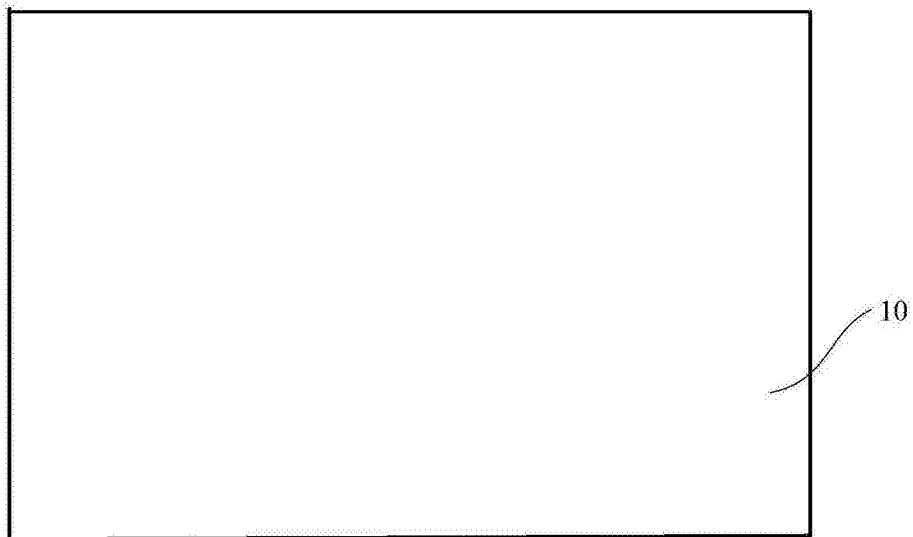


图5

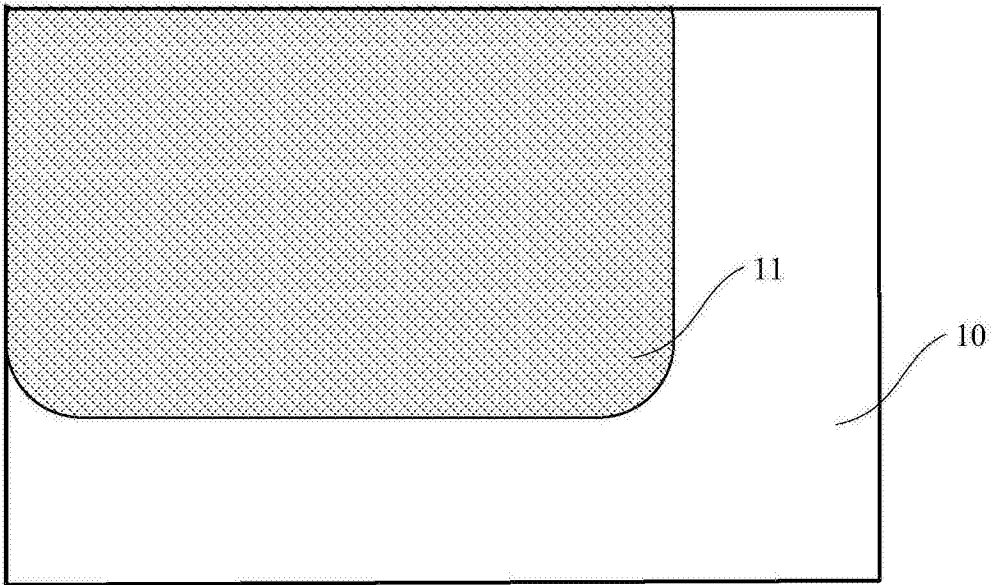


图6

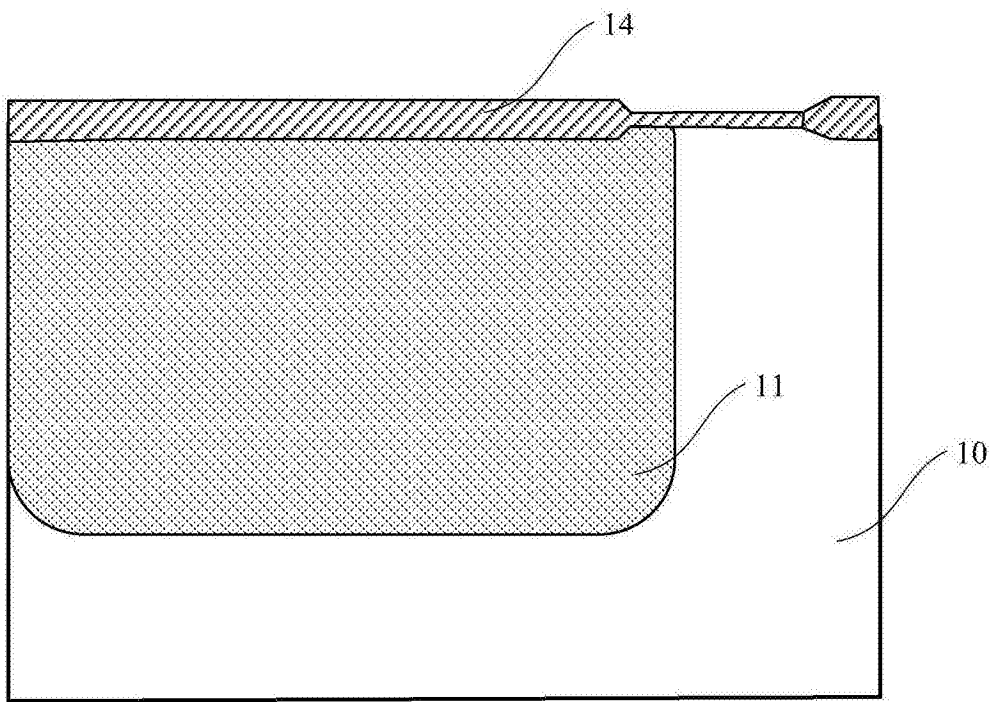


图7



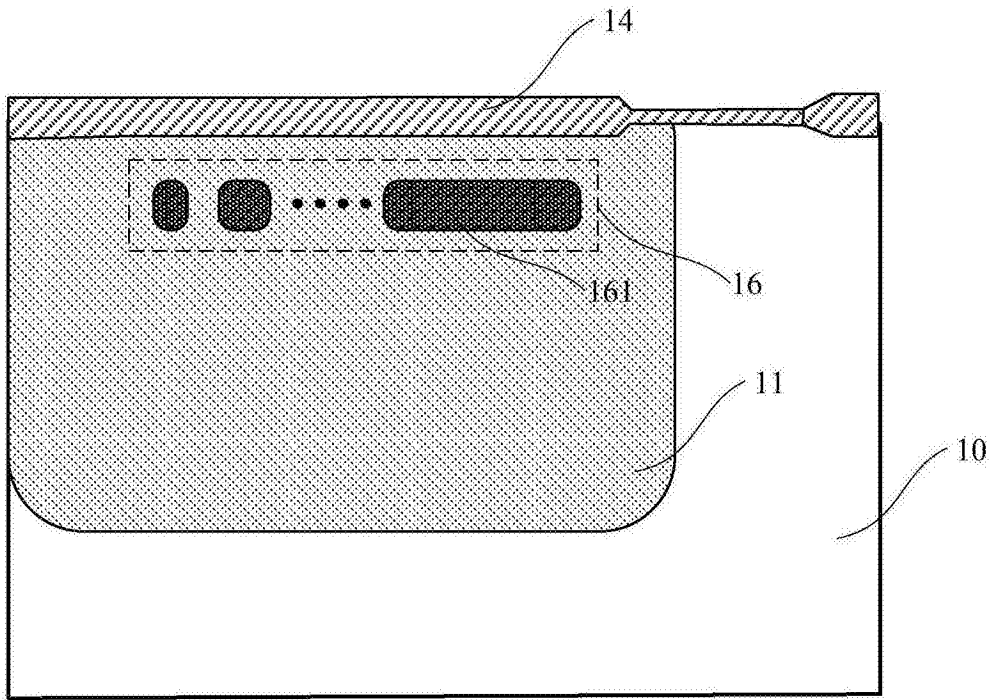


图8

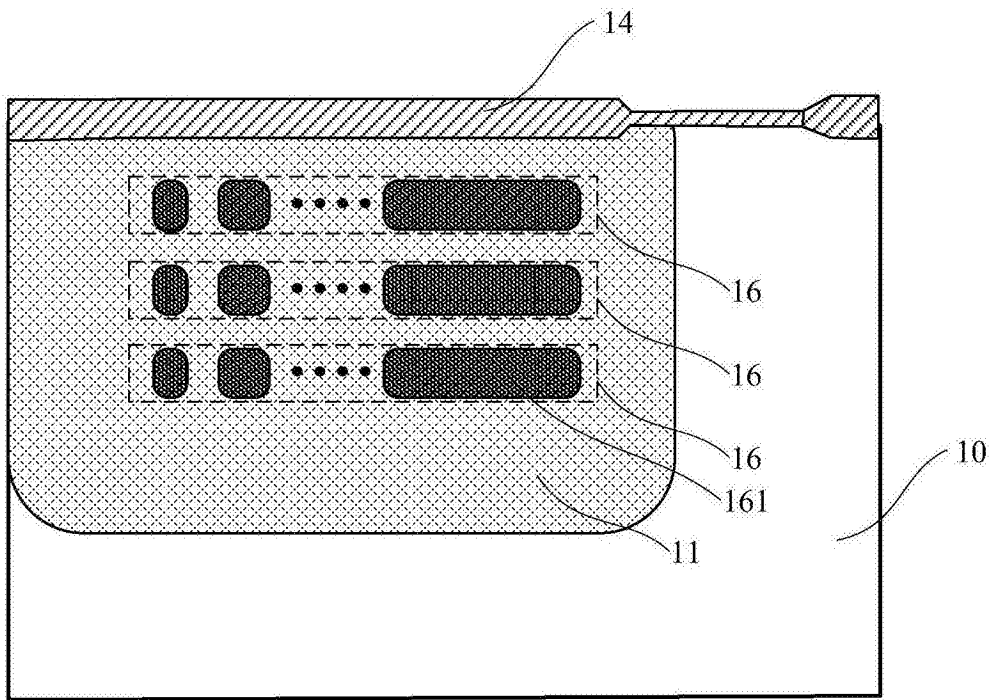


图9

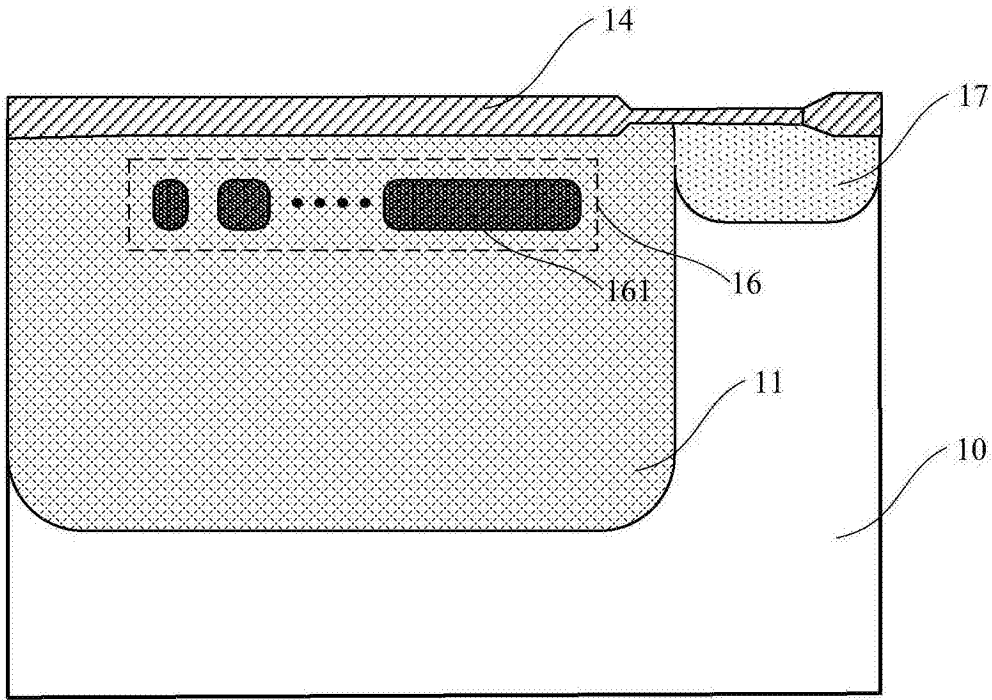


图10

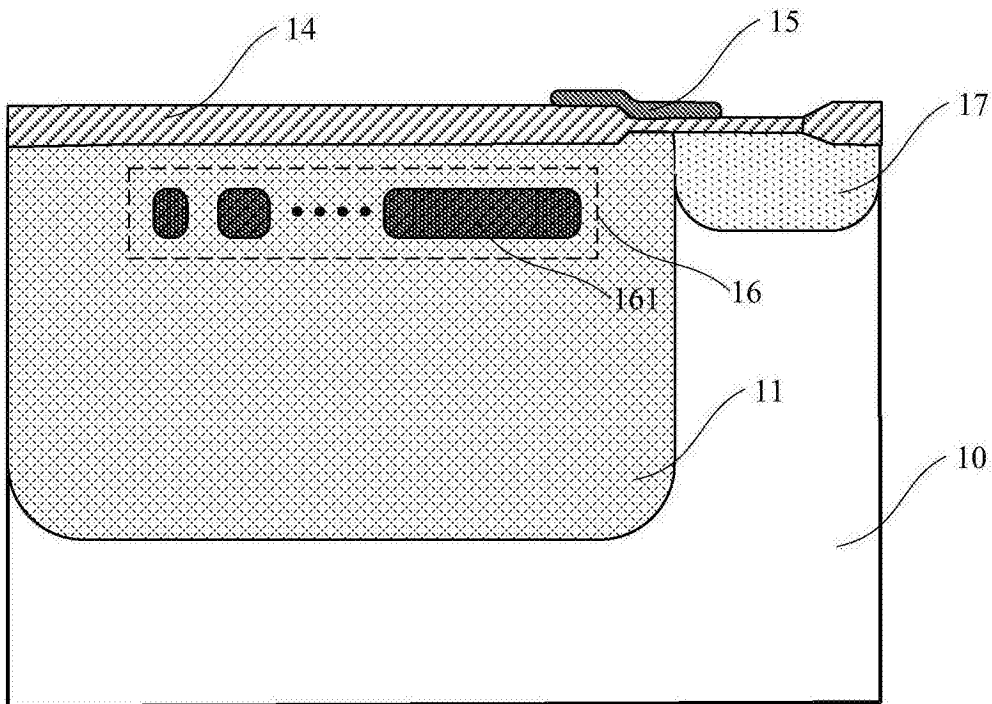


图11

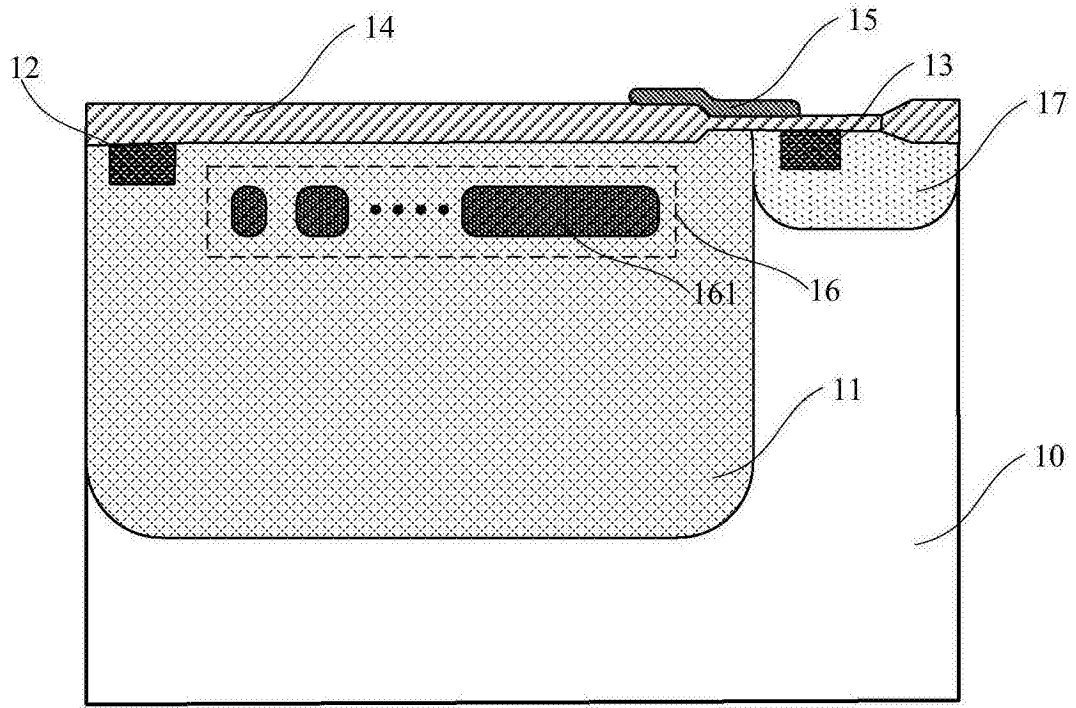


图12

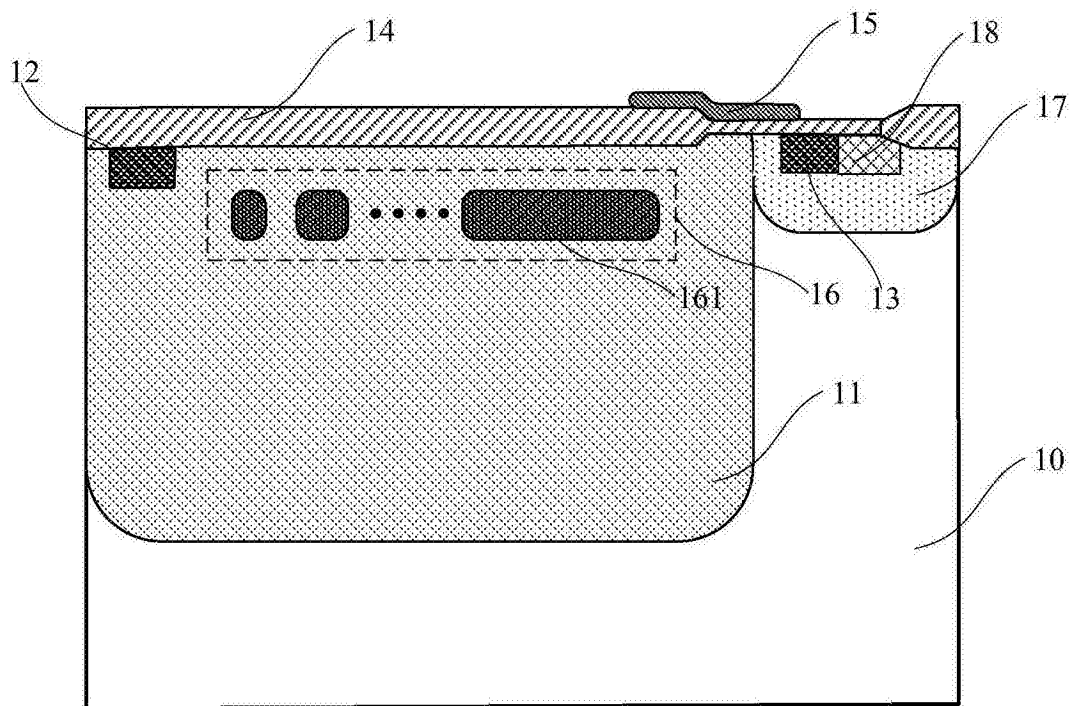


图13

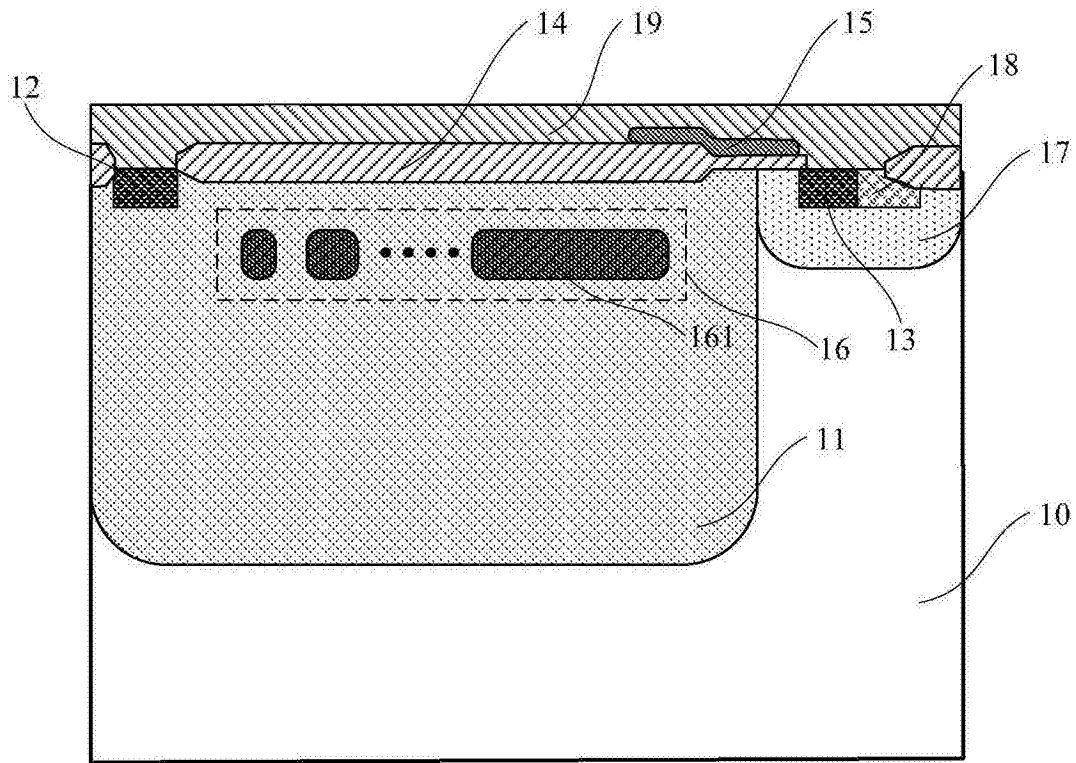


图14

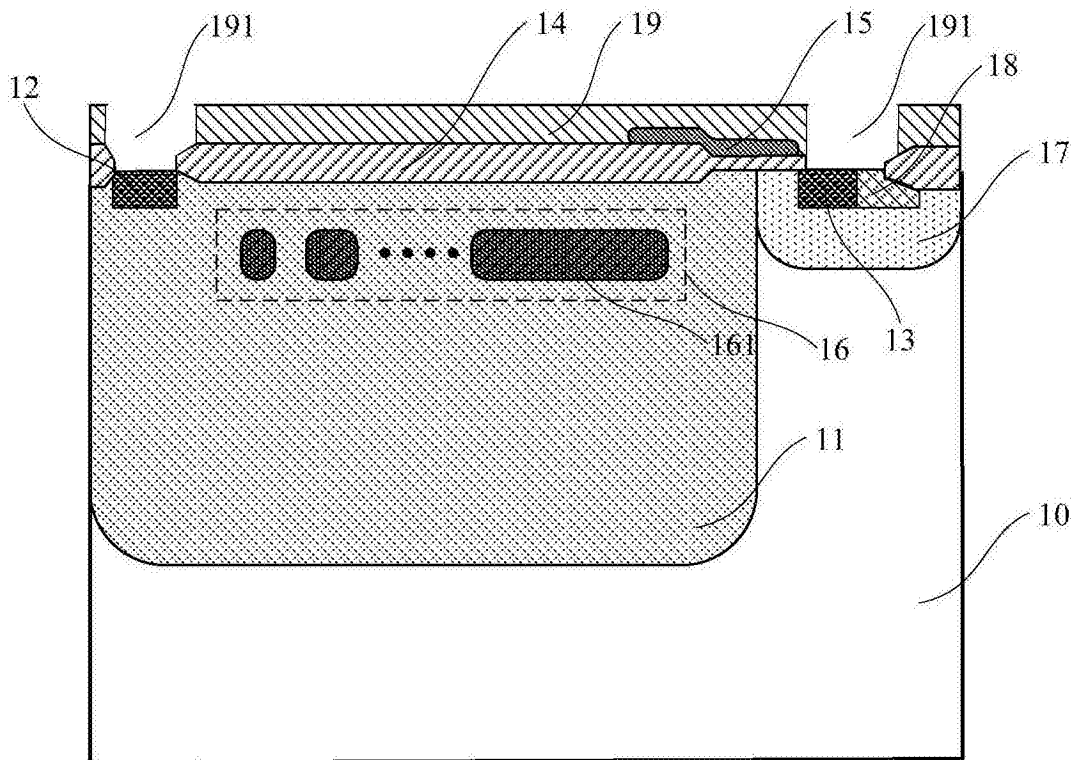


图15

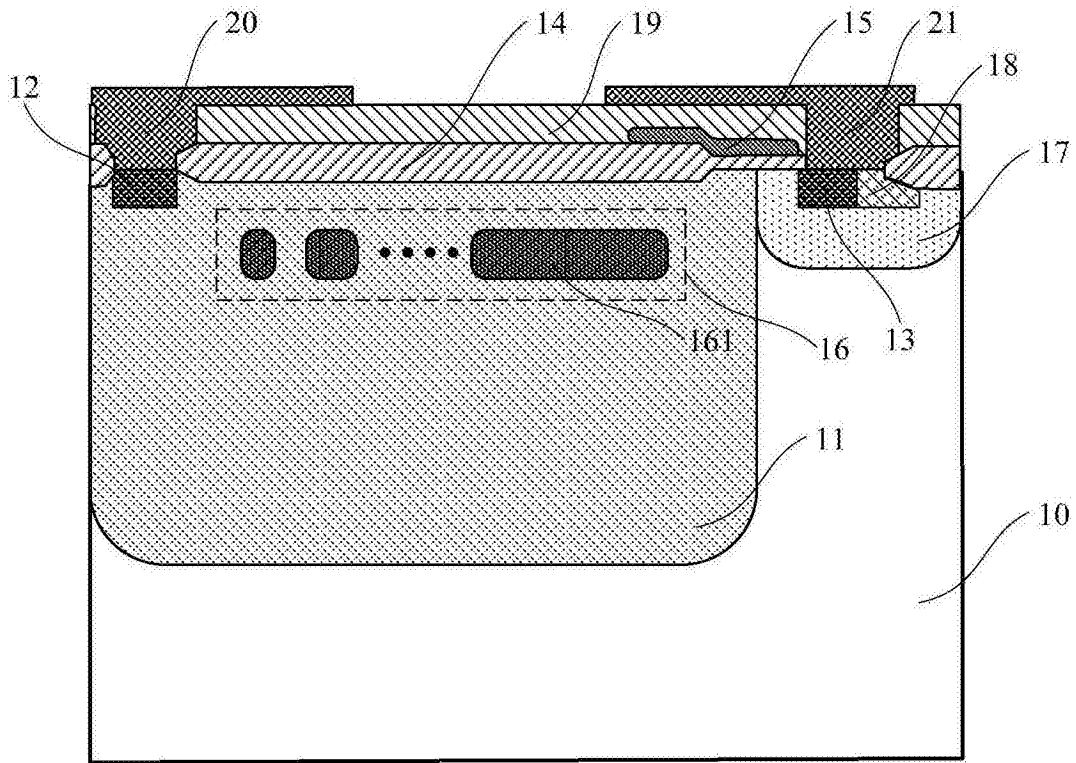


图16