



(12) 发明专利申请

(10) 申请公布号 CN 116978874 A

(43) 申请公布日 2023. 10. 31

(21) 申请号 202310854998.0

(22) 申请日 2023.07.12

(71) 申请人 长鑫科技集团股份有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 朱国振

(74) 专利代理机构 北京派特恩知识产权代理有限公司 11270

专利代理师 陈万青 徐川

(51) Int. Cl.

H01L 23/367 (2006.01)

H01L 23/31 (2006.01)

H01L 23/538 (2006.01)

H01L 21/50 (2006.01)

H01L 21/56 (2006.01)

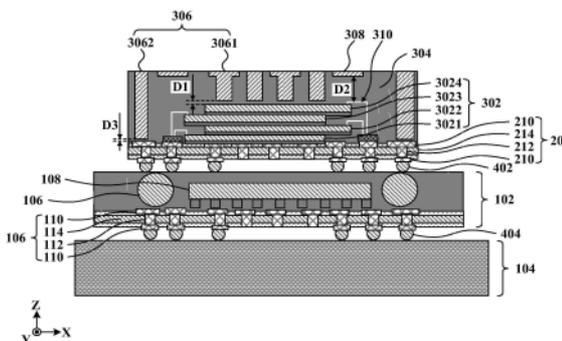
权利要求书2页 说明书10页 附图8页

(54) 发明名称

封装结构及其制作方法

(57) 摘要

本申请实施例提供一种封装结构及其制作方法,其中,封装结构包括:基板;至少一个芯片,沿基板的厚度方向层叠于基板的上方;互连结构,位于基板和至少一个芯片之间,连接至少一个芯片和基板中的电路;包封结构,包封至少一个芯片和互连结构;以及导热结构,从包封结构顶面沿基板的厚度方向延伸,包括位于至少一个芯片上的第一导热件和/或位于至少一个芯片外围且与至少一个芯片存在间隔的第二导热件。



1. 一种封装结构,其特征在于,包括:
基板;
至少一个芯片,沿所述基板的厚度方向层叠于所述基板的上方;
互连结构,位于所述基板和所述至少一个芯片之间,连接所述至少一个芯片和所述基板中的电路;
包封结构,包封所述至少一个芯片和所述互连结构;以及
导热结构,从所述包封结构顶面沿所述基板的厚度方向延伸,包括位于所述至少一个芯片上的第一导热件和/或位于所述至少一个芯片外围且与所述至少一个芯片存在间隔的第二导热件。
2. 根据权利要求1所述的封装结构,其特征在于,所述第二导热件位于部分所述互连结构上;部分所述互连结构连接至所述基板中的导热件;
其中,所述第一导热件底面与所述至少一个芯片之间的距离小于第一预设值;所述第二导热件底面与部分所述互连结构之间的距离小于第二预设值;所述第二预设值小于所述第一预设值。
3. 根据权利要求2所述的封装结构,其特征在于,所述第一导热件的底面与所述至少一个芯片之间具有第一距离;所述第二导热件的底面与部分所述互连结构接触,通过部分所述互连结构接触与所述基板中的导热件接触。
4. 根据权利要求1所述的封装结构,其特征在于,所述第一导热件包括相互间隔的多个第一导热柱;所述第二导热件包括相互间隔的多个第二导热柱。
5. 根据权利要求4所述的封装结构,其特征在于,所述第二导热柱的数量大于所述第一导热柱的数量;和/或,所述第二导热柱的底面面积大于所述第一导热柱的底面面积。
6. 根据权利要求4所述的封装结构,其特征在于,所述第一导热柱的分布密度小于所述第二导热柱的分布密度。
7. 根据权利要求4所述的封装结构,其特征在于,至少部分所述第一导热柱包括台阶面;和/或,至少部分所述第二导热柱包括台阶面;
其中,不同的所述第一导热柱和/或不同的所述第二导热柱中的台阶面与所述包封结构的顶面的距离不同。
8. 根据权利要求1所述的封装结构,其特征在于,所述导热结构的材料的导热系数大于所述包封结构的材料的导热系数。
9. 根据权利要求1所述的封装结构,其特征在于,所述封装结构还包括:
线结构,连接所述至少一个芯片和所述互连结构;
第三导热件,位于所述线结构上;
其中,所述第三导热件的底面与所述线结构之间具有第二距离;所述第二距离大于所述第一距离。
10. 一种封装结构的制作方法,其特征在于,包括:
提供基板;
形成互连结构;所述互连结构包括相对的第一侧和第二侧;
提供至少一个芯片,沿所述互连结构的厚度方向,将所述至少一个芯片层叠设置于所述第一侧;

形成包封所述至少一个芯片和所述互连结构的包封结构；

形成从所述包封结构顶面沿所述基板的厚度方向延伸的导热结构；所述导热结构包括位于所述至少一个芯片上的第一导热件和/或位于所述至少一个芯片外围且与所述至少一个芯片存在间隔的第二导热件；以及

在所述第二侧，将所述基板与所述互连结构接触；所述基板中的电路通过所述互连结构与所述至少一个芯片连接。

封装结构及其制作方法

技术领域

[0001] 本申请实施例涉及半导体技术领域,特别涉及一种封装结构及其制作方法。

背景技术

[0002] 目前的集成电路封装结构追求小型化,超薄化,尺寸越来越小,而随着制程能力进一步提高,半导体器件的晶体管的密度提高,因此半导体器件的功率会随之提升。这导致在半导体器件运行期间过度的热量产生,使得半导体器件的温度升高,半导体器件器温度过高会降低芯片的电性能。

[0003] 为了避免此类现象产生,需要提升集成电路封装结构的散热能力。

发明内容

[0004] 有鉴于此,本申请实施例为解决现有技术中存在的至少一个技术问题而提供一种封装结构及其制作方法。

[0005] 根据本申请实施例的第一方面,提供一种封装结构,包括:基板;至少一个芯片,沿基板的厚度方向层叠于基板的上方;互连结构,位于基板和至少一个芯片之间,连接至少一个芯片和基板中的电路;包封结构,包封至少一个芯片和互连结构;以及导热结构,从包封结构顶面沿基板的厚度方向延伸,包括位于至少一个芯片上的第一导热件和/或位于至少一个芯片外围且与至少一个芯片存在间隔的第二导热件。

[0006] 上述方案中,第二导热件位于部分互连结构上;部分互连结构连接至基板中的导热件;其中,第一导热件底面与至少一个芯片之间的距离小于第一预设值;第二导热件底面与部分互连结构之间的距离小于第二预设值;第二预设值小于第一预设值。

[0007] 上述方案中,第一导热件的底面与至少一个芯片之间具有第一距离;第二导热件的底面与部分互连结构接触,通过部分互连结构接触与基板中的导热件接触。

[0008] 上述方案中,第一导热件包括相互间隔的多个第一导热柱;第二导热件包括相互间隔的多个第二导热柱。

[0009] 上述方案中,第二导热柱的数量大于第一导热柱的数量;和/或,第二导热柱的底面面积大于第一导热柱的底面面积。

[0010] 上述方案中,第一导热柱的分布密度小于第二导电柱的分布密度。

[0011] 上述方案中,至少部分第一导热柱包括台阶面;和/或,至少部分第二导热柱包括台阶面;其中,不同的第一导热柱和/或不同的第二导热柱中的台阶面与包封结构的顶面的距离不同。

[0012] 上述方案中,导热结构的材料的导热系数大于包封结构的材料的导热系数。

[0013] 上述方案中,该封装结构还包括:线结构,连接至少一个芯片和互连结构;

[0014] 第三导热件,位于线结构上;其中,第三导热件的底面与线结构之间具有第二距离;第二距离大于第一距离。

[0015] 根据本申请实施例的第二方面,提供一种封装结构的制作方法,包括:提供基板;

形成互连结构；互连结构包括相对的第一侧和第二侧；提供至少一个芯片，沿互连结构的厚度方向，将至少一个芯片层叠设置于第一侧；形成包封至少一个芯片和互连结构的包封结构；形成从包封结构顶面沿基板的厚度方向延伸的导热结构；导热结构包括位于至少一个芯片上的第一导热件和/或位于至少一个芯片外围且与至少一个芯片存在间隔的第二导热件；以及在第二侧，将基板与互连结构接触；基板中的电路通过互连结构与至少一个芯片连接。

[0016] 本申请各实施例中，通过在包封结构中设置从包封结构顶面沿基板的厚度方向延伸至芯片上方的第一导热件和/或从包封结构顶面沿基板的厚度方向延伸至芯片外围的第二导热件，包封结构中的第一导热件增加对芯片的导热能力，和/或，包封结构中的第二导热件增加对基板的导热能力，提升封装结构的散热性能，提升了芯片工作的运行速率和传输效率。

[0017] 本实施例通过在包封结构中增加大量的导热件，该导热件可以减少热路传递过程中的热阻，使得基板产生的热量从导热件散失掉，而不会传递到芯片上，从而保证芯片性能。同时，在芯片上也放置导热件，该导热件也可以快速将芯片产生的热量散失掉，加快芯片散热。

附图说明

[0018] 图1为第一种半导体器件层叠封装结构的截面示意图；

[0019] 图2为图1的半导体器件层叠封装结构的热量传播路径之一的截面示意图；

[0020] 图3为图1的半导体器件层叠封装结构的热量传播路径之二的截面示意图；

[0021] 图4A为本申请实施例提供的第一种封装结构的截面示意图；

[0022] 图4B为本申请实施例提供的第二种封装结构的截面示意图；

[0023] 图4C为图4A或图4B的封装结构的局部俯视示意图；

[0024] 图5为本申请实施例提供的一种封装结构的制作方法的流程示意图；

[0025] 图6A至图6F为本申请实施例提供的一种封装结构的制作过程的截面示意图；

[0026] 图7A为本申请实施例提供的第四种封装结构的截面示意图；

[0027] 图7B为图7A的封装结构的底视图的温度分布示意图；

[0028] 图8A为图7A的封装结构的对照组的截面示意图；

[0029] 图8B为图8A的封装结构的底视图的温度分布示意图。

具体实施方式

[0030] 下面将结合本申请实施方式及附图，对本申请实施方式中的技术方案进行清楚、完整地描述，所描述的实施方式仅仅是本申请的一部分实施方式，而不是全部的实施方式。基于本申请中的实施方式，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施方式，都属于本申请保护的范围。

[0031] 在下文的描述中，给出了大量具体的细节以便提供对本申请更为彻底的理解。对于本领域技术人员而言显而易见的是，本申请可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本申请发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

[0032] 在附图中,为了清楚,层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0033] 应当明白,当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本申请教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时,并不表明本申请必然存在第一元件、部件、区、层或部分。

[0034] 空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0035] 在此使用的术语的目的仅在于描述具体实施例并且不作为本申请的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0036] 为了彻底理解本申请,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本申请的技术方案。本申请的较佳实施例详细描述如下,然而除了这些详细描述外,本申请还可以具有其他实施方式。

[0037] 这里及下文中,为了便于描述本申请实施例中第一方向和第二方向表示为与基板(或承载基板/封装基板)平面平行的两个正交方向;第三方向为垂直于基板平面的方向;其中,基板平面可以理解为与沟道的延伸方向平行的平面。第一方向可以表示为附图中的X方向;第二方向可以表示为附图中的Y方向;第三方向可以表示为附图中的Z方向。

[0038] 图1为第一种半导体器件层叠封装结构的截面示意图。参考图1,封装结构的上层包括存储器装置10,存储器装置10可以是多个层叠的芯片(die)14,例如,动态随机存取存储器(Dynamic Random Access Memory, DRAM),存储器装置10的热量可以通过包封层16和金属层40传递出去。封装结构的下层包括片上系统(System on Chip, SOC) 20。片上系统20的下侧为第二球栅阵列(Ball Grid Array, BGA) 22与印刷电路板(Printed Circuit Board, PCB) 30互联,片上系统20的内部将基底(substrate) 24和中介层(interposer) 26互联,因此,该片上系统20封装具有大功率,高集成等特点,片上系统20产生的热量会更多的传递至上层的存储器装置10;存储器装置10通过第一球栅阵列12与中介层26互联,因此片

上系统20产生的热量会有部分传递至存储器装置10。

[0039] 图2为图1的半导体器件层叠封装结构的热量传播路径之一的截面示意图。参考图2,虚线箭头示出片上系统20产生的热量会有部分传递至存储器装置10的热传播路径TP1,目前存储器装置的芯片10叠层数量越来越高,存储器装置10的发热也不可忽略。

[0040] 芯片温度过高会降低芯片的电性能,也会引起封装材料受热导致热膨胀,而各种封装材料之间的热膨胀系数(Coefficient of thermal expansion,CTE)具有显著差别,温度越高,封装材料产生的翘曲值越大,有可能会造成封装结构的上层、下层之间焊点疲劳的现象。为了避免此类现象产生,需要提升封装结构的散热能力。

[0041] 图3为图1的半导体器件层叠封装结构的热量传播路径之二的截面示意图。参考图3,该半导体器件层叠封装结构的封装热量只能从印刷线路板30板方向传递,图3的虚线箭头示出片上系统20产生的热量只能从印刷线路板30板方向传递的热传播路径TP2。但片上系统20的热量会通过第一球栅阵列12向存储器装置10传递,造成存储器装置10积热的现象,如设备长时间工作,封装结构的温度升高,半导体器件性能会下降,表现为发烫、卡顿,影响用户体验。

[0042] 有鉴于此,本申请实施例为解决现有技术中存在的至少一个技术问题而提供一种封装结构及其制作方法。

[0043] 图4A为本申请实施例提供的第一种封装结构的截面示意图;图4B为本申请实施例提供的第二种封装结构的截面示意图;图4C为图4A或图4B的封装结构的局部俯视示意图。

[0044] 需要说明的是,相较于图4A的封装结构,图4B的封装结构的区别至少在于第二导热件与部分互连结构接触,不同的第一导热柱的台阶面与包封结构的顶面的距离不同。图4C主要示出图4A或图4B的封装结构的第一导热件和第二导热件的布局示意图。

[0045] 参考图4A、图4B和图4C,根据本申请实施例的第一方面,提供一种封装结构,包括:

[0046] 基板;

[0047] 至少一个芯片302,沿基板的厚度方向层叠于基板的上方;

[0048] 互连结构202,位于基板和至少一个芯片302之间,连接至少一个芯片302和基板中的电路;

[0049] 包封结构304,包封至少一个芯片302和互连结构202;以及

[0050] 导热结构306,从包封结构304顶面沿基板的厚度方向延伸,包括位于至少一个芯片302上的第一导热件3061和/或位于至少一个芯片302外围且与至少一个芯片302存在间隔的第二导热件3062。

[0051] 在一些实施例中,基板包括承载基板104和位于承载基板104上的封装基板102。

[0052] 承载基板104可以被配置为用于封装结构的衬底,承载基板104可以包括印刷电路板、陶瓷衬底、玻璃衬底和带布线板。实际应用中,承载基板104可以包括覆铜板以及位于覆铜板表面上的布线层(图4A和图4B未示出)。

[0053] 在一些实施例中,至少一个半导体芯片108位于封装基板102上。

[0054] 半导体芯片108包括电子设备的处理器(例如,中央处理单元(Central Processing Unit,CPU))或者片上系统(例如,应用处理器(Application Processor,AP))。

[0055] 半导体芯片108可以包括掺杂的或未经掺杂的有源层。半导体芯片108可以包括满足设计的所期望结构及功能要求的各种各样的有源器件及无源器件(例如电容器、电阻器、

电感器及类似物)。可使用任何合适的方法将有源器件及无源器件形成在半导体芯片108内或者形成在半导体芯片108的有源层上。

[0056] 在一些实施例中,封装基板102内部将半导体芯片108的衬底和中介层106互联。

[0057] 在一些实施例中,该封装结构还包括凸块;凸块位于互连结构202与基板之间,连接互连结构202和基板。示例性地,封装基板102通过第一凸块402与互连结构202互连,封装基板102的在靠近芯片302的表面上的布线层通过第一凸块402与互连结构202互连;承载基板104通过第二凸块404与中介层106互连,承载基板104的在靠近封装基板102的表面上的布线层通过第二凸块与中介层106互连。

[0058] 可以理解的是,基于电流大小的考虑,第一凸块402的尺寸可以小于第二凸块404的尺寸。在一些实施例中,在互连结构202与封装基板102之间还可以填充塑封料,从而进一步保证互连结构202的工作性能,由此需要将第一凸块402的尺寸设置较小些,从而有利于塑封料的填充。

[0059] 凸块包括第一凸块402、第二凸块404;凸块的材料可以包括以下金属中的至少一种或者多种与碳(C)的合金:铜(Cu)、铝(Al)、镍(Ni)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、铅(Pb)、钛(Ti)、铬(Cr)、钯(Pd)、铟(In)、锌(Zn)。

[0060] 中介层106可以具有:一个或多个绝缘层114和分别设置在一个或多个绝缘层114上的一个或多个布线层110;以及一个或多个硅通孔(Through Silicon Via,TSV;下文亦可称为导电柱或导电通孔)112,其贯穿一个或多个绝缘层中的每一个,并且将一个或多个布线层连接到第一凸块402与第二凸块404,或者将设置在不同水平上的布线层110彼此电连接。可以理解的是,多个硅通孔112与多个布线层110构成了中介层106连接的基本承载部件。

[0061] 布线层110可以包括包含以下金属的金属材料或它们的合金:铜(Cu)、铝(Al)、银(Ag)、锡(Sn)、金(Au)、镍(Ni)、铅(Pb)和钛(Ti)。布线层可以根据设计执行各种功能。硅通孔112可以包括包含以下金属的金属材料或它们的合金:铜(Cu)、铝(Al)、银(Ag)、锡(Sn)、金(Au)、镍(Ni)、铅(Pb)和钛(Ti)。硅通孔可以被配置为其中金属材料填充在通孔中或者其中金属材料沿着通孔的内壁形成的共形的硅通孔。绝缘层114材料包括但不限于热固性树脂(如环氧树脂)、热塑性树脂(如聚酰亚胺)、或者其中无机填料和/或玻璃纤维(玻璃布或玻璃织物)等中的至少一种。

[0062] 互连结构202包括一个或多个绝缘层214和分别设置在一个或多个绝缘层214上的一个或多个布线层210;以及一个或多个硅通孔212,其贯穿一个或多个绝缘层中的每一个,并且将一个或多个布线层连接到至少一个芯片与第一凸块402,或者将设置在不同水平上的布线层210彼此电连接。可以理解的是,多个硅通孔212与多个布线层210构成了互连结构202连接的基本承载部件。

[0063] 互连结构202的布线层110、硅通孔112和绝缘层114的材料可以分别参照中介层106的布线层110、硅通孔112和绝缘层114的材料进行理解,这里不在赘述。

[0064] 互连结构202的布线层110、硅通孔112和绝缘层114的尺寸可以分别小于中介层106的布线层110、硅通孔112和绝缘层114的尺寸,

[0065] 芯片302包括DRAM,示例性地,可以是低功耗内存(Low Power Double Data Rate, LPDDR) DRAM。芯片302数量为少一个,这里及以下示例性地,以层叠的芯片302数量为四个,

包括依次层叠的第一芯片3021、第二芯片3022、第三芯片3023和第四芯片3024。第一至第四芯片3021~3024中的至少其中之一包括DRAM, 示例性地, 可以是LPDDR DRAM。第一芯片3021与互连结构202之前和第一至第四芯片3021~3024之间可以通过晶圆贴合膜(Die Attach Film, DAF)连接。

[0066] 包封结构304, 包封至少一个芯片302周围和互连结构202上的间隙。可以在至少一个芯片302周围和互连结构202上模制包封结构304。

[0067] 在一些实施例中, 包封结构304的材料可以是由模制化合物、模制底部填充胶、环氧树脂模塑料(Epoxy Molding Compound, EMC)、树脂、类似物或其组合制成。

[0068] 导热结构306包括第一导热件3061, 和/或, 第二导热件3062。第一导热件3061从包封结构304顶面沿基板的厚度方向延伸至第四芯片3024上。第二导热件3062位于芯片302外围且与芯片302存在间隔。

[0069] 在一些实施例中, 导热结构306的材料的导热系数大于包封结构304的材料的导热系数。

[0070] 在一些实施例中, 包封结构的材料包括环氧树脂模塑料; 导热结构的材料包括导热界面材料(Thermal Interface Material, TIM)。示例性地, 导热结构306的材料可以包括硅脂(thermal grease)、硅胶(thermal gel)或导热胶(thermal conductive adhesive)。

[0071] 本申请各实施例在包封结构304中设置通孔(用于形成导热结构306), 将包封结构304表面改善为具有由包封结构304内部延伸至包封结构304顶面的散热面积, 在通孔中形成导热结构306, 导热结构306自身具有增加表面散热接触面积的结构, 这样进一步增加封装结构中包封结构304是热传导能力。

[0072] 本申请各实施例的基本原理在于减小热路传递过程中的热阻, 在包封结构304中添加导热结构306, 在原理上等于并联了小热阻的元器件, 而并联热路中, 热阻主要由小阻值的热元器件决定; 增大包封结构304表面的接触面积, 在原理上等于减小该节点的热阻值。通过两种方法结合, 进一步减小了从热源传输至包封结构304表面这一支路的热阻, 提高传热效率。

[0073] 这样, 通过增加通孔增加散热面积和通过导热结构增大表面散热接触面积的两种散热途径, 提升从基板到包封结构表面的导热系数, 能更多的将基板的热量直接从基板传递至包封结构表面而不经芯片, 提升芯片到包封结构表面的导热系数, 能更多的将芯片自产的热量传递至包封结构表面, 散热效果提升效果更佳, 提升了芯片工作的运行速率和传输效率。因而, 提升芯片的性能, 优化用户体验, 延长使用寿命。

[0074] 参考图4A和图4B, 在一些实施例中, 第二导热件3062位于部分互连结构202上; 部分互连结构202连接至基板中的导热件(图4A和图4B未示出);

[0075] 其中, 第一导热件3061底面与至少一个芯片302之间的距离小于第一预设值; 第二导热件3062底面与部分互连结构202之间的距离小于第二预设值; 第二预设值小于第一预设值。

[0076] 这里, 第二导热件3062位于部分互连结构202上, 部分互连结构202连接至基板中的导热件(图4A和图4B未示出), 第二导热件3062可以用于导出基板中产生的热量。

[0077] 示例性地, 第一导热件3061底面与第四芯片3024之间的距离(第一距离D1)小于第一预设值, 第一导热件3061可以用于导出第一至第四芯片3021~3024产生的热量; 第二导

热件3062底面与部分互连结构202之间的距离(第三距离D3)小于第二预设值,第二导热件3062可以用于导出基板中产生的热量;第二预设值小于第一预设值。第一导热件3061未直接接触第四芯片3024,防止在研磨第一导热件3061,第一导热件3061对第四芯片3024产生较大的挤压。

[0078] 示例性地,第一距离D1为15 μm ,第三距离D3为10 μm 。

[0079] 参考图4A和图4B,在一些实施例中,第一导热件3061的底面与至少一个芯片302之间具有第一距离D1;第二导热件3062的底面与部分互连结构202接触,通过部分互连结构接触与基板中的导热件接触。

[0080] 在一些具体实施例中,第一距离D1的范围为10 μm ~15 μm 。在一些具体实施例中,第二导热件3062的底面与部分互连结构202接触,第三距离D3为0。

[0081] 参考图4A、图4B和图4C,在一些实施例中,第一导热件3061包括相互间隔的多个第一导热柱;第二导热件3062包括相互间隔的多个第二导热柱。

[0082] 示例性地,多个第一导热柱在第四芯片3024上相互间隔设置;多个第二导热柱在芯片302外围与芯片302存在间隔且相互间隔设置。

[0083] 参考图4A、图4B和图4C,在一些实施例中,第二导热柱的数量大于第一导热柱的数量;和/或,第二导热柱的底面面积大于第一导热柱的底面面积。

[0084] 参考图4A、图4B和图4C,在一些实施例中,第一导热柱的分布密度小于第二导电柱的分布密度。

[0085] 参考图4B,在一些实施例中,至少部分第一导热柱包括台阶面;和/或,至少部分第二导热柱包括台阶面;

[0086] 其中,不同的第一导热柱和/或不同的第二导热柱中的台阶面与包封结构的顶面的距离不同。

[0087] 这里,台阶面可以是平行于X-Y平面内延伸的平面。不同第一导热柱的台阶面与包封结构的顶面的距离不同,在满足不在第四芯片3024上形成大面积的多个第一导热柱的情况下,可以提高台阶面在包封结构中的分布密度,增加了第一导热柱导热面积。因为,如果在第四芯片上形成大面积的多个第一导热柱,由于原因第一导热柱的材料CTE与包封结构的材料CTE不同,会导致封装结构产生翘曲,对封装结构造成不利影响。

[0088] 示例性地,至少一部分第一导热柱具有台阶面S1,至少另一部分第一导热柱具有台阶面S2,台阶面S1与包封结构的顶面的距离(第四距离D4)小于台阶面S2与包封结构的顶面的距离(第五距离D5)。台阶面S1与台阶面S2分布于不同的X-Y平面中,可以提高台阶面在包封结构中的分布密度,增加了第一导热柱导热面积。

[0089] 至少部分第二导热柱包括台阶面的具体情况参考至少一部分第一导热柱具有台阶面S1的详情进行理解。

[0090] 这样,改变包封结构表层形貌,提升导热面积台阶状,且在表面增加高导热材料,提升散热效率。

[0091] 参考图4A和图4B,在一些实施例中,该封装结构还包括:

[0092] 线结构310,连接至少一个芯片302和互连结构202;

[0093] 第三导热件308,位于线结构310上;

[0094] 其中,第三导热件308的底面与线结构310之间具有第二距离D2;第二距离D2大于

第一距离D1。

[0095] 示例性地,线结构310位于第二导热件3062与芯片302之间。

[0096] 这样,第三导热件308可以增加导出线结构310处的热量,避免或者减少基板中产生的热量通过线结构310传递至第一至第四芯片3021~3024。

[0097] 本申请各实施例中,可以保证第二导热件3062导出的热量大于第一导热件3061导出的热量,避免基板中产生的热量传递至第一至第四芯片3021~3024,同时第一导热件3061可以用于导出第一至第四芯片3021~3024产生的热量,这样可以减少或避免第一至第四芯片3021~3024的热量聚集,提升第一至第四芯片3021~3024的性能。

[0098] 本申请实施例提供一种存储器件,存储器件包括如上述各实施例中任一项的封装结构。

[0099] 在示例性实施例中,存储器件可以是支持高速操作的各种存储器设备中的任何一种,例如动态随机存取存储器。例如,可以响应于存储器控制器(本申请未示出)发送的测试命令进行测试。存储器件可以以诸如双列直插式存储模块(Dual-Inline-Memory-Modules, DIMM)或高带宽存储(High Bandwidth Memory, HBM)器件的模块结构来实施,在该模块结构中存储器件和存储器控制器被集成到一个衬底(本申请未示出)中。

[0100] 图5为本申请实施例提供的一种封装结构的制作方法的流程示意图。参考图5,根据本申请实施例的第二方面,提供一种封装结构及其制作方法,包括以下步骤:

[0101] 步骤S501、提供基板;

[0102] 步骤S502、形成互连结构;互连结构包括相对的第一侧和第二侧;

[0103] 步骤S503、提供至少一个芯片,沿互连结构的厚度方向,将至少一个芯片层叠设置于第一侧;

[0104] 步骤S504、形成包封至少一个芯片和互连结构的包封结构;

[0105] 步骤S505、形成从包封结构顶面沿基板的厚度方向延伸的导热结构;导热结构包括位于至少一个芯片上的第一导热件和/或位于至少一个芯片外围且与至少一个芯片存在间隔的第二导热件;以及

[0106] 步骤S506、在第二侧,将基板与互连结构接触;基板中的电路通过互连结构与至少一个芯片连接。

[0107] 应当理解,图5中所示的步骤并非排他的,也可以在所示操作中的任何步骤之前、之后或之间执行其他步骤;图5中所示的各步骤可以根据实际需求进行顺序调整。

[0108] 图6A至图6F为本申请实施例提供的一种封装结构的制作过程的截面示意图。图6A至图6F中所示的步骤并非排他的,也可以在所示操作中的任何步骤之前、之后或之间执行其他步骤;图6A至图6F中所示的各步骤可以根据实际需求进行顺序调整。

[0109] 下面结合图5和图6A至图6F对本申请实施例提供的封装结构的制作方法进行详细地说明。

[0110] 执行步骤S501至S503,提供基板、形成互连结构和层叠至少一个芯片。

[0111] 基板、互连结构和至少一个芯片可以参考图4A和图4B中的具体结构进行理解;形成基板、形成互连结构和层叠至少一个芯片的方法可以参考相关现有技术进行理解,本文中不再赘述。

[0112] 执行步骤S504和S505,形成包封结构、导热结构。

[0113] 在一些实施例中,形成包封结构以及形成导热结构,包括:

[0114] 参考图6A,采用具有第一导热件形状5061和第二导热件形状5062的模具506,形成包封至少一个芯片和互连结构的包封材料;

[0115] 参考图6B,去除模具之后,得到包封结构;包封结构包括位于至少一个芯片上的第一开口T1和至少一个芯片外围的部分互连结构上的第二开口T2;第一开口的底面与至少一个芯片之间的距离小于第一预设值;第二开口的底面与部分互连结构之间的距离小于第二预设值;第二预设值小于第一预设值;

[0116] 参考图6C,在第一开口T1和第二开口T2中填充导热材料,得到第一导热件3061和第二导热件3062。

[0117] 示例性地,如图6A所示,在一些实施例中,模制材料通过压力板(pressure plate)或模具(未示出)经历压力模制工艺(pressure molding process),以对模制材料进行造型。为了简化模制工艺,提出一种新型模具506,用于同时成型通孔T1和台阶面S1(参考图6B)。模具506的示意图如图6A所示,模具506会阻挡模制材料在此处成型。

[0118] 如图6B所示,去除模具506之后,得到具有第一开口T1和第二开口T2的包封结构304;第一开口T1的底面与至少一个芯片之间的距离(第四距离D4)小于 $15\mu\text{m}$;第二开口的底面与部分互连结构接触。

[0119] 如图6C所示,在完成压力模制工艺后,在表面用喷嘴向镂空处喷涂导热界面材料,可以在第一开口T1和第二开口T2中填充导热界面材料。

[0120] 在一些实施例中,参考图6A,模具506还包括具有第三导热件形状5063;参考图6B,去除模具之后得到的包封结构还包括位于第一开口T1和第二开口T2之间的第三开口T3;第三开口T3的底面与至少一个芯片之间的距离大于第一开口T1的底面与至少一个芯片之间的距离;参考图6C,在第三开口T3中填充导热材料,得到第三导热件308。

[0121] 执行步骤S506,基板与互连结构形成互连。

[0122] 在一些实施例中,在第二侧,将基板与互连结构接触,包括:

[0123] 参考图6E,在第二侧,形成与互连结构202接触的凸块402;

[0124] 具有凸块402的互连结构202与基板接触;互连结构202通过凸块402与基板连接(参考图4A和图4B)。

[0125] 示例性地,如图6E所示,倒置封装结构,正常进行植球(ball attach)工艺,在第二侧,形成与互连结构202接触的凸块402。

[0126] 这样,利用一个工艺流程,封装结构的两侧分别完成植球工艺和穿模通孔成型工艺,提高工艺完成效率。

[0127] 在一些实施例中,在第一开口和第二开口中填充导热材料之后,制作方法还包括:

[0128] 参考图6D,形成覆盖导热材料和包封结构的覆盖层502;

[0129] 在第二侧形成凸块402;

[0130] 参考图6F,形成凸块402之后,去除覆盖层502。

[0131] 示例性地,如图6D所示,在第一开口和第二开口中填充体积合适的导热界面材料后,将表面覆盖层封住。覆盖层的材料可以是低粘合力的材料。

[0132] 示例性地,如图6F所示,待回复常温后将覆盖层502移除,可得到成型以后填充有导热界面材料的穿模通孔(Through Molding Via, TMV)的封装结构。

[0133] 图7A为本申请实施例提供的第四种封装结构的截面示意图;图7B为图7A的封装结构的底视图的温度分布示意图。图8A为图7A的封装结构的对照组的截面示意图;图8B为图8A的封装结构的底视图的温度分布示意图。

[0134] 需要说明的是,图7A的封装结构可以参考如图4A和图4B所示的封装结构,图8A作为图7A的封装结构的对照组。相较于图7A的封装结构,图8A的封装结构的区别至少在于:图8A的封装结构中在包封结构中未设置有导热结构。

[0135] 从图7B和图8B的温度对比可知:相较于对照组的封装结构,申请实施例提供的封装结构的封装温度得到降低,环境与封装之间的间隙的温度与得到降低。示例性地,相较于对照组的封装结构,申请实施例提供的封装结构的封装温度降低了 $0.5^{\circ}\text{C}\sim 2^{\circ}\text{C}$,环境与封装之间的间隙的温度与降低了 $1^{\circ}\text{C}\sim 3^{\circ}\text{C}$ 。

[0136] 本申请实施例提供的封装结构的制作方法制作得到的封装结构与上述实施例中的封装结构类似,对于本申请实施例未详尽披露的技术特征,请参照上述实施例进行理解,这里不再赘述。

[0137] 应理解,说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本申请的至少一个实施例中。因此,在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外,这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解,在本申请的各种实施例中,上述各过程的序号的大小并不意味着执行顺序的先后,各过程的执行顺序应以其功能和内在逻辑确定,而不对本申请实施例的实施过程构成任何限定。上述本申请实施例序号仅仅为了描述,不代表实施例的优劣。

[0138] 以上所述仅为本申请的优选实施方式,并非因此限制本申请的专利范围,凡是在本申请的发明构思下,利用本申请说明书及附图内容所作的等效结构变换,或直接/间接运用在其他相关的技术领域均包括在本申请的专利保护范围内。

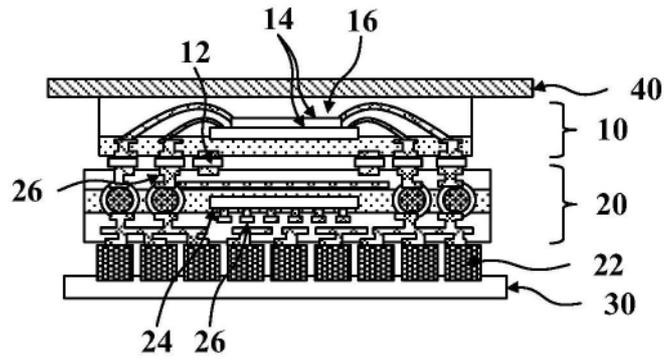


图1

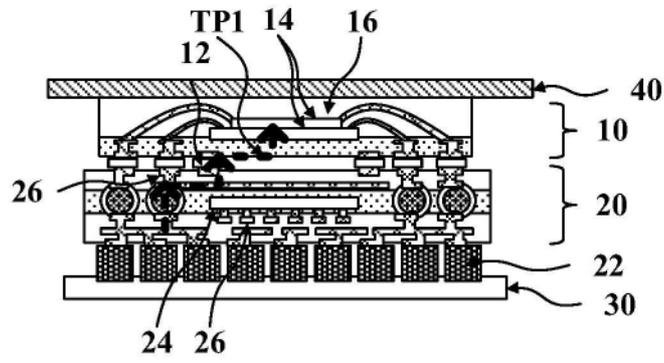


图2

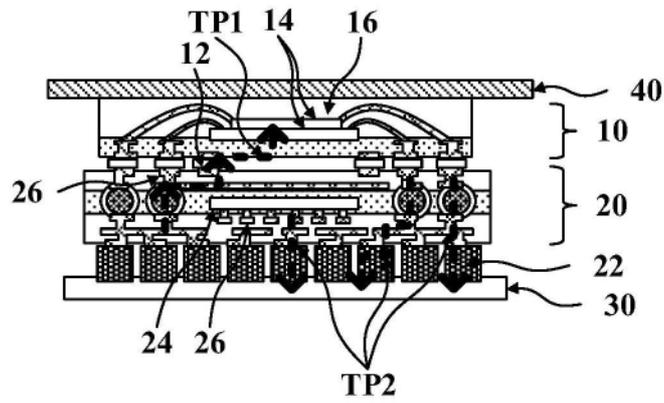


图3

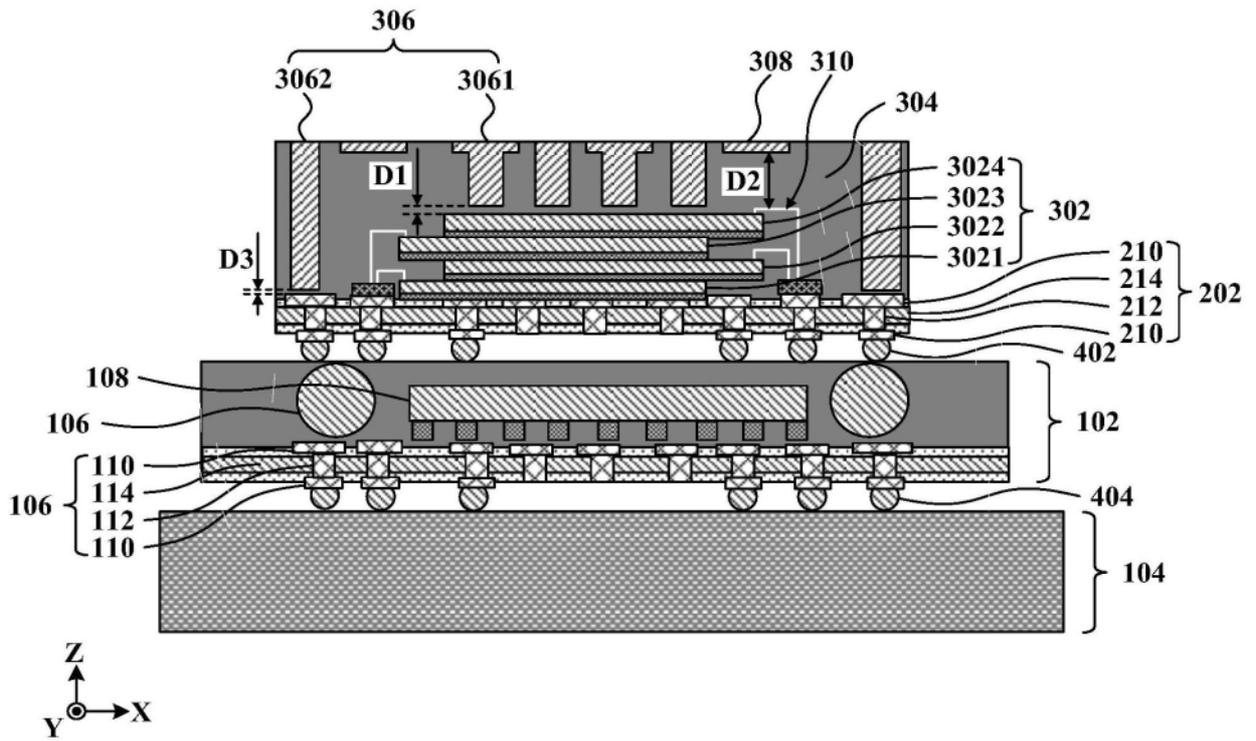


图4A

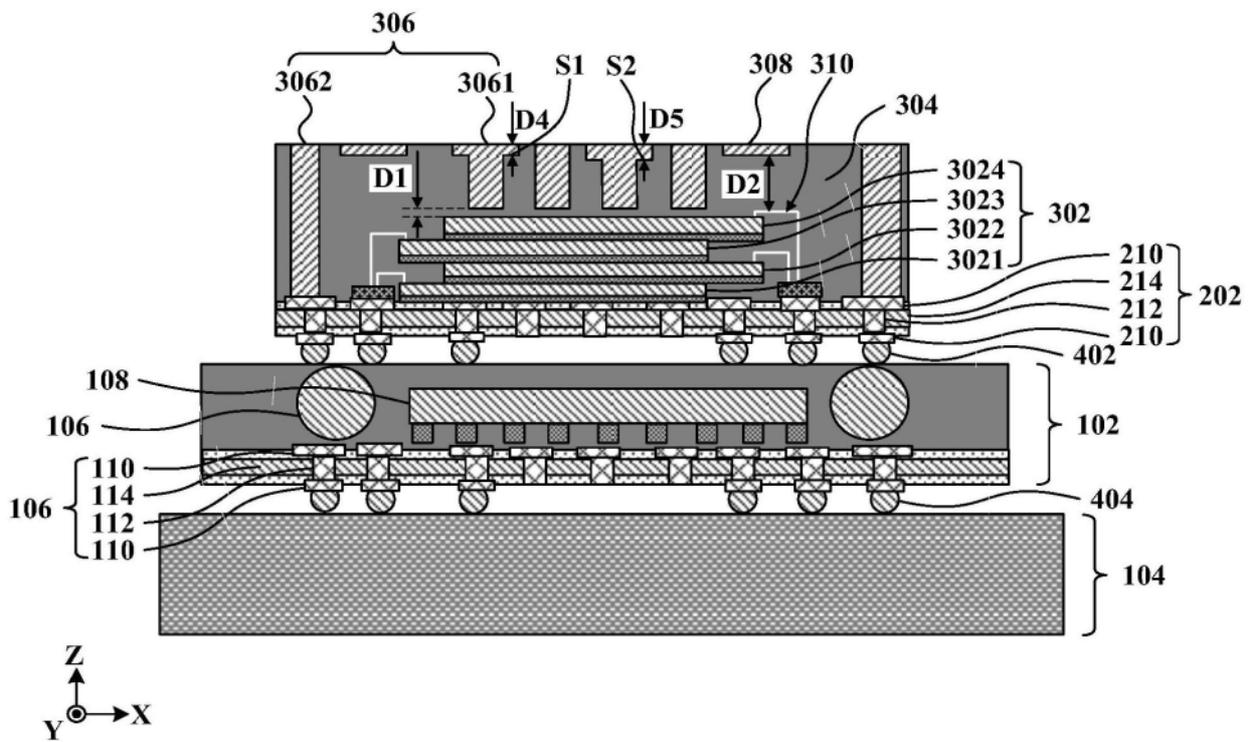


图4B

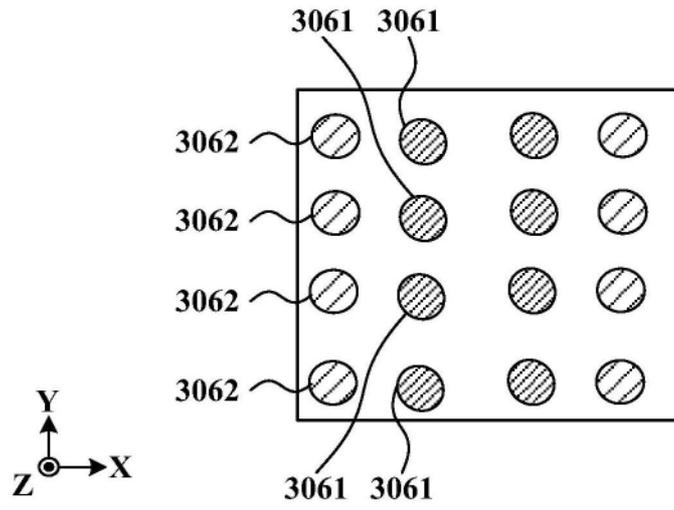


图4C

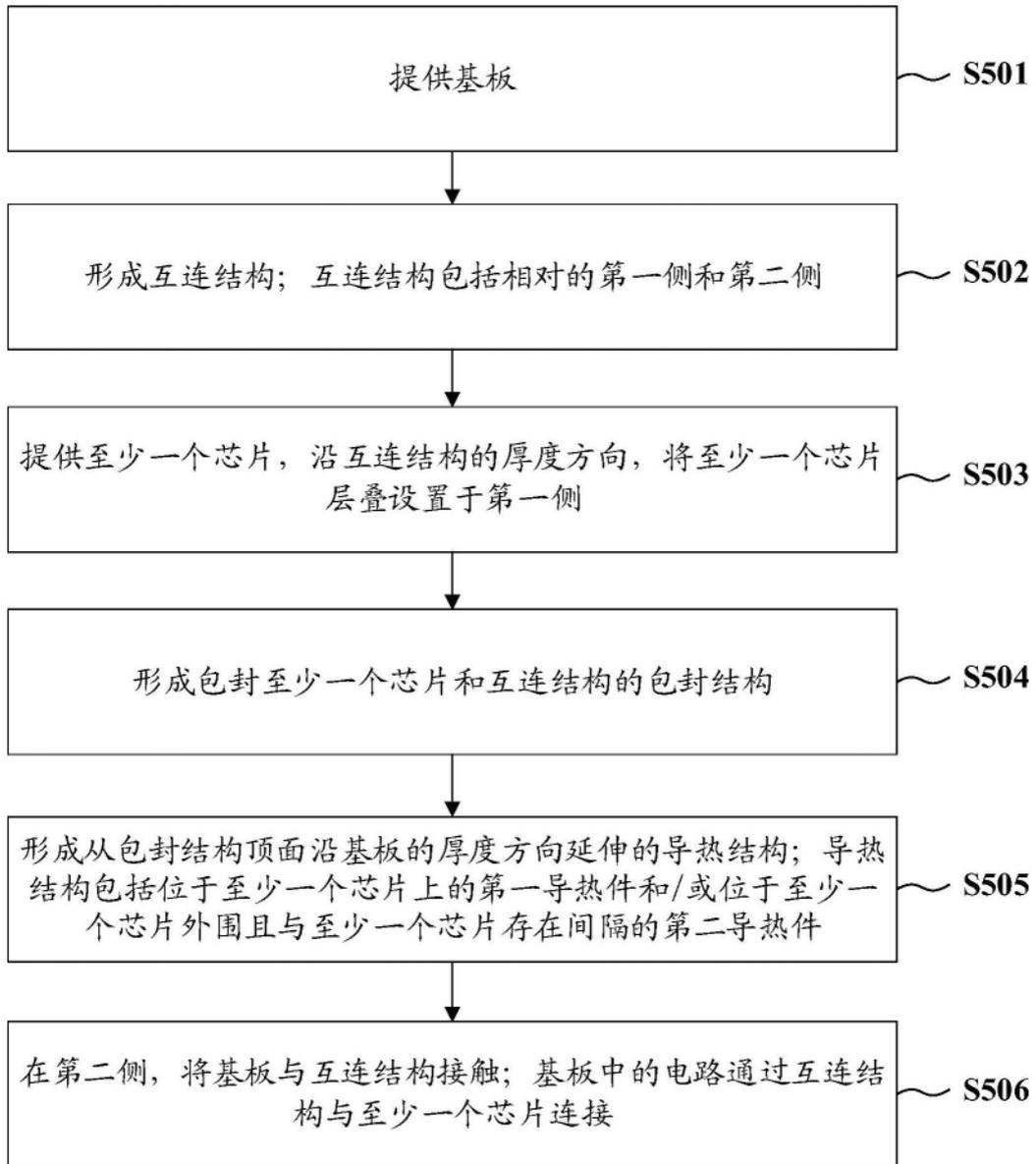


图5

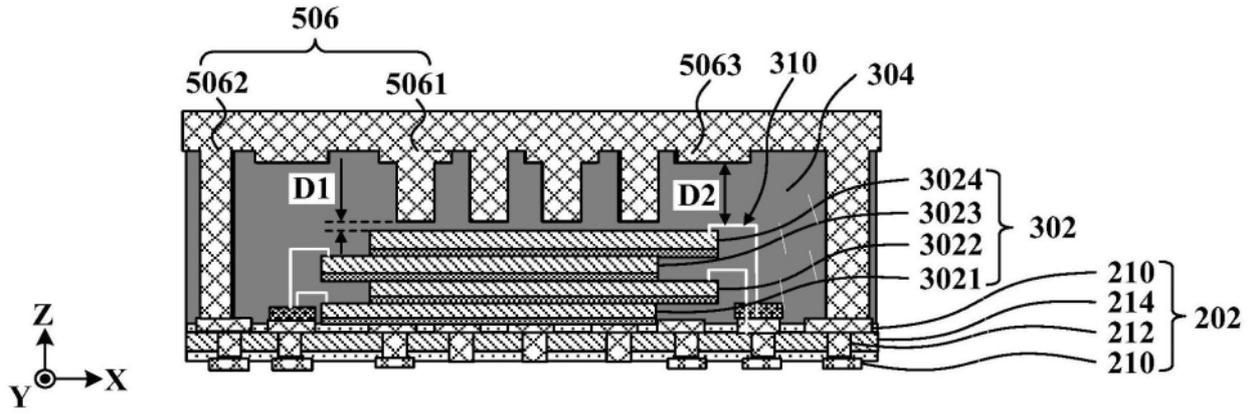


图6A

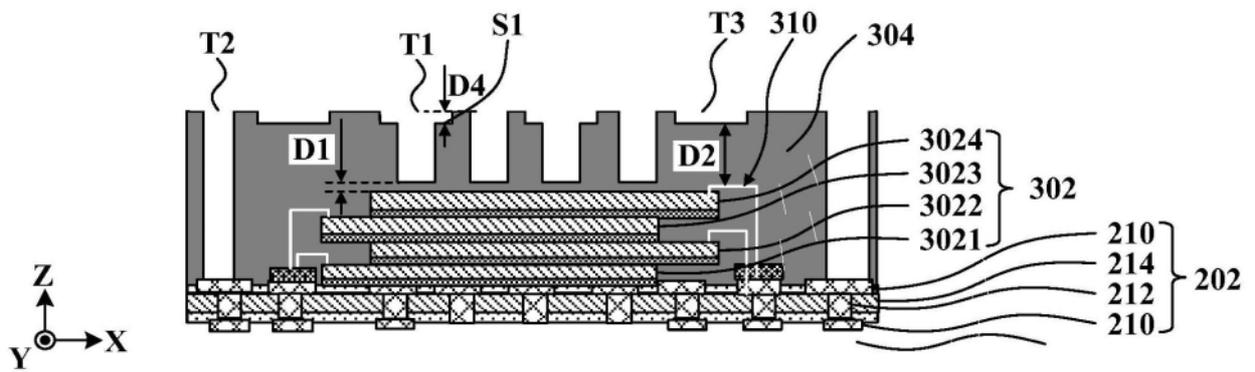


图6B

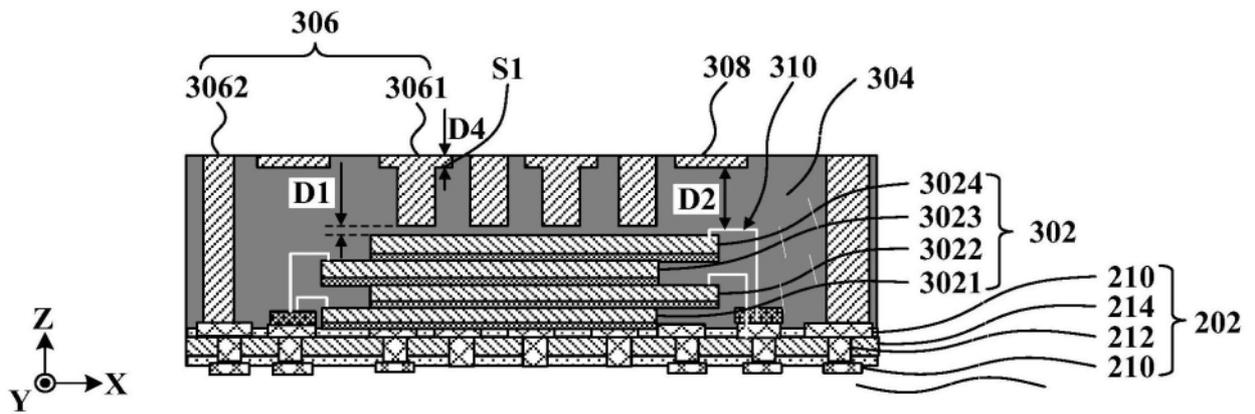


图6C

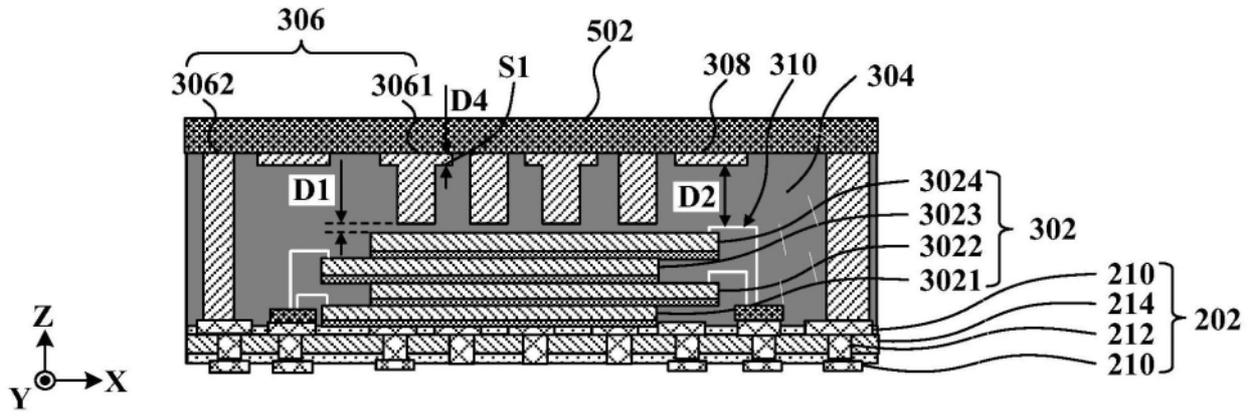


图6D

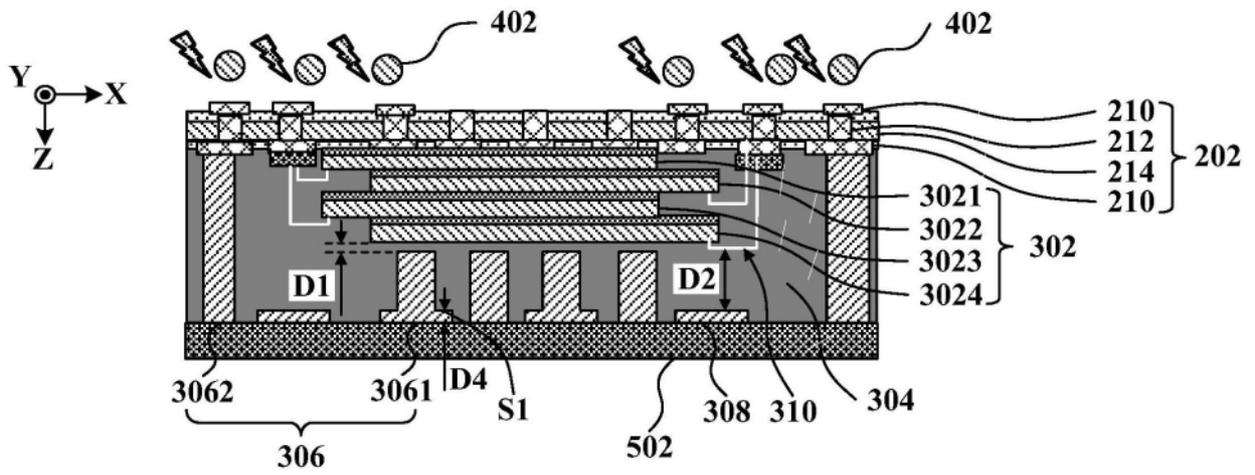


图6E

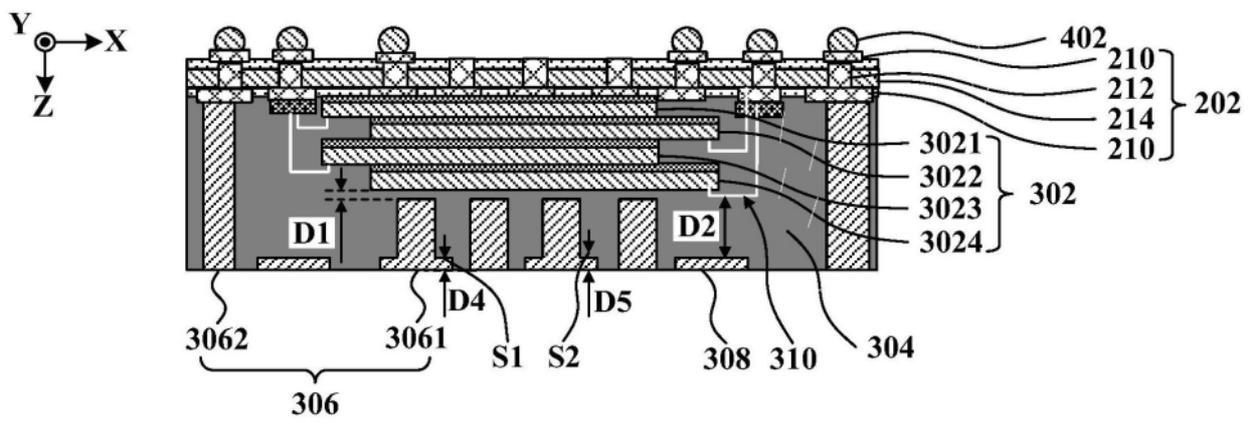


图6F

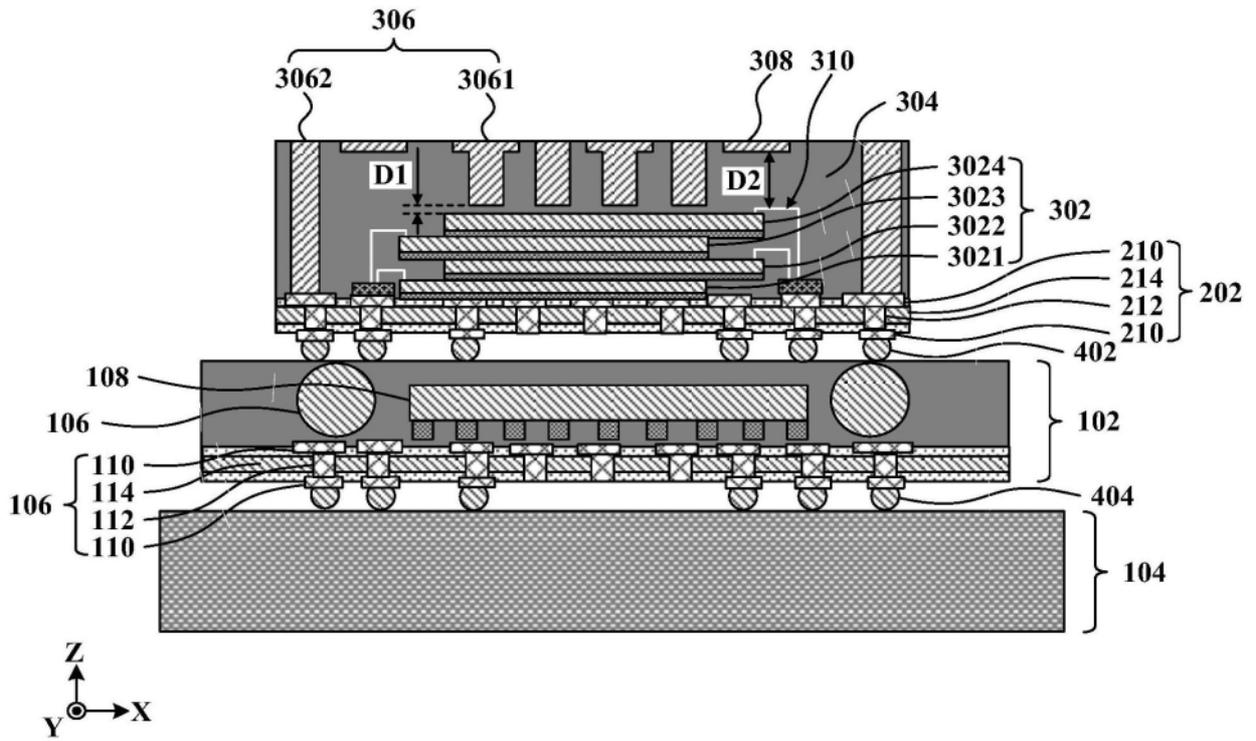


图7A

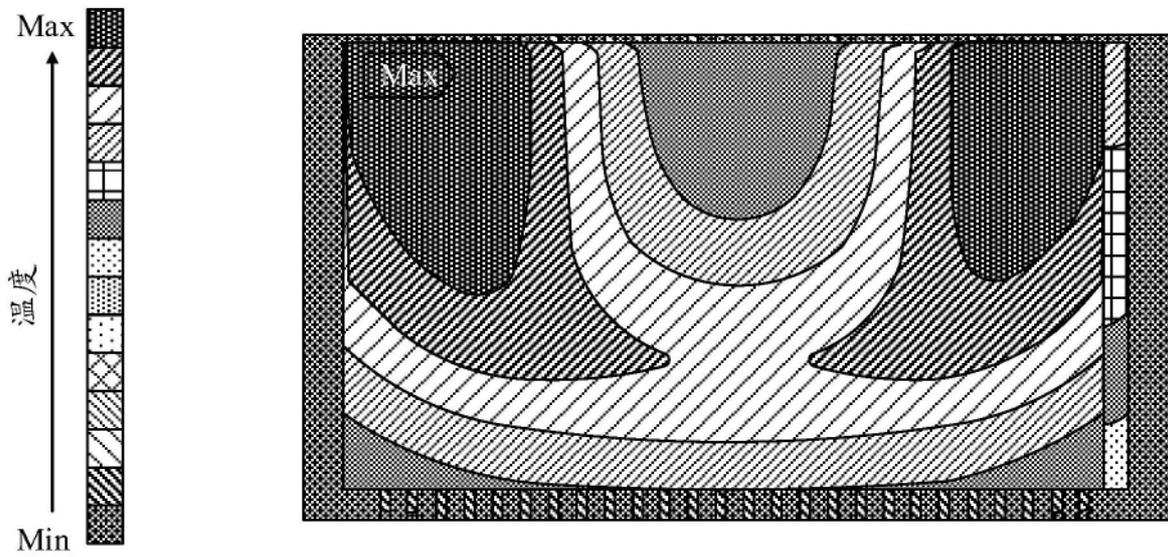


图7B

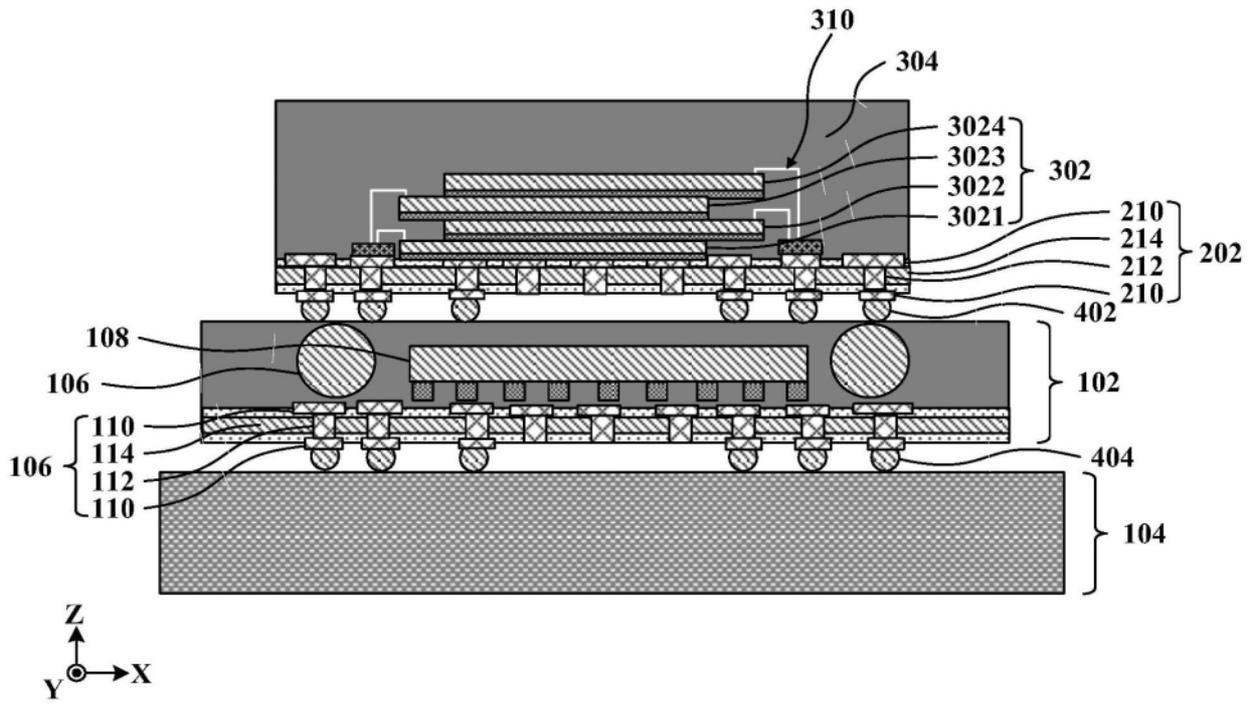


图8A

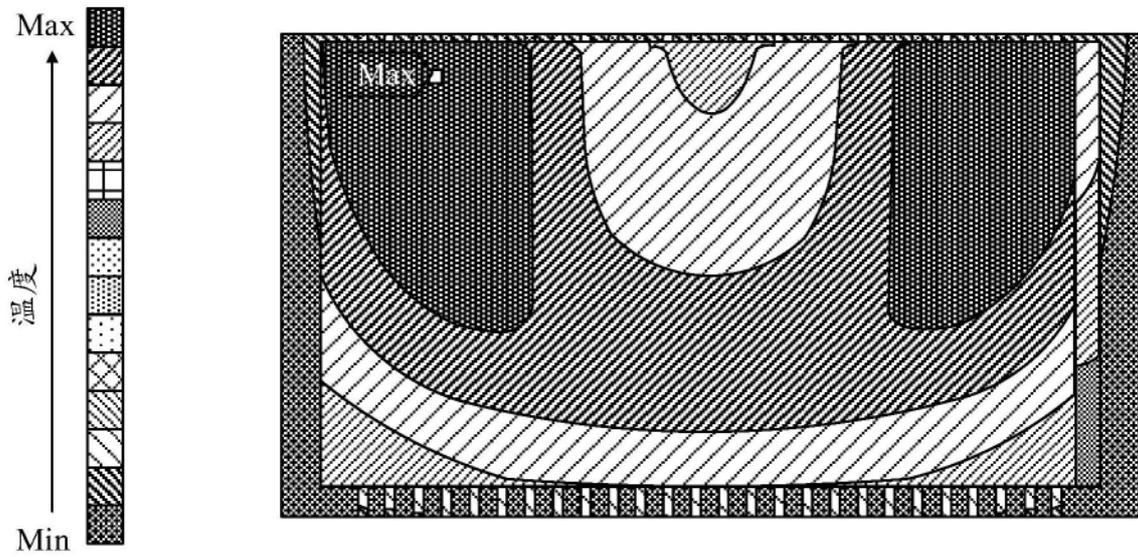


图8B