

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3657942号
(P3657942)

(45) 発行日 平成17年6月8日(2005.6.8)

(24) 登録日 平成17年3月18日(2005.3.18)

(51) Int. Cl.⁷

F I

HO 1 L	21/31	HO 1 L	21/31	C
HO 1 L	21/304	HO 1 L	21/304	6 4 5 A
HO 1 L	21/3065	HO 1 L	21/304	6 4 5 C
		HO 1 L	21/302	1 O 1 H

請求項の数 11 (全 11 頁)

(21) 出願番号 特願2003-8305 (P2003-8305)
 (22) 出願日 平成15年1月16日(2003.1.16)
 (65) 公開番号 特開2004-221397 (P2004-221397A)
 (43) 公開日 平成16年8月5日(2004.8.5)
 審査請求日 平成15年6月9日(2003.6.9)

(73) 特許権者 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100085279
 弁理士 西元 勝一
 (74) 代理人 100099025
 弁理士 福田 浩志
 (72) 発明者 傳 博臣
 東京都港区虎ノ門1丁目7番12号 沖電
 気工業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体製造装置の洗浄方法、及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

反応炉内に設けられた基板支持電極上に基板を配置し、当該基板上に半導体薄膜を形成する半導体製造装置の洗浄方法であって、

前記基板支持電極上に、絶縁カバーを配置する工程と、

前記反応炉内にフッ化物系洗浄ガスを供給すると共に、前記絶縁カバーと前記基板支持電極との間隙を前記反応炉内よりも陽圧になるように前記基板支持電極略中心から不活性ガス及び/又はフッ素還元ガスを供給した後、前記反応炉内にプラズマを発生させる洗浄工程と、

を有することを特徴とする半導体製造装置の洗浄方法。

10

【請求項2】

前記フッ化物系洗浄ガスが、NF₃、CF₄、C₃F₈、C₂F₆、及びC₁F₃から選択される少なくとも1種であることを特徴とする請求項1に記載の半導体製造装置の洗浄方法。

【請求項3】

前記フッ素還元ガスが、H₂、NH₃から選択される少なくとも1種であることを特徴とする請求項1に記載の半導体製造装置の洗浄方法。

【請求項4】

前記不活性ガスが、Heガスであることを特徴とする請求項1に記載の半導体製造装置の洗浄方法。

20

【請求項 5】

反応炉内に設けられた基板支持電極上に基板を配置し、当該基板上に半導体薄膜を形成する半導体製造装置の洗浄方法であって、

前記基板支持電極上に、絶縁カバーを配置する工程と、

前記反応炉内にフッ化物系洗浄ガスを供給した後、前記反応炉内にプラズマを発生させる第1洗浄工程と、

前記絶縁カバーを前記基板支持電極から取り除き、前記基板支持電極表面を露出させる工程と、

前記反応炉内にフッ素還元ガスを供給した後、プラズマを発生させる第2洗浄工程と、

を有することを特徴とする半導体製造装置の洗浄方法。

10

【請求項 6】

前記フッ化物系洗浄ガスが、 NF_3 、 CF_4 、 C_3F_8 、 C_2F_6 、 ClF_3 から選択される少なくとも1種であることを特徴とする請求項5に記載の半導体製造装置の洗浄方法。

【請求項 7】

前記フッ素還元ガスが、 H_2 、 NH_3 から選択される少なくとも1種であることを特徴とする請求項5に記載の半導体製造装置の洗浄方法。

【請求項 8】

反応炉内に設けられた基板支持電極上に基板を配置し、当該基板上に半導体薄膜を形成する半導体製造装置の洗浄方法であって、

前記基板支持電極上に、絶縁カバーを配置する工程と、

20

前記反応炉内にフッ化物系洗浄ガスを供給した後、前記反応炉内にプラズマを発生させる第1洗浄工程と、

前記反応炉内にフッ素還元ガスを供給した後、プラズマを発生させる第2洗浄工程と、

前記絶縁カバーを前記基板支持電極から取り除き、前記基板支持電極表面を露出させる工程と、

前記基板支持電極表面に、膜中にSiが過剰に含んだSiO膜を形成する工程と、

を有することを特徴とする半導体製造装置の洗浄方法。

【請求項 9】

前記フッ化物系洗浄ガスが、 NF_3 、 CF_4 、 C_3F_8 、 C_2F_6 、 ClF_3 から選択される少なくとも1種であることを特徴とする請求項8に記載の半導体製造装置の洗浄方法。

30

【請求項 10】

前記フッ素還元ガスが、 H_2 、 NH_3 から選択される少なくとも1種であることを特徴とする請求項8に記載の半導体製造装置の洗浄方法。

【請求項 11】

請求項1～10のいずれかに記載の半導体製造装置の洗浄方法により洗浄を施した後、反応炉内に設けられた基板支持電極上に基板を配置する共に、反応炉内に原料ガスを供給した後、プラズマを発生させ、基板上に半導体薄膜を形成する工程を行なうことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

40

【発明の属する技術分野】

本発明は、プラズマCVD (Chemical Vapor Deposition) 装置などの半導体製造装置の洗浄方法に係り、詳しくは、例えば、半導体装置の層間絶縁膜等のフッ素(F)を含有したシリコン酸化膜(以下、「FSG膜」ということがある)を形成するための半導体製造装置の洗浄方法、及び半導体装置の製造方法に関する。

【0002】**【従来の技術】**

半導体装置の製造工程には、基板上に半導体薄膜を形成を行なう、プラズマCVD工程がある。この成膜工程では、反応炉内に設けられた静電チャック上に基板を配置して、反応炉内に反応ガスを供給し、一對の電極間に高周波電力を印加してプラズマを発生させ、

50

反応ガス分子をプラズマにより分解して基板表面に半導体薄膜を形成するものである。

【0003】

このような成膜工程の繰り返しにより、プラズマCVD装置の反応炉や電極の表面にも半導体薄膜が付着・堆積されるため、成膜処理中にこれら反応炉や電極に付着・堆積した膜が剥離して、成膜処理中に基板上に付着して汚染してしまう。

【0004】

このため、近年、プラズマCVD装置の反応炉内の洗浄方法として、成膜と同様に、フッ化物系洗浄ガスを用い、プラズマを印加して、F原子を発生させて、反応炉内壁や電極に付着・堆積した膜を洗浄する方法が行なわれている。また、このフッ化物系洗浄ガスを用いた洗浄の際に発生するフッ素原子が、反応炉内壁や電極に吸着・残留するため、これを還元するために、フッ素還元ガスを用いてF原子を還元して、炉内の残留フッ素原子を還元させて除去することも行なわれている。

10

【0005】

具体的には、例えば、特開平7-201738号公報には、反応炉内にフッ素還元ガスを供給すると共に、窒素化合物のラジカル又はイオンなどの活性種を供給し、当該活性種を残留フッ素成分に作用させることで、残留フッ素成分を還元・除去する洗浄方法が開示されている。

【0006】

また、特開平9-249976号公報には、フッ化物系洗浄ガスとして、 NF_3 、 CF_4 、 C_3F_8 、 C_2F_6 、 ClF_3 を用い、フッ素還元洗浄ガスとして O_2 、 H_2 、及び不活性ガスから選択する少なくとも1種を用いた洗浄方法が開示されている。

20

【0007】

また、特開平10-147877号公報には、フッ素系洗浄ガスを用いてクリーニング後或いは途中に、反応炉内にフッ素還元ガスとして不活性ガス（必要に応じて窒素ガス）を供給して、残留フッ素成分を還元・除去する洗浄方法が開示されている。

【0008】

【特許公報1】

特開平7-201738号公報

【特許公報2】

特開平9-249976号公報

30

【特許公報3】

特開平10-147877号公報

【0009】

【発明が解決しようとする課題】

上記提案のような洗浄方法においては、通常、プラズマCVD装置の反応炉内に設けられた静電チャック表面の保護のために、静電チャック上に基板（ウエハ）と同じ形状のセラミックカバーを配置する。そして、反応炉内にフッ化物系洗浄ガスを供給すると共にプラズマを発生させて、反応炉内のSiO膜を除去し、この洗浄終了後に、洗浄チャック上にセラミックカバーを置いたままで、反応炉内にフッ素還元ガスを供給すると共にプラズマを発生させ、反応炉内の残留フッ素原子を還元させて除去している。

40

【0010】

このように、プラズマCVD装置のクリーニング中には、静電チャック上にセラミックカバーが置かれており、静電チャック表面を保護している。

【0011】

しかしながら、従来のクリーニング条件では、セラミックカバーの反り返りなどにより、セラミックカバーと静電チャックとの隙間が生じ、当該隙間にフッ化物系洗浄ガスが入りこみ、静電チャック表面にフッ素成分が吸着してしまうといった問題がある。静電チャック表面に吸着した残留フッ素成分は、フッ素還元ガスによる処理でも十分に還元・除去されないため、洗浄後の半導体薄膜形成時に、残留フッ素成分が静電チャック表面から離脱（以下F脱ガスという）し、基板（ウエハ）周辺の成膜温度を低下させ、膜厚異常、工

50

ッチング加工不良、膜剥れなどの不具合が生じるといった問題があり、改善が望まれている。特にこの現象は、FSG膜を成膜する際、顕著に生じるため重要な問題である。

【0012】

従って、本発明は、前記従来における諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明の目的は、半導体薄膜形成時において、基板を配置する基板支持電極（静電チャック）からのF脱ガスを防止し、基板（ウエハ）周辺の成膜温度低下なく半導体薄膜を形成可能であり、膜厚異常、エッチング加工不良、膜剥れなどの不具合を防止する半導体製造装置の洗浄方法、及び半導体装置の製造方法を提供することである。

【0013】

【課題を解決するための手段】

上記課題は、以下の手段により解決される。即ち、

本発明の半導体製造装置の洗浄方法は、反応炉内に設けられた基板支持電極上に基板を配置し、当該基板上に半導体薄膜を形成する半導体製造装置の洗浄方法であって、

前記基板支持電極上に、絶縁カバーを配置する工程と、

前記反応炉内にフッ化物系洗浄ガスを供給すると共に、前記絶縁カバーと前記基板支持電極との間隙を前記反応炉内よりも陽圧になるように前記基板支持電極略中心から不活性ガス及び/又はフッ素還元ガスを供給した後、前記反応炉内にプラズマを発生させる洗浄工程と、を有することを特徴とする。

【0014】

また、本発明の半導体製造装置の洗浄方法は、反応炉内に設けられた基板支持電極上に基板を配置し、当該基板上に半導体薄膜を形成する半導体製造装置の洗浄方法であって、

前記基板支持電極上に、絶縁カバーを配置する工程と、

前記反応炉内にフッ化物系洗浄ガスを供給した後、前記反応炉内にプラズマを発生させる第1洗浄工程と、

前記絶縁カバーを前記基板支持電極から取り除き、前記基板支持電極表面を露出させる工程と、

前記反応炉内にフッ素還元ガスを供給した後、プラズマを発生させる第2洗浄工程と、を有することを特徴とする。

【0015】

また、本発明の半導体製造装置の洗浄方法は、反応炉内に設けられた基板支持電極上に基板を配置し、当該基板上に半導体薄膜を形成する半導体製造装置の洗浄方法であって、

前記基板支持電極上に、絶縁カバーを配置する工程と、

前記反応炉内にフッ化物系洗浄ガスを供給した後、前記反応炉内にプラズマを発生させる第1洗浄工程と、

前記反応炉内にフッ素還元ガスを供給した後、プラズマを発生させる第2洗浄工程と、

前記絶縁カバーを前記基板支持電極から取り除き、前記基板支持電極表面を露出させる工程と、

前記基板支持電極表面に、膜中にSiが過剰に含んだSiO膜を形成する工程と、を有することを特徴とする。

【0016】

また、本発明の半導体装置の製造方法は、上記何れか1つの本発明の半導体製造装置の洗浄方法により洗浄を施した後、反応炉内に設けられた基板支持電極上に基板を配置する共に、反応炉内に原料ガスを供給した後、プラズマを発生させ、基板上に半導体薄膜を形成する工程を行なうことを特徴とする。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態の一例を図面を参照して説明する。なお、実質的に同様の機能を有するものには、全図面通して同じ符号を付して説明し、場合によってはその説明を省略することができる。

【0018】

10

20

30

40

50

(参考例)

図1は、参考例に係る半導体製造装置を示す概略構成図である。

【0019】

図1に示す半導体製造装置は、装置本体100と上部電極であるベルジャー102（セラミックドーム）とで密封されたチャンバ104（反応炉）内に、インジェクタ106と下部電極である静電チャック108（基板支持電極）とが配置された構成のプラズマCVD装置であり、装置本体100に配置された排気口（図示せず）から真空引きすることで真空保持されたチャンバ104内にインジェクタ106から原料ガスを供給しベルジャー102から例えば周波数400kHzのプラズマを、静電チャックから周波数13.56kHzのプラズマを発生させて成膜するものである。また、図1に示す半導体製造装置には、フッ化物系洗浄ガスをチャンバ104内に供給するインジェクタ107を備えている。

10

【0020】

本参考例は、図1に示す半導体製造装置の洗浄方法として、まず、チャンバ104内に配置されている静電チャック108上に、静電チャック108表面を保護するためのセラミックカバー110（絶縁カバー）を配置した後、静電チャック108に例えば600V程度の電圧を印加することで、セラミックカバー110を静電チャック108表面に密着させる。この静電チャック108にセラミックカバー110を密着させて配置する方法としては、静電チャックに600V程度の電圧を印加する方法のほかに、クランプリングでクランプする方法がある。

20

【0021】

次に、チャンバ104内に配置されているインジェクタ107からフッ化物系洗浄ガスとしてNF₃ガスを、例えば100～1000sccm供給しながら、チャンバ104内の圧力を例えば、0.1333～1.333Pa（1～10mTorr）程度の圧力を保持する。

【0022】

そして、上部電極であるベルジャー102から例えば13.56MHzの周波数のプラズマを出力1000～1500Wで発生させNF₃ガスをプラズマ励起してFラジカルを生成し、これをチャンバ104内壁に付着・堆積したSiO膜などの堆積物と反応させ、例えばSiF₄などの揮発性化合物を生成させて、これをチャンバ104内から排出することで、堆積物を除去する。

30

【0023】

次に、チャンバ104内に、フッ素還元ガスとしてH₂ガスを、例えば200～1000sccm供給しながら、チャンバ104内の圧力を例えば、0.1333～1.333Pa（1～10mTorr）程度の圧力を保持する。

【0024】

そして、上部電極であるベルジャー102から例えば13.56MHzの周波数のプラズマを出力500～1500Wで発生させH₂ガスをプラズマ励起し、チャンバ104内壁に付着した残留フッ素成分と反応させ、残留フッ素成分を還元・除去する。

【0025】

このようにして、CVD装置の洗浄が終了する。その後、チャンバ104内にウエハを搬入すると共に静電チャック108上に配置し、例えば、FSG膜などの半導体薄膜形成工程が行なわれる。

40

【0026】

本参考例では、セラミックカバー110を静電チャック上に密着させて配置させるため、セラミックカバー110は静電チャック108表面と隙間を有することなく配置されている。このため、チャンバ104に供給されたNF₃がセラミックカバー110と静電チャック108表面との間に入り込むのを抑制し、静電チャック108表面に対するフッ素成分の吸着を防止し、その後の半導体薄膜形成工程においてウエハ（基板）を配置する静電チャック108からのF脱ガスを防止することができる。

50

【0027】

(第1の実施の形態)

図2は、本発明の第1の実施の形態に係る半導体製造装置を示す概略構成図である。

【0028】

図2に示す半導体製造装置は、静電チャック108略中心から真下に延在する供給パイプ112を備える以外は、図1に示す半導体製造装置と同様な構成である。

【0029】

本実施形態は、図2に示す半導体製造装置の洗浄方法として、まず、チャンバ104内に配置されている静電チャック108上に、静電チャック108表面を保護するためのセラミックカバー110を配置する。

10

【0030】

次に、チャンバ104内に配置されているインジェクタ107からフッ化物系洗浄ガスとして NF_3 ガスを、例えば100～1000sccm供給する共に、静電チャック108略中心から真下に延在する供給パイプ112からセラミックカバー110略中心に向かって不活性ガスとしてHeガスを60～120sccm供給しながら、チャンバ104内の圧力を例えば、0.1333～1.333Pa(1～10mTorr)程度の圧力を保持する。この際、Heガスは、静電チャック108略中心部からセラミックカバー110と静電チャック108との隙間を通過してセラミックカバー110周縁部へと向かってチャンバ104内に流入することとなるが、このセラミックカバー110と静電チャック108との間隙をチャンバ104内よりも陽圧になるように供給する。

20

【0031】

そして、上部電極であるベルジャー102から例えば13.56MHzの周波数のプラズマを出力1000～5000Wで発生させ NF_3 ガスをプラズマ励起してフラジカルを生成し、これをチャンバ104内壁に付着・堆積したSiO膜などの堆積物と反応させ、例えば SiF_4 などの揮発性化合物を生成させて、これをチャンバ104内から排出することで、堆積物を除去する。

【0032】

次に、チャンバ104内に、フッ素還元ガスとして H_2 ガスを、例えば200～1000sccm供給しながら、チャンバ104内の圧力を例えば、0.1333～1.333Pa(1～10mTorr)程度の圧力を保持する。

30

【0033】

そして、上部電極であるベルジャー102から例えば13.56MHzの周波数のプラズマを出力500～1500Wで発生させ H_2 ガスをプラズマ励起し、チャンバ104内壁に吸着した残留フッ素成分と反応させ、残留フッ素成分を還元・除去する。

【0034】

このようにして、CVD装置の洗浄が終了する。その後、チャンバ104内にウエハを搬入すると共に静電チャック108上に配置し、例えば、FSG膜などの半導体薄膜形成工程が行なわれる。

【0035】

本実施形態では、チャンバ104内に、 NF_3 ガスを供給すると共にHeガスをセラミックカバー110と静電チャック108との間隙をチャンバ104内よりも陽圧になるように静電チャック108略中心部からセラミックカバー110と静電チャック108との隙間を通過してセラミックカバー110周縁部へ向かって供給している。このため、チャンバ104内に供給された NF_3 ガスは、チャンバ104内よりも陽圧である当該隙間内には流入されず、静電チャック108表面に対するフッ素成分の吸着を防止し、その後の半導体薄膜形成工程においてウエハ(基板)を配置する静電チャック108からのF脱ガスを防止することができる。

40

【0036】

なお、上記参考例においては、セラミックカバー110と静電チャック108を密着させて配置させているが、僅かながらでも隙間は生じるものであり、本実施形態を適用させ

50

ると、さらに効果的に当該隙間への NF_3 ガス流入を抑制し、静電チャック108表面に対するフッ素成分の吸着を防止することができる。

【0037】

(第2の実施の形態)

本実施形態は、上記第1の実施形態において、供給パイプ112から不活性ガスの代わりに、不活性ガスとして He ガスで希釈したフッ素還元ガスとして H_2 ガス(He/H_2 ガス)を供給する形態である。

【0038】

本実施形態では、上記第1の実施形態と同様に、チャンバ104内に供給された NF_3 ガスをセラミックカバー110と静電チャック108との隙間に流入するのを防ぎぐことができ、さらに He/H_2 ガスがセラミックカバー周縁部付近からチャンバ104内へ流入するため、セラミックカバー周縁部付近で H_2 がプラズマ励起され、静電チャック108周縁部のフッ素成分を還元・除去することが可能となり、より効果的に静電チャック108表面に対するフッ素成分の吸着を防止することができる。

10

【0039】

(第3の実施の形態)

【0040】

本実施形態では、図1に示す半導体製造装置の洗浄方法として、まず、チャンバ104内に配置されている静電チャック108上に、静電チャック108表面を保護するためのセラミックカバー110を配置する。

20

【0041】

次に、チャンバ104内に配置されているインジェクタ107からフッ化物系洗浄ガスとして NF_3 ガスを、例えば100~1000sccm供給しながら、チャンバ104内の圧力を例えば、0.1333~1.333Pa(1~10mTorr)程度の圧力を保持する。

【0042】

そして、上部電極であるベルジャー102から例えば13.56MHzの周波数のプラズマを出力1000~5000Wで発生させ NF_3 ガスをプラズマ励起してフラジカルを生成し、これをチャンバ104内壁に付着・堆積した SiO 膜などの堆積物と反応させ、例えば SiF_4 などの揮発性化合物を生成させて、これをチャンバ104内から排出することで、堆積物を除去する。

30

【0043】

次に、静電チャック108上に配置されているセラミックカバー110を真空搬送によりチャンバ104から排出し、静電チャック108表面を露出する。

【0044】

次に、静電チャック108表面を露出した状態で、チャンバ104内に、フッ素還元ガスとして H_2 ガスを、例えば200~1000sccm供給しながら、チャンバ104内の圧力を例えば、0.1333~1.333Pa(1~10mTorr)程度の圧力を保持する。

【0045】

そして、上部電極であるベルジャー102から例えば13.56MHzの周波数のプラズマを出力500~1500Wで発生させ H_2 ガスをプラズマ励起し、チャンバ104内壁に吸着した残留フッ素成分と反応させ、残留フッ素成分を還元・除去する。

40

【0046】

このようにして、CVD装置の洗浄が終了する。その後、チャンバ104内にウエハを搬入すると共に静電チャック108上に配置し、例えば、FSG膜などの半導体薄膜形成工程が行なわれる。

【0047】

本実施形態では、 NF_3 ガスによるクリーニングを行なった後、セラミックカバー110を静電チャック108から取り除き、静電チャック108表面を露出した状態で、フッ

50

素還元処理を行なっている。このため、従来、フッ素還元処理は主にチャンバ104内壁やベルジャー102壁に付着した残留フッ素成分の還元・除去が目的であったが、静電チャック108表面を露出した状態で、フッ素還元処理を行なっているため、静電チャック108表面に吸着した残留フッ素成分も還元・除去することが可能となり、その後の半導体薄膜形成工程においてウエハ(基板)を配置する静電チャック108からのF脱ガスを防止することができる。

【0048】

(第4の実施の形態)

本実施形態では、図1に示す半導体製造装置の洗浄方法として、まず、チャンバ104内に配置されている静電チャック108上に、静電チャック108表面を保護するためのセラミックカバー110を配置する。

10

【0049】

次に、チャンバ104内に配置されているインジェクタ107からフッ化物系洗浄ガスとして NF_3 ガスを、例えば100~1000sccm供給しながら、チャンバ104内の圧力を例えば、0.1333~1.333Pa(1~10mTorr)程度の圧力を保持する。

【0050】

そして、上部電極であるベルジャー102から例えば13.56MHzの周波数のプラズマを出力1000~5000Wで発生させ NF_3 ガスをプラズマ励起してFラジカルを生成し、これをチャンバ104内壁に付着・堆積したSiO膜などの堆積物と反応させ、例えば SiF_4 などの揮発性化合物を生成させて、これをチャンバ104内から排出することで、堆積物を除去する。

20

【0051】

次に、静電チャック108上に配置されているセラミックカバー110を真空搬送によりチャンバ104から排出し、静電チャック108表面を露出する。

【0052】

次に、静電チャック108表面を露出した状態で、チャンバ104内に、フッ素還元ガスとして H_2 ガスを、例えば200~1000sccm供給しながら、チャンバ104内の圧力を例えば、0.1333~1.333Pa(1~10mTorr)程度の圧力を保持する。

30

【0053】

そして、上部電極であるベルジャー102から例えば13.56MHzの周波数のプラズマを出力500~1500Wで発生させ H_2 ガスをプラズマ励起し、チャンバ104内壁に吸着した残留フッ素成分と反応させ、残留フッ素成分を還元・除去する。

【0054】

このようにして、CVD装置の洗浄を終了する。その後、チャンバ104内にウエハを搬入すると共に静電チャック108上に配置し、例えば、FSG膜などの半導体薄膜形成工程が行なわれる。

【0055】

本実施形態では、 NF_3 ガスによるクリーニングを行なった後、セラミックカバー110を静電チャック108から取り除き、静電チャック108表面を露出した状態で、フッ素還元処理を行なっている。このため、従来、フッ素還元処理は主にチャンバ104内壁などに吸着した残留フッ素成分の還元・除去が目的であったが、静電チャック108表面を露出した状態で、フッ素還元処理を行なっているため、静電チャック108表面に吸着した残留フッ素成分も還元・除去することが可能となり、その後の半導体薄膜形成工程においてウエハ(基板)を配置する静電チャック108からのF脱ガスを防止することができる。

40

【0056】

(第5の実施の形態)

本実施形態は、まず、セラミックカバーを静電チャック108に密着させない以外は、

50

参考例と同様に、 H_2 ガスを用いたフッ素還元処理を行なう。

【0057】

その後、静電チャック108上に配置されているセラミックカバー110を真空搬送によりチャンバ104から排出し、静電チャック108表面を露出する。

【0058】

そして、静電チャック108表面を露出した状態で、チャンバ104内に、インジェクタ106から反応ガスとして SiH_4 ガス、 O_2 ガス、及びArガスを供給しながら、チャンバ104内の圧力を例えば、 $0.1333 \sim 1.333 Pa$ ($1 \sim 10 mTorr$)程度の圧力を保持する。この際、成膜される SiO 膜が過剰の Si を含むように、供給する反応ガス流量は、例えば、 SiH_4 ガス/ O_2 ガス/ Ar ガス = $180 sccm / 340 sccm / 240 sccm$ と、 SiH_4 ガス/ O_2 ガスが1.5以上の比率になるように設定する。

10

【0059】

そして、上部電極であるベルジャー102から例えば450kHzの周波数のプラズマを出力3000~4000Wで発生させ反応ガスをプラズマ励起し、静電チャック108表面に過剰に Si を含んだ SiO 膜を30~100nm程度成膜する。

【0060】

このようにして、CVD装置の洗浄が終了する。その後、チャンバ104内にウエハを搬入すると共に静電チャック108上に配置し、例えば、FSG膜などの半導体薄膜形成工程が行なわれる。なお、静電チャック108表面に成膜した SiO 膜は、半導体薄膜形成工程サイクルを繰り返した後、次の洗浄工程により除去する。

20

【0061】

本実施形態では、膜中に Si を過剰に含んだ SiO 膜を静電チャック108上に成膜することで、その後の半導体薄膜形成工程において、静電チャック表面に吸着した残留フッ素成分に起因して脱離するフッ素原子を、静電チャック表面に形成した SiO 膜に含まれる Si の未結合手でトラップするためF脱ガスを防止することが可能となる。

【0062】

なお、上記1~5の実施形態では、フッ化物系洗浄ガスとして NF_3 ガスを用いた形態を説明したが、これに限られず、 CF_4 、 C_3F_8 、 C_2F_6 、 ClF_3 を使用することもできる。また、フッ素還元ガスとして H_2 ガスを用いた形態を説明したが、これに限られず、 NH_3 ガスなど、水素を含んだガスを使用することができる。

30

【0063】

なお、上記何れの実施形態においても、限定的に解釈されるものではなく、本発明の要件を満足する範囲内で実現可能であることは、言うまでもない。

【0064】

【発明の効果】

以上説明したように本発明によれば、半導体薄膜形成時において、基板を配置する基板支持電極(静電チャック)からのF脱ガスを防止し、基板(ウエハ)周辺の成膜温度低下なく半導体薄膜を形成可能であり、膜厚異常、エッチング加工不良、膜剥れなどの不具合を防止する半導体製造装置の洗浄方法、及び半導体装置の製造方法を提供することができる。

40

【図面の簡単な説明】

【図1】 参考例に係る半導体製造装置を示す概略構成図である。

【図2】 本発明の第1の実施の形態に係る半導体製造装置を示す概略構成図である。

【符号の説明】

100 装置本体

102 ベルジャー(反応炉)

102 ルジャー

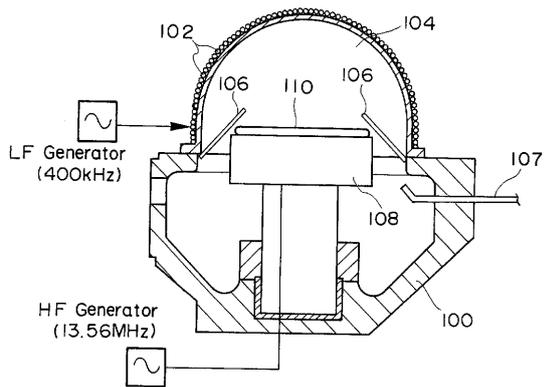
104 チャンバ

106 インジェクタ

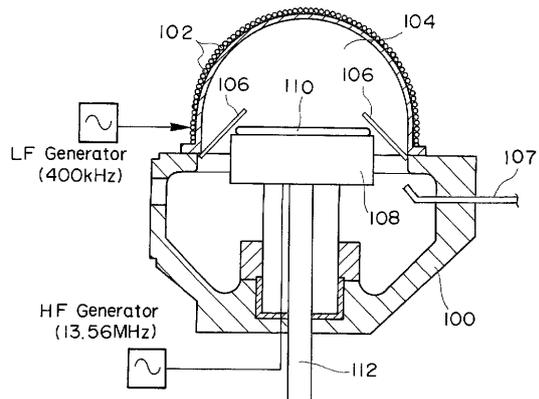
50

- 107 インジェクタ
- 108 静電チャック（基板支持電極）
- 110 セラミックカバー（絶縁カバー）
- 112 供給パイプ

【 図 1 】



【 図 2 】



フロントページの続き

審査官 池淵 立

- (56)参考文献 特開平08-330243(JP,A)
特開平11-219939(JP,A)
特開平11-330056(JP,A)
特開平07-201847(JP,A)
特開2001-172768(JP,A)
特開2001-335937(JP,A)
特表2003-518328(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/31
H01L 21/3065
H01L 21/205
H01L 21/304 645