



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월27일
 (11) 등록번호 10-1434934
 (24) 등록일자 2014년08월21일

- (51) 국제특허분류(Int. Cl.)
 H01L 27/12 (2006.01)
- (21) 출원번호 10-2008-0029033
- (22) 출원일자 2008년03월28일
 심사청구일자 2013년03월28일
- (65) 공개번호 10-2008-0101658
- (43) 공개일자 2008년11월21일
- (30) 우선권주장
 JP-P-2007-00132380 2007년05월18일 일본(JP)
- (56) 선행기술조사문헌
 US6534380 B1*
 JP2005203596 A*
 JP2004179649 A*
 US6927148 B2*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 미야이리 히데카즈
 일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
 가부시키가이샤한도오따이 에네루기 켄큐쇼 내
 시모무라 아키히사
 일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
 가부시키가이샤한도오따이 에네루기 켄큐쇼 내
 (뒷면에 계속)
- (74) 대리인
 장훈

전체 청구항 수 : 총 20 항

심사관 : 류정현

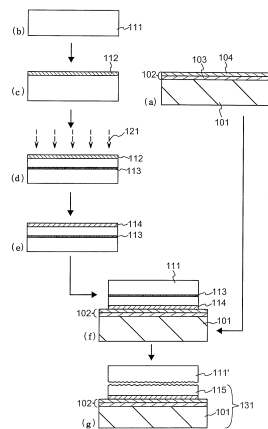
(54) 발명의 명칭 **SOI 기판의 제작 방법, 및 반도체 장치의 제작 방법**

(57) 요약

본 발명은 수소 이온 주입법에 의해, 베이스 기판이 유리기판과 같은 내열성이 낮은 기판으로 이루어지고, 표면의 평탄성이 높고, 100nm 이하의 얇은 반도체층을 갖는 SOI 기판을 제작한다.

접합층을 개재하여 반도체 기판과 베이스 기판을 접촉한다. 가열 처리를 하고, 반도체 기판을 분할함으로써, 반도체 기판으로부터 분리된 반도체층이 고정된 베이스 기판을 얻을 수 있다. 이 반도체층에 레이저광을 조사하고, 용융시킴으로써, 반도체층의 표면의 평탄성을 향상시키고, 또한 그 결정성을 회복시킨다. 레이저광의 조사 후, 반도체층을 에칭 등에 의해 얇게 한다. 이상의 공정을 거침으로써, 베이스 기판 위에 두께 100nm 이하의 단결정 반도체층을 갖는 SOI 기판을 제작할 수 있다.

대표도 - 도1



(72) 발명자

미조이 타츠야

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

히가 에이지

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

나가노 요지

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

SOI 기판의 제작 방법에 있어서,
반도체 기판에 이온빔을 조사함으로써 상기 반도체 기판 내에 이온 주입층을 형성하는 단계;
상기 반도체 기판 위에 접합층을 형성하는 단계;
상기 접합층을 개재하여 상기 반도체 기판을 베이스 기판에 접합시키는 단계;
상기 반도체 기판의 일부를 상기 이온 주입층에서 분리시키기 위해 상기 반도체 기판 및 상기 베이스 기판을 가열하여, 상기 베이스 기판 위에 반도체층을 남겨두는 단계;
상기 반도체층을 레이저광으로 조사하는 단계; 및
상기 반도체층을 에칭(etching)함으로써 상기 반도체층을 박막화(thinning)하는 단계를 포함하고,
상기 이온빔은 수소가스를 포함하는 소스 가스(source gas)를 여기함으로써 형성되고,
상기 이온빔은 H^+ , H_2^+ , 및 H_3^+ 를 포함하고,
상기 H_3^+ 이온은 상기 이온빔에서 H^+ , H_2^+ , 및 H_3^+ 의 총량에 대하여 70% 이상 포함되는, SOI 기판의 제작 방법.

청구항 2

SOI 기판의 제작 방법에 있어서,
반도체 기판에 이온빔을 조사함으로써 상기 반도체 기판 내에 이온 주입층을 형성하는 단계;
베이스 기판 위에 접합층을 형성하는 단계;
상기 접합층을 개재하여 상기 반도체 기판을 상기 베이스 기판에 접합시키는 단계;
상기 반도체 기판의 일부를 상기 이온 주입층에서 분리시키기 위해 상기 반도체 기판 및 상기 베이스 기판을 가열하여, 상기 베이스 기판 위에 반도체층을 남겨두는 단계;
상기 반도체층을 레이저광으로 조사하는 단계; 및
상기 반도체층을 에칭함으로써 상기 반도체층을 박막화하는 단계를 포함하고,
상기 이온빔은 수소가스를 포함하는 소스 가스(source gas)를 여기함으로써 형성되고,
상기 이온빔은 H^+ , H_2^+ , 및 H_3^+ 를 포함하고,
상기 H_3^+ 이온은 상기 이온빔에서 H^+ , H_2^+ , 및 H_3^+ 의 총량에 대하여 70% 이상 포함되는, SOI 기판의 제작 방법.

청구항 3

SOI 기판의 제작 방법에 있어서,
반도체 기판에 이온빔을 조사함으로써 상기 반도체 기판 내에 이온 주입층을 형성하는 단계;
상기 반도체 기판 위에 제 1 접합층을 형성하는 단계;
베이스 기판 위에 제 2 접합층을 형성하는 단계;
상기 제 1 접합층 및 상기 제 2 접합층을 개재하여 상기 반도체 기판을 상기 베이스 기판에 접합시키는 단계;
상기 반도체 기판의 일부를 상기 이온 주입층에서 분리시키기 위해 상기 반도체 기판 및 상기 베이스 기판을 가열하여, 상기 베이스 기판 위에 반도체층을 남겨두는 단계;
상기 반도체층을 레이저광으로 조사하는 단계; 및

상기 반도체층을 에칭함으로써 상기 반도체층을 박막화하는 단계를 포함하고,
 상기 이온빔은 수소가스를 포함하는 소스 가스(source gas)를 여기함으로써 형성되고,
 상기 이온빔은 H^+ , H_2^+ , 및 H_3^+ 를 포함하고,
 상기 H_3^+ 이온은 상기 이온빔에서 H^+ , H_2^+ , 및 H_3^+ 의 총량에 대하여 70% 이상 포함되는, SOI 기판의 제작 방법.

청구항 4

SOI 기판의 제작 방법에 있어서,
 반도체 기판 위에 보호막을 형성하는 단계;
 상기 반도체 기판에 이온빔을 조사함으로써 상기 반도체 기판 내에 이온 주입층을 형성하는 단계;
 상기 반도체 기판 위에 제 1 접합층을 형성하는 단계;
 베이스 기판 위에 제 1 절연층을 형성하는 단계;
 상기 제 1 절연층 위에 제 2 절연층을 형성하는 단계;
 상기 제 2 절연층 위에 제 2 접합층을 형성하는 단계;
 상기 제 1 접합층 및 상기 제 2 접합층을 개재하여 상기 반도체 기판을 상기 베이스 기판에 접합시키는 단계;
 상기 반도체 기판의 일부를 상기 이온 주입층에서 분리시키기 위해 상기 반도체 기판 및 상기 베이스 기판을 가열하여, 상기 베이스 기판 위에 반도체층을 남겨두는 단계;
 상기 반도체층을 레이저광으로 조사하는 단계; 및
 상기 반도체층을 에칭함으로써 상기 반도체층을 박막화하는 단계를 포함하고,
 상기 이온빔은 수소가스를 포함하는 소스 가스(source gas)를 여기함으로써 형성되고,
 상기 이온빔은 H^+ , H_2^+ , 및 H_3^+ 를 포함하고,
 상기 H_3^+ 이온은 상기 이온빔에서 H^+ , H_2^+ , 및 H_3^+ 의 총량에 대하여 70% 이상 포함되는, SOI 기판의 제작 방법.

청구항 5

제 1 항 또는 제 2 항에 있어서,
 상기 이온 주입층의 형성은 상기 접합층의 형성 후에 행해지는, SOI 기판의 제작 방법.

청구항 6

제 3 항에 있어서,
 상기 이온 주입층의 형성은 상기 제 1 접합층의 형성 후에 행해지는, SOI 기판의 제작 방법.

청구항 7

제 1 항, 제 2 항, 제 3 항, 및 제 4 항 중 어느 한 항에 있어서,
 상기 반도체층의 박막화는 상기 반도체층이 100nm 이하의 두께를 갖도록 하기 위해 행해지는, SOI 기판의 제작 방법.

청구항 8

삭제

청구항 9

제 1 항, 제 2 항, 제 3 항, 및 제 4 항 중 어느 한 항에 있어서,
 상기 이온빔의 조사는 이온 도핑 장치를 사용하여 행해지는, SOI 기판의 제작 방법.

청구항 10

제 1 항, 제 2 항, 제 3 항, 및 제 4 항 중 어느 한 항에 있어서,
 상기 이온빔은, 상기 이온빔을 상기 반도체 기판에 조사하기 전에 질량 분리되는, SOI 기판의 제작 방법.

청구항 11

제 1 항, 제 2 항, 제 3 항, 및 제 4 항 중 어느 한 항에 있어서,
 상기 베이스 기판은 절연성 기판인, SOI 기판의 제작 방법.

청구항 12

제 1 항 또는 제 2 항에 있어서,
 상기 접합층은 산화금속, 질화금속, 산화질화금속(metal oxynitride) 및 질화산화금속(metal nitride oxide)으로부터 선택된 화합물을 포함하는, SOI 기판의 제작 방법.

청구항 13

제 3 항 또는 제 4 항에 있어서,
 상기 제 1 접합층 및 상기 제 2 접합층 각각은 산화금속, 질화금속, 산화질화금속 및 질화산화금속으로부터 선택된 화합물을 포함하는, SOI 기판의 제작 방법.

청구항 14

제 3 항에 있어서,
 상기 레이저 조사는 상기 반도체층이 부분적으로 용융되도록 행해지는, SOI 기판의 제작 방법.

청구항 15

제 3 항에 있어서,
 상기 반도체층의 에칭은 상기 반도체층 및 상기 제 2 접합층이 동시에 에칭되고, 상기 반도체층의 측면 및 상기 제 2 접합층의 측면이 동일 평면(coplanar)이 되도록 행해지는, SOI 기판의 제작 방법.

청구항 16

제 4 항에 있어서,
 상기 이온 주입층의 형성은 상기 제 1 접합층의 형성 후에 행해지는, SOI 기판의 제작 방법.

청구항 17

제 4 항에 있어서,
 상기 제 1 절연층은 질화산화실리콘(silicon nitride oxide)을 포함하는, SOI 기판의 제작 방법.

청구항 18

제 4 항에 있어서,
 상기 제 2 절연층은 산화질화실리콘(silicon oxynitride)을 포함하는, SOI 기판의 제작 방법.

청구항 19

제 4 항에 있어서,

상기 레이저 조사는 상기 반도체층이 부분적으로 용융되도록 행해지는, SOI 기판의 제작 방법.

청구항 20

제 4 항에 있어서,

상기 반도체층의 에칭은 상기 반도체층 및 상기 제 2 집합층이 동시에 에칭되고, 상기 반도체층의 측면 및 상기 제 2 집합층의 측면이 동일 평면이 되도록 행해지는, SOI 기판의 제작 방법.

청구항 21

제 4 항에 있어서,

상기 제 1 절연층을 형성하는 단계 전에 상기 보호막을 제거하는 단계를 더 포함하는, SOI 기판의 제작 방법.

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 실리콘 등 반도체 재료로 이루어지는 반도체층을 갖는 SOI(Silic on Insulator) 기판을 제작하는 방법에 관한 것이다.

[0002] 또, 본 명세서 중에 있어서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

배경 기술

[0003] 벌크형의 실리콘 웨이퍼 대신에, 절연층 위에 얇은 단결정 실리콘층을 형성한 SOI(Silicon on Insulator) 기판을 사용한 집적회로가 개발되어 있다. 얇은 단결정 실리콘층의 특징점을 살림으로써, 집적회로중의 트랜지스터 끼리를 전기적으로 완전하게 분리하여 형성할 수 있고, 또한 트랜지스터를 완전 공핍형으로 할 수 있기 때문에, 고집적, 고속 구동, 저소비 전력 등 부가가치가 높은 반도체 집적회로를 실현할 수 있다.

[0004] SOI 기판을 제조하는 방법의 하나로, 수소 이온 주입과 박리를 조합한 수소 이온 주입 박리 방법이 알려져 있다. 수소 이온 주입 분리법에서는, 주로 다음과 같은 공정을 하여, SOI 기판을 제작하고 있다. 실리콘 웨이퍼에 수소 이온을 주입함으로써, 표면으로부터 소정의 깊이로 미소한 기포를 포함한 이온 주입층을 형성한다. 베이스 기판이 되는 별도의 실리콘 웨이퍼를 산화하여 산화실리콘막을 형성한다. 수소 이온을 주입한 실리콘 웨이퍼와, 별도의 실리콘 웨이퍼의 산화실리콘막을 접합시켜, 2장의 실리콘 웨이퍼를 접합한다. 가열 처리를 하고, 이온 주입층에서 웨이퍼를 분할시킨다. 베이스 기판에 접합된 실리콘층의 결합력을 향상시키기 위해서, 가열 처리를 한다.

[0005] 수소 이온 주입 박리법을 사용하여 박리된 실리콘층을 유리기판에 접합하여 SOI 기판을 제작하는 방법이 알려져 있다(특허문헌 1 및 2 참조). 특허문헌 1(일본 공개특허공보 제(평)11-097379호)에서는, 이온 주입에 의해서 형성된 결합층, 박리면의 수 nm 내지 수십 nm의 단차를 제거하기 위해서, 박리함으로써 노출된 면을 기계 연마 하고 있다. 특허문헌 2(일본 공개특허공보 2005-252244호)에서는, 유리기판에 접촉된 Si 박막에 레이저광을 조사함으로써, Si 박막을 재결정화시켜, Si 박막의 결정 품질을 높이고 있다.

- [0006] [특허문헌 1] 일본 공개특허공보 제(평)11-097379호
- [0007] [특허문헌 2] 일본 공개특허공보 2005-252244호

발명의 내용

해결 하고자하는 과제

- [0008] 유리기판은 실리콘 웨이퍼보다도 대면적으로 제작할 수 있고, 또한 저가인 기판이기 때문에, 주로, 액정 표시 장치의 제조에 사용되고 있다. 유리기판을 베이스 기판에 사용함으로써, 대면적이며 저가인 SOI 기판을 제작하는 것이 가능해진다. 그렇지만, 유리기판은, 변형 점이 700℃ 이하이고, 내열성이 낮다. 그 때문에, 단결정 실리콘층을 접착한 후의 SOI기는 유리기판의 내열 온도를 초과하는 온도로 가열할 수 없으며, SOI 기판을 제조하기 위한 프로세스 온도는 700℃ 이하로 제한된다.
- [0009] 따라서, 특허문헌 1에서 지적하고 있는 것과 같은 박리면에서의 결정 결함 및 요철을 제거하는 데에도, 프로세스 온도의 제약이 있다. 또한, 유리기판에 접착된 단결정 실리콘층으로부터 트랜지스터를 제조할 때에도, 프로세스 온도의 제약이 있고, 또한, 기판이 대형이기 때문에, 자연히 사용할 수 있는 장치나 처리방법에 제약이 있다.
- [0010] 트랜지스터의 고속화, 미세화의 실현에는 게이트 절연층의 박막화가 요구되기 때문에, 특허문헌 1에 기재되어 있는 것처럼, 단결정 실리콘층의 박리면의 요철을 제거하는 것은 중요하다. 그렇지만, 대면적 유리기판에 접착한 단결정 실리콘층을 기계 연마로 요철을 제거하는 것은, 유리기판과 실리콘 웨이퍼의 형상이나 크기가 다른 등의 이유로부터, 스루풋 좋게 처리하는 것은 어렵다.
- [0011] 또한, 유리기판에 접착된 실리콘층의 표면에, 얇은 게이트 절연층을 단차 피복성 좋게 형성하기 위해서는, 실리콘층의 두께를 얇고, 50nm 이하로 하는 것이 바람직하다. 그렇지만, 수소 원소의 질량이 작기 때문에, 50nm 이하의 깊이로 수소 이온을 주입하는 것은 곤란하고, 또한, 실리콘층을 50nm 이하의 두께로 실리콘 웨이퍼로부터 박리하는 것은 곤란이 따른다. 특히, 질량 분리를 하지 않고서 소스 가스의 이온을 주입하는 이온 도핑 장치로 수소 이온을 주입하는 경우, 100nm 이하의 깊이로 균일성 있게 수소 이온을 주입하는 것은 대단히 곤란하다.
- [0012] 또한, 특허문헌 2에서는, 레이저광을 조사하여 실리콘층을 재결정화하고 있지만, 두께 50nm 이하의 실리콘층에서는 재결정화에 최적의 레이저광의 에너지 범위가 좁기 때문에, 균일성 있게, 레이저광으로 재결정화를 하는 것이 곤란하다.
- [0013] 요건대, 종래의 기술에서는, 유리기판에 실리콘층을 접합한 SOI 기판으로 트랜지스터를 제작하여도, SOI 기판으로 실현할 수 있는 특성을 충분히 얻는 것은 곤란하다. 이러한 문제점에 비추어 보아, 유리기판 등 내열 온도가 낮은 기판을 베이스 기판으로 사용한 경우에도, 고성능의 반도체 장치를 제작하는 것이 가능한 SOI 기판의 제작 방법을 제공하는 것을 본 발명의 목적의 하나로 한다. 또한, 이온 도핑 장치를 사용하여 이온을 주입한 경우에도, 고성능의 반도체 장치의 제조를 가능하게 하는 SOI 기판의 제작 방법을 제공하는 것을 본 발명의 목적의 하나로 한다.

과제 해결수단

- [0014] 본 발명의 하나는, 반도체 기판으로부터 분리된 반도체층과, 반도체층이 고정되어 있는 베이스 기판을 갖는 SOI 기판의 제작 방법에 관한 것이다.
- [0015] 본 발명에 있어서, 수소 가스, 희가스, 할로젠가스 및 할로젠 화합물 가스로부터 선택된 1종 또는 복수 종류의 가스를 포함하는 소스 가스를 여기하여 이온종을 생성하고, 반도체 기판에 이온종을 주입하고, 반도체 기판의 표면으로부터 소정 깊이의 영역에 이온 주입층을 형성한다.
- [0016] 베이스 기판과 반도체 기판을 접합하기 위한 접합층은, 베이스 기판 또는 반도체 기판의 적어도 한쪽에 형성된다. 반도체 기판에 접합층을 형성하는 경우, 이온 주입층을 형성한 후에 접합층을 형성하여도 좋고, 접합층을 형성한 후 이온 주입층을 형성할 수도 있다.
- [0017] 접합층을 개재하여, 베이스 기판과 반도체 기판을 밀착시켜, 접합층의 표면과 상기 접합층의 접촉면을 접합시킴으로써, 베이스 기판과 반도체 기판을 접합한다. 다음에, 반도체 기판의 가열에 의해서 이온 주입층에 균열을

발생시켜, 반도체 기판을 베이스 기판으로부터 분리함으로써, 반도체 기판으로부터 분리된 반도체층이 고정된 베이스 기판을 형성한다.

[0018] 그리고, 반도체층에 레이저광을 조사하고, 반도체층을 용융시킨다. 이로써, 반도체층의 분리면의 평탄성이 향상하고, 또한 반도체층의 결정 결함이 감소한다. 레이저광을 조사한 후, 반도체층의 두께를 얇게 한다. 반도체층의 두께는, 100nm 이하가 바람직하고, 50nm 이하가 더욱 바람직하다.

[0019] 레이저광의 조사에 의해서 반도체층 표면의 평탄성이 향상된다는 것은 반도체층의 표면의 평균 면 거칠기를 3nm 이하로 하는 것이며, 평균면 거칠기를 2.5nm 이하로 하는 것이 보다 바람직하다. 또는, 반도체층 표면의 자승 평균면 거칠기를 3.5nm 이하로 하는 것을 말한다. 자승 평균면 거칠기를 2.5nm 이하로 하는 것이 보다 바람직하다.

효과

[0020] 레이저광을 조사한 후, 반도체층을 박막화함으로써, 유리기판 등 내열 온도가 낮은 기판을 베이스 기판에, 얇고, 또한 표면의 평탄성이 높은 반도체층을 갖는 SOI 기판을 제작할 수 있다. 또한, 이온 주입층의 형성에, 질량 분리기능을 구비하지 않은 이온 도핑 장치를 사용하여도, 얇고, 또한 표면의 평탄성이 높은 반도체층을 구비한 SOI 기판을 제조할 수 있다. 따라서, 본 발명의 SOI 기판을 사용함으로써, 고집적, 고속 구동, 저소비 전력 등 부가가치가 높은 반도체 장치를 제작할 수 있다.

발명의 실시를 위한 구체적인 내용

[0021] 이하에, 본 발명을 설명한다. 단, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고, 그 형태 및 상세를 여러가지로 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 실시 형태 및 실시예의 기재 내용에 한정하여 해석되지 않는다. 또한, 다른 도면 간에 서 같은 참조 부호가 붙어 있는 요소는 같은 요소이고, 재료, 형상, 제작 방법 등에 대하여 반복되는 설명은 생략한다.

[0022] (실시 형태 1)

[0023] 도 1 및 도 2는 SOI 기판의 제작 방법의 일례를 도시하는 단면도이다. 도 1 및 도 2를 사용하여, SOI 기판의 제작 방법의 일례를 설명한다.

[0024] 도 1a에 도시하는 바와 같이, SOI 기판의 베이스 기판(101)을 준비한다. 베이스 기판(101)에는 액정 표시 장치 등 전자 공업 제품에 사용되고 있는 투광성의 유리기판을 사용할 수 있다. 유리기판에는 열팽창계수가 $25 \times 10^{-7}/^{\circ}\text{C}$ 이상 $50 \times 10^{-7}/^{\circ}\text{C}$ 이하(바람직하게는, $30 \times 10^{-7}/^{\circ}\text{C}$ 이상 $40 \times 10^{-7}/^{\circ}\text{C}$ 이하)이고, 변형 점이 580°C 이상 680°C 이하(바람직하게는, 600°C 이상 680°C 이하)인 기판을 사용하는 것이, 내열성, 가격 등의 면에서 바람직하다. 또한, 유리기판은 무알칼리유리기판이 바람직하다. 무알칼리유리기판의 재료로는 예를 들면, 알루미노실리케이트유리, 알루미노붕규산유리, 바륨붕규산유리 등의 유리 재료가 사용되고 있다.

[0025] 또한, 베이스 기판(101)에는 유리기판 외, 세라믹기판, 석영기판이나 사파이어기판 등의 절연체로 이루어지는 절연성 기판, 금속이나 스테인리스 등의 도전체로 이루어지는 도전성 기판, 실리콘이나 갈륨비소 등 반도체로 이루어지는 반도체 기판 등을 사용할 수 있다.

[0026] 다음에, 베이스 기판(101)을 세정하고, 그 상면에 10nm 이상 400nm 이하의 두께의 절연층(102)을 형성한다. 절연층(102)은 단층 구조, 2층 이상의 다층 구조로 할 수 있다. 본 실시 형태에서는, 절연층(102)은 접합층으로서 기능한다.

[0027] 절연층(102)을 구성하는 막에는 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화게르마늄, 질화게르마늄막, 산화질화게르마늄막, 질화산화게르마늄막 등의 실리콘 또는 게르마늄을 조성에 포함하는 절연막을 사용할 수 있다. 또한, 산화알루미늄, 산화탄탈, 산화하프늄 등의 금속의 산화물로 이루어지는 절연막, 질화알루미늄 등의 금속의 질화물로 이루어지는 절연막, 산화질화알루미늄막 등의 금속의 산화질화물로 이루어지는 절연막, 질화산화알루미늄막 등의 금속의 질화산화물로 이루어지는 절연막을 사용할 수도 있다.

[0028] 또, 본 명세서에 있어서, 산화질화물이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 물질이고, 또한, 질화산화물이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 물질을 말한다. 예를 들면, 산화질화실리콘 으로서는, 산소가 55원자% 이상 65원자% 이하, 질소가 1원자% 이상 20원자% 이하, Si가 25원자% 이상 35원자%

이하, 수소가 0.1원자% 이상 10원자% 이하의 범위에서 포함되는 물질이 있다. 또한, 질화산화실리콘으로서, 산소가 15원자% 이상 30원자% 이하, 질소가 20원자% 이상 35원자% 이하, Si가 25원자% 이상 35원자% 이하, 수소가 15원자% 이상 25원자% 이하의 범위에서 포함되는 물질이 있다.

- [0029] 베이스 기판(101)에 알칼리 금속 또는 알칼리토류 금속 등의 반도체 장치의 신뢰성을 저하시키는 불순물을 포함하는 기판을 사용한 경우, 이러한 불순물이 베이스 기판(101)으로부터, SOI 기판의 반도체층으로 확산하는 것을 방지할 수 있는 막을 적어도 1층 이상 형성하는 것이 바람직하다. 이러한 막에는 질화실리콘막, 질화산화실리콘막, 질화알루미늄막, 또는 질화산화알루미늄막 등이 있다. 이러한 막을 포함시킴으로써, 절연층(102)을 배리어층으로서 기능시킬 수 있다.
- [0030] 예를 들면, 절연층(102)을 단층 구조의 배리어층으로서 형성하는 경우, 두께 10nm 이상 200nm 이하의 질화실리콘막, 질화산화실리콘막, 질화알루미늄막, 또는 질화산화알루미늄막으로 형성할 수 있다.
- [0031] 절연층(102)을 배리어층으로서 기능시키고, 2층 구조로 하는 경우는, 예를 들면, 다음의 2층 구조의 막을 들 수 있다. 질화실리콘막과 산화실리콘막의 적층막, 질화실리콘막과 산화질화실리콘막의 적층막, 질화산화실리콘막과 산화실리콘막의 적층막, 질화산화실리콘막과 산화질화실리콘막의 적층막. 또, 예시한 2층 구조의 막에 있어서, 앞서 기재한 막이 베이스 기판(101) 상면에 형성되는 막이다. 2층 구조의 절연층(102)에 있어서, 상층은, 하층의 블로킹 효과가 높은 층의 내부 응력이 반도체층에 작용하지 않도록, 응력을 완화시키는 막을 선택하는 것이 바람직하다. 또한 상층의 두께는 10nm 이상 200nm 이하, 하층의 두께는 10nm 이상 200nm 이하로 할 수 있다.
- [0032] 본 실시 형태는 절연층(102)을 2층 구조로 하고, 하층을 프로세스 가스에 SiH₄ 및 NH₃를 사용하여 플라즈마 CVD 법으로 형성한 질화산화실리콘막(103)으로 하고, 상층을 프로세스 가스에 SiH₄ 및 N₂O를 사용하여 플라즈마 CVD 법으로 형성한 산화질화실리콘막(104)으로 한다.
- [0033] 도 1b에 도시하는 바와 같이 반도체 기판(111)을 준비한다. 반도체 기판(111)을 박편화한 반도체층을 베이스 기판(101)에 접합함으로써, SOI 기판이 제작된다. 반도체 기판(111)으로서는 단결정 반도체 기판이 바람직하다. 다결정 반도체 기판을 사용할 수도 있다. 반도체 기판(111)에는 실리콘, 게르마늄, 실리콘-게르마늄, 탄화실리콘 등의 제 4 속 원소로 이루어지는 반도체 기판을 사용할 수 있다. 또한, 반도체 기판(111)에는 갈륨비소, 인듐인 등 화합물 반도체로 이루어지는 반도체 기판도 사용할 수 있다.
- [0034] 반도체 기판(111)을 세정하여, 청정하게 한다. 그리고, 도 1c에 도시하는 바와 같이, 반도체 기판(111) 표면에 보호막(112)을 형성한다. 이온 주입층을 형성하기 위한 이온 주입 공정에서 반도체 기판(111)이 금속 등의 불순물에 오염되는 것을 방지하는, 주입되는 이온의 충격으로 반도체 기판(111)이 손상되는 것을 방지하는 등의 목적을 위하여, 보호막(112)을 형성한다. 이 보호막(112)은 CVD법 등에 의해, 산화실리콘막, 질화실리콘막, 질화산화실리콘막, 산화질화실리콘막 등의 절연재료를 퇴적함으로써 형성할 수 있다. 또한, 반도체 기판(111)을 산화하거나 또는 질화함으로써, 보호막(112)을 형성할 수 있다.
- [0035] 다음에, 도 1d에 도시하는 바와 같이, 보호막(112)을 통하여, 전계에서 가속된 이온으로 이루어지는 이온빔(121)을 반도체 기판(111)에 조사하고, 반도체 기판(111)의 표면으로부터 소정 깊이의 영역에, 이온 주입층(113)을 형성한다. 달리 말하면, 이온빔(121)을 반도체 기판(111)에 조사하면, 가속된 이온종의 충격에 의해, 반도체 기판의 소정의 깊이로 결정 구조가 무르게 되어 있는 취화층(脆化層)이 형성된다. 이 층이 이온 주입층(113)이다. 이온 주입층(113)이 형성되는 영역의 깊이는, 이온빔(121)의 가속 에너지와 이온빔(121)의 침입 각에 의해서 제어할 수 있다. 이온의 평균 침입 깊이와 거의 같은 깊이의 영역에 이온 주입층(113)이 형성된다. 따라서, 이온 주입층(113)은 이온빔(121)의 이온종을 구성하는 원소가, 반도체 기판(111)에 첨가됨으로써 형성된다.
- [0036] 이온을 주입하는 깊이로, 이온 주입층(113)이 형성되는 깊이가 결정되고, 그 결과로서, 반도체 기판(111)으로부터 분리되는 반도체층의 두께가 결정된다. 이온 주입층(113)이 형성되는 깊이는 50nm 이상 500nm 이하이고, 50nm 이상 200nm 이하로 하는 것이 바람직하다. 이온의 평균 침입 깊이를 고려하여, 이온빔(121)의 가속 전압 및 침입 각도 등을 조절한다.
- [0037] 이온을 반도체 기판(111)에 주입하기 위해서는, 이온 주입장치, 및 이온 도핑 장치를 사용할 수 있다. 이온 주입장치에서는, 소스 가스를 여기하여 이온종을 생성하고, 생성된 이온종을 질량 분리하고, 소정의 질량을 갖는 이온종으로 이루어지는 이온빔(121)을 생성하고, 이 이온빔(121)을 피처리물에 조사한다. 이온 도핑 장치는 소

스 가스를 여기하여 이온종을 생성하고, 생성된 이온종을 질량 분리하지 않고서, 생성된 모든 이온종을 포함하는 이온빔(121)을 생성하고, 이러한 이온빔(121)을 피처리물에 조사한다. 또, 질량 분리장치를 구비하고 있는 이온 도핑 장치에서는 이온 주입장치와 마찬가지로, 질량 분리를 동반하는 이온 주입을 할 수 있다.

[0038] 예를 들면, 이온 도핑 장치를 사용하는 경우의 이온 주입 공정은 이하와 같은 조건으로 할 수 있다.

[0039] · 가속 전압 10kV 이상 100kV 이하

[0040] (바람직하게는 30kV 이상 80kV 이하)

[0041] · 도즈량 $1 \times 10^{16}/\text{cm}^2$ 이상 $4 \times 10^{16}/\text{cm}^2$ 이하

[0042] · 빔 전류 밀도 $2 \mu\text{A}/\text{cm}^2$ 이상

[0043] (바람직하게는 $5 \mu\text{A}/\text{cm}^2$ 이상, 보다 바람직하게는 $10 \mu\text{A}/\text{cm}^2$ 이상)

[0044] 이 이온 주입 공정의 소스 가스로는 수소 가스를 사용할 수 있다. 수소 가스(H_2 가스)를 여기하여 H^+ , H_2^+ , H_3^+ 를 생성할 수 있다. 수소 가스를 소스 가스로 사용하는 경우는, H_3^+ 가 가장 많이 반도체 기판(111)에 주입되는 것이 바람직하다. H_3^+ 이온에 의해 수소를 반도체 기판(111)에 첨가함으로써, H^+ , H_2^+ 를 주입하는 것보다도 이온의 주입 효율이 향상되기 때문에, 주입 시간을 단축할 수 있고, 또한 이온 주입층(113)에 균열이 생기기 쉬워진다. 또한, H_3^+ 쪽이, H^+ , H_2^+ 보다도, 이온의 평균 침입 깊이를 알게 할 수 있고, 이온 주입층(113)을 보다 얇은 영역에 형성할 수 있다.

[0045] 이온 주입층(113)을 얇은 영역에 형성하기 위해서는, 이온의 가속 전압을 낮게 할 필요가 있지만, 수소 가스를 여기함으로써 생성된 플라즈마 중의 H_3^+ 이온의 비율을 높게 함으로써, 원자상(狀) 수소(H)를 효율 좋게, 반도체 기판(111)에 첨가할 수 있다. 그것은, H_3^+ 이온은 H^+ 이온의 3배의 질량을 가지기 때문에, 같은 깊이로 수소 원자를 1개 첨가하는 경우, H_3^+ 이온의 가속 전압은, H^+ 이온의 가속 전압의 3배로 하는 것이 가능하기 때문이다. 이온의 가속 전압을 높게 할 수 있으면, 이온의 조사 공정의 택트 타임(tact time)을 단축시키는 것이 가능해져, 생산성이나 스루풋의 향상을 도모할 수 있다.

[0046] 따라서, 이온빔(121)에 포함되는 H_3^+ 의 비율을 높게 함으로써, 수소의 평균 침입 깊이의 격차가 작아지기 때문에, 반도체 기판(111)에 있어서, 수소의 깊이 방향의 농도 프로파일은 보다 급준하게 되고, 그 프로파일의 피크 위치를 알게 할 수 있다.

[0047] 이온 주입장치를 사용하는 경우는, 질량 분리에 의해, H_3^+ 이온이 주입되도록 하는 것이 바람직하다. 물론, H_2^+ 를 주입하여도 좋다.

[0048] 이온 도핑 장치를 사용하는 경우는, 이온빔(121)에, H^+ , H_2^+ , H_3^+ 의 총량에 대하여 H_3^+ 이온이 70% 이상 포함되도록 하는 것이 바람직하다. H_3^+ 이온의 비율은 80% 이상이 더욱 바람직하다. 이와 같이 H_3^+ 의 비율을 높여 줌으로써, 이온 도핑 장치에 의해서, 이온 주입층(113)에 $1 \times 10^{20} \text{ atoms}/\text{cm}^2$ 이상의 농도로 수소를 포함시키는 것이 가능하다. 반도체 기판(111)으로부터 반도체층의 분리를 쉽게 하기 위해서는, 이온 주입층(113)에는 $5 \times 10^{20} \text{ atoms}/\text{cm}^2$ 이상의 수소를 포함시키는 것이 바람직하다. 반도체 기판(111)에 국소적으로 고농도의 수소를 주입하면, 결정 구조가 없어지고, 가스를 포함한 미소한 구멍이 형성된다. 즉, 이온 주입층(113)은 다공질 구조로 되어 있고, 결정 구조가 무르게 되어 있는 취화층으로 되어 있다. 따라서, 열처리함으로써 주입된 가스가 팽창하여 이온 주입층(113)에 형성된 미소한 구멍의 체적 변화가 일어나고, 이온 주입층(113)을 따라서, 반도체 기판(111)을 벽개(壁開)할 수 있다.

[0049] 이온 주입 공정의 소스 가스로는 수소 가스 외에 중수소 가스를 사용할 수 있다. 또한, 이 이온 주입 공정의 소스 가스로는 수소 가스 외, 헬륨, 아르곤 등의 희가스, 불소가스, 염소가스로 대표되는 할로젠가스, 불소화합

물 가스(예를 들면, BF_3) 등의 할로젠 화합물 가스로부터 선택된 일종 또는 복수 종류의 가스를 사용할 수 있다. 소스 가스에 헬륨을 사용하는 경우는, 질량 분리를 행하지 않음으로써, He^+ 이온의 비율이 높은 이온빔(121)을 만들어낼 수 있다. 이러한 이온빔(121)을 반도체 기관(111)에 조사함으로써, 효율 좋게, 미소한 구멍을 이온 주입층(113)에 형성할 수 있다.

[0050] 또한, 복수회의 이온 주입 공정을 함으로써, 이온 주입층(113)을 형성할 수도 있다. 이 경우, 이온 주입 공정마다 소스 가스를 다르게 하여도 좋고, 같아도 좋다. 예를 들면, 우선, 소스 가스에 회가스를 사용하여 이온 주입을 한다. 다음에, 수소 가스를 소스 가스로 사용하여 이온 주입을 한다. 또한, 처음에 할로젠가스 또는 할로젠 화합물 가스를 사용하여 이온 주입을 하고, 다음에, 수소 가스를 사용하여 이온 주입을 할 수도 있다.

[0051] 이온 주입층(113)을 형성한 후, 에칭에 의해 보호막(112)을 제거한다. 다음에, 반도체 기관(111)의 상면에, 도 1e에 도시하는 바와 같이, 접합층(114)을 형성한다. 보호막(112)을 제거하지 않고, 보호막(112) 위에 접합층(114)을 형성할 수도 있다. 도 1e는 접합층의 형성 공정을 설명하는 단면도이다.

[0052] 접합층(114)은 평활하고 친수성인 접합면을 반도체 기관(111)의 표면에 형성하기 위한 층이다. 이러한 접합층(114)에는 화학적인 반응에 의해 형성되는 절연막이 바람직하고, 산화실리콘막이 바람직하다. 접합층(114)의 두께는 10nm 이상 200nm 이하로 할 수 있다. 바람직한 두께는 10nm 이상 100nm 이하이고, 보다 바람직하게는 20nm 이상 50nm 이하이다.

[0053] 접합층(114)을 형성하는 공정에서는, 반도체 기관(111)의 가열 온도는 이온 주입층(113)에 주입한 원소 또는 분자가 이탈하지 않는 온도로 하고, 그 가열 온도는 350℃ 이하가 바람직하다. 바꾸어 말하면, 이 가열 온도는 이온 주입층(113)으로부터 가스가 빠져나오지 않는 온도이다. 요컨대, 반도체 기관(111)으로부터 반도체층(115)을 박리하기 위한 열처리 온도는 접합층(114)의 성막 온도보다도 높은 온도가 적용된다.

[0054] 접합층(114)으로서, 산화실리콘막을 형성할 수 있다. 이 산화실리콘막을 플라즈마 CVD법으로 형성하는 경우에는 실리콘 소스 가스로서 유기실란가스를 사용하는 것이 바람직하다. 산소 소스 가스로는 산소(O_2) 가스를 사용할 수 있다. 유기실란가스로는 규산에틸(테트라에톡시실란, 약칭: TEOS, 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 또는 트리سد메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등을 사용할 수 있다. 실리콘 소스 가스로, 실란(SiH_4) 또는 디실란(Si_2H_6) 등을 사용할 수도 있다.

[0055] 접합층(114)이 되는 산화실리콘막은, 열 CVD법으로, 가열 온도가 500℃ 이하 200℃ 이상에서 형성되는 LTO(저온 산화물, low temperature oxide)로 형성할 수 있다. 이 경우, 실리콘 소스 가스로 실란(SiH_4) 또는 디실란(Si_2H_6) 등을 사용하고, 산소 소스 가스로 산소(O_2) 또는 일산화이질소(N_2O) 등을 사용할 수 있다.

[0056] 도 1f는 접합 공정을 설명하는 단면도이고, 베이스 기관(101)과 반도체 기관(111)을 접합한 상태를 도시하고 있다. 접합 공정을 하기 위해서는, 우선, 절연층(102)이 형성된 베이스 기관(101), 및 접합층(114)이 형성된 반도체 기관(111)을 초음파 세정 등의 방법으로 세정한다. 그리고, 접합층(114)과 절연층(102)을 밀착시키면, 절연층(102)과 접합층(114)의 계면에, 반·데르·발스 힘이 작용하고, 접합층(114)과 절연층(102)의 계면에 수소 결합이 형성된다. 곧, 그 계면에는 공유결합이 형성되고, 접합층(114)과 절연층(102)이 접합한다. 접합층(114)에, 유기실란을 사용하여 CVD법으로 형성한 산화실리콘막이나, 열 CVD법으로 형성한 산화실리콘막 등을 사용함으로써, 가열하지 않고, 절연층(102)과 접합층(114)을 상온에서 접합할 수 있다. 따라서, 베이스 기관(101)에, 유리기관 등 내열성이 낮은 기관을 사용하는 것이 가능하다.

[0057] 본 실시 형태에서는 베이스 기관(101)에 절연층(102)의 형성을 생략할 수 있다. 이 경우는, 접합층(114)과 베이스 기관(101)을 접합하게 된다. 베이스 기관(101)이 유리기관인 경우, 접합층(114)에, 유기실란을 사용하여 CVD법으로 형성한 산화실리콘막, 열 CVD법으로 형성한 LTO막, 실록산을 원료로 형성한 산화실리콘막으로 접합층(114)을 형성함으로써, 유리기관과 접합층(114)을 상온에서 접합시킬 수 있다. 또한, 반도체 기관(111)에 접합층(114)을 형성하지 않고서, 반도체 기관(111)과 유리기관을 상온에서 접합할 수도 있다.

[0058] 결합력이 보다 강고한 접합을 절연층(102)과 접합층(114)의 사이에 형성하기 위해서, 예를 들면, 절연층(102)의 표면을 산소 플라즈마 처리 또는 오존 처리하고, 그 표면을 친수성으로 하는 처리를 하는 방법이 있다. 이 처

리에 의해서 절연층(102)의 표면에 수산기가 부가되기 때문에, 접합 공정에서, 절연층(102) 표면의 수산기가 작용하고, 접합층(114)과의 접합 계면에 수소 결합이 형성된다. 또, 절연층(102)을 형성하지 않는 경우는, 베이스 기판(101)의 표면을 친수성으로 하는 처리를 하면 좋다.

[0059] 베이스 기판(101)과 반도체 기판(111)을 밀착시킨 후, 가열 처리 또는 가압 처리를 하는 것이 바람직하다. 가열 처리 또는 가압 처리를 함으로써, 절연층(102)과 접합층(114)의 결합력을 향상시킬 수 있기 때문이다. 가열 처리의 온도는, 베이스 기판(101)의 내열 온도 이하인 것이 바람직하고, 가열 온도는 400℃ 이상 700℃ 미만으로 할 수 있다. 말할 필요도 없지만, 가열 온도의 상한은 베이스 기판(101)의 변형 점을 초과하지 않도록 한다. 가압 처리는, 접합 계면에 수직인 방향으로 힘이 가해지도록 하고, 가하는 압력은 베이스 기판(101) 및 반도체 기판(111)의 강도를 고려하여 결정한다.

[0060] 도 1g는, 반도체 기판(111)으로부터 반도체층(115)을 분리하는 분리 공정을 설명하는 도면이다. 111'는 반도체층(115)이 분리된 반도체 기판(111)을 나타내고 있다. 반도체층(115)을 분리하기 위해서는, 베이스 기판(101)과 반도체 기판(111)을 접합한 후, 반도체 기판(111)을 가열하는 열처리를 한다. 반도체 기판(111)의 가열 온도는 400℃ 이상 700℃ 미만으로 할 수 있다. 반도체 기판(111)의 가열 온도는 접합층(114)을 형성할 때의 반도체 기판(111)의 온도 이상으로 하는 것이 바람직하지만, 가열 온도의 상한은 베이스 기판(101)의 변형 점을 초과하지 않도록 한다.

[0061] 400℃ 이상 700℃ 미만의 온도 범위에서 열처리를 함으로써, 이온 주입층(113)에 형성된 미소한 구멍에 체적 변화가 일어나고, 이온 주입층(113)에 균열이 생긴다. 그 결과, 이온 주입층(113)을 따라서, 반도체 기판(111)이 벽개된다. 즉, 이온 주입층(113)으로, 반도체 기판(111)이 분할된다. 접합층(114)은 베이스 기판(101)과 접합하고 있기 때문에, 베이스 기판(101) 위에는 반도체 기판(111)으로부터 분리된 반도체층(115)이 고정되게 된다. 또한, 이 열처리로, 절연층(102)과 접합층(114)의 접합 계면이 가열되기 때문에, 이 접합 계면에서의 결합력을 향상시킬 수 있다.

[0062] 도 1g에 도시하는 분리 공정에서, 베이스 기판(101)에 반도체층(115)이 형성된 SOI 기판(131)이 제작된다. SOI 기판(131)은 베이스 기판(101) 위에 절연층(102), 접합층(114), 반도체층(115)의 순으로 층이 적층되는 다층 구조의 기판이고, 절연층(102)과 접합층(114)이 접합하고 있는 기판이다. 절연층(102)을 형성하지 않는 경우는, SOI 기판(131)은 접합층(114)과 베이스 기판(101)이 접합되어 있는 기판이 된다.

[0063] SOI 기판(131)을 형성한 후, 또한, SOI 기판(131)에 대하여, 400℃ 이상 700℃ 이하의 온도로 열처리를 할 수도 있다. 이 가열 처리에 의해서, SOI 기판(131)의 접합층(114)과 절연층(102)의 결합력을 향상시킬 수 있다. 가열 온도의 상한은 베이스 기판(101)의 변형 점을 초과하지 않도록 하는 것은 말할 필요도 없다.

[0064] SOI 기판(131)의 반도체층(115)은 분리 공정 및 이온 주입 공정에 의해서, 결정 결함이 생기고, 또한, 그 표면은 평탄성이 손상되고, 요철이 형성되어 있다. 이러한 요철이 있는 반도체층(115)의 상면에 얇고, 절연 내압성이 높은 게이트 절연층을 형성하는 것은 곤란하다. 그 때문에, 본 실시 형태에서는, 반도체층(115)의 평탄화 처리를 한다. 또한, 반도체층(115)에 결정 결함이 있으면, 반도체층(115B)과 게이트 절연층 사이의 국제 계면 준위 밀도가 높아지는 등, 트랜지스터의 성능 및 신뢰성에 영향을 주기 때문에, 평탄화와 함께, 반도체층(115)의 결정 결함을 감소시키는 처리를 한다.

[0065] 반도체층(115)의 평탄화, 및 결정 결함의 감소는, 도 2a에 도시하는 바와 같이, 반도체층(115)에 레이저광을 조사함으로써 실현된다. 레이저광(122)을 반도체층(115)측으로부터 조사함으로써, 반도체층(115) 상면으로부터 용융시킨다. 용융한 후, 반도체층(115)이 냉각, 고화함으로써, 도 2b에 도시하는 바와 같이 그 상면의 평탄성이 향상된다. 평탄화 처리에서는, 레이저광(122)을 사용하고 있기 때문에, 베이스 기판(101)의 온도 상승이 억제되기 때문에, 유리기판과 같은 내열성이 낮은 기판을 베이스 기판(101)에 사용하는 것이 가능해진다.

[0066] 레이저광(122)의 조사에 의해서 반도체층(115)은 부분 용융시키는 것이 바람직하다. 완전 용융시키면, 액상으로 된 반도체층(115)에서의 무질서한 핵 발생을 동반하고, 반도체층(115)이 재결정화하게 되고, 반도체층(115A)의 결정성이 저하할 우려가 높기 때문이다. 부분 용융시킴으로써, 반도체층(115)에서는, 용융되어 있지 않은 고상 부분으로부터 결정 성장이 진행되는, 소위 세로 성장이 일어난다. 세로 성장에 의한 재결정화에 의해서, 반도체층(115)의 결정 결함이 감소되고, 결정성이 회복된다. 또, 반도체층(115)이 완전 용융 상태라는 것은 도 2a의 적층 구조에서는 반도체층(115)이 상측 표면으로부터 접합층(114)과의 계면에 이르기까지 용융되고, 액체 상태로 되어 있는 것을 말한다. 다른 한편, 반도체층(115)이 부분 용융 상태란 상층이 용융하여 액상이고, 하층이 고상인 상태를 말한다.

- [0067] 레이저광을 발진하는 레이저는 연속 발진 레이저, 의사 연속 발진 레이저 및 펄스 발진 레이저를 사용할 수 있다. 부분 용융시키기 위해서 펄스 발진 레이저가 바람직하다. 도 2a의 공정에서 사용되는 레이저에는 예를 들면, KrF 레이저 등의 엑시머 레이저, Ar 레이저, Kr 레이저 등의 기체 레이저가 있다. 그 외, 고체 레이저로서, YAG 레이저, YVO₄ 레이저, YLF 레이저, YA1O₃ 레이저, GdVO₄ 레이저, KGW 레이저, KYW 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, Y₂O₃ 레이저 등이 있다. 또, 엑시머 레이저는 펄스 발진 레이저이지만, YAG 레이저 등의 고체 레이저로는 연속 발진 레이저로도, 의사 연속 발진 레이저로도, 펄스 발진 레이저로도 되는 것이 있다.
- [0068] 레이저광(122)의 파장은, 반도체층(115)(반도체 기판(111))에 흡수되는 광의 파장으로 한다. 그 파장은, 레이저광의 표피 깊이(skin depth) 등을 고려하여 결정할 수 있다. 예를 들면, 파장은 250nm 이상 700nm 이하의 범위로 할 수 있다. 또한, 레이저광(122)의 에너지는, 레이저광(122)의 파장, 레이저광의 표피 깊이, 반도체 기판(111)의 막두께 등을 고려하여 결정할 수 있다. 레이저광(122)의 에너지는, 예를 들면, 300mJ/cm² 이상 800mJ/cm² 이하의 범위로 할 수 있다.
- [0069] 도 1d의 이온 주입 공정에서, 이온의 침입 깊이를 조절하고, 반도체층(115)의 두께를 50nm보다도 두껍게 함으로써, 레이저광(122)의 에너지의 조절이 용이하게 된다. 따라서, 수율 좋고, 레이저광(122)의 조사로, 반도체층(115) 표면의 평탄성의 향상, 및 결정성의 향상을 실현할 수 있다. 또한, 반도체층(115)을 두껍게 하면 레이저광(122)의 에너지를 높게 할 필요가 있기 때문에, 반도체층(115)의 두께는 200nm 이하가 바람직하다.
- [0070] 레이저광(122)의 조사는 대기 분위기와 같은 산소를 포함하는 분위기, 또는 질소 분위기와 같은 불활성 분위기에서 행할 수 있다. 불활성 분위기속에서 레이저광(122)을 조사하기 위해서는, 기밀성이 있는 챔버내에서 레이저광(122)을 조사하고, 이 챔버내의 분위기를 제어하면 좋다. 챔버를 사용하지 않는 경우는, 레이저광(122)의 피조사면에 질소가스 등의 불활성 가스를 분사함으로써, 불활성 분위기를 형성할 수도 있다. 또, 불활성 분위기란 레이저광(122)의 조사 시에, 반도체층(115)의 표면을 산화시키지 않도록 하기 위한 분위기이다.
- [0071] 본 발명자들의 연구에 의하면, 질소 등의 불활성 분위기 쪽이, 대기 분위기보다도 반도체층(115)의 평탄성을 향상시키는 효과가 높다. 또한, 대기 분위기보다도 불활성 분위기 쪽이 크랙(crack)이나 릿지(ridge)의 발생을 억제하는 효과가 높기 때문에, 레이저광(122)이 사용 가능한 에너지 범위가 넓어진다. 불활성 분위기를 형성하기 위한 가스로서는, 질소가스 외에, 아르곤 등의 희가스를 사용할 수 있다.
- [0072] 레이저광(122)을 조사하여, 도 2b에 도시하는 반도체층(115A)을 갖는 SOI 기판(131A)을 형성한 후, 반도체층(115A)의 두께를 얇게 하는 박막화 공정을 한다. 도 2c는 박막화 공정을 설명하는 단면도이다.
- [0073] 반도체층(115A)을 얇게 하기 위해서는, 드라이 에칭 또는 웨트 에칭의 한쪽, 또는 쌍방을 조합한 에칭 처리를 하면 좋다. 예를 들면, 반도체 기판(111)이 실리콘 기판인 경우, SF₆와 O를 프로세스 가스에 사용한 드라이 에칭 처리로, 반도체층(115A)을 얇게 할 수 있다.
- [0074] 에칭 처리에 의해서, 도 2c에 도시하는 바와 같이 얇은 반도체층(115B)을 갖는 SOI 기판(131B)을 제작할 수 있다. 미리 반도체층(115A)의 표면이 레이저광(122)의 조사에 의해 평탄화되어 있기 때문에, 이 박막화 공정은 에치백 처리가 아니라, 에칭 처리로 할 수 있다. 이 박막화 공정에서, 반도체층(115B)의 두께를 100nm 이하 5nm 이상으로 하는 것이 바람직하고, 50nm 이하 5nm 이상이 더욱 바람직하다.
- [0075] 도 1a 내지 도 2c의 공정을 사용함으로써, 1장의 베이스 기판(101) 위에 복수의 반도체층(115B)을 접착한 SOI 기판(131B)을 제작할 수 있다. 예를 들면, 도 1b 내지 도 1e를 사용하여 설명한 공정을, 복수회 반복하고, 이온 주입층(113) 및 접합층(114)이 형성된 반도체 기판(111)을 복수매 준비한다. 이어서, 도 1f의 접합 공정을 복수회 반복하고, 1장의 베이스 기판(101)에 복수의 반도체 기판(111)을 고정한다. 그리고, 도 1g의 가열 공정을 하고, 각 반도체 기판(111)을 분할함으로써, 베이스 기판(101) 위에, 복수의 반도체층(115)이 고정된 SOI 기판(131)이 제작된다. 그리고, 도 2a 내지 도 2c에 도시하는 공정을 함으로써, 복수의 반도체층(115B)이 베이스 기판(101)에 접착된 SOI 기판(131B)을 제작할 수 있다.
- [0076] 이상 기술한 바와 같이, 본 실시 형태에서는 레이저광의 조사에 의한 반도체층의 평탄화 공정과, 그 후의 반도체층의 박막화 공정의 조합에 의해, 두께가 100nm 이하로, 평탄성이 향상되고, 또한, 결정 결함이 감소된 반도체층(115B)을 형성할 수 있다. 요컨대, 베이스 기판(101)에 유리기판을 채용하고, 이온 주입층(113)의 형성에 이온 도핑 장치를 사용한 경우라도, 상기와 같은 특징을 갖는 반도체층(115B)이 접착된 SOI 기판(131B)을 제작할 수 있다.

- [0077] 본 실시 형태의 SOI 기판(131B)으로 트랜지스터를 제작함으로써, 게이트 절연층의 박막화, 및 반도체층(115B)과 게이트 절연층 간에 있어서의 국제 계면 준위 밀도의 저감이 가능해진다. 또한 반도체층(115B)을 얇게 함으로써, 유리기판 위에, 단결정 반도체층으로 완전 공핍형의 트랜지스터를 제작할 수 있다. 이러한 사실에 의해, 고속 동작이 가능하고, 서브 임계치가 낮고, 전계 효과 이동도가 높고, 저소비 전력으로 구동 가능한 등 고성능, 고신뢰성의 트랜지스터를 베이스 기판 위에 제작할 수 있다.
- [0078] (실시 형태 2)
- [0079] 도 3 및 도 4는 SOI 기판의 제작 방법의 일례를 도시하는 단면도이다. 이하, 도 3 및 도 4를 사용하여, SOI 기판의 제작 방법의 일례를 설명한다.
- [0080] 도 1a를 사용하여 설명한 것처럼, SOI 기판의 베이스 기판이 되는 베이스 기판(101)을 준비한다. 도 3a는 베이스 기판(101)의 단면도이다. 또한, 도 1b를 사용하여 설명한 것처럼, 반도체 기판(111)을 준비한다. 도 3b는 반도체 기판(111)의 단면도이다.
- [0081] 반도체 기판(111)을 세정하여, 청정하게 한다. 그리고, 도 3c에 도시하는 바와 같이, 반도체 기판(111) 상면에, 절연층(116)을 형성한다. 절연층(116)은 단층 구조, 2층 이상의 다층 구조로 할 수 있다. 그 두께는 10nm 이상 400nm 이하로 할 수 있다.
- [0082] 절연층(116)을 구성하는 막으로는 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화게르마늄막, 질화게르마늄막, 산화질화게르마늄막, 질화산화게르마늄막 등의 실리콘 또는 게르마늄을 조성에 포함하는 절연막을 사용할 수 있다. 또한, 산화알루미늄, 산화탄탈, 산화haf늄 등의 금속 산화물로 이루어지는 절연막, 질화알루미늄 등의 금속의 질화물로 이루어지는 절연막, 산화질화알루미늄막 등의 금속의 산화질화물로 이루어지는 절연막, 질화산화알루미늄막 등의 금속의 질화산화물로 이루어지는 절연막을 사용할 수도 있다.
- [0083] 절연층(116)을 구성하는 절연막은 CVD법, 스퍼터법, 반도체 기판(111)을 산화하거나 또는 질화하는 등의 방법에 의해 형성할 수 있다.
- [0084] 베이스 기판(101)에 알칼리 금속 또는 알칼리토류 금속 등의 반도체 장치의 신뢰성을 저하시키는 불순물을 포함하는 기판을 사용한 경우, 이러한 불순물이 베이스 기판(101)으로부터, SOI 기판의 반도체층으로 확산하는 것을 방지할 수 있는 막을 적어도 1층 형성하는 것이 바람직하다. 이러한 막에는 질화실리콘막, 질화산화실리콘막, 질화알루미늄막, 또는 질화산화알루미늄막 등이 있다. 이러한 막을 절연층(116)에 포함시킴으로써, 절연층(116)을 배리어층으로서 기능시킬 수 있다.
- [0085] 예를 들면, 절연층(116)을 단층 구조의 배리어층으로서 형성하는 경우, 두께 10nm 이상 200nm 이하의 질화실리콘막, 질화산화실리콘막, 질화알루미늄막, 또는 질화산화알루미늄막으로 형성할 수 있다.
- [0086] 절연층(116)을, 배리어층으로서 기능하는 2층 구조의 막으로 하는 경우는, 예를 들면, 다음의 구조로 할 수 있다. 상층은 블로킹 효과가 높은 층을 형성한다. 다른 한편, 반도체 기판(111)에 접하여 형성되는 하층의 막으로서, 상층의 블로킹 효과가 높은 층의 내부 응력이 반도체층에 작용하지 않도록, 응력을 완화시키는 막을 선택하는 것이 바람직하다. 또한, 상층의 두께는 10nm 이상 200nm 이하, 하층의 두께는 10nm 이상 200nm 이하로 할 수 있다.
- [0087] 절연층(116)을 2층 구조로 하는 경우에는 예를 들면, 다음의 구조를 들 수 있다. 산화실리콘막과 질화실리콘막의 적층막, 산화질화실리콘막과 질화실리콘막의 적층막, 산화실리콘막과 질화산화실리콘막의 적층막, 산화질화실리콘막과 질화산화실리콘막의 적층막. 또, 예시한 2층 구조는 앞서 기재한 막이 반도체 기판(111)측(하층)에 형성되는 막이다.
- [0088] 본 실시 형태에서는, 절연층(116)을 2층 구조로 하고, 하층을 프로세스 가스에 SiH₄ 및 N₂O를 사용하여 플라즈마 CVD법으로 형성한 산화질화실리콘막(117)으로 하고, 상층을 프로세스 가스로 SiH₄ 및 NH₃을 사용하여 플라즈마 CVD법으로 형성한 질화산화실리콘막(118)으로 한다.
- [0089] 다음에, 도 3d에 도시하는 바와 같이, 전계에서 가속된 이온으로 이루어지는 이온빔(121)을, 절연층(116)을 통하여 반도체 기판(111)에 조사하고, 반도체 기판(111)의 표면으로부터 소정 깊이의 영역에, 이온 주입층(113)을 형성한다. 이 공정은 도 1d를 사용하여 설명한 이온 주입층(113)의 형성과 동일하게 할 수 있다. 절연층(116)이 형성됨으로써, 이온 주입층(113)을 형성하기 위한 이온 주입 공정에서, 반도체 기판(111)이 금속 등의 불순물로 오염되는 것을 방지할 수 있고, 또한 주입되는 이온의 충격으로 반도체 기판(111)이 손상되는 것을 방지

할 수 있다.

- [0090] 이온 주입층(113)을 형성한 후, 도 3e에서 도시하는 바와 같이, 절연층(116)의 상면에 접합층(114)을 형성한다.
- [0091] 여기에서는, 이온 주입 공정의 후에 접합층(114)을 형성하고 있지만, 이온 주입 공정 전에 형성할 수도 있다. 이 경우, 도 3c의 절연층(116)을 형성한 후, 절연층(116) 위에 접합층(114)을 형성한다. 도 3d의 공정에서는 접합층(114) 및 절연층(116)을 통하여, 이온빔(121)이 반도체 기판(111)에 조사된다.
- [0092] 또한, 실시 형태 1과 같이, 보호막(112)을 형성하여 이온 주입을 할 수도 있다. 이 경우, 도 1b 내지 도 1c에 도시하는 공정을 한 후, 보호막(112)을 제거하고, 절연층(116), 접합층(114)을 반도체 기판(111) 위에 형성한다.
- [0093] 도 3f는 접합 공정을 설명하는 단면도이고, 베이스 기판(101)과 반도체 기판(111)을 접합한 상태가 도시되어 있다. 베이스 기판(101)과 반도체 기판(111)을 접합하기 위해서는, 우선, 접합 계면을 형성하는 베이스 기판(101)의 표면과 접합층(114)의 표면을 초음파 세정 등의 방법으로 세정한다. 그리고, 도 1f를 사용하여 설명한 접합 공정과 동일한 공정을 하여, 베이스 기판(101)과 접합층(114)을 밀착시켜, 베이스 기판(101)과 접합층(114)을 접합시킨다.
- [0094] 베이스 기판(101)과 접합층(114)을 접합시키기 전에, 베이스 기판(101)의 표면을 산소 플라즈마 처리 또는 오존 처리하여 친수성으로 하는 처리를 할 수도 있다. 또한, 베이스 기판(101)과 접합층(114)을 접합시킨 후, 이 결합력을 향상시키기 위해서, 실시 형태 1에서 설명한 가열 처리 또는 가압 처리를 할 수 있다.
- [0095] 도 3g는, 반도체 기판(111)으로부터 반도체층(115)을 분리하는 분리 공정을 설명하는 도면이다. 본 실시 형태의 분리 공정은 도 1g를 사용하여 설명한 분리 공정과 동일하게 행할 수 있다. 반도체층(115)을 분리하기 위해서는, 베이스 기판(101)과 접합층(114)을 접합한 후, 반도체 기판(111)을 400℃ 이상 700℃ 미만의 온도에서 가열한다. 이 가열 온도는 접합층(114)을 형성할 때의 반도체 기판(111)의 온도 이상으로 하는 것이 바람직하지만, 가열 온도의 상한은 베이스 기판(101)의 변형 점을 초과하지 않도록 한다.
- [0096] 도 3g에 도시하는 분리 공정에서, 베이스 기판(101)에 반도체층(115)이 형성된 SOI 기판(132)이 제작된다. 이 SOI 기판(132)은 베이스 기판(101) 위에, 접합층(114), 절연층(116), 반도체층(115)의 순으로 층이 적층되어 있는 다층 구조의 기판이고, 베이스 기판(101)과 접합층(114)이 접합하고 있는 기판이다.
- [0097] 또한, 본 실시 형태에서도, 도 4a에 도시하는 바와 같이 SOI 기판(132)에 레이저광(122)을 조사하는 평탄화 공정을 한다. 이 평탄화 공정은 도 2a의 레이저광(122)의 조사 공정과 동일하게 할 수 있다. 도 4a에 도시하는 바와 같이, 레이저광(122)을 반도체층(115)측으로부터 조사하고, 반도체층(115)을 부분 용융시킴으로써, 도 4b에 도시하는 바와 같이 평탄성이 향상되고, 또한 결정 결함이 감소된 반도체층(115A)이 형성된다.
- [0098] 레이저광(122)을 조사하여, 반도체층(115A)을 갖는 SOI 기판(132A)을 형성한 후, 반도체층(115A)을 얇게 하는 반도체층의 박막화 공정을 한다. 도 4c는 반도체층의 박막화 공정을 도시하는 단면도이다. 이 박막화 공정은 도 2c의 박막화 공정과 동일하게 할 수 있고, 반도체층(115A)을 에칭하여, 그 두께를 얇게 하고, 박막화된 반도체층(115B)을 형성한다. 이 박막화 공정에서, 반도체층(115B)의 두께를 100nm 이하 5nm 이상으로 하는 것이 바람직하고, 50nm 이하 5nm 이상이 더욱 바람직하다.
- [0099] 도 3a 내지 도 4c에 도시하는 공정을 함으로써, 반도체층(115B)이 접착된 SOI 기판(132B)을 형성할 수 있다.
- [0100] 1장의 베이스 기판(101)에 위에 복수의 반도체층(115B)을 접착한 SOI 기판(132B)을 제작할 수 있다. 예를 들면, 도 3b 내지 도 3e를 사용하여 설명한 공정을, 복수회 반복하여, 접합층(114), 절연층(116) 및 이온 주입층(113)이 형성된 반도체 기판(111)을 복수매 준비한다. 이어서, 도 3f의 접합 공정을 복수회 반복하고, 1장의 베이스 기판(101)에 복수의 반도체 기판(111)을 고정한다. 그리고, 도 3g의 가열 공정을 하고, 각 반도체 기판(111)을 분리함으로써, 베이스 기판(101) 위에, 복수의 반도체층(115)이 고정된 SOI 기판(132)이 제작된다. 그리고, 도 4a 내지 도 4c에 도시하는 공정을 함으로써, 복수의 반도체층(115B)이 베이스 기판(101)에 접착된 SOI 기판(132B)을 제작할 수 있다.
- [0101] 이상 기술한 바와 같이, 본 실시 형태에서는, 레이저광의 조사에 의한 반도체층의 평탄화 공정과, 그 후의 반도체층의 박막화 공정의 조합에 의해, 두께가 100nm 이하로, 평탄성이 향상되고, 또한, 결정 결함이 감소된 반도체층(115B)을 형성할 수 있다. 따라서, 베이스 기판(101)이 유리기판이고, 이온 주입층(113)의 형성에 이온 도핑 장치를 사용하여도, 상기와 같은 특징을 갖는 반도체층(115B)이 접착된 SOI 기판(132B)을 제작할 수 있다.

- [0102] 또한, SOI 기판(132B)으로 트랜지스터를 제작함으로써, 채널 형성 영역의 박막화, 게이트 절연층의 박막화 및 반도체층(115B)과 게이트 절연층 간에 있어서의 국제 계면 준위 밀도의 저감이 가능해진다. 또한 반도체층(115B)을 얇게 함으로써, 유리기판 위에, 단결정 반도체층으로 완전 공핍형의 트랜지스터를 제작할 수 있다. 이러한 사실에 의해, 고속 동작이 가능하고, 서브 임계치가 낮고, 전계 효과 이동도가 높고, 저소비 전력으로 구동 가능한 등 고성능, 고신뢰성의 트랜지스터를 베이스 기판 위에 제작할 수 있다.
- [0103] (실시 형태 3)
- [0104] 도 5 및 도 6은 SOI 기판의 제작 방법의 일례를 도시하는 단면도이다. 도 5 및 도 6을 사용하여, SOI의 기판의 제작 방법의 일례를 설명한다.
- [0105] 도 1a를 사용하여 설명한 것처럼, SOI 기판의 베이스 기판이 되는 베이스 기판(101)을 준비하여, 베이스 기판 위에 절연층(102)을 형성한다. 본 실시 형태에서도, 절연층(102)은 질화산화실리콘막(103)과 산화질화실리콘막(104)으로 이루어지는 2층 구조의 막으로 한다. 다음에, 도 5a에 도시하는 바와 같이, 절연층(102) 위에 접합층(105)을 형성한다. 이 접합층(105)은, 반도체 기판(111)에 형성되는 접합층(114)과 동일하게 형성할 수 있다.
- [0106] 다음에, 도 5b 내지 도 5d는 도 1b 내지 도 1d와 같은 공정을 도시하는 단면도이다. 실시 형태 1에서 설명한 것처럼, 반도체 기판(111)에 보호막(112)을 형성하고, 반도체 기판(111)에 이온 주입층(113)을 형성한다. 이온 주입층(113)을 형성한 후, 보호막(112)을 제거한다. 또, 보호막(112)을 제거한 후, 도 1e와 마찬가지로 접합층(114)을 형성할 수도 있다. 또한, 도 5e에 도시하는 바와 같이, 보호막(112)을 남긴 상태에서, 보호막(112) 위에 접합층(114)을 형성할 수도 있다.
- [0107] 도 5f는 접합 공정을 설명하는 단면도이고, 베이스 기판(101)과 반도체 기판(111)을 접합한 상태가 도시되어 있다. 이 접합 공정은 도 1f를 사용하여 설명한 접합 공정과 동일하게 할 수 있고, 반도체 기판(111)과 접합층(105)을 밀착시켜 반도체 기판(111)과 접합층(105)을 접합시킨다.
- [0108] 보호막(112)이 제거된 상태의 경우, 반도체 기판(111)과 접합층(105)을 접합시키기 전에, 반도체 기판(111)의 표면을 산소 플라즈마 처리 또는 오존 처리하여 친수성으로 하는 처리를 할 수도 있다. 또한 반도체 기판(111)과 접합층(105)을 접합시킨 후, 이 결합력을 향상시키기 위해서, 실시 형태 1에서 설명한 가열 처리 또는 가압 처리를 할 수 있다.
- [0109] 도 5g는 반도체 기판(111)으로부터 반도체층(115)을 분리하는 분리 공정을 설명하는 도면이다. 본 실시 형태의 분리 공정은 도 1g를 사용하여 설명한 분리 공정과 동일하게 할 수 있다. 반도체 기판(111)과 접합층(105)을 접합한 후, 반도체 기판(111)을 400℃ 이상 700℃ 미만의 온도에서 가열한다. 말할 필요도 없지만, 가열 온도의 상한은 베이스 기판(101)의 변형 점을 초과하지 않도록 한다.
- [0110] 도 5g에 도시하는 분리 공정에서, 베이스 기판(101)에 반도체층(115)이 형성된 SOI 기판(133)이 제작된다. 이 SOI 기판(133)은, 절연층(102), 접합층(105), 접합층(114), 보호막(112), 반도체층(115)의 순차로 층이 적층되어 있는 다층 구조의 기판이고, 접합층(114)과 접합층(105)이 접합하고 있는 기판이다.
- [0111] 또한, 본 실시 형태에서도, 도 6a에 도시하는 바와 같이 SOI 기판(133)에 레이저광(122)을 조사하는 평탄화 공정을 한다. 이 평탄화 공정은 도 2a의 레이저광(122)의 조사 공정과 동일하게 할 수 있다. 도 6a에 도시하는 바와 같이, 레이저광(122)을 반도체층(115)측으로부터 조사하고, 반도체층(115)을 부분 용융시킴으로써, 도 6b에 도시하는 바와 같이 평탄성이 향상되고, 결정 결함이 감소된 반도체층(115A)이 형성된다.
- [0112] 반도체층(115A)을 갖는 SOI 기판(133A)을 형성한 후, 반도체층(115A)을 얇게 하는 반도체층의 박막화 공정을 한다. 도 6c는 반도체층의 박막화 공정을 도시하는 단면도이다. 이 박막화 공정은 도 2c의 박막화 공정과 동일하게 할 수 있고, 반도체층(115A)을 에칭하여, 그 두께를 얇게 하고, 박막화한 반도체층(115B)을 형성한다. 이 박막화 공정에서, 반도체층(115B)의 두께는 100nm 이하 5nm 이상으로 하는 것이 바람직하고, 50nm 이하 5nm 이상이 더욱 바람직하다.
- [0113] 도 5a 내지 도 6c에 도시하는 공정을 함으로써, 반도체층(115B)이 접착된 SOI 기판(133B)을 형성할 수 있다.
- [0114] 1장의 베이스 기판(101)에 위에 복수의 반도체층(115B)을 접착한 SOI 기판(133B)을 제작할 수 있다. 예를 들면, 도 5b 내지 도 5e를 사용하여 설명한 공정을, 복수회 반복하여, 이온 주입층(113)이 형성된 반도체 기판

(111)을 복수매 준비한다. 이어서, 도 5f의 접합 공정을 복수회 반복하고, 1장의 베이스 기판(101)에 복수의 반도체 기판(111)을 고정한다. 그리고, 도 5g의 가열 공정을 하고, 각 반도체 기판(111)을 분할함으로써, 베이스 기판(101) 위에, 복수의 반도체층(115)이 고정된 SOI 기판(133)을 제작한다. 그리고, 도 6a 내지 도 6c에 도시하는 공정을 함으로써, 복수의 반도체층(115B)이 접착된 SOI 기판(133B)을 제작할 수 있다.

[0115] 이상 기술한 바와 같이, 본 실시 형태에서는, 레이저광의 조사에 의한 반도체층의 평탄화 공정과, 그 후의 반도체층의 박막화 공정의 조합에 의해, 반도체층(115B)은, 두께가 100nm 이하로, 요철 및 결정 결함이 감소된 반도체층으로 되어 있다. 요컨대, 베이스 기판(101)에 유리기판을 채용하고, 또한 이온 주입층(113)의 형성에 이온 도핑 장치를 사용한 경우라도, 상기와 같은 특징을 갖는 반도체층(115B)이 형성된 SOI 기판(133B)을 제작할 수 있다.

[0116] 또한, SOI 기판(133B)으로 트랜지스터를 제작함으로써, 채널 형성 영역의 박막화, 게이트 절연층의 박막화 및 반도체층(115B)과 게이트 절연층 간에 있어서의 국제 계면 준위 밀도의 저감이 가능해진다. 또한 반도체층(115B)을 얇게 함으로써, 유리기판 위에, 단결정 반도체층으로 완전 공핍형의 트랜지스터를 제작할 수 있다. 이러한 사실에 의해, 고속 동작이 가능하고, 서브 임계치가 낮고, 전계 효과 이동도가 높고, 저소비 전력으로 구동 가능한 등 고성능, 고신뢰성의 트랜지스터를 베이스 기판 위에 제작할 수 있다.

[0117] (실시 형태 4)

[0118] 실시 형태 1 내지 3에 있어서, 반도체층(115)에 레이저광(122)을 조사하기 전에, 반도체층(115)을 에칭 처리에 의해서 얇게 하는 박막화 공정을 할 수 있다. 이온 주입층(113)의 형성에 이온 도핑 장치를 사용한 경우, 반도체층(115)의 두께를 100nm 이하로 하는 것이 곤란하다. 그 한편으로, 반도체층(115)이 지나치게 두꺼우면, 레이저광(122)의 에너지를 높게 할 필요가 있기 때문에, 레이저광(122)이 사용할 수 있는 에너지 범위가 좁아지고, 레이저광(122)의 조사에 의해서, 수율 좋게 반도체층(115)의 평탄화 및 결정성의 회복을 하는 것이 곤란해진다.

[0119] 그 때문에, 반도체층(115)의 두께가 200nm를 넘는 경우는, 반도체층(115)의 두께를 200nm 이하로 얇게 한 후, 레이저광(122)을 조사하는 것이 바람직하다. 반도체층(115)의 두께는 150nm 이하 60nm 이상으로 하는 것이 바람직하다.

[0120] 반도체층(115)의 두께를 얇게 한 후, 레이저광(122)을 조사한 후, 반도체층을 소망의 두께로 더욱 얇게 한다. 또, 레이저광(122)의 조사 전에 반도체층(115)을 박막화함으로써, 소망의 막두께로 할 수 있는 경우는, 레이저광(122)의 조사 후의 박막화 공정을 생략할 수 있다.

[0121] (실시 형태 5)

[0122] 도 1 내지 도 6을 사용하여 설명한 SOI 기판의 제작 방법에서는, 무알칼리유리기판 등의 각종 유리기판을 베이스 기판(101)에 적용하는 것이 가능해진다. 따라서, 베이스 기판(101)에 유리기판을 사용함으로써, 1변이 1미터를 초과하는 대면적의 SOI 기판을 제조할 수 있다. 이러한 대면적인 반도체 제조기판에 복수의 반도체 소자를 형성함으로써, 액정 표시 장치, 일렉트로루미네선스 표시장치를 제작할 수 있다. 또한, 이러한 표시장치뿐만 아니라, SOI 기판을 사용하여, 태양 전지, 포토 IC, 반도체 기억 장치 등 각종 반도체 장치를 제조할 수 있다.

[0123] 이하, 도 7 및 도 8을 참조하여, 반도체 장치의 제작 방법으로서 박막 트랜지스터(TFT)를 제작하는 방법을 설명한다. 복수의 박막 트랜지스터를 조합함으로써, 각종 반도체 장치가 형성된다.

[0124] 도 7a는 SOI 기판의 단면도이다. 본 실시 형태에서는 실시 형태 2의 제작 방법으로 제작한 SOI 기판(132B)을 사용하기로 한다. 물론, 다른 구성의 SOI 기판을 사용할 수도 있다.

[0125] TFT의 임계치 전압을 제어하기 위해서, 붕소, 알루미늄, 갈륨 등의 p 형 불순물, 또는 인, 비소 등의 n 형 불순물을 첨가하는 것이 바람직하다. 불순물을 첨가하는 영역, 및 첨가하는 불순물의 종류는, n 채널형 TFT, p 채널형 TFT가 형성됨으로써, 선택된다. 예를 들면, n 채널형 TFT의 형성 영역에 대(對) p 형 불순물을 첨가하고, p 채널형 TFT의 형성 영역에 n 형 불순물을 첨가한다. 이 불순물 이온을 첨가하기 위해서는, 도즈량은 $1 \times 10^{12} / \text{cm}^2$ 이상 $1 \times 10^{14} / \text{cm}^2$ 이하 정도로 하면 좋다.

[0126] 다음에, 에칭에 의해, SOI 기판의 반도체층을 섬형으로 분리하고, 도 7b에 도시하는 바와 같이 반도체층(151, 152)을 형성한다. 반도체층(151)은 n 채널형의 TFT를 구성하고, 반도체층(152)은 p 채널형의 TFT를 구성한다.

- [0127] 그리고, 도 7c에서 도시하는 바와 같이, 반도체층(151, 152) 위에 각각, 게이트 절연층(153), 게이트 전극(154), 사이드월 절연층(155), 질화실리콘층(156)을 형성한다. 질화실리콘층(156)은, 에칭에 의해 게이트 전극(154)의 형상을 가공할 때의 하드마스크로서 사용한다. 여기에서는, 게이트 전극(154)을 제 1 도전층(154-1)과 제 2 도전층(154-2)으로 이루어지는 2층 구조로 하고 있다.
- [0128] 또한, 사이드월 절연층(155)의 형성 전에, 반도체층(151, 152)에 대하여, 게이트 전극(154)을 마스크로 하는 불순물을 첨가한다. 이 불순물의 첨가 공정에서는, n 형의 저농도 불순물 영역(158)을 형성하기 위해서, 반도체층(151)에 n 형 불순물을 저농도로 첨가한다. 저농도 불순물 영역(158)은 LDD 영역으로서 기능하도록, n 형 불순물을 첨가하는 것이 바람직하다. 또한, p 형의 고농도 불순물 영역(160)을 형성하기 위해서, 반도체층(152)에 p 형 불순물을 고농도로 첨가한다. 이 공정에서, 반도체층(152)에는 고농도 불순물 영역(160) 모두, 게이트 전극(154)과 겹치는 영역에 채널 형성 영역(161)이 형성된다. 고농도 불순물 영역(160)은 소스 영역 또는 드레인 영역으로서 기능한다.
- [0129] 사이드월 절연층(155)을 형성한 후에, 게이트 전극(154) 및 사이드월 절연층(155)을 마스크로 하고, 반도체층(151)에만 n 형 불순물을 첨가하고, 반도체층(151)에 n 형의 고농도 불순물 영역(157)을 형성한다. 이 공정에서, 반도체층(151)에는 사이드월 절연층(155)과 겹치는 영역에 저농도 불순물 영역(158)이 형성되고, 게이트 전극(154)과 겹치는 영역에는 채널 형성 영역(159)이 형성된다. n 형의 고농도 불순물 영역(157)은 소스 영역 또는 드레인 영역으로서 기능한다.
- [0130] 불순물을 첨가한 후, 가열 처리를 하고, 반도체층(151, 152)에 첨가된 불순물을 활성화시킨다.
- [0131] 이어서, 도 7d에 도시하는 바와 같이, 수소를 포함한 절연층(163)을 형성한다. 절연층(163)을 형성한 후, 350℃ 이상 450℃ 이하의 온도에 의한 가열 처리를 하고, 절연층(163) 중에 포함되는 수소를 반도체층(151, 152) 중에 확산시킨다. 절연층(163)은 프로세스 온도를 350 이하에서, 플라즈마 CVD법으로 질화실리콘 또는 질화산화실리콘을 퇴적함으로써, 형성할 수 있다. 반도체층(151, 152)에 수소를 공급함으로써, 반도체층(151, 152) 중 및 반도체층(151, 152)과 게이트 절연층(153)의 계면에서의 포획 중심이 되는 결함을 효과적으로 보상할 수 있다.
- [0132] 그 후, 도 8a에 도시하는 바와 같이 층간 절연층(164)을 형성한다. 층간 절연층(164)은 BPSG(Boron Phosphorus Silicon Glass)막을 성막하지만, 폴리이미드로 대표되는 유기수지를 도포하여 형성한다. 층간 절연층(164)에는 콘택트홀(165)을 형성한다.
- [0133] 도 8b는 배선을 형성하는 단계를 도시한다. 콘택트홀(165)에는 콘택트 플러그(166)를 형성한다. 콘택트 플러그(166)는, WF₆ 가스와 SiH₄ 가스로 화학기상 성장법으로 텅스텐 실리사이드를 형성하고, 콘택트홀(165)에 매립함으로써 형성된다. 또한, WF₆를 수소 환원하여 텅스텐을 형성하여 콘택트홀(165)에 매립하여도 좋다. 그 후, 콘택트 플러그(166) 위에 배선(167)을 형성한다. 배선(167)을 3층 구조로 하는 경우는, 알루미늄 또는 알루미늄 합금으로 이루어지는 도전막과, 이 도전막의 상층과 하층에는 배리어 메탈로서 몰리브덴, 크롬, 티타늄 등의 금속막을 형성한다. 배선(167)의 상층에 층간 절연막(168)을 형성한다. 층간 절연막(168)은 적절하게 형성하면 좋고, 이 상층에 또 다른 배선층을 형성하여 다층 배선화하여도 좋다. 그 경우에는 다마신 프로세스를 적용할 수 있다.
- [0134] 이와 같이, SOI 기판을 사용하여 박막 트랜지스터를 제작할 수 있다. SOI 기판의 반도체층은, 결정 결함이 거의 없고, 반도체층(151, 152)과 게이트 절연층(153) 간에 있어서의 계면 준위 밀도가 저감된 단결정 반도체층이고, 그 표면이 평탄화되고, 또한 그 두께를 50nm 이하로 박막화되어 있다. 이로써, 베이스 기판(101)에, 낮은 구동전압, 높은 전계효과 이동, 작은 서브 임계치 등, 우수한 특성을 구비한 박막 트랜지스터를 형성할 수 있다. 또한, 동일 기판 위에 특성의 격차가 없는, 고성능의 트랜지스터를 다수기판 위에 형성하는 것이 가능하다. 즉, 실시 형태 1 내지 3에서 제시한 SOI 기판을 사용함으로써, 임계치 전압이나 이동도 등 트랜지스터 특성으로서 중요한 특성치의 불균일성이 억제되고, 또한 고전계 이동도 등의 고성능화가 가능해진다.
- [0135] 따라서, 실시 형태 1 내지 3의 방법에 의해서 제작된 SOI 기판으로, TFT 등 각종 반도체 소자를 형성함으로써, 고부가 가치의 반도체 장치를 제작할 수 있다. 이하, 도면을 사용하여, 반도체 장치의 구체적인 형태를 설명한다.
- [0136] 우선, 반도체 장치의 일례로서, 마이크로프로세서에 관해서 설명한다. 도 9는 마이크로프로세서(200)의 구성에

를 도시하는 블록도이다.

- [0137] 마이크로프로세서(200)는, 연산회로(201; Arithmetic logic unit. ALU라고도 함.), 연산회로용 제어부(202; ALU Controller), 명령 해석부(203; Instruction Decoder), 인터럽트 제어부(204; Interrupt Controller), 타이밍 제어부(205; Timing Controller), 레지스터(206; Register), 레지스터 제어부(207; Register Controller), 버스 인터페이스(208; Bus I/F), 판독 전용 메모리(209), 및 ROM 인터페이스(210; ROM I/F)를 갖고 있다.
- [0138] 버스 인터페이스(208)를 통하여 마이크로프로세서(200)에 입력된 명령은, 명령 해석부(203)에 입력되고, 디코드된 후, 연산회로용 제어부(202), 인터럽트 제어부(204), 레지스터 제어부(207), 타이밍 제어부(205)에 입력된다. 연산회로용 제어부(202), 인터럽트 제어부(204), 레지스터 제어부(207), 타이밍 제어부(205)는, 디코드된 명령에 기초하여 각종 제어를 한다.
- [0139] 구체적으로 연산회로용 제어부(202)는, 연산회로(201)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(204)는, 마이크로프로세서(200)의 프로그램 실행중에, 외부의 입출력장치나 주변회로부터의 인터럽트 요구를, 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 제어부(207)는, 레지스터(206)의 어드레스를 생성하고, 마이크로프로세서(200)의 상태에 따라서 레지스터(206)의 판독이나 기록을 한다. 타이밍 제어부(205)는, 연산회로(201), 연산회로용 제어부(202), 명령 해석부(203), 인터럽트 제어부(204), 레지스터 제어부(207)의 동작의 타이밍을 제어하는 신호를 생성한다.
- [0140] 예를 들면 타이밍 제어부(205)는, 기준 클럭 신호(CLK1)를 바탕으로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 구비하고 있고, 클럭신호(CLK2)를 상기 각종 회로에 공급한다. 또, 도 9에 도시하는 마이크로프로세서(200)는, 그 구성을 간략화하여 나타낸 일례에 불과하고, 실제로는 그 용도에 따라서 다중 다양한 구성을 구비할 수 있다.
- [0141] 이러한 마이크로프로세서(200)는, 절연 표면을 갖는 기판 또는 절연기판 위에 접합된 결정 방위가 일정한 단결정 반도체층(SOI 층)에 의해서 집적회로가 형성되어 있기 때문에, 처리 속도의 고속화뿐만 아니라 저소비 전력화를 도모할 수 있다.
- [0142] 다음에, 비접촉으로 데이터의 송수신을 하는 기능, 및 연산기능을 구비한 반도체 장치의 일례를 설명한다. 도 10은 이러한 반도체 장치의 구성예를 도시하는 블록도이다. 도 10에 도시하는 반도체 장치는 무선 통신에 의해 외부장치와 신호의 송수신을 하여 동작하는 컴퓨터(이하, 「RF CPU」라고 함)라고 부를 수 있다.
- [0143] 도 10에 도시하는 바와 같이, RF CPU(211)는, 아날로그 회로부(212)와 디지털 회로부(213)를 갖고 있다. RF CPU(211)는 아날로그 회로부(212)로서, 공진용량을 갖는 공진회로(214), 정류회로(215), 정전압회로(216), 리셋회로(217), 발진회로(218), 복조회로(219), 변조회로(220) 및 전원관리회로(230)를 갖고 있다. 디지털 회로부(213)는, RF 인터페이스(221), 제어 레지스터(222), 클럭 컨트롤러(223), CPU 인터페이스(224), 중앙 처리 유닛(225), 랜덤 액세스 메모리(226), 판독 전용 메모리(227)를 갖고 있다.
- [0144] RF CPU(211)의 동작의 개요는 이하와 같다. 안테나(228)가 수신한 신호는 공진회로(214)에 의해 유도기전력을 발생한다. 유도기전력은, 정류회로(215)를 거쳐서 용량부(229)에 충전된다. 이 용량부(229)는 세라믹 콘덴서나 전기이중층 콘덴서 등의 커패시터로 형성되어 있는 것이 바람직하다. 용량부(229)는 RF CPU(211)와 일체로 형성되어 있을 필요는 없고, 별도 부품으로서 RF CPU(211)를 구성하는 절연 표면을 갖는 기판에 장착시킬 수도 있다.
- [0145] 리셋회로(217)는, 디지털 회로부(213)를 리셋하여 초기화하는 신호를 생성한다. 예를 들면, 전원 전압의 상승에 지연하여 상승하는 신호를 리셋신호로서 생성한다. 발진회로(218)는, 정전압회로(216)에 의해 생성되는 제어신호에 따라서, 클럭신호의 주파수와 듀티비를 변경한다. 복조회로(219)는, 수신신호를 복조하는 회로이고, 변조회로(220)는, 송신하는 데이터를 변조하는 회로이다.
- [0146] 예를 들면, 복조회로(219)는 로패스 필터로 형성되고, 진폭변조(ASK) 방식의 수신신호를, 그 진폭의 변동을 바탕으로, 이치화한다. 또한, 송신 데이터를 진폭변조(ASK) 방식의 송신신호의 진폭을 변동시켜 송신하기 때문에, 변조회로(220)는, 공진회로(214)의 공진점을 변화시킴으로써 통신 신호의 진폭을 변화시키고 있다.
- [0147] 클럭 컨트롤러(223)는, 전원 전압 또는 중앙 처리 유닛(225)에 있어서의 소비전류에 따라서 클럭신호의 주파수와 듀티비를 변경하기 위한 제어신호를 생성하고 있다. 전원 전압의 감시는 전원관리회로(230)가 행하고 있다.

- [0148] 안테나(228)로부터 RF CPU(211)에 입력된 신호는 복조회로(219)에서 복조된 후, RF 인터페이스(221)에서 제어 커맨드나 데이터 등으로 분해된다. 제어 커맨드는 제어 레지스터(222)에 격납된다. 제어 커맨드에는 판독 전용 메모리(227)에 기억되어 있는 데이터의 판독, 랜덤 액세스 메모리(226)로의 데이터의 기록, 중앙 처리 유닛(225)으로의 연산 명령 등이 포함되어 있다.
- [0149] 중앙 처리 유닛(225)은, CPU 인터페이스(224)를 통하여 판독 전용 메모리(227), 랜덤 액세스 메모리(226), 제어 레지스터(222)에 액세스한다. CPU 인터페이스(224)는, 중앙 처리 유닛(225)이 요구하는 어드레스로부터, 판독 전용 메모리(227), 랜덤 액세스 메모리(226), 제어 레지스터(222)의 어느 하나에 대한 액세스 신호를 생성하는 기능을 갖고 있다.
- [0150] 중앙 처리 유닛(225)의 연산방식은, 판독 전용 메모리(227)에 OS(오퍼레이팅 시스템)을 기억시켜 두고, 기동과 함께 프로그램을 판독하여 실행하는 방식을 채용할 수 있다. 또한, 전용회로에서 연산회로를 구성하고, 연산처리를 하드웨어적으로 처리하는 방식을 채용할 수도 있다. 하드웨어와 소프트웨어를 병용하는 방식에서는, 전용의 연산회로에서 일부의 처리를 하고, 프로그램을 사용하여, 나머지의 연산을 중앙 처리 유닛(225)이 실행하는 방식을 적용할 수 있다.
- [0151] 이러한 RF CPU(211)는, 절연 표면을 갖는 기판 또는 절연기판 위에 접합된 결정 방위가 일정한 반도체층에 의해서 집적회로가 형성되어 있기 때문에, 처리 속도의 고속화뿐만 아니라 저소비 전력화를 도모할 수 있다. 그것에 의해, 전력을 공급하는 용량부(229)를 소형화하여도 장시간의 동작이 보증된다.
- [0152] 다음에, 도 11 내지 도 13을 사용하여, 반도체 장치로서 표시장치에 관해서 설명한다.
- [0153] SOI 기판의 베이스 기판에 표시패널을 제조하는 마더 유리라고 불리는 대면적 유리기판을 사용할 수 있다. 도 11은 베이스 기판(101)에 마더 유리를 사용한 SOI 기판의 정면도이다.
- [0154] 1장의 마더 유리(301)에는 복수의 반도체 기판으로부터 박리된 반도체층(302)이 접합되어 있다. 마더 유리(301)로부터 복수의 표시패널을 꺼내기 위해서, 반도체층(302)을 표시패널의 형성 영역(310)내에 접합하는 것이 바람직하다. 표시패널은, 주사선 구동회로, 신호선 구동회로, 화소부를 갖는다. 그 때문에 표시패널의 형성 영역(310)에 있어서, 이들이 형성되는 영역(주사선 구동회로 형성 영역(311), 신호선 구동회로 형성 영역(312), 화소 형성 영역(313))에, 반도체층(302)을 접합한다.
- [0155] 도 12는 도 11에 도시하는 SOI 기판을 사용하여 제작된 액정 표시 장치를 설명하기 위한 도면이다. 도 12a는 액정 표시 장치의 화소의 평면도이고, 도 12b는 J-K 절단선에 의한 도 12a의 단면도이다.
- [0156] 도 12a에 있어서, 반도체층(321)은, SOI 기판에 접합된 반도체층(302)으로 형성된 층이고, 화소의 TFT를 구성한다. 여기에서는, SOI 기판에는 실시 형태 3의 방법으로 제작된 SOI 기판이 사용되고 있다. 이 SOI 기판은 베이스 기판(101) 위에, 절연층(102), 접합층(105), 반도체층(115B)이 적층된 기판이다(도 6c 참조). 베이스 기판(101)은 분할된 마더 유리(301)이다. 반도체층(115B)은 반도체층(302)에 대응한다. 도 12a에 도시하는 바와 같이, 화소는, 반도체층(321), 반도체층(321)과 교차하고 있는 주사선(322), 주사선(322)과 교차하고 있는 신호선(323), 화소 전극(324), 화소 전극(324)와, 반도체층(321)을 전기적으로 접속하는 전극(328)을 갖는다.
- [0157] 도 12b에 도시하는 바와 같이, 화소의 TFT(325)는 접합층(105) 위에 형성되어 있다. TFT(325)의 게이트 전극은 주사선(322)에 포함되고, 소스 전극 또는 드레인 전극은 신호선(323)에 포함되어 있다. 층간 절연막(327) 위에는 신호선(323), 화소 전극(324) 및, 전극(328)이 형성되어 있다. 또한, 층간 절연막(327) 위에는 주상 스페이서(329)가 형성되어 있다. 신호선(323), 화소 전극(324), 전극(328) 및 주상 스페이서(329)를 덮어 배향막(330)이 형성되어 있다. 대향기판(332)에는 대향전극(333), 대향전극(333)을 덮는 배향막(334)이 형성되어 있다. 주상 스페이서(329)는, 베이스 기판(101)과 대향기판(332)의 빈틈을 유지하기 위해서 형성된다. 주상 스페이서(329)에 의해서 형성되는 공극에 액정층(335)이 형성되어 있다. 신호선(323) 및 전극(328)의 반도체층(321)과의 접속부는, 콘택트홀의 형성에 의해서 층간 절연막(327)에 단차가 생기기 때문에, 이 단차로 액정층(335)의 액정의 배향이 흐트러진다. 그 때문에, 이 단차부에 주상 스페이서(329)를 형성하고, 액정의 배향의 흐트러짐을 방지한다.
- [0158] 다음에, 일렉트로루미네선스 표시장치(이하, EL 표시장치라고 함.)에 관해서, 설명한다. 도 13은 도 11에 도시하는 SOI 기판을 사용하여 제작된 EL 표시장치를 설명하기 위한 도면이다. 도 13a는 EL 표시장치의 화소의 평면도이고, 도 13b는, 화소의 단면도이다.
- [0159] 도 13a에 도시하는 바와 같이, 화소에는 TFT로 이루어지는 선택용 트랜지스터(401), 및 표시 제어용 트랜지스터

(402)가 형성되어 있다. 도 13b는, 표시 제어용 트랜지스터(402)를 포함한 주요부를 도시하는 단면도이다.

- [0160] 선택용 트랜지스터(401)의 반도체층(403), 표시 제어용 트랜지스터(402)의 반도체층(404)은, 도 11의 SOI 기판의 반도체층(302)을 가공하여 형성된 층이다. 화소는, 주사선(405), 신호선(406), 및 전류공급선(407), 화소 전극(408)을 포함한다. EL 표시장치는, 일렉트로루미네선스 재료를 포함하는 층(429)(이하, EL 층(429)이라고 함.)이 한 쌍의 전극간에 긴 구조의 발광 소자가 각 화소에 형성되어 있다. 발광 소자의 한쪽의 전극이 화소 전극(408)이다.
- [0161] 선택용 트랜지스터(401)에 있어서, 게이트 전극은 주사선(405)에 포함되고, 소스 전극 또는 드레인 전극의 한쪽은 신호선(406)에 포함되고, 다른쪽은 전극(411)으로서 형성되어 있다. 표시 제어용 트랜지스터(402)는, 게이트 전극(412)이 전극(411)과 전기적으로 접속되고, 소스 전극 또는 드레인 전극의 한쪽은, 화소 전극(408)에 전기적으로 접속되는 전극(413)으로서 형성되고, 다른쪽은 전류공급선(407)에 포함되어 있다.
- [0162] 또, SOI 기판에는 실시 형태 3의 방법으로 제작한 SOI 기판이 사용되고 있다. 이 SOI 기판은 베이스 기판(101) 위에, 절연층(102), 접합층(105), 반도체층(115B)이 적층되어 있는 기판이다(도 6c 참조). 베이스 기판(101)은 분할된 마더 유리(301)이다.
- [0163] 도 13b에 도시하는 바와 같이, 표시 제어용 트랜지스터(402)의 게이트 전극(412)을 덮고, 층간 절연막(427)이 형성되어 있다. 층간 절연막(427) 위에, 신호선(406), 전류공급선(407), 전극(411, 413) 등이 형성되어 있다. 또한, 층간 절연막(427) 위에는 전극(413)에 전기적으로 접속되어 있는 화소 전극(408)이 형성되어 있다. 화소 전극(408)은 주변부가 절연성의 격벽층(428)으로 둘러싸여 있다. 화소 전극(408) 위에는 EL 층(429)이 형성되고, EL 층(429) 위에는 대향전극(430)이 형성되어 있다. 화소 전극(408), EL 층(429) 및 대향전극(430)에 의해, EL 소자가 구성된다. 보강판으로서 대향기판(431)이 형성되어 있고, 대향기판(431)은 수지층(432)에 의해 베이스 기판(101)에 고정되어 있다. EL 표시장치의 화소부에는 도 13에 도시하는 화소가 매트릭스형상으로 배열되어 있다.
- [0164] EL 표시장치의 제조의 제어는, 발광 소자의 휘도를 전류로 제어하는 전류 구동 방식과, 전압으로 그 휘도를 제어하는 전압 구동 방식이 있지만, 전류 구동 방식은, 화소마다 트랜지스터의 특성치의 차가 큰 경우, 채용하는 것은 곤란하고, 그것을 위해서는 특성의 격차를 보정하는 보정회로가 필요하게 된다. 본 발명의 SOI 기판을 사용함으로써, 선택용 트랜지스터(401) 및 표시 제어용 트랜지스터(402)는 화소마다 특성의 격차가 없기 때문에, 전류 구동 방식을 채용할 수 있다.
- [0165] 도 12, 도 13에 도시하는 바와 같이, 표시장치를 제조하는 마더 유리로 SOI 기판을 제작하고, 이 SOI 기판으로부터 표시장치를 제작할 수 있다. 또한, 이 SOI 기판에는 도 9 및 도 10에서 설명한 바와 같은 마이크로프로세서도 형성할 수 있기 때문에, 표시장치내에 컴퓨터의 기능 탑재할 수도 있다. 또한 비접촉으로 데이터의 입출력을 가능하게 한 표시장치를 제작할 수도 있다.
- [0166] 요컨대, 본 발명의 SOI 기판을 사용함으로써, 여러 가지 전기기구를 구성할 수 있다. 전기기구로서는, 비디오 카메라, 디지털 카메라 등의 카메라, 네비게이션 시스템, 음향 재생장치(카 오디오, 오디오 콤포넌트 스테레오 등), 컴퓨터, 게임기기, 휴대 정보 단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적 등), 기록매체를 구비한 화상재생장치(구체적으로는 DVD(digital versatile disc) 등의 기록매체에 기록되어 있는 화상 데이터를 재생하고, 그 화상을 표시할 수 있는 표시장치를 구비한 장치) 등이 포함된다.
- [0167] 도 14를 사용하여, 전기기구의 구체적인 형태를 설명한다. 도 14a는 휴대전화기(901)의 일례를 도시하는 외관도이다. 이 휴대전화기(901)는, 표시부(902), 조작 스위치(903) 등을 포함하여 구성되어 있다. 표시부(902)에, 도 12a, 도 12b에서 설명한 액정 표시 장치 또는 도 13a, 도 13b에서 설명한 EL 표시장치를 적용함으로써, 표시 불균일이 적고 화질이 뛰어난 표시부(902)로 할 수 있다. 휴대전화기(901)에 포함되는 마이크로프로세서나 메모리 등에도, 본 발명의 SOI 기판으로 형성된 반도체 장치를 적용할 수 있다.
- [0168] 또한, 도 14b는 디지털 플레이어(911)의 구성예를 도시하는 외관도이다. 디지털 플레이어(911)는, 표시부(912), 조작부(913), 이어폰(914) 등을 포함하고 있다. 이어폰(914)의 대신에 헤드폰이나 무선식 이어폰을 사용할 수 있다. 표시부(912)에, 도 12a, 도 12b에서 설명한 액정 표시 장치 또는 도 13a, 도 13b에서 설명한 EL 표시장치를 적용함으로써, 화면사이즈가 0.3인치로부터 2인치 정도인 경우라도, 고세밀의 화상 및 다량의 문자 정보를 표시할 수 있다. 또한, 디지털 플레이어(911)에 포함됨, 음악정보를 기억하는 메모리부나, 마이크로프로세서도, 본 발명의 SOI 기판으로 형성된 반도체 장치를 적용할 수 있다.
- [0169] 또한, 도 14c는 전자 북(921)의 외관도이다. 이 전자 북(921)은, 표시부(922), 조작 스위치(923)를 포함하고

있다. 전자 북(921)에, 모뎀을 내장함으로써, 또는, 도 10의 RF CPU를 내장함으로써, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 표시부(922)에는 도 12a 또는 도 12b에서 설명한 액정 표시 장치, 또는 도 13a, 도 13b에서 설명한 EL 표시장치를 적용함으로써, 고화질의 표시를 할 수 있다. 전자 북(921)은 정보를 기억하는 메모리부나, 전자 북(921)을 기능시키는 마이크로프로세서에, 본 발명의 SOI 기판으로 형성된 반도체 장치를 적용할 수 있다.

[0170] [실시예 1]

[0171] 이하에 있어서, 본 발명에 관하여 실시예에 기초하여 더욱 상세하게 설명한다. 본 발명은 이 실시예에 의해서 조금도 한정되지 않으며, 특허청구 범위에 의해서 특정되는 것은 말할 필요도 없다. 본 실시예에서는, 레이저 광의 조사 전, 및 조사 후의 SOI 기판의 반도체층의 표면 거칠기 및 결정학적인 물성에 관해서 설명한다.

[0172] 도 15를 사용하여, 본 실시예의 SOI 기판의 제작 방법을 설명한다. 도 15에 나타내는 제작 방법은, 실시 형태 2에서 설명한 제작 방법에 대응한다.

[0173] 반도체 기판으로서, 단결정 실리콘 기판(600)을 준비하였다(도 15a 참조). 단결정 실리콘 기판(600)은 5인치의 p 형 실리콘 기판이고, 그 면방위는 (100)이었다. 이하, 단결정 실리콘 기판(600)을 「c-Si 기판(600)」으로 표기한다.

[0174] c-Si 기판(600)을 순수로 세정하고, 건조하였다. 다음에, 평행 평판형 플라즈마 CVD 장치를 사용하여, c-Si 기판(600) 위에 산화질화실리콘막(601)을 형성하고, 산화질화실리콘막(601) 위에 질화산화실리콘막(602)을 형성하였다(도 15b 참조).

[0175] 평행 평판형 플라즈마 CVD 장치를 사용하여, c-Si 기판(600)을 대기에 노출시키지 않고 산화질화실리콘막(601), 질화산화실리콘막(602)을 연속적으로 형성하였다. 그 때의 성막 조건은 이하와 같았다. 여기에서는, 산화질화실리콘막(601)의 성막전에, 60초간, 불산 수용액으로 c-Si 기판(600)을 세정하고, c-Si 기판(600)의 산화막을 제거하는 공정을 하였다.

[0176] <산화질화실리콘막(601)>

[0177] · 두께 50nm

[0178] · 가스의 종류(유량)

[0179] SiH₄(4sccm)

[0180] N₂O(800sccm)

[0181] · 기판 온도 400℃

[0182] · 압력 40Pa

[0183] · RF 주파수 27MHz

[0184] · RF 파워 50W

[0185] · 전극간 거리 15mm

[0186] · 전극 면적 615.75cm²

[0187] <질화산화실리콘막(602)>

[0188] · 두께 50nm

[0189] · 가스의 종류(유량)

[0190] SiH₄(10sccm)

[0191] NH₃(100sccm)

[0192] N₂O(20sccm)

[0193] H₂(400sccm)

- [0194] · 기판 온도 300℃
- [0195] · 압력 40Pa
- [0196] · RF 주파수 27MHz
- [0197] · RF 파워 50W
- [0198] · 전극간 거리 30mm
- [0199] · 전극 면적 615.75cm²
- [0200] 다음에, 도 15c에 도시하는 바와 같이, 이온 도핑 장치를 사용하여, 수소 이온(615)을 c-Si 기판(600)에 조사하고, 이온 주입층(603)을 형성하였다. 소스 가스로는 100% 수소 가스를 사용하여, 이온화된 수소를 질량 분리하지 않고서, 전계에서 가속하여 c-Si 기판(600)에 주입하였다. 상세한 조건은 다음과 같았다.
- [0201] · 소스 가스 H₂
- [0202] · RF 파워 150W
- [0203] · 가속 전압 40kV
- [0204] · 도즈량 1.75×10¹⁶ ions/cm²
- [0205] 이온 도핑 장치에 있어서, 수소 가스로부터 H⁺, H₂⁺, H₃⁺와 같은 3종류의 이온종이 생성되고, 이 모든 이온종을 c-Si 기판(600)에 도핑한다. 수소 가스로부터 발생된 이온종 중, 80% 정도가 H₃⁺ 이다.
- [0206] 이온 주입층(603)을 형성한 후, c-Si 기판(600)을 순수로 세정하고, 질화산화실리콘막(602) 위에 플라즈마 CVD 장치를 사용하여, 두께 50nm의 산화실리콘막(604)을 형성하였다(도 15d 참조). 산화실리콘막(604)의 소스 가스로는 TEOS와 산소를 사용하였다. 산화실리콘막(604)의 성막 조건은 다음과 같았다.
- [0207] <산화실리콘막(604)>
- [0208] · 두께 50nm
- [0209] · 가스의 종류(유량)
- [0210] TEOS(15sccm)
- [0211] O₂(750sccm)
- [0212] · 기판 온도 300℃
- [0213] · 압력 100Pa
- [0214] · RF 주파수 27MHz
- [0215] · RF 파워 300W
- [0216] · 전극간 거리 14mm
- [0217] · 전극 면적 615.75cm²
- [0218] 유리기판(605)을 준비하였다. 유리기판(605)에는 아사히글래스사 제조의 알루미늄규산염 유리기판(제품명「AN100」)을 사용하였다. 유리기판(605) 및 산화실리콘막(604)이 형성된 c-Si 기판(600)을 세정하였다. 세정처리로서, 순수중에서 초음파 세정과, 그 후의 오존을 포함하는 순수에서의 처리를 하였다.
- [0219] 다음에, 도 15e에 도시하는 바와 같이, 유리기판(605)과 c-Si 기판(600)을 밀접시킴으로써, 유리기판(605)과 산화실리콘막(604)을 접합시켰다. 이 공정에 의해, 유리기판(605)과 c-Si 기판(600)이 접합되어 있다. 이 공정은 가열 처리를 동반하지 않는, 상온에서의 처리로 행하여졌다.
- [0220] 다음에, 확산 노(爐)에 있어서 가열 처리를 하여, 도 15f에 도시하는 바와 같이 이온 주입층(603)으로 c-Si 기판(600)을 분할하였다. 우선, 600℃에서 20분간의 가열을 하였다. 다음에, 가열 온도를 650℃로 상승하고, 또

한 6.5분간, 가열하였다. 이 일련의 가열 처리에 의해서, c-Si 기판(600)에는 이온 주입층(603)에서 균열이 생겨, c-Si 기판(600)은 분할된 상태가 된다. 이 공정에서, 600℃ 이상에서 c-Si 기판(600)을 가열함으로써, 박리 후의 실리콘층(606)의 결정성을 단결정에 의해 근접할 수 있다.

[0221] 가열 처리가 종료하였다면, 확산 노로부터 유리기판(605)과 c-Si 기판(600')을 꺼내었다. 가열 처리에 의해서, 유리기판(605)과 c-Si 기판(600)은 분리할 수 있는 상태로 되어 있기 때문에, 도 15f에 도시하는 바와 같이, c-Si 기판(600')을 제거하면, c-Si 기판(600)으로부터 분리된 실리콘층(606)이 유리기판(605)에 고정되어 있는 SOI 기판(608a)이 형성되어 있다. 또, c-Si 기판(600')은 실리콘층(606)이 분리된 c-Si 기판(600)에 대응한다.

[0222] SOI 기판(608a)은, 유리기판(605) 위에, 산화실리콘막(604), 질화산화실리콘막(602), 산화질화실리콘막(601), 실리콘층(606)이 순차로 적층된 구조를 갖는다. 본 실시예에서는, 실리콘층(606)의 두께는 120nm 정도이다.

[0223] 다음에, 도 15g에 도시하는 바와 같이 SOI 기판(608a)의 실리콘층(606)에 레이저광(610)을 조사하고, 실리콘층(611)을 갖는 SOI 기판(608b)을 형성하였다. 도 15h의 실리콘층(611)은 레이저광(610)의 조사 후의 실리콘층(606)에 대응한다. 그리고, 실리콘층(611)을 에칭하여, 그 두께를 100nm 이하로 얇게 함으로써, 본 발명에 따른 SOI 기판을 제작하였다. 이상의 공정에서, 도 15i에 도시하는 SOI 기판(608c)이 형성된다. SOI 기판(608c)의 실리콘층(612)은, 박막화된 실리콘층(611)에 대응한다. 또, 본 실시예에서는, 도 15a 내지 도 15h까지의 공정을 하여, 레이저광 조사 전의 실리콘층(606)과 조사 후의 실리콘층(611)의 표면 거칠기와, 결정성을 측정하였다.

[0224] 도 15g의 레이저광(610)의 조사하기 위해서 사용한 레이저의 사양은 다음과 같다.

[0225] <레이저의 사양>

[0226] XeCl 엑시머 레이저

[0227] 파장 308nm

[0228] 펄스폭 25나노초(nsec)

[0229] 반복 주파수 30Hz

[0230] 레이저광(610)은 실린드릭 렌즈 등을 포함한 광학계에 의해, 빔의 단면형상이 선형인 선형 빔으로 하였다. 레이저광(610)에 대하여 c-Si 기판(600)을 상대적으로 이동하면서, 레이저광(610)을 조사하였다. 이 때 레이저광(610)의 주사 속도는, 1.0mm/sec으로 하고, 같은 영역에 12 쏘, 레이저광(610)이 조사되도록 하였다.

[0231] 또한, 레이저광(610)의 분위기는 대기 분위기 또는 질소 분위기로 하였다. 본 실시예에서는, 질소 분위기는, 대기중의 레이저광(610)을 조사하면서, 질소가스를 피조사면으로 분사함으로써 형성하였다.

[0232] 레이저광(610)의 에너지 밀도를 약 350mJ/cm² 이상 약 750mJ/cm² 이하의 범위로 변화시키고, 실리콘층(611)의 평탄화 및 결정성의 회복에 대한 레이저광(610)의 조사의 효과를 조사하였다. 에너지 밀도의 구체적인 값은, 이하와 같다.

[0233] · 347mJ/cm²

[0234] · 387mJ/cm²

[0235] · 431mJ/cm²

[0236] · 477mJ/cm²

[0237] · 525mJ/cm²

[0238] · 572mJ/cm²

[0239] · 619mJ/cm²

[0240] · 664mJ/cm²

[0241] · 706mJ/cm²

[0242] · 743mJ/cm²

- [0243] 실리콘층(611)의 표면의 평탄성, 및 그 결정성의 분석에는, 광학현미경, 원자간력 현미경(AFM; Atomic Force Microscope), 주사 전자 현미경(SEM; Scanning Electron Microscope)에 의한 관찰, 전자 후방 산란 회절상(EBSP; Electron Back Scatter Diffraction Pattern)의 관찰, 및 라만 분광 측정을 사용하였다.
- [0244] 평탄화의 효과는, AFM에 의한 다이내믹 포스 모드(DFM: dynamic force mode)에서의 관찰상(이하, AFM상이라고 함.), AFM상으로부터 얻어지는 표면 거칠기를 나타내는 측정치, 광학현미경에 의한 암시야 상의 명도 변화, SEM의 관찰상(이하, SEM상이라고 함.), 라만 산란 강도(Raman Intensity)에 의해 평가할 수 있다.
- [0245] 결정성의 향상의 효과는, 라만 시프트(Raman Shift), 라만 스펙트럼의 반치전폭(FWHM; full width at half maximum), EBSP상에 의해 평가할 수 있다.
- [0246] 우선, 레이저광의 조사에 의한 평탄화의 효과에 관해서 설명하고, 다음에, 결정성 향상의 효과에 관해서 설명한다.
- [0247] 도 16은 레이저광을 조사하기 전의 실리콘층(606)과 조사한 후의 실리콘층(611)의 라만 산란 강도를 나타내는 그래프이고, 레이저광(610)의 에너지 밀도에 대한 라만 강도의 변화를 나타내는 그래프이다. 레이저광을 조사하기 전보다도 라만 산란 강도(에너지 밀도=0mJ/cm²)가 저하하고 있는 것이, 평탄성이 향상되어 있는 것을 나타낸다. 도 16의 그래프로부터, 에너지 밀도를 조절함으로써, 대기 분위기 및 질소 분위기 모두, 레이저광의 조사로, 실리콘층의 평탄성을 향상시키는 것을 알았다.
- [0248] 도 17은, 대기 분위기에서 레이저광이 조사된 실리콘층(611)의 광학현미경의 암시야 상이고, 도 18은, 질소 분위기에서 레이저광이 조사된 실리콘층(611)의 광학 현미경의 암시야 상이다. 도 17, 도 18 모두, 레이저광을 조사하기 전의 실리콘층(606)의 암시야 상도 도시되어 있다.
- [0249] 암시야 관찰은 시료에 대하여 경사 방향으로부터 빛을 조명하고, 시료에 의한 산란광·회절광을 관찰하는 방법이다. 따라서, 시료의 표면이 평탄한 경우는, 조명광의 산란, 회절이 없기 때문에, 그 관찰상은 명도가 낮고, 검은 상(어두운 상)이 된다.
- [0250] 도 17, 도 18에 있어서, 레이저광 조사 전의 실리콘층(606)의 암시야 상이 검지 않기 때문에, 실리콘층(606)의 표면의 평탄성이 작은 것을 알았다. 또한, 도 17, 도 18에 도시하는 암시야 상으로부터, 에너지 밀도를 조절함으로써, 대기 분위기 및 질소 분위기 모두, 레이저광의 조사로 실리콘층(606)의 평탄성이 향상될 수 있음을 알았다.
- [0251] 도 19는 SEM상이다. 도 19a는 레이저광 조사 전의 실리콘층(606)의 SEM상이고, 도 19b는 대기 분위기에서 처리한 실리콘층(611)의 SEM상이고, 도 19c는, 질소 분위기에서 처리한 실리콘층(611)의 SEM상이다.
- [0252] 본 실시예에서는, 레이저에 엑시머 레이저를 사용하고 있었다. 비정질 실리콘막을 엑시머 레이저로 결정화하여 형성한 다결정 실리콘막의 표면에는 그 막두께 정도의 릿지(요철)가 생기는 것이 알려져 있다. 그러나, 도 19b 및 도 19c의 SEM상으로부터, 실리콘층(611)에는 이러한 커다란 릿지가 거의 발생하고 있지 않음을 알았다. 요컨대, 엑시머 레이저와 같은 펄스 레이저의 빔이, 실리콘층(606)의 평탄화에 유효한 것을 알았다.
- [0253] 도 20은 AFM에서 관찰한 AFM상이다. 도 20a는 레이저광 조사 전의 실리콘층(606)의 AFM상이고, 도 20b 내지 도 20e는, 레이저광 조사 후의 실리콘층(611)의 AFM상이고, 레이저광의 조사 분위기와 에너지 밀도가 다르다. 도 21a 내지 도 21e는 도 20a 내지 도 20e의 조감도에 대응한다.
- [0254] 도 20a 내지 도 20e의 AFM상을 바탕으로 계산된 표면 거칠기를 표 1에 나타낸다. 표 1에 있어서, Ra는 평균면 거칠기이고, RMS는 자승 평균면 거칠기이고, P-V는 산골짜기의 최대 고저 차 값이다.

표 1

실리콘층의 표면 거칠기

실리콘층	분위기	에너지 밀도 ^b [mJ/cm ²]	Ra [nm]	RMS [nm]	P-V [nm]
606 ^a	-	-	7.2	11.5	349.2
611	질소	431	5.4	7.0	202.8
611	대기	525	1.9	2.5	33.7
611	질소	525	2.3	3.0	38.1
611	질소	619	1.9	2.8	145.7

^a 레이저광 조사 전

^b 레이저광의 에너지 밀도

[0255]

- [0256] 레이저광 조사 전의 실리콘층(606)의 Ra는 7nm 이상이고, RMS는 11nm 이상이지만, 이 값은, 60nm 정도의 두께의 비정질 실리콘을 엑시머 레이저로 결정화하여 형성된 다결정 실리콘막의 값에 가깝다. 본 발명자들의 지견에서는, 이러한 다결정 실리콘막에서는, 실용적인 게이트 절연층의 두께는 다결정 실리콘막보다도 두꺼워진다. 따라서, 레이저 조사 처리를 하지 않는 실리콘층(606)을 박막화하여도, 10nm 이하의 두께의 게이트 절연층을 그 표면에 형성하는 것은 곤란하고, 박막화된 단결정 실리콘의 특장점을 살린 고성능의 트랜지스터를 제작하는 것은 대단히 어렵다.
- [0257] 한편, 레이저광이 조사된 실리콘층(611)에서는, Ra가 2nm 정도로 감소하고, RMS는 2.5nm 내지 3nm 정도로 감소하고 있다. 따라서, 이러한 평탄성을 갖는 실리콘층(611)을 박막화함으로써, 박막화된 단결정 실리콘층의 특장을 살린 고성능의 트랜지스터를 제작하는 것이 가능해진다.
- [0258] 이하, 레이저광의 조사에 의한 결정성의 향상에 관해서 설명한다.
- [0259] 도 22는, 레이저광을 조사하기 전의 실리콘층(606)과 조사한 후의 실리콘층(611)의 라만 시프트를 나타내는 그래프이고, 레이저광의 에너지 밀도에 대한 라만 시프트의 변화를 나타내는 그래프이다. 단결정 실리콘의 라만 시프트의 파수 520.6cm^{-1} 에 가까울수록, 결정성이 좋은 것을 나타내고 있다. 도 22의 그래프로부터, 에너지 밀도를 조절함으로써, 대기 분위기 및 질소 분위기 모두, 레이저광의 조사로 실리콘층(611)의 결정성을 향상시킬 수 있음을 알았다.
- [0260] 도 23은, 레이저광을 조사하기 전의 실리콘층(606)과, 조사 후의 실리콘층(611)의 라만 스펙트럼의 반치전폭(FWHM)을 나타내는 그래프이고, 레이저광(610)의 에너지 밀도에 대한 FWHM의 변화를 나타내는 그래프이다. 단결정 실리콘의 FWHM의 파수 2.77cm^{-1} 에 가까울수록, 결정성이 좋은 것을 나타내고 있다. 도 23의 그래프로부터, 에너지 밀도를 조절함으로써, 대기 분위기 및 질소 분위기 모두, 레이저광의 조사로 실리콘층(611)의 결정성을 향상시킬 수 있음을 알았다.
- [0261] 도 24a 내지 도 24c는 실리콘층 표면의 EBSD의 측정 데이터로부터 얻어진 역극점도(IPF, inverse pole figure) 맵이다. 도 24d는 결정의 각 면방위를 컬러 코드화하고, IPF 맵의 배색과 결정 방향의 관계를 나타내는 컬러 코드화 맵이다. 도 24a 내지 도 24c의 IPF 맵은 각각, 레이저광을 조사하기 전의 실리콘층(606), 대기 분위기에서 레이저광을 조사한 실리콘층(611), 질소 분위기에서 레이저광을 조사한 실리콘층(611)을 말한다.
- [0262] 도 24a 내지 도 24c의 IPF 맵에 의하면, 에너지 밀도가 $380\text{mJ}/\text{cm}^2$ 이상 $620\text{mJ}/\text{cm}^2$ 이하의 범위에서는 레이저광의 조사 전과 조사 후에 실리콘층의 방위가 흐트러지지 않고, 실리콘층(611) 표면의 면방위는 사용한 단결정 실리콘 기판(600)과 동일한 (100) 면방위를 유지하고, 결정립계는 존재하지 않는다. 이 사실은, 도 24d의 컬러 코드 맵의 (100) 방위를 나타내는 색(컬러 도면에서는 적색)으로, IPF 맵의 대부분이 나타나 있는 것으로 보아 이해된다. 또, 에너지 밀도가 $743\text{mJ}/\text{cm}^2$ 에서는, 대기 분위기 및 질소 분위기 모두, 실리콘층(611)의 결정 배향이 흐트러져 있기 때문에, 실리콘층(611)이 미결정화되어 있다고 생각된다. 도 24a 내지 도 24c에서 도시한 IPF 맵에 대하여, 배향 비율을 농담으로 표시한 것이 도 46a 내지 도 46c이다. 이 도면으로부터도 알 수 있는 것처럼, 에너지 밀도가 $380\text{mJ}/\text{cm}^2$ 이상 $620\text{mJ}/\text{cm}^2$ 이하의 범위에서는 어느 방위에 있어서도 배향 방향은 레이저광 조사 전후에서 동일하며, 또한 배향 비율이 거의 변화하고 있지 않다. 이 사실은 즉, 레이저광의 조사 전과 조사 후의 방위가 흐트러지지 않고, 실리콘(611) 표면의 면 방위는 사용한 단결정 실리콘 기판(600)과 동일한 {100} 면 방위를 유지하고, 결정 입계는 존재하고 있지 않는 것을 의미한다. 한편, 에너지 밀도가 $743\text{mJ}/\text{cm}^2$ 에서는 대기 분위기 및 질소 분위기 모두, 레이저 조사 전후의 IPF 맵을 비교하면 IPF 맵의 농담(배향 비율)에 변화가 보이고, 실리콘층(611)의 결정 배향을 흐트러지게 하고 있는 것을 알 수 있다. 동시에 측정시의 CI(Confience Index)치가 낮기 때문에, 에너지 밀도가 높은 조건하에서는 실리콘층(611)이 미결정화한다고 생각된다.
- [0263] 또한, 실리콘층(606)의 IPF 맵에는 CI치가 낮은 부분이 점형으로 많이 분포하고 있지만, 실리콘층(611)의 IPF 맵에서는, CI치가 낮은 부분이 실리콘층(606)보다도 감소한다. 또, CI치란, 결정 방향을 결정하는 데이터의 신뢰성, 확실도를 나타내는 지표치이다. 결정립계, 결정 결함 등으로 CI치가 낮아진다. 요컨대, CI치가 낮은 부분이 적을수록, 결정성이 좋다고 말할 수 있다.
- [0264] 이상, 표 1, 도 16 내지 도 24로부터, 대기 분위기 및 질소 분위기에서의 레이저광의 조사에 의해, 단결정 실리콘 기판으로부터 박리된 실리콘층의 평탄성의 향상, 및 결정성의 회복을 동시에 실현할 수 있음을 알았다. 본 실시예에서는, 평탄성의 향상 및 결정성의 회복을 동시에 실현할 수 있는 레이저광의 에너지 밀도는, 대기 분위기의 경우, $500\text{mJ}/\text{cm}^2$ 이상 $600\text{mJ}/\text{cm}^2$ 이하이고, 질소 분위기의 경우, $400\text{mJ}/\text{cm}^2$ 이상 $600\text{mJ}/\text{cm}^2$ 이하이고, 질소 분

위기 쪽이 사용 가능한 에너지 밀도의 범위가 넓은 것을 알 수 있다.

- [0265] [실시예 2]
- [0266] 본 실시예에서는, 레이저광의 조사 전, 및 조사 후의 SOI 기판의 반도체층의 표면 거칠기 및 결정학적인 물성에 관해서 설명한다. 우선, 도 25를 사용하여, 본 실시예의 SOI 기판의 제작 방법을 설명한다. 도 25에 도시하는 제작 방법은, 실시 형태 4에서 설명한 제작 방법에 대응한다.
- [0267] 반도체 기판으로서, 단결정 실리콘 기판(630)을 준비하였다(도 25a 참조). 단결정 실리콘 기판(630)은 5인치의 p 형 실리콘 기판이고, 그 면방위는 (100)이었다. 이하, 단결정 실리콘 기판(630)을 「c-Si 기판(630)」이라고 표기한다.
- [0268] c-Si 기판(630)을 순수로 세정하여, 건조하였다. 다음에, 평행 평판형 플라즈마 CVD 장치를 사용하여, c-Si 기판(630) 위에 산화질화실리콘막(631)을 형성하고, 산화질화실리콘막(631) 위에 질화산화실리콘막(632)을 형성하였다(도 25b 참조).
- [0269] 산화질화실리콘막(631)과 질화산화실리콘막(632)은 동일한 평행 평판형 플라즈마 CVD 장치를 사용하여, c-Si 기판(630)을 대기에 노출시키지 않고 연속적으로 형성하였다. 그 때의 성막 조건은 이하와 같았다. 여기에서는, 산화질화실리콘막(631)의 성막 전에, 60초간, 불산 수용액으로 세정하고, c-Si 기판(630)의 산화막을 제거하는 공정을 하였다.
- [0270] <산화질화실리콘막(631)>
- [0271] · 두께 50nm
- [0272] · 가스의 종류(유량)
- [0273] SiH₄(4sccm)
- [0274] N₂O(800sccm)
- [0275] · 기판 온도 400℃
- [0276] · 압력 40Pa
- [0277] · RF 주파수 27MHz
- [0278] · RF 파워 50W
- [0279] · 전극간 거리 15mm
- [0280] · 전극 면적 615.75cm²
- [0281] <질화산화실리콘막(632)>
- [0282] · 두께 50nm
- [0283] · 가스의 종류(유량)
- [0284] SiH₄(10sccm)
- [0285] NH₃(100sccm)
- [0286] N₂O(20sccm)
- [0287] H₂(400sccm)
- [0288] · 기판 온도 300℃
- [0289] · 압력 40Pa
- [0290] · RF 주파수 27MHz
- [0291] · RF 파워 50W

- [0292] · 전극간 거리 30mm
- [0293] · 전극 면적 615.75cm²
- [0294] 다음에, 도 25c에 도시하는 바와 같이, 이온 도핑 장치를 사용하여, 수소 이온(645)을 c-Si 기판(630)에 조사하여, 이온 주입층(633)을 형성하였다. 소스 가스로는 100% 수소 가스를 사용하였다. 플라즈마에 포함되는 이온화된 수소를 질량 분리하지 않고, 전계에서 가속하여 c-Si 기판(630)에 주입하였다. 상세한 조건은 다음과 같았다.
- [0295] · 소스 가스 H₂
- [0296] · RF 파워 150W
- [0297] · 가속 전압 40kV
- [0298] · 도즈량 1.75×10¹⁶ ions/cm²
- [0299] 이온 도핑 장치에 있어서, 수소 가스로부터 H⁺, H₂⁺, H₃⁺와 같은 3종류의 이온종이 생성되고, 이 모든 이온종을 c-Si 기판(630)에 도핑한다. 수소 가스로부터 발생된 이온종 중, 80% 정도가 H₃⁺이다.
- [0300] 이온 주입층(633)을 형성한 후, c-Si 기판(630)을 순수로 세정하고, 질화산화실리콘막(632) 위에, 플라즈마 CVD 장치를 사용하여, 두께 50nm의 산화실리콘막(634)을 형성하였다(도 25d 참조). 산화실리콘막(634)의 소스 가스로는 TEOS와 산소를 사용하였다. 산화실리콘막(634)의 성막 조건은 다음과 같았다.
- [0301] <산화실리콘막(634)>
- [0302] · 두께 50nm
- [0303] · 가스의 종류(유량)
- [0304] TEOS(15sccm)
- [0305] O₂(750sccm)
- [0306] · 기판 온도 300℃
- [0307] · 압력 100Pa
- [0308] · RF 주파수 27MHz
- [0309] · RF 파워 300W
- [0310] · 전극간 거리 14mm
- [0311] · 전극 면적 615.75cm²
- [0312] 유리기판(635)을 준비하였다. 유리기판(635)에는 아사히글래스사 제조의 알루미늄규산염유리기판(제품명 「AN100」)을 사용하였다. 유리기판(635), 및 산화실리콘막(634)이 형성된 c-Si 기판(630)을 세정하였다. 세정 처리로서, 순수중에서 초음파 세정과, 그 후의 오존을 포함하는 순수로 세정을 하였다.
- [0313] 다음에, 도 25e에 도시하는 바와 같이, 유리기판(635)과 c-Si 기판(630)을 밀접시킴으로써, 유리기판(635)과 산화실리콘막(634)을 접합시켰다. 이 공정에 의해, 유리기판(635)과 c-Si 기판(630)이 접합될 수 있다. 이 공정은 가열 처리를 동반하지 않는, 상온에서의 처리로서 행하였다.
- [0314] 다음에, 확산 노에 있어서 가열 처리를 하여, 도 25f에 도시하는 바와 같이, 이온 주입층(633)으로, c-Si 기판(630)을 분할하였다. 우선, 600℃에서 20분간의 가열 처리를 하고, 이어서, 가열 온도를 650℃로 상승하고, 또한 6.5분간 가열 처리를 하였다. 이 일련의 가열 처리에 의해서, c-Si 기판(630)에는 이온 주입층(633)에서 균열이 생겨, c-Si 기판(630)은 분할된 상태가 된다. 이 공정에서, 600℃ 이상에서 c-Si 기판(630)을 가열함으로써, 분리 후의 실리콘층(636)의 결정 구조를 단결정에 근접시킬 수 있다.
- [0315] 가열 처리의 종료 후, 확산 노로부터 유리기판(635)과 c-Si 기판(630')을 꺼내었다. 가열 처리에 의해서, c-Si 기판(630)은 유리기판(635)으로부터 분리할 수 있는 상태로 되어 있다. 도 25f에 도시하는 바와 같이, c-Si 기

판(630')을 제거하면, c-Si 기판(630)으로부터 분리된 실리콘층(636)이 유리기판(635)에 고정되어 있는 SOI 기판(638a)이 형성된다. 또, c-Si 기판(630')은 실리콘층(636)이 분리된 c-Si 기판(630)에 대응한다.

[0316] SOI 기판(638a)은, 유리기판(635) 위에, 산화실리콘막(634), 질화산화실리콘막(632), 산화질화실리콘막(631), 실리콘층(636)이, 이 순서로 순차 적층된 다층 구조를 갖는다. 본 실시예에서는, 실리콘층(636)의 두께는 120nm 정도이다.

[0317] 다음에, 드라이 에칭에 의해 실리콘층(636)의 두께를 얇게 하고, 박막화된 실리콘층(639)을 형성하였다. 에칭 가스로는 SF₆과 O₂의 혼합가스를 사용하였다. 이 에칭에 의해, 실리콘층(636)의 두께를 120nm로부터 100nm로 얇게 하였다. 또 25g의 SOI 기판(638b)은 박막화된 실리콘층(639)을 갖는 기판이다.

[0318] 다음에, 또 25g에 도시는 바와 같이 SOI 기판(638b)의 실리콘층(639)에 레이저광(640)을 조사하고, 실리콘층(641)을 갖는 SOI 기판(638c)을 형성하였다. 또 25h의 실리콘층(641)은 레이저광(640)의 조사 후의 실리콘층(639)에 대응한다. 다음에, 실리콘층(641)을 에칭하여, 그 두께를 얇게 하였다. 이상의 공정에서, 또 25i에 도시는 SOI 기판(638d)을 형성하였다. SOI 기판(638d)의 실리콘층(642)은 박막화된 실리콘층(641)에 대응한다. 또, 본 실시예에서는, 또 25a 내지 또 25h까지의 공정을 하여, 레이저광 조사 전의 실리콘층(639)과 조사 후의 실리콘층(641)의 표면 거칠기와, 결정성을 측정하였다.

[0319] 또 25g의 레이저광(640)을 조사하기 위해서 사용한 레이저의 사양은 다음과 같았다.

[0320] <레이저의 사양>

[0321] XeCl 엑시머 레이저

[0322] 파장 308nm

[0323] 펄스폭 25 nsec

[0324] 반복 주파수 30Hz

[0325] 레이저광(640)은 실린드릭 렌즈 등을 포함한 광학계에 의해, 빔스폿이 선형인 선형 빔으로 하였다. 레이저광(640)에 대하여 c-Si 기판(630)을 상대적으로 이동하면서, 레이저광(640)을 조사한다. 이 때 레이저광(640)의 조사 속도는, 1.0mm/sec으로 하고, 같은 영역에 12 쏘, 레이저광(640)이 조사되도록 한다.

[0326] 또한, 레이저광(640)의 분위기는 대기 분위기 또는 질소 분위기로 하였다. 본 실시예에서는, 질소 분위기는, 대기중의 레이저광(640)을 조사하면서, 질소가스를 피조사면으로 분사함으로써 형성하고 있다.

[0327] 레이저광(640)의 에너지 밀도를 약 360mJ/cm²로부터 약 750mJ/cm²의 범위로 변화시켜, 실리콘층(641)의 평탄화 및 결정성의 향상에 대한 레이저광(640)의 조사의 효과를 조사하였다. 에너지 밀도의 구체적인 값은 이하와 같다.

[0328] · 362mJ/cm²

[0329] · 404mJ/cm²

[0330] · 448mJ/cm²

[0331] · 495mJ/cm²

[0332] · 542mJ/cm²

[0333] · 590mJ/cm²

[0334] · 636mJ/cm²

[0335] · 680mJ/cm²

[0336] · 720mJ/cm²

[0337] · 754mJ/cm²

[0338] 우선, 레이저광의 조사에 의한 평탄화의 효과에 관해서 설명하고, 다음에, 결정성 향상의 효과에 관해서 설명한다.

- [0339] 도 26은 레이저광을 조사하기 전의 실리콘층(639)과 조사한 후의 실리콘층(641)의 라만 산란 강도를 나타내는 그래프이고, 레이저광의 에너지 밀도에 대한 라만 강도의 변화를 나타내는 그래프이다. 도 26의 그래프로부터, 에너지 밀도를 조절함으로써, 대기 분위기 및 질소 분위기 모두, 레이저광의 조사로 평탄성을 향상할 수 있음을 알았다.
- [0340] 도 27은, 대기 분위기에서 레이저광이 조사된 실리콘층(641)의 광학현미경의 암시야 상이고, 도 28은, 질소 분위기에서 레이저광이 조사된 실리콘층(641)의 광학현미경의 암시야 상이다. 도 27, 도 28 모두 레이저광을 조사하기 전의 실리콘층(639)의 암시야 상이다. 도 27, 도 28의 암시야 상으로부터, 에너지 밀도를 조절함으로써, 대기 분위기 및 질소 분위기 모두, 레이저광의 조사로 평탄성을 향상시킬 수 있음을 알았다.
- [0341] 도 29는, 실리콘층의 SEM상이다. 도 29a는 레이저광 조사 전의 실리콘층(639)의 SEM상이고, 도 29b는 대기 분위기에서 처리한 실리콘층(641)의 SEM상이고, 도 29c는 질소 분위기로 처리한 실리콘층(641)의 SEM상이다.
- [0342] 도 29b에 도시하는 바와 같이, 에너지 밀도가 448mJ/cm²일 때, 실리콘층(641)의 표면에 커다란 릿지가 발생하고 있지만, 에너지 밀도를 조절함으로써, 대기 분위기, 질소 분위기 모두 실리콘층(641)의 표면에 커다란 릿지를 발생하는 것을 회피할 수 있다. 요컨대, 엑시머 레이저와 같은 펄스 레이저의 빔이, 실리콘층(639)의 평탄화에 유효한 것을 알았다.
- [0343] 도 30은, 원자간력 현미경으로 관찰한 AFM상이다. 도 30a는 레이저광 조사 전의 실리콘층(639)의 AFM상이고, 도 30b 내지 도 30e는 레이저광 조사 후의 실리콘층(641)의 AFM상이고, 레이저광의 조사 분위기와 에너지 밀도가 다르다. 도 31a 내지 도 31e는, 도 30a 내지 도 30e의 조감도에 대응한다.
- [0344] 도 30a 내지 도 30e의 AFM상을 바탕으로 계산된 표면 거칠기를 표 2에 나타낸다. 표 2에 있어서, Ra는 평균면 거칠기이고, RMS는 자승 평균면 근 거칠기이고, P-V는 산골짜기의 최대 고저 차 값이다.

표 2

실리콘층의 표면 거칠기

실리콘층	분위기	에너지 밀도 ^b [mJ/cm ²]	Ra [nm]	RMS [nm]	P-V [nm]
639 ^a	-	-	6.7	10.4	336.0
611	질소	404	4.9	6.1	63.4
611	대기	495	5.6	7.2	169.6
611	질소	495	2.2	2.8	67.5
611	질소	590	1.3	1.7	92.4

^a 레이저광 조사 전 ^b 레이저광의 에너지 밀도

- [0345]
- [0346] 레이저광 조사 전의 실리콘층(639)의 Ra는 6nm 이상이고, RMS는 10nm 이상이지만, 레이저광이 조사된 실리콘층(641)에서는, Ra가 1nm 내지 2nm 정도로 감소하고, RMS는 2nm 내지 3nm 정도로 감소하고 있다. 따라서, 이러한 평탄성을 갖는 실리콘층(641)을 박막화함으로써, 박막화된 단결정 실리콘층의 특징을 살린 고성능의 트랜지스터를 제작하는 것이 가능해진다.
- [0347] 여기에서, 실리콘층(639)은 실시예 1의 실리콘층(606)을 박막화한 실리콘층에 대응한다. 바꾸어 말하면, 실리콘층(606)은 박막화되기 전의 실리콘층(639)이다. 표 1, 표 2의 실리콘층(606, 639)의 표면 거칠기는, 박막화 전과 후에, 평탄성에 큰 개선은 보이지 않는 것을 나타내고 있다. 이 사실로부터, 표면의 평탄성이 높고, 얇은 실리콘층을 형성하기 위해서는, 레이저광을 조사한 후에, 실리콘층의 두께를 얇게 하는 것이 대단히 유효한 것을 이해할 수 있다.
- [0348] 이하, 레이저광의 조사에 의한 결정성의 향상에 관해서 검토한다.
- [0349] 도 32는, 레이저광을 조사하기 전의 실리콘층(639)과 조사한 후의 실리콘층(641)의 라만 시프트를 나타내는 그래프이고, 레이저광의 에너지 밀도에 대한 라만 시프트의 변화를 나타내는 그래프이다. 단결정 실리콘의 라만 시프트의 파수520.6cm⁻¹에 가까울수록, 결정성이 좋은 것을 나타내고 있다. 도 32의 그래프로부터, 에너지 밀도를 조절함으로써, 대기 분위기 및 질소 분위기 모두, 레이저광의 조사로, 실리콘층(641)의 결정성이 향상하고 있다.
- [0350] 도 33은, 레이저광을 조사하기 전의 실리콘층(639)과, 조사 후의 실리콘층(641)의 라만 스펙트럼의 반치전폭

(FWHM)을 나타내는 그래프이고, 레이저광(640)의 에너지 밀도에 대한 FWHM의 변화를 나타내는 그래프이다. 단결정 실리콘의 FWHM의 파수 2.77cm^{-1} 에 가까울수록, 결정성이 좋은 것을 나타내고 있다. 도 33의 그래프로부터, 에너지 밀도를 조절함으로써, 대기 분위기 및 질소 분위기 모두, 레이저광의 조사로 결정성을 향상시킬 수 있음을 알 수 있다.

[0351] 도 34a 내지 도 34c는, 실리콘층 표면의 EBSF 측정 결과로부터 얻어진 IPF 맵이다. 도 34d는, 도 24d와 같은 컬러 코드 맵도이다. 도 34a 내지 도 34c의 IPF 맵은, 각각, 레이저광을 조사하기 전의 실리콘층(639), 대기 분위기에서 레이저광을 조사한 실리콘층(641), 질소 분위기에서 레이저광을 조사한 실리콘층(641)을 말한다.

[0352] 도 34a 내지 도 34c의 IPF 맵에 의하면, 에너지 밀도가 350 내지 $690\text{mJ}/\text{cm}^2$ 의 범위에서는 레이저광의 조사 전과 조사 후에 실리콘층의 방위가 흐트러지지 않고, 실리콘층(641) 표면의 면방위는 사용한 단결정 실리콘 기판(600)과 같은 (100) 방위를 유지하고, 입계가 나타나 있지 않다. 이 사실은, 도 34d의 컬러 코드 맵의 (100) 방위를 나타내는 색(컬러 도면에서는 적색)으로, IPF 맵의 대부분의 영역이 표시되어 있는 것으로 보아 이해된다. 또한, 실리콘층(639)의 IPF 맵에는 CI치가 낮은 부분이 점형으로 많이 분포하고 있지만, 실리콘층(641)의 IPF 맵에서는, 이 CI치가 낮은 부분은, 실리콘층(639)보다도 감소하고 있다.

[0353] 한편, 에너지 밀도가 $680\text{mJ}/\text{cm}^2$ 로서는, 대기 분위기 및 질소 분위기 모두, 실리콘층(641)의 결정 배향이 흐트러져 있기 때문에, 실리콘층(641)이 미결정화하고 있다고 생각된다. 도 34a 내지 도 34c에서 도시한 IPF 맵에 대하여, 배향 비율을 농담으로 표시한 것이 도 47a 내지 도 47c이다. 이 도면으로부터 알 수 있는 것처럼, 에너지 밀도가 $380\text{mJ}/\text{cm}^2$ 이상 $620\text{mJ}/\text{cm}^2$ 이하의 범위에서는, 어느 방위에 있어서도 배향 방향은 레이저광 조사 전후에서 동일하고, 또한 배향 비율이 거의 변화하지 않는다. 이 사실은 즉, 레이저광의 조사 전과 조사 후에 실리콘층의 방위가 흐트러지지 않고, 실리콘층(641) 표면의 면 방위는 사용한 단결정 실리콘 기판(600)과 동일한 {100} 면 방위를 유지하고, 결정 입계는 존재하고 있지 않는 것을 의미한다. 한편, 에너지 밀도가 $743\text{mJ}/\text{cm}^2$ 에서는, 대기 분위기 및 질소 분위기 모두, 레이저광 조사 전후의 IPF 맵을 비교하는 IPF 맵의 농담(배향 비율)에 변화가 보이고, 실리콘층(641)의 결정 배향을 흐트러지게 하고 있는 것을 알 수 있다. 동시에 측정시의 CI(Confidence Index)치가 낮기 때문에, 에너지 밀도가 높은 조건하에서는 실리콘층(641)이 미결정화하는 것으로 생각된다.

[0354] 이상, 표 2, 도 26 내지 도 34로부터, 대기 분위기 및 질소 분위기에서의 레이저광의 조사에 의해, 단결정 실리콘 기판으로부터 박리된 실리콘층의 평탄성의 향상, 및 결정성의 회복을 동시에 실현할 수 있음을 알았다. 또한, 본 실시예로부터, 평탄성의 향상 및 결정성의 회복을 동시에 실현할 수 있는 레이저광의 에너지 밀도는, 대기 분위기의 경우, $500\text{mJ}/\text{cm}^2$ 이상 $600\text{mJ}/\text{cm}^2$ 이하이고, 질소 분위기의 경우, $400\text{mJ}/\text{cm}^2$ 이상 $600\text{mJ}/\text{cm}^2$ 이하이고, 질소 분위기 쪽이, 사용 가능한 에너지 밀도의 범위가 넓은 것을 알 수 있다. 또한, 본 실시예에 의해, 표면의 평탄성이 높고, 결정성이 높고, 또한 얇은 실리콘층을 형성하기 위해서는, 레이저광을 조사한 후에, 실리콘층의 두께를 얇게 하는 것이 대단히 유효한 것을 알았다.

[0355] [실시예 3]

[0356] 본 실시예에서는, SOI 기판으로 제작된 트랜지스터의 전기적 특성에 관해서 설명한다. 본 실시예에서는, 레이저광 조사 처리의 유무가 트랜지스터의 전기적 특성에 영향을 미치는 것을 설명한다.

[0357] 우선, 도 35를 참조하여, 본 실시예의 트랜지스터의 제작 방법을 설명한다.

[0358] 도 35a는 SOI 기판(700)의 단면도이다. 본 실시예에서는, SOI 기판(700)으로서, 실시예 2의 방법으로 제작한 SOI 기판을 사용하였다. 유리기판(701), 산화실리콘막(702), 질화산화실리콘막(703), 및 산화질화실리콘막(704)은, 각각, 실시예 2의 SOI 기판의 유리기판(635), 산화실리콘막(634), 질화산화실리콘막(632), 및 산화질화실리콘막(631)에 대응한다. 또한, 도 35a에 있어서, 705를 붙인 층은 실리콘층이다.

[0359] 또한, 본 실시예에서는, SOI 기판(700)으로서 4종류의 SOI 기판을 준비하였다. 1개는, SOI 기판(638a)에 해당하는 기판이고, 레이저 조사 처리 전의 박막화 공정, 레이저광 조사 공정 양쪽 모두 행하고 있지 않는 SOI 기판이다. 이 기판을 「SOI 기판(700-1)」이라고 부르기로 한다. 두번째는 박막화 공정을 하고 있지만, 그 후의 레이저광 조사 공정을 하고 있지 않는 SOI 기판이다. 이 기판을 「SOI 기판(700-2)」이라고 부르기로 한다. 세번째는 SOI 기판(638b)에 해당하는 기판이며, 박막화 공정을 하지 않고서, 레이저광 조사 공정을 하고 있는 SOI 기판이다. 이 기판을 「SOI 기판(700-3)」이라고 부르기로 한다. 네번째는, 박막화 공정 및 레이저광 조사 공정을 양쪽 모두 행하고 있는 SOI 기판이다. 이 기판을 「SOI 기판(700-4)」이라고 부르기로 한다. 여기에서는, 박막화 공정을 하고 있지 않는 SOI 기판(700-1 및 700-3)의 실리콘층의 두께는 120nm 정도이고, 박막화

공정을 하고 있는 SOI 기판(700-2 및 700-4)의 두께는 100nm 정도이다. 표 3에, 본 실시예에서 제작한 4종류의 SOI 기판의 제조 프로세스를 정리한다.

표 3

SOI 기판(700-1 내지 700-4)의 제작 방법

SOI 기판	박막화 공정	레이저광 조사 공정	실리콘층의 두께
700-1	N ^a	N	120 nm
700-2	Y ^b	N	100 nm
700-3	N	Y	120 nm
700-4	Y	Y	100 nm

^aN: 없음 Y: 있음

[0360]

[0361]

또, SOI 기판(700-3) 및 SOI 기판(700-4)의 레이저 조사 공정은 대기 분위기 및 질소 분위기에서 행하였다. 레이저광의 조사 에너지 밀도는, 대기 분위기의 경우는 500mJ/cm²이고, 질소 분위기의 경우는, 400mJ/cm², 500mJ/cm², 및 600mJ/cm²이었다.

[0362]

SOI 기판(700)의 실리콘층(705)을 소망의 형상으로 에칭하고, 실리콘층(711), 및 실리콘층(712)을 형성하였다(도 35b 참조). 실리콘층(711)은 p 채널형 트랜지스터를 구성하고, 실리콘층(712)은 n 채널형 트랜지스터를 구성하였다. 본 실시예에서는, 실리콘층(711, 712)에 대하여, 트랜지스터의 임계치 전압을 조절하기 위한 채널 도핑은 행하고 있지 않다.

[0363]

다음에, 평행 평판형 플라즈마 CVD 장치를 사용하여, 산화질화실리콘막(713)을 두께 115nm 형성하였다. 산화질화실리콘막(713)은 게이트 절연층을 구성한다. 산화질화실리콘막(713)의 소스 가스로는 SiH₄ 및 N₂O를 사용하였다.

[0364]

다음에, 산화질화실리콘막(713)을 개재하여, 실리콘층(711) 및 실리콘층(712) 위에, 각각, 게이트 전극(714), 게이트 전극(715)을 형성하였다. 게이트 전극(714, 715)은, 막두께 30nm의 질화탄탈막과, 막두께 370nm의 텅스텐막의 적층막으로 된다. 질화탄탈막 및 텅스텐막은 스퍼터장치로 성막하였다. 그리고, 드라이 에칭장치에 의해, 이들 막으로 이루어지는 적층막을 소망의 형상으로 에칭하고, 게이트 전극(714, 715)을 형성하였다.

[0365]

다음에, n 채널형 트랜지스터가 되는 영역을 레지스트로 마스크하였다. 그리고, 도핑장치를 사용하여, 실리콘층(711)에 인을 첨가하였다. 인의 첨가 공정에서는, 이온의 소스 가스로, H₂로 희석된 5% PH₃ 가스를 사용하고, 도즈량을 3.0×10¹⁵ ions/cm²로 하고, 가속 전압을 80kV로 하였다. 이 공정에서, 게이트 전극(714)이 마스크가 되고, 실리콘층(711)에 소스 영역(716), 드레인 영역(717) 및 채널 형성 영역(718)이 자기정합적으로 형성된다(도 35c 참조).

[0366]

이어서, 레지스트를 제거한 후, p 채널형 트랜지스터가 되는 영역을 별도의 레지스트로 마스크하였다. 그리고, 도핑장치를 사용하여, 실리콘층(712)에 붕소를 첨가하였다. 붕소의 첨가 공정에서는, 이온의 소스 가스로, H₂로 희석된 15% B₂H₆ 가스를 사용하여, 도즈량을 1.6×10¹⁶ ions/cm²로 하고, 가속 전압을 80kV로 하였다. 이 공정에서, 게이트 전극(715)이 마스크가 되고, 실리콘층(712)에 소스 영역(719), 드레인 영역(720) 및 채널 형성 영역(721)이 자기정합적으로 형성된다(도 35c 참조).

[0367]

레지스트를 제거한 후, 플라즈마 CVD 장치에 의해, 소스 가스로는 SiH₄ 및 N₂O를 사용하여, 두께 50nm의 산화질화실리콘막(723)을 형성하였다(도 35d). 이어서, 실리콘층(711)에 첨가된 인, 및 실리콘층(712)에 첨가된 붕소를 활성화하기 위해서, 550℃에서, 4시간의 가열 처리를 하였다. 다음에, 플라즈마 CVD 장치에 있어서, 두께 100nm의 질화산화실리콘막(724), 및 두께 600nm의 산화질화실리콘막(725)을 연속하여 형성하였다. 질화산화실리콘막(724)의 소스 가스로는 SiH₄, NH₃, N₂O 및 H₂를 사용하였다. 산화질화실리콘막(725)의 소스 가스로는 SiH₄ 및 N₂O를 사용하였다.

[0368]

다음에, 게이트 전극, 소스 전극 및 드레인 전극을 위한 콘택트홀을 형성하였다. 우선, 레지스트의 마스크를 형성하였다. 이 마스크를 사용하여, 산화질화실리콘막(725)에 대하여, 불산을 사용한 웨트 에칭 처리를 하였다. 또한, 같은 마스크를 사용하여, 산화질화실리콘막(713), 산화질화실리콘막(723) 및 질화산화실리콘막

(724)으로 이루어지는 적층막에 대하여, CHF₃ 및 He의 혼합가스를 사용한 드라이 에칭 처리를 하였다. 이상에 의해, 게이트 전극(714, 715) 및 각 영역(716, 717, 719, 720)에 달하는 콘택트홀을 형성하였다.

[0369] 다음에, 산화질화실리콘막(725) 위에, 스퍼터장치에 의해, 두께 100nm의 티타늄막, 두께 300nm의 순알루미늄막, 두께 100nm의 티타늄막의 적층막을 형성하였다. 다음에 드라이 에칭 처리에 의해, 이 적층 구조를 에칭하여, p 채널형 트랜지스터의 소스 전극(726) 및 드레인 전극(727), 및 n 채널형 트랜지스터의 소스 전극(728) 및 드레인 전극(729)을 형성하였다. 또한, 게이트 전극(714) 및 게이트 전극(715)에 접속되는 전극도 형성하였다. 이상의 공정에서, SOI 기판(700)에서 제작된 p 채널형 트랜지스터 및 n 채널형 트랜지스터가 완성된다.

[0370] 본 실시예에서는, p 채널형 트랜지스터 및 n 채널형 트랜지스터에 관해서, 드레인 전류 I_D-게이트 전압 V_G 특성(이하, I_D-V_G 특성이라고 부름.)을 측정하였다. 측정한 트랜지스터는, p 채널형 및 n 채널형 모두, 그 채널 길이는 10 μ m이고, 채널 폭은 8 μ m 이다.

[0371] V_D-I_G 특성을 측정한 결과, 레이저 조사 공정을 한 SOI 기판(700-3, 700-4)으로 제작한 p 채널형 트랜지스터 및 n 채널형 트랜지스터는, 트랜지스터로서 동작하는 것을 알 수 있다. 이것에 대하여, 레이저 조사 공정을 하고 있지 않는 SOI 기판(700-1, 700-2)으로 제작한 p 채널형 트랜지스터 및 n 채널형 트랜지스터는 트랜지스터로서 동작하지 않는 것을 알았다. 도 36a 내지 도 36c 및 도 37a 내지 도 37c에 각 트랜지스터의 I_D-V_G 특성의 측정 결과를 도시한다. 각 도면에 있어서, 좌측에 p 채널형 트랜지스터의 그래프를 나타내고, 우측에 n 채널형 트랜지스터의 그래프를 나타낸다.

[0372] 도 36a, 도 36b는 SOI 기판(700-3)의 데이터이고, 도 36c는, SOI 기판(700-1)의 데이터이다. 또, 도 36a의 SOI 기판(700-3)의 레이저 조사 공정은 대기 분위기에서 행하고, 레이저광의 조사 에너지 밀도는 500mJ/cm²이었다. 도 36b에서는, 레이저 조사 공정은 질소 분위기에서 행하고, 레이저광의 조사 에너지 밀도는 500 또는 600mJ/cm²이었다. 또, 질소 분위기에서 레이저 조사 처리를 한 SOI 기판(700-3)에서는, 레이저광의 조사 에너지 밀도가 400mJ/cm², 및 500mJ/cm²의 경우도, 600mJ/cm²의 경우와 마찬가지로 트랜지스터가 기능하고 있음을 확인하고 있다.

[0373] 또한, 도 37a, 도 37b는 SOI 기판(700-4)의 데이터이고, 도 37c는, SOI 기판(700-2)의 데이터이다. 도 37a의 SOI 기판(700-4)의 레이저 조사 공정은 대기 분위기에서 행하고, 레이저광의 조사 에너지 밀도는 500mJ/cm²이었다. 도 37b에서는, 레이저 조사 공정은 질소 분위기에서 행하고, 레이저광의 조사 에너지 밀도는 500mJ/cm²이었다. 또, 질소 분위기에서 레이저 조사 처리를 한 SOI 기판(700-4)에서는, 레이저광의 조사 에너지 밀도가 400mJ/cm², 및 600mJ/cm²의 경우도, 500mJ/cm²의 경우와 같이 트랜지스터가 동작하는 것을 확인하고 있다.

[0374] 도 36 및 도 37의 I_D-V_G 특성의 그래프는, 단결정 실리콘 기판으로부터 분리된 실리콘층에 대한 레이저광의 조사 처리의 유무가, 트랜지스터로서 동작하는지의 여부를 결정하고 있는 것을 나타내고 있다. 따라서, 레이저 조사 처리는, 유리기판(변형 점이 700℃ 이하인 기판)에 접촉된 실리콘층으로부터, 동작 가능한 트랜지스터를 제작하기 위한 중요한 처리이다. 그리고, 레이저 조사 처리 후에, 실리콘층을 박막화함으로써, 트랜지스터의 성능을 향상시키는 것이 가능해진다.

[0375] [실시예 4]

[0376] 본 실시예에서는, 본 명세서에 있어서 표면의 평탄성의 지표에 사용하는 평균면 거칠기 Ra, 자승 평균면 거칠기 RMS, 및 산골짜기의 최대 고저 차 P-V에 관해서 설명한다.

[0377] 평균면 거칠기(Ra)란, JISB0601:2001(ISO4287:1997)로 정의되어 있는 중심선 평균 거칠기 Ra를, 측정면에 대하여 적용할 수 있도록 삼차원으로 확장한 것이다. 기준면으로부터 지정면까지의 편차의 절대치를 평균한 값이고, 식 1로 주어진다.

[0378]
$$R_a = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |F(x, y) - Z_0| dx dy \quad \dots(1)$$

[0379] 측정면이란 전측정 데이터를 나타내는 면이고, 식 2로 주어진다.

[0380]
$$z = F(x, y) \quad \dots(2)$$

[0381] 지정면이란, 거칠기가 측정의 대상이 되는 면이고, 좌표(X₁, Y₁)(X₁, Y₂)(X₂, Y₁)(X₂, Y₂)로 나타나는 4점에 의해

둘러싸이는 직사각형의 영역으로 하고, 지정면이 이상적으로 플랫(flat)하다고 하였을 때의 면적을 S_0 으로 한다. 따라서, S_0 은 식 3으로부터 구해진다.

[0382]
$$S_0 = (X_2 - X_1)(Y_2 - Y_1) \quad \dots(3)$$

[0383] 기준면이란, 지정면의 높이의 평균치를 Z_0 이라고 할 때, $Z=Z_0$ 으로 나타나는 평면이다. 기준면은 XY 평면과 평행하게 된다. Z_0 는 식 4에서 구해진다.

[0384]
$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X,Y) dXdY \quad \dots(4)$$

[0385] 자승 평균면 거칠기(RMS)란, 단면 곡선에 대한 RMS를, 측정면에 대하여 적용할 수 있도록, 평균면 거칠기(Ra)와 마찬가지로 삼차원으로 확장한 것이다. 기준면으로부터 지정면까지의 편차의 제곱을 평균한 값의 평방근이고, 식 5로 주어진다.

[0386]
$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X,Y) - Z_0\}^2 dXdY} \quad \dots(5)$$

[0387] 산골짜기의 최대 고저 차(P-V)란 지정면에서, 가장 높은 산꼭대기(山頂)의 표고(標高) Z_{max} 와 가장 낮은 골짜기 바닥의 표고 Z_{min} 의 차이이고, 식 6으로 주어진다.

[0388]
$$P - V = Z_{max} - Z_{min} \quad \dots(6)$$

[0389] 산골짜기의 최대 고저 차(P-V)에 있어서의 산꼭대기(山頂), 골짜기 바닥(谷底)이란, JISB0601:2001(ISO4287:1997)로 정의되어 있는 「산꼭대기」, 「골짜기 바닥」을, 각각, 삼차원으로 확장한 것이다. 산꼭대기란 지정면의 산에 있어서 가장 표고가 높은 곳이다. 골짜기 바닥이란 지정면의 골짜기에 있어서 가장 표고가 낮은 곳이다.

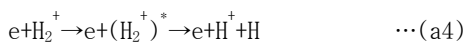
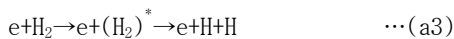
[0390] [실시예 5]

[0391] 본 실시예에서는 이온 주입층을 형성하는 방법에 관해서 설명한다.

[0392] 이온 주입층의 형성은, 수소(H)에 유래하는 이온(이하 「수소 이온종」이라고 부름)을 가속하여, 반도체 기판에 조사함으로써 할 수 있다. 보다 구체적으로는, 수소 가스 또는 수소를 조성에 포함하는 가스를 소스 가스(원재료)로서 사용하고, 소스 가스를 여기하여 수소 플라즈마를 발생시켜, 상기 수소 플라즈마 중의 수소 이온종을 반도체 기판에 대하여 조사함으로써, 반도체 기판중에 이온 주입층을 형성하고 있다.

[0393] [수소 플라즈마 중의 이온]

[0394] 상기와 같은 수소 플라즈마중에는 H^+ , H_2^+ , H_3^+ 와 같은 수소 이온종이 존재한다. 이하에, 각 수소 이온종의 반응 과정(생성 과정, 소멸 과정)을 나타내는 반응식을 열거한다.





[0404] 도 38에, 상기 반응의 일부를 모식적으로 나타낸 에너지 다이어그램을 도시한다. 또, 도 38에 도시하는 에너지 다이어그램은 모식도에 불과하며, 반응에 관련되는 에너지의 관계를 엄밀하게 규정하는 것이 아닌 점에 유의하고자 한다.

[0405] [H_3^+ 의 생성 과정]

[0406] 상기한 바와 같이, H_3^+ 는, 주로 반응식(a5)에 의해 나타나는 반응 과정에 의해 생성된다. 한편으로, 반응식(a5)과 경합하는 반응으로서, 반응식(a6)에 의해 나타나는 반응 과정이 존재한다. H_3^+ 가 증가하기 위해서는, 적어도, 반응식(a5)의 반응이, 반응식(a6)의 반응보다 많이 일어날 필요가 있다(또, H_3^+ 가 감소하는 반응으로서는 그 외에도 (a7), (a8), (a9)가 존재하기 때문에, (a5)의 반응이 (a6)의 반응보다 많다고 하여, 반드시 H_3^+ 가 증가한다고는 한정되지 않는다.). 반대로, 반응식(a5)의 반응이, 반응식(a6)의 반응보다 적은 경우에는 플라스마중에 있어서의 H_3^+ 의 비율은 감소한다.

[0407] 각 반응식에 있어서, 우변(가장 우변)의 생성물의 증가량은 그 좌변(가장 좌변)에 나타내는 원료의 농도나, 그 반응에 따른 속도 계수 등에 의존한다. 여기에서, H_2^+ 의 운동 에너지가 약 11eV보다 작은 경우에는 (a5)의 반응이 주위가 되어(즉, 반응식(a5)에 따른 속도 계수가, 반응식(a6)에 따른 속도 계수와 비교하여 충분히 커지고), H_2^+ 의 운동 에너지가 약 11eV보다 큰 경우에는 (a6)의 반응이 주요하게 되는 것이 실험적으로 확인되어 있다.

[0408] 하전 입자는 전장으로부터 힘을 받아 운동 에너지를 얻는다. 상기 운동 에너지는 전장에 의한 포텐셜 에너지의 감소량에 대응하고 있다. 예를 들면, 어떤 하전(荷電) 입자가 다른 입자와 충돌하기까지 사이에 얻는 운동 에너지는, 하전 입자가 이동함으로써 잃어버리는 포텐셜 에너지와 같다. 요컨대, 전장 중에 있어서, 다른 입자와 충돌하지 않고 긴 거리를 이동할 수 있는 상황에서는, 그렇지 않는 상황과 비교하여, 하전 입자의 운동 에너지(의 평균)는 커지는 경향이 있다. 이렇게, 하전 입자의 운동 에너지가 증대하는 경향은, 입자의 평균 자유 행정이 큰 상황, 즉, 압력이 낮은 상황에서 생길 수 있다.

[0409] 또한, 평균 자유 행정이 작아도, 충돌까지 커다란 운동 에너지를 얻을 수 있는 상황이면, 하전 입자의 운동 에너지는 커진다. 즉, 평균 자유 행정이 작아도, 전위차가 큰 상황이면, 하전 입자가 가지는 운동 에너지는 커진다고 말할 수 있다.

[0410] 이것을 H_2^+ 에 적용해 본다. 플라스마의 생성에 따른 챔버내와 같이 전장의 존재를 전제로 하면, 상기 챔버내의 압력이 낮은 상황에서는 H_2^+ 의 운동 에너지는 커지고, 상기 챔버내의 압력이 높은 상황에서는 H_2^+ 의 운동 에너지는 작아진다. 요컨대, 챔버내의 압력이 낮은 상황에서는 (a6)의 반응이 주요하게 되기 때문에, H_3^+ 는 감소하는 경향이 되고, 챔버내의 압력이 높은 상황에서는 (a5)의 반응이 주요하게 되기 때문에, H_3^+ 는 증가하는 경향이 된다. 또한, 플라스마 생성 영역에서의 전장(또는 전계)이 강한 상황, 즉, 어떤 2점간의 전위차가 큰 상황에서는, H_2^+ 의 운동 에너지는 커진다. 반대의 상황에서는, H_2^+ 의 운동 에너지는 작아진다. 요컨대, 전장이 강한 상황에서는 (a6)의 반응이 주요하게 되기 때문에 H_3^+ 는 감소하는 경향이 되고, 전장이 약한 상황에서는 (a5)의 반응이 주요하게 되기 때문에, H_3^+ 는 증가하는 경향이 된다.

[0411] [이온원에 의한 차이]

[0412] 여기에서, 이온종의 비율(특히 H_3^+ 의 비율)이 다른 예를 나타낸다. 도 39는, 100% 수소 가스(이온원의 압력:

4.7×10^{-2} Pa)로부터 생성되는 이온의 질량 분석 결과를 나타내는 그래프이다. 횡축은 이온의 질량이다. 스펙트럼 중, 질량 1, 2, 3의 피크는, 각각, H^+ , H_2^+ , H_3^+ 에 대응한다. 종축은, 스펙트럼의 강도이고, 이온의 수에 대응한다. 도 39에서는 질량이 다른 이온의 수량을, 질량 3의 이온을 100으로 한 경우의 상대비로 나타낸다. 도 39로부터, 상기 이온원에 의해 생성되는 이온의 비율은, $H^+:H_2^+:H_3^+ = 1:1:8$ 정도가 되는 것을 알 수 있다. 또, 이러한 비율의 이온은 플라즈마를 생성하는 플라즈마 소스부(이온원)와, 상기 플라즈마로부터 이온빔을 끌어내기 위한 인출 전극 등으로 구성되는 이온 도핑 장치에 의해서도 얻을 수 있다.

[0413] 도 40은 도 39와는 다른 이온원을 사용한 경우로서, 이온원의 압력이 대략 3×10^{-3} Pa일 때에, PH_3 로부터 생성한 이온의 질량 분석 결과를 나타내는 그래프이다. 이 질량 분석 결과는, 수소 이온종에 착안한 것이다. 또한, 질량분석은, 이온원으로부터 끌려나온 이온을 측정함으로써 행하였다. 도 39와 마찬가지로 도 40의 그래프의 횡축은 이온의 질량을 나타내고, 질량 1, 2, 3의 피크는, 각각 H^+ , H_2^+ , H_3^+ 에 대응한다. 그 종축은 이온의 수량에 대응하는 스펙트럼의 강도이다. 도 40으로부터, 플라즈마 중의 이온의 비율은 $H^+:H_2^+:H_3^+ = 37:56:7$ 정도인 것을 알 수 있다. 또, 도 40은 소스 가스가 PH_3 의 경우의 데이터이지만, 소스 가스로서 100% 수소 가스를 사용하였을 때도, 수소 이온종의 비율은 같은 정도로 된다.

[0414] 도 40의 데이터를 얻은 이온원의 경우에는 H^+ , H_2^+ 및 H_3^+ 중, H_3^+ 가 7% 정도밖에 생성되어 있지 않다. 다른 한편, 도 39의 데이터를 얻은 이온원의 경우에는 H_3^+ 의 비율을 50% 이상(도 39의 데이터에서는 80% 정도)으로 하는 것이 가능하다. 이것은, 상기 $[H_3^+]$ 의 생성 과정의 고찰에 있어서 명백하게 된 챔버내의 압력 및 전장에 기인하는 것으로 생각된다.

[0415] $[H_3^+]$ 의 조사 메카니즘

[0416] 도 39와 같은 복수의 이온종을 포함하는 플라즈마를 생성하고, 생성된 이온종을 질량 분리하지 않고 반도체 기판에 조사하는 경우, 반도체 기판의 표면에는 H^+ , H_2^+ , H_3^+ 의 각 이온이 조사된다. 이온의 조사로부터 이온 주입층의 형성까지의 메카니즘을 고찰하기 위해서, 다음의 5종류의 모델(모델 1 내지 5)을 생각한다.

[0417] 1. 조사되는 이온종이 H^+ 이고, 조사 후도 $H^+(H)$ 인 경우

[0418] 2. 조사되는 이온종이 H_2^+ 이고, 조사 후도 $H_2^+(H_2)$ 인 채인 경우

[0419] 3. 조사되는 이온종이 H_2^+ 이고, 조사 후에 2개의 $H(H^+)$ 로 분열하는 경우

[0420] 4. 조사되는 이온종이 H_3^+ 이고, 조사 후도 $H_3^+(H_3)$ 인 채인 경우

[0421] 5. 조사되는 이온종이 H_3^+ 로, 조사 후에 3개의 $H(H^+)$ 로 분열하는 경우.

[0422] [시뮬레이션 결과와 실측치의 비교]

[0423] 상기 모델 1 내지 5를 기초로 하여, 수소 이온종을 Si 기판에 조사하는 시뮬레이션을 하였다. 시뮬레이션용의 소프트웨어로서, SRIM(the Stopping and Range of Ions in Matter)을 사용하였다. SRIM은 몬테카를로법(Monte Carlo method)에 의한 이온 도입 과정의 시뮬레이션 소프트웨어이고, TRIM(the Transport of Ions in Matter)의 개량판이다. 또, SRIM은 비정질 구조를 대상으로 하는 소프트웨어기는 하지만, 고에너지, 고도즈의 조건으로 수소 이온종을 조사하는 경우에는 SRIM을 적용하는 것이 가능하다. 그것은, 수소 이온종과 Si 원자의 충돌에 의해, Si 기판의 결정 구조가 비단결정 구조로 변화하기 때문이다.

[0424] 이하에, 시뮬레이션 결과에 관해서 설명한다. 또, 본 실시예의 시뮬레이션에서는 모델 2를 사용한 계산에서는 H_2^+ 를 질량 2배인 H^+ 로 교체하고 있다. 또한, 모델 3에서는 H_2^+ 를 운동 에너지 1/2인 H^+ 로 교체하고, 모델 4에서

는 H_3^+ 를 질량 3배인 H^+ 로 교체하고, 모델 5에서는 H_3^+ 를 운동 에너지 1/3인 H^+ 로 교체하고 있다.

- [0425] 상기 모델 1 내지 모델 5를 사용하여, 가속 전압 80kV에서 수소 이온종을 Si 기판에 조사한 경우(H 환산으로 10만개 조사시)에 관해서, 각각, Si 기판 중의 수소 원소(H)의 깊이 방향의 분포를 계산하였다. 도 41에, 그 계산 결과를 나타낸다. 또한, 도 41에, Si 기판중의 수소 원소(H)의 깊이 방향의 분포의 실측치도 나타낸다. 이 실측치는, SIMS(Secondary Ion Mass Spectroscopy)에 의해 측정된 데이터(이하, SIMS 데이터라고 부름.)이다. SIMS로 측정된 시료는, 도 39의 데이터를 측정된 조건으로 생성한 수소 이온종(H^+ , H_2^+ , H_3^+)을, 가속 전압 80kV로 조사한 Si 기판이다.
- [0426] 도 41에 있어서, 모델 1 내지 모델 5를 사용한 계산치의 그래프의 종축은, 각각, 수소 원자의 수를 나타내는 우측 종축이다. SIMS 데이터의 그래프의 종축은, 수소 원자의 농도를 나타내는 좌측 종축이다. 계산치 및 SIMS 데이터 모두가, 그 그래프의 횡축은 Si 기판 표면에서의 깊이를 나타내고 있다.
- [0427] 실측치인 SIMS 데이터와 계산치를 비교하면, 모델 2 및 모델 4는 분명히 SIMS 데이터의 그래프로부터 벗어나고 있고, 또한, SIMS 데이터에는 모델 3에 대응하는 피크는 존재하고 있지 않다. 이 사실로부터, 모델 2 내지 모델 4의 기여는, 모델 1 및 모델 5의 기여보다도, 상대적으로 작은 것을 알 수 있다. 이온의 운동 에너지의 단위가 keV인 데 대하여, H-H의 결합에너지는 수 eV 정도에 불과한 것을 생각하면, 모델 2 및 모델 4의 기여가 작은 것은, Si 원소와의 충돌에 의해, 대부분의 H_2^+ 나 H_3^+ 가, H^+ 나 H로 분리하고 있기 때문이라고 생각된다.
- [0428] 따라서, 모델 2 내지 모델 4는 이하의 고찰에서는 고려하지 않는다. 다음에, 모델 1 및 모델 5를 사용하여, 가속 전압이 80kV, 60kV, 및 40kV이며, 수소 이온종을 Si 기판에 조사한 경우(H 환산으로 10만개 조사시)를 시뮬레이션한 결과를 설명한다.
- [0429] 도 42 내지 도 44에, Si 기판중의 수소(H)의 깊이 방향의 분포를 계산한 결과를 나타낸다. 도 42, 도 43 및 도 44에는 각각, 가속 전압이 80kV, 60kV, 및 40kV의 경우의 계산 결과가 나타내어지고 있다. 또한, 도 42 내지 도 44에는 실측치인 SIMS 데이터, 및 SIMS 데이터에 피팅(fitting)한 커브(이하, 피팅 함수라고 부름)도 나타내어지고 있다. SIMS로 측정된 시료는, 도 39의 데이터를 측정된 조건으로 생성한 수소 이온종(H^+ , H_2^+ , H_3^+)을, 가속 전압 80kV, 60kV, 또는 40kV에서 가속하고, 조사한 Si 기판이다. 또, 모델 1 및 모델 5를 사용한 계산치의 그래프의 종축은 우측 종축의 수소 원자의 수이고, SIMS 데이터 및 피팅 함수의 그래프의 종축은 좌측 종축의 수소 원자의 농도이다. 또한, 각 그래프의 횡축은 Si 기판 표면으로부터의 깊이를 나타내고 있다.
- [0430] 여기에서는, 피팅 함수는 모델 1 및 모델 5를 고려하여 이하의 계산식(f1)에 의해 구하고 있다. 계산식(f1) 중, X, Y는 피팅에 따른 파라미터이고, V는 체적이다.
- [0431] [피팅 함수]
- [0432] = $X/V \times [\text{모델 1의 데이터}] + Y/V \times [\text{모델 5의 데이터}] \dots (f1)$
- [0433] 피팅 함수의 결정에는 현실에 조사되는 이온종의 비율($H^+ : H_2^+ : H_3^+ = 1:1:8$ 정도, 도 39 참조.)을 생각하면, H_2^+ 의 기여(즉, 모델 3)에 대해서도 고려해야 하지만, 이하에 나타내는 이유에 의해, 여기에서는, H_2^+ 의 기여를 제외하고 있다.
- [0434] · 모델 3에 나타내어지는 조사과정에 의해 도입되는 수소는, 모델 5의 조사과정과 비교하여 조금이기 때문에, 제외하여도 큰 영향은 없다(SIMS 데이터에 모델 3에 대응하는 피크가 나타나고 있지 않다. 도 41 참조.).
- [0435] · 모델 3에 의한 Si 기판중의 수소 원소의 깊이 방향 프로파일은, 모델 5의 깊이 방향 프로파일과 피크 위치가 가깝기 때문에(도 41 참조.), 모델 3의 기여는, 모델 5의 조사과정에서 생기는 채널링(결정의 격자구조에 기인하는 원자의 이동)에 의해 숨어 버릴 가능성이 높다. 즉, 모델 3의 피팅 파라미터를 어렵히는 것은 곤란하다. 이것은, 본 시뮬레이션이 비정질 Si를 전제로 하고 있고, 결정성에 기인하는 영향을 고려하고 있지 않는 것에 의한 것이다.
- [0436] 도 45에, 계산식(f1)의 피팅 파라미터를 나타낸다. 어느 가속 전압에 있어서도, Si 기판에 도입되는 H의 수의 비는, [모델 1]:[모델 5]= 1:42 내지 1:45 정도(모델 1에 있어서의 H의 수를 1로 한 경우, 모델 5에 있어서의 H

의 수는 42 이상 45 이하 정도)이고, 조사되는 이온종의 수의 비는, $[H^+(\text{모델 1})]:[H_3^+(\text{모델 5})]= 1:14$ 내지 1:15 정도(모델 1에 있어서의 H^+ 의 수를 1로 한 경우, 모델 5에 있어서의 H_3^+ 의 수는 14 이상 15 이하 정도)이다. 모델 3을 고려하고 있지 않는 것이나, 비정질 Si라고 가정하여 계산하고 있는 것 등을 생각하면, 도 45에 나타내는 비는, 실제의 조사에 따른 수소 이온종의 비($H^+:H_2^+:H_3^+= 1:1:8$ 정도, 도 39 참조.)에 가까운 값이 얻어지고 있다고 말할 수 있다.

[0437] $[H_3^+$ 를 사용하는 효과]

[0438] 도 39에 도시하는 바와 같은 H_3^+ 의 비율을 높인 수소 이온종을 기관에 조사함으로써, H_3^+ 에 기인하는 복수의 메리트를 얻을 수 있다. 예를 들면, H_3^+ 는 H^+ 나 H 등으로 분리하여 기관내에 도입되기 때문에, 주로 H^+ 나 H_2^+ 를 조사하는 경우와 비교하여, 이온의 도입 효율을 향상시킬 수 있다. 이로써, SOI 기관의 생산성 향상을 도모할 수 있다. 또한, 마찬가지로, H_3^+ 가 분리된 후의 H^+ 나 H의 운동 에너지는 작아지는 경향이 있으므로, 얇은 반도체층의 제조에 적합하다.

[0439] 또, 본 실시예에서는, H_3^+ 를 효율적으로 조사하기 위해서, 도 39에 도시하는 바와 같은 수소 이온종을 조사 가능한 이온 도핑 장치를 사용하는 방법에 관해서 설명하고 있다. 이온 도핑 장치는 저가이며, 대면적 처리에 우수하기 때문에, 이러한 이온 도핑 장치를 사용하여 H_3^+ 를 조사함으로써, 반도체 특성의 향상, 및, SOI 기관의 대면적화, 저비용화 및 생산성 향상 등의 현저한 효과를 얻을 수 있다. 한편, H_3^+ 의 조사를 제일로 생각한다면, 이온 도핑 장치를 사용하는 것에 한정하여 해석할 필요는 없다.

도면의 간단한 설명

- [0440] 도 1a 내지 도 1g는 SOI 기관을 제작하는 방법을 설명하는 단면도.
- [0441] 도 2a 내지 도 2c는 SOI 기관을 제작하는 방법을 설명하는 단면도이고, 도 1g에 계속되는 공정을 설명하는 단면도.
- [0442] 도 3a 내지 도 3g는 SOI 기관을 제작하는 방법을 설명하는 단면도.
- [0443] 도 4a 내지 도 4c는 SOI 기관을 제작하는 방법을 설명하는 단면도이고, 도 3g에 계속되는 공정을 설명하는 단면도.
- [0444] 도 5a 내지 도 5g는 SOI 기관을 제작하는 방법을 설명하는 단면도.
- [0445] 도 6a 내지 도 6c는 SOI 기관을 제작하는 방법을 설명하는 단면도이고, 도 5g에 계속되는 공정을 설명하는 단면도.
- [0446] 도 7a 내지 도 7d는 SOI 기관으로부터 반도체 장치의 제작 방법을 설명하는 단면도.
- [0447] 도 8a, 도 8b는 SOI 기관으로부터 반도체 장치의 제작 방법을 설명하는 단면도이고, 도 7d에 계속되는 공정을 설명하는 단면도.
- [0448] 도 9는 SOI 기관으로부터 얻어지는 마이크로프로세서의 구성을 도시하는 블록도.
- [0449] 도 10은 SOI 기관으로부터 얻어지는 RF CPU의 구성을 도시하는 블록도.
- [0450] 도 11은 베이스 기관에 마더 유리를 사용한 SOI 기관의 정면도.
- [0451] 도 12a는 액정 표시 장치의 화소의 평면도, 도 12b는 J-K 절단선에 의한 도 12a의 단면도.
- [0452] 도 13a는 일렉트로루미네선스 표시장치의 화소의 평면도, 도 13b는 J-K 절단선에 의한 도 13a의 단면도.
- [0453] 도 14a는 휴대전화의 외관도, 도 14b는 디지털 플레이어의 외관도, 도 14c는 전자북의 외관도.
- [0454] 도 15a 내지 도 15i는 SOI 기관을 제작하는 방법을 설명하는 단면도.

- [0455] 도 16은 실리콘층의, 레이저광의 에너지 밀도에 대한 라만 산란 강도를 플롯한 그래프.
- [0456] 도 17은 대기 분위기에서 레이저광을 조사된 실리콘층의 광학현미경의 암시야 상.
- [0457] 도 18은 질소 분위기에서 레이저광을 조사된 실리콘층의 광학현미경의 암시야 상.
- [0458] 도 19는 실리콘층의 주사 전자 현미경(SEM)에 의한 관찰상.
- [0459] 도 20은 원자간력 현미경(AFM)에 의한 실리콘층의 관찰상.
- [0460] 도 21은 AFM에 의한 실리콘층의 관찰상.
- [0461] 도 22는 실리콘층의 라만 시프트의 그래프.
- [0462] 도 23은 실리콘층의, 레이저광의 에너지 밀도에 대한 라만 스펙트럼의 반치전폭(FWHM)을 플롯한 그래프.
- [0463] 도 24a 내지 도 24c는 전자 후방 산란 회절상(EBSP)의 측정 데이터로부터 작성된 실리콘층의 역극점도(IPF 맵), 도 24d는 IPF 맵의 색과 결정 방위의 관계를 도시하는 컬러 코드 맵.
- [0464] 도 25a 내지 도 25i는 SOI 기판을 제작하는 방법을 설명하는 단면도.
- [0465] 도 26은 레이저광의 에너지 밀도에 대한 실리콘층의 라만 산란 강도의 변화를 나타내는 그래프.
- [0466] 도 27은 대기 분위기에서 레이저광이 조사된 실리콘층의 광학현미경의 암시야 상.
- [0467] 도 28은 질소 분위기에서 레이저광이 조사된 실리콘층의 광학현미경의 암시야 상.
- [0468] 도 29는 실리콘층의 SEM에 의한 관찰상.
- [0469] 도 30은 AFM에 의한 실리콘층의 관찰상.
- [0470] 도 31은 AFM에 의한 실리콘층의 관찰상.
- [0471] 도 32는 실리콘층의, 레이저광의 에너지 밀도에 대한 라만 시프트를 플롯한 그래프.
- [0472] 도 33은 실리콘층의, 레이저광의 에너지 밀도에 대한 라만 스펙트럼의 FWHM을 플롯한 그래프.
- [0473] 도 34a 내지 도 34c는 EBSP의 측정 데이터로부터 작성된 실리콘층의 IPF 맵, 도 34d는 IPF 맵의 색과 결정 방위의 관계를 도시하는 컬러 코드 맵.
- [0474] 도 35a 내지 도 35d는 SOI 기판으로부터 트랜지스터를 제작하는 방법을 설명하는 단면도.
- [0475] 도 36a 내지 도 36c는 트랜지스터의 드레인 전류-게이트 전압 특성의 그래프.
- [0476] 도 37a 내지 도 37c는 트랜지스터의 드레인 전류-게이트 전압 특성의 그래프.
- [0477] 도 38은 수소 이온종의 에너지 다이어그램.
- [0478] 도 39는 이온의 질량 분석 결과를 나타내는 그래프.
- [0479] 도 40은 이온의 질량 분석 결과를 나타내는 그래프.
- [0480] 도 41은 가속 전압이 80kV인 경우의 수소 원소의 깊이 방향 프로파일(계산치 및 실측치)의 그래프.
- [0481] 도 42는 가속 전압이 80kV인 경우의 수소 원소의 깊이 방향 프로파일(계산치, 실측치 및 피팅 함수)의 그래프.
- [0482] 도 43은 가속 전압이 60kV인 경우의 수소 원소의 깊이 방향 프로파일(계산치, 실측치 및 피팅 함수)의 그래프.
- [0483] 도 44는 가속 전압이 40kV인 경우의 수소 원소의 깊이 방향 프로파일(계산치, 실측치 및 피팅 함수)의 그래프.
- [0484] 도 45는 도 42 내지 도 44에 도시하는 피팅 함수의 피팅 파라미터(수소 원소비 및 수소 이온종 비)의 표.
- [0485] 도 46a 내지 도 46c는 EBSP의 측정 데이터로부터 얻어진, 실리콘층의 면 방위를 도시하는 도면.
- [0486] 도 47a 내지 도 47c는 EBSP의 측정 데이터로부터 얻어진, 실리콘층의 면 방위를 도시하는 도면.

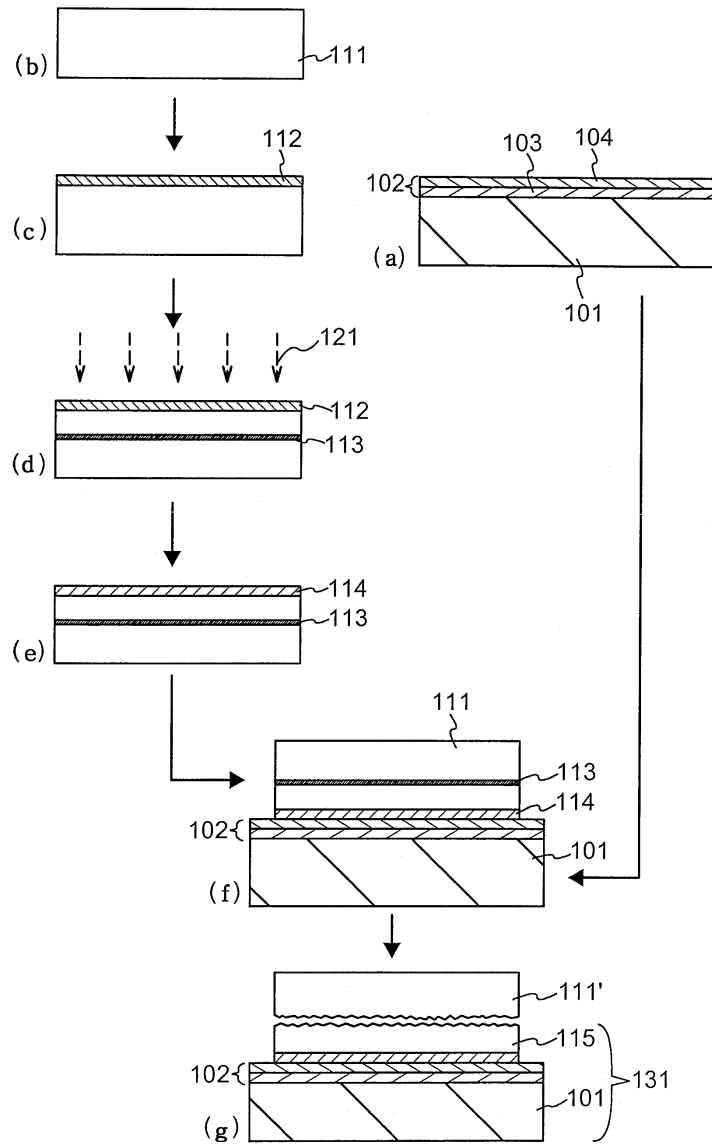
[0487]	〈도면의 주요 부분에 대한 부호의 설명〉	
[0488]	101: 베이스 기판	102: 절연층
[0489]	103: 질화산화실리콘막	104: 산화질화실리콘막
[0490]	105: 접합층	111: 반도체 기판
[0491]	111': 반도체 기판	112: 보호막
[0492]	113: 이온 주입층	114: 접합층
[0493]	115: 반도체층	115A: 반도체층
[0494]	115B: 반도체층	116: 절연층
[0495]	117: 산화질화실리콘막	118: 질화산화실리콘막
[0496]	121: 이온빔	122: 레이저광
[0497]	131: SOI 기판	131A: SOI 기판
[0498]	131B: SOI 기판	132: SOI 기판
[0499]	132A: SOI 기판	132B: SOI 기판
[0500]	133: SOI 기판	133A: SOI 기판
[0501]	133B: SOI 기판	151: 반도체층
[0502]	152: 반도체층	153: 게이트 절연층
[0503]	154: 게이트 전극	154-1: 제 1 도전층
[0504]	154-2: 제 2 도전층	155: 사이드월 절연층
[0505]	156: 질화실리콘층	157: 고농도 불순물 영역
[0506]	158: 저농도 불순물 영역	159: 채널 형성 영역
[0507]	160: 고농도 불순물 영역	161: 채널 형성 영역
[0508]	163: 절연층	164: 층간 절연층
[0509]	165: 콘택트홀	166: 콘택트 플러그
[0510]	167: 배선	168: 층간 절연막
[0511]	200: 마이크로프로세서	201: 연산회로
[0512]	202: 연산회로 제어부	203: 명령 해석부
[0513]	204: 제어부	205: 타이밍 제어부
[0514]	206: 레지스터	207: 레지스터 제어부
[0515]	208: 버스 인터페이스	209: 전용 메모리
[0516]	210: 메모리 인터페이스	211: RF CPU
[0517]	212: 아날로그 회로부	213: 디지털 회로부
[0518]	214: 공진회로	215: 정류회로
[0519]	216: 정전압회로	217: 리셋회로
[0520]	218: 발진회로	219: 복조회로
[0521]	220: 변조회로	221: RF 인터페이스
[0522]	222: 제어 레지스터	223: 클록 컨트롤러

[0523]	224: CPU 인터페이스	225: 중앙 처리 유닛
[0524]	226: 랜덤 액세스 메모리	227: 전용 메모리
[0525]	228: 안테나	229: 용량부
[0526]	230: 전원관리회로	301: 마더 유리
[0527]	302: 반도체층	310: 형성 영역
[0528]	311: 주사선 구동회로 형성 영역	312: 신호선 구동회로 형성 영역
[0529]	313: 화소 형성 영역	321: 반도체층
[0530]	322: 주사선	323: 신호선
[0531]	324: 화소 전극	325: TFT
[0532]	327: 층간 절연막	328: 전극
[0533]	329: 주상 스페이서	330: 배향막
[0534]	332: 대향기관	333: 대향전극
[0535]	334: 배향막	335: 액정층
[0536]	401: 선택용 트랜지스터	402: 표시 제어용 트랜지스터
[0537]	403: 반도체층	404: 반도체층
[0538]	405: 주사선	406: 신호선
[0539]	407: 전류공급선	408: 화소 전극
[0540]	411: 전극	412: 게이트 전극
[0541]	413: 전극	427: 층간 절연막
[0542]	428: 격벽층	429: EL 층
[0543]	430: 대향전극	431: 대향기관
[0544]	432: 수지층	600: 단결정 실리콘 기관
[0545]	600': 단결정 실리콘 기관	601: 산화질화실리콘막
[0546]	602: 질화산화실리콘막	603: 이온 주입층
[0547]	604: 산화실리콘막	605: 유리기관
[0548]	606: 실리콘층	608a: SOI 기관
[0549]	608b: SOI 기관	608c: SOI 기관
[0550]	610: 레이저광	611: 실리콘층
[0551]	612: 실리콘층	615: 수소 이온
[0552]	630: 단결정 실리콘 기관	630': 단결정 실리콘 기관
[0553]	631: 산화질화실리콘막	632: 질화산화실리콘막
[0554]	633: 이온 주입층	634: 산화실리콘막
[0555]	635: 유리기관	636: 실리콘층
[0556]	638a: SOI 기관	638b: SOI 기관
[0557]	638c: SOI 기관	638d: SOI 기관
[0558]	639: 실리콘층	640: 레이저광

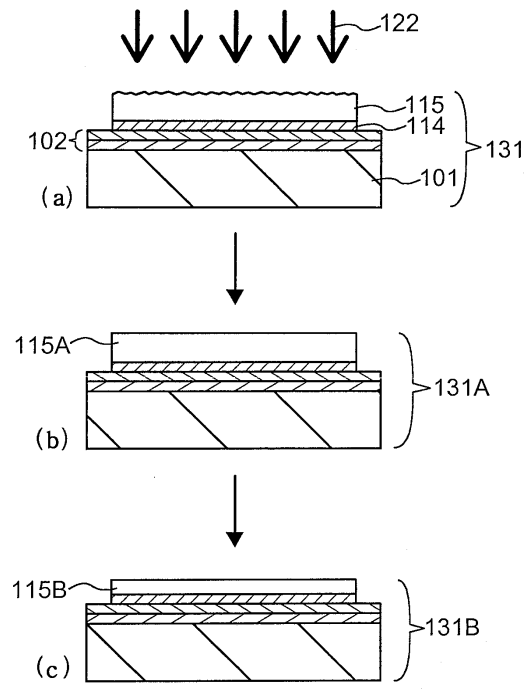
[0559]	641: 실리콘층	642: 실리콘층
[0560]	645: 수소 이온	700: SOI 기판
[0561]	701: 유리기판	702: 산화실리콘막
[0562]	703: 질화산화실리콘막	704: 산화질화실리콘막
[0563]	705: 실리콘층	711: 실리콘층
[0564]	712: 실리콘층	713: 산화질화실리콘막
[0565]	714: 게이트 전극	715: 게이트 전극
[0566]	716: 소스 영역	717: 드레인 영역
[0567]	718: 채널 형성 영역	719: 소스 영역
[0568]	720: 드레인 영역	721: 채널 형성 영역
[0569]	723: 산화질화실리콘막	724: 질화산화실리콘막
[0570]	725: 산화질화실리콘막	726: 소스 전극
[0571]	727: 드레인 전극	728: 소스 전극
[0572]	729: 드레인 전극	901: 휴대전화기
[0573]	902: 표시부	903: 조작 스위치
[0574]	911: 디지털 플레이어	912: 표시부
[0575]	913: 조작부	914: 이어폰
[0576]	921: 전자북	922: 표시부
[0577]	923: 조작 스위치	

도면

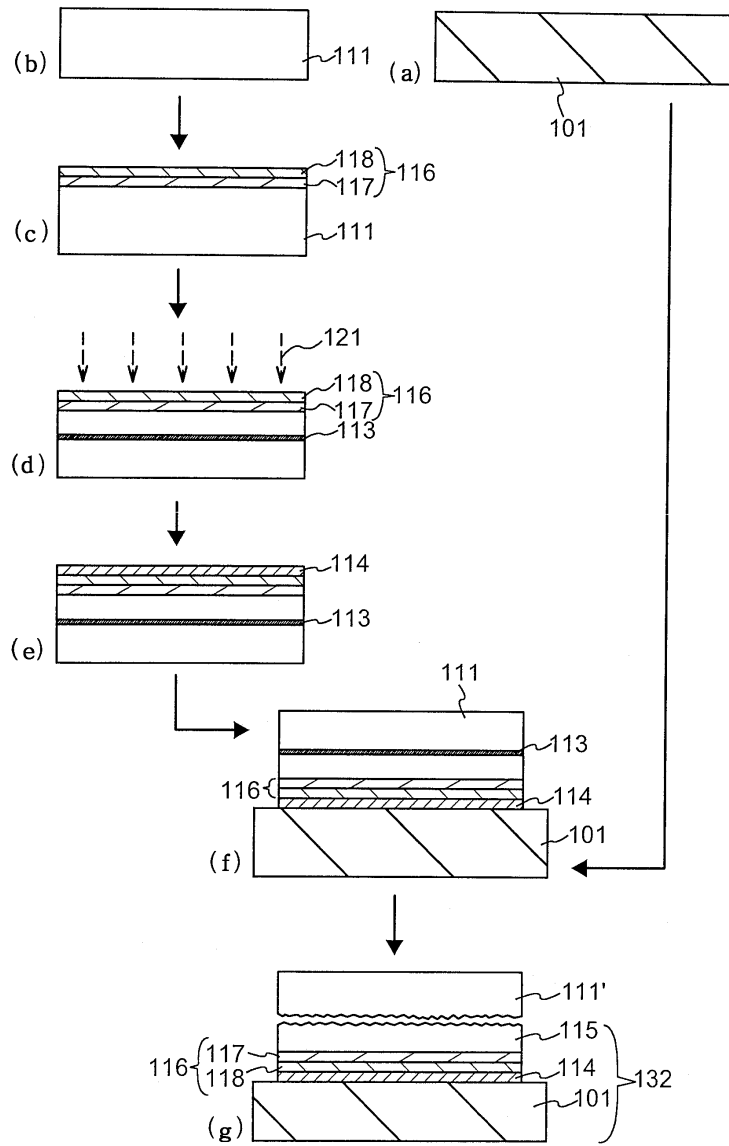
도면1



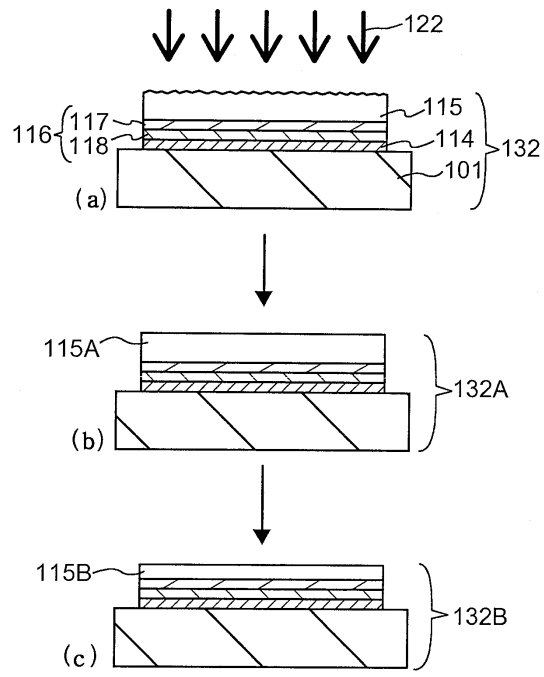
도면2



도면3



도면4



도면5

FIG. 5B



FIG. 5C

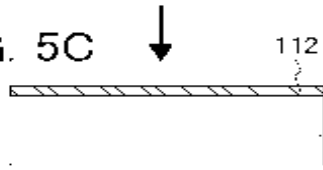


FIG. 5D

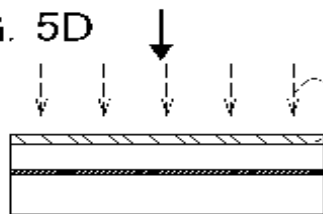


FIG. 5E

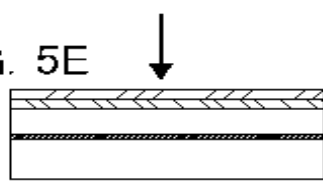


FIG. 5F

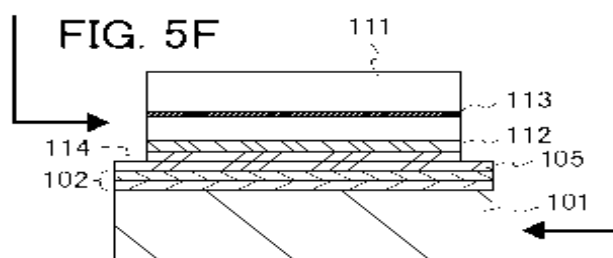


FIG. 5G

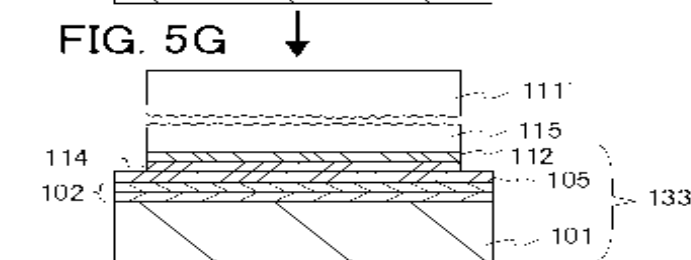
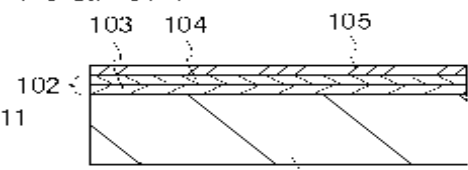


FIG. 5A



도면6

FIG. 6A

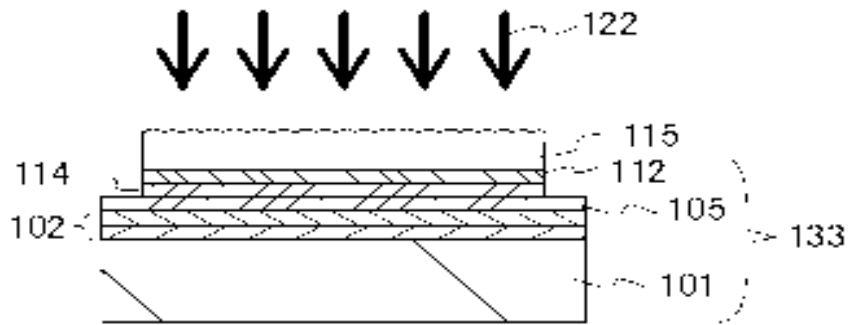


FIG. 6B

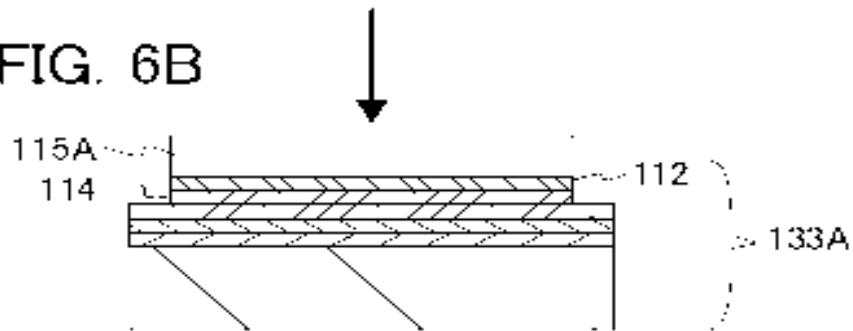
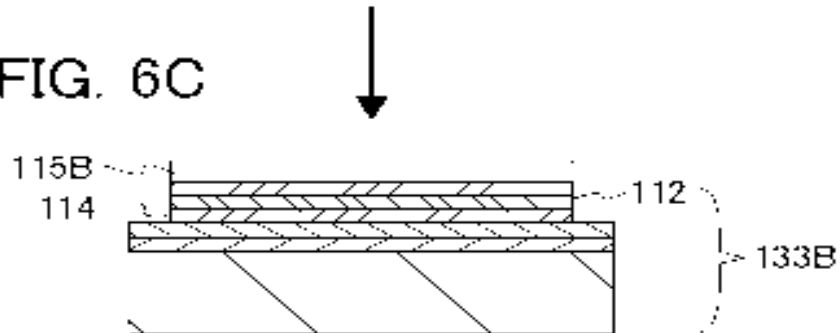
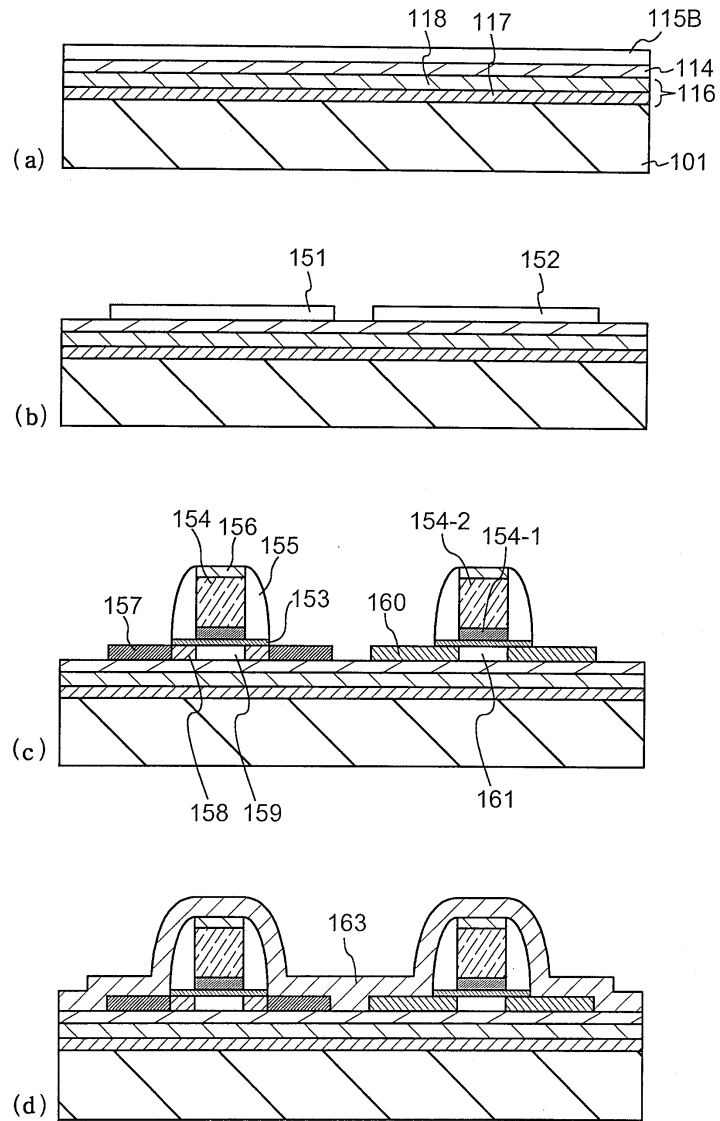


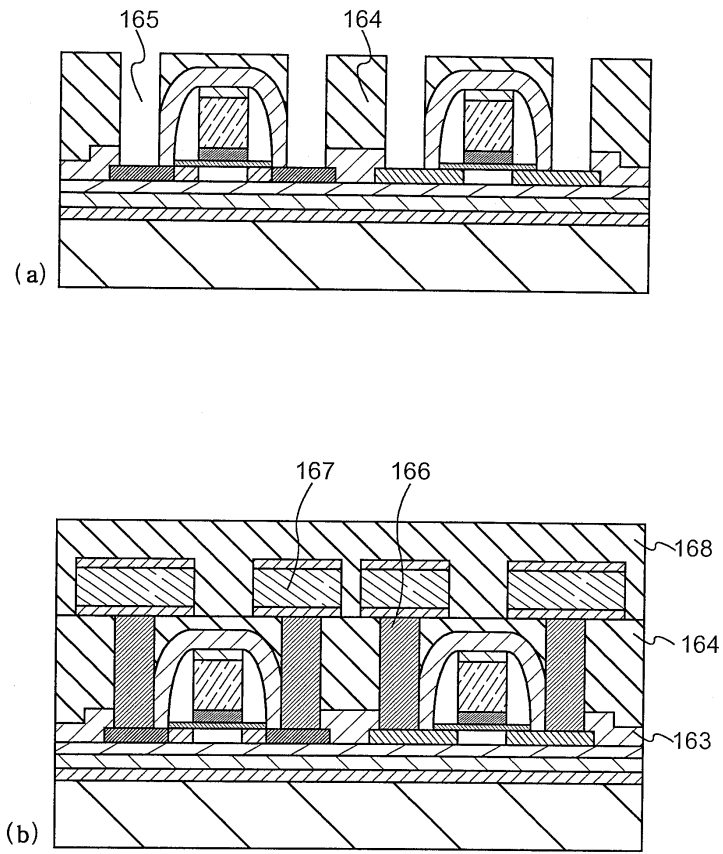
FIG. 6C



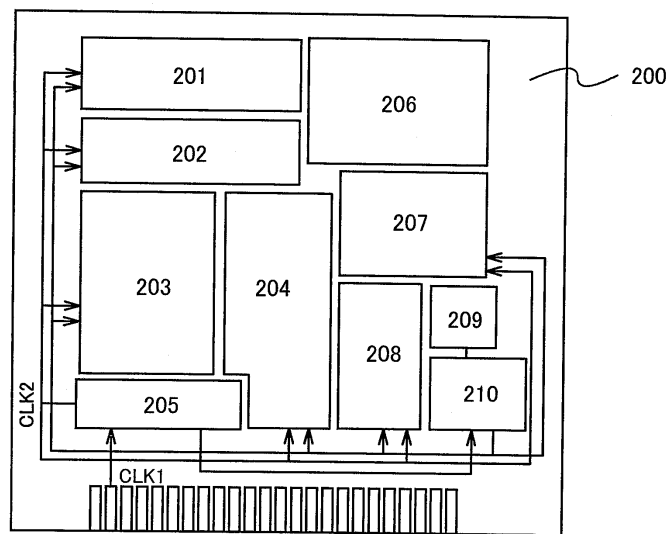
도면7



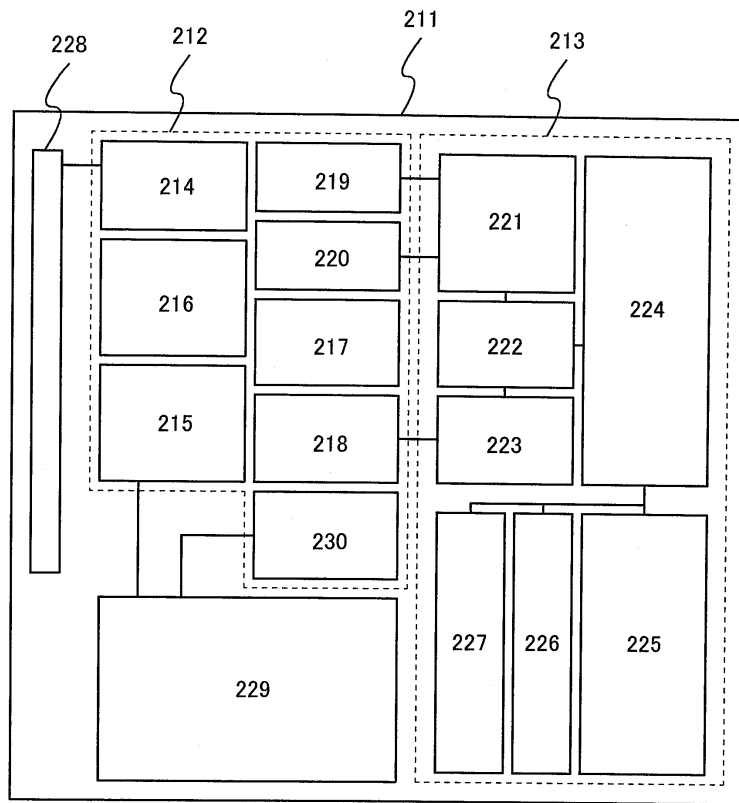
도면8



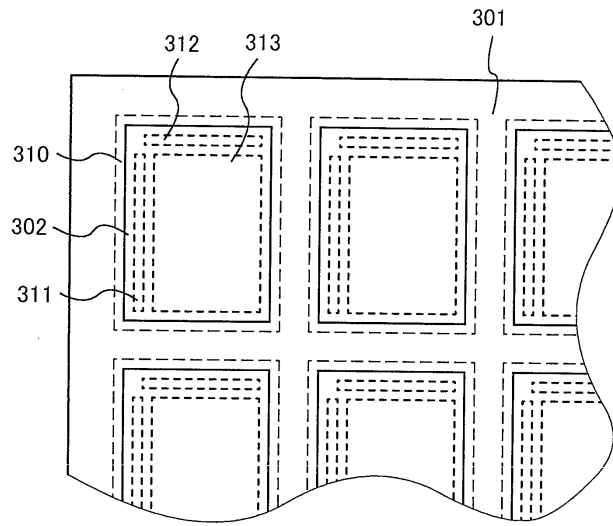
도면9








도면10

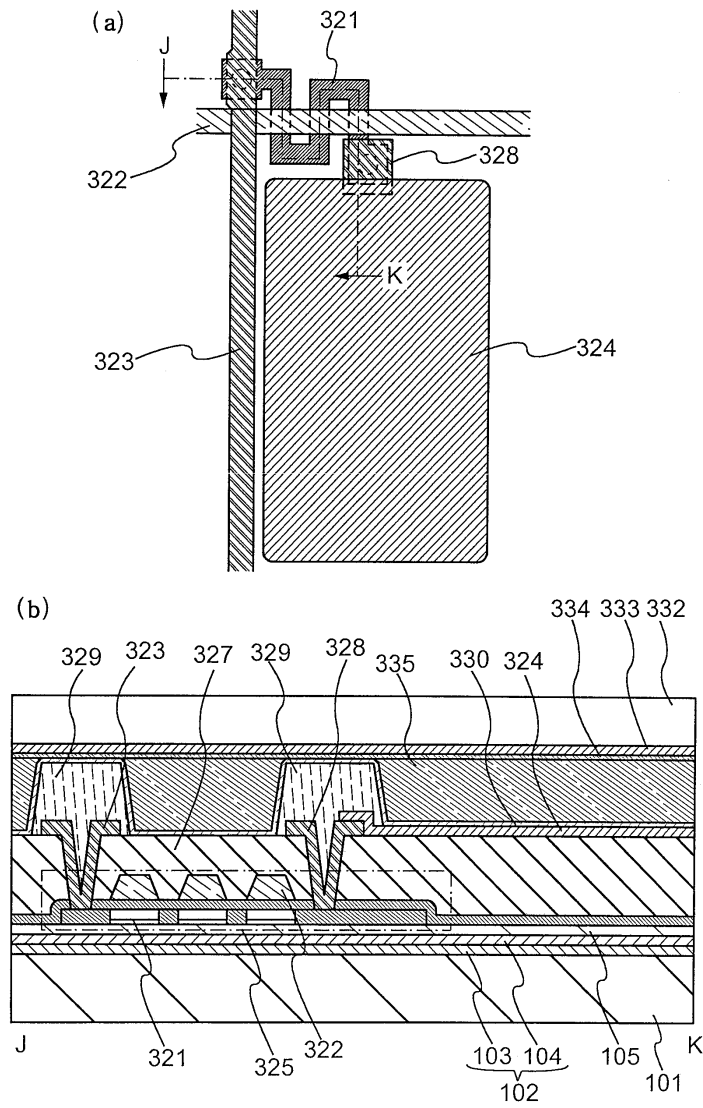


도면11

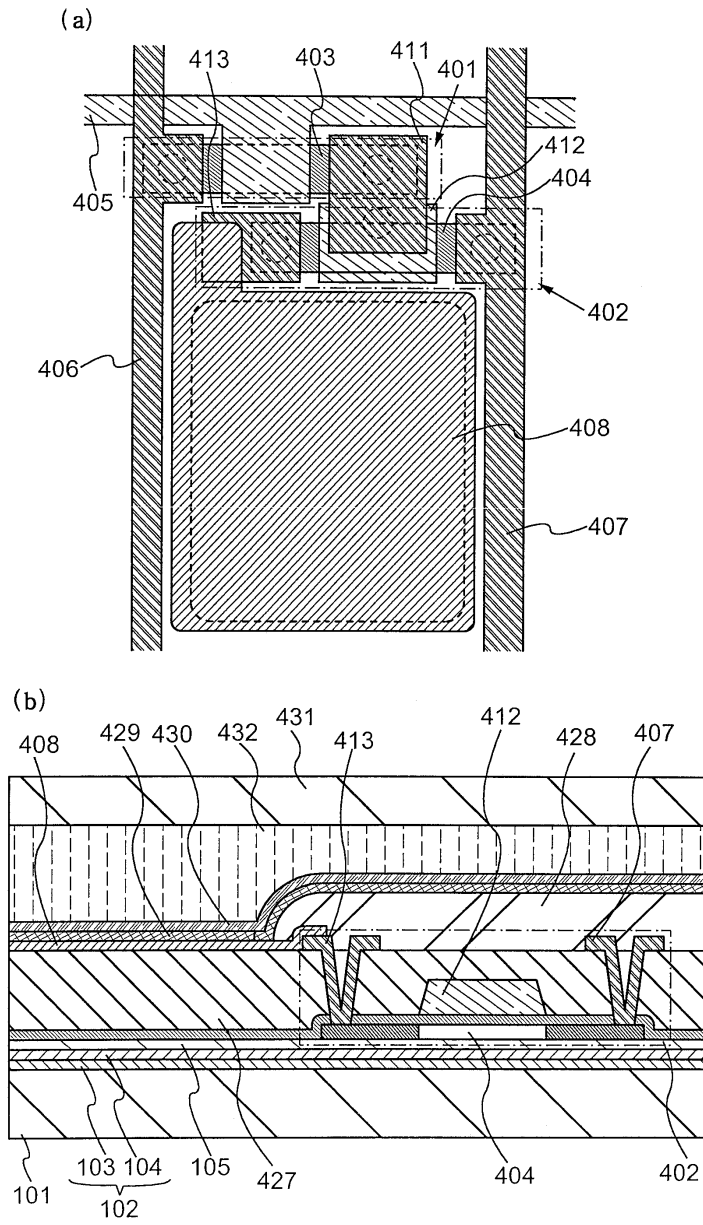


-  302 반도체층
-  310 표시 패널 형성 영역
-  311 주사선 구동 회로 형성 영역
-  312 신호선 구동 회로 형성 영역
-  313 화소 형성 영역

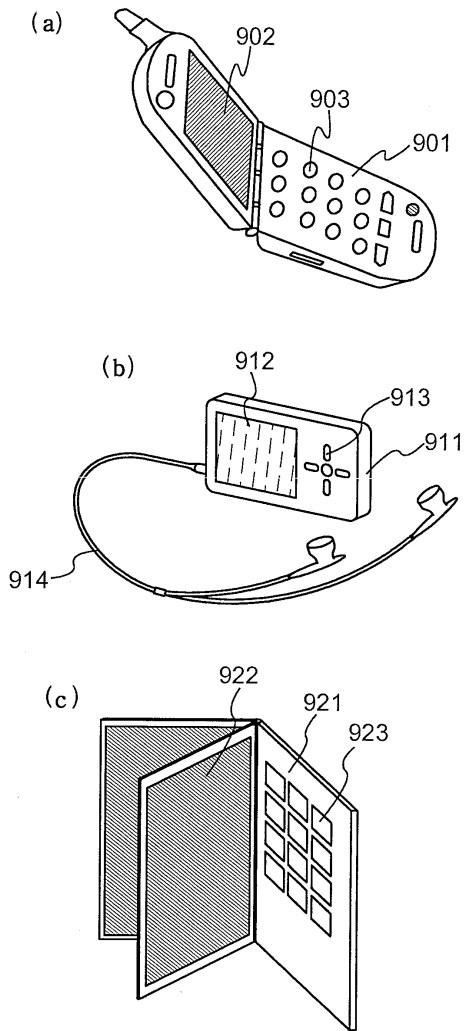
도면12



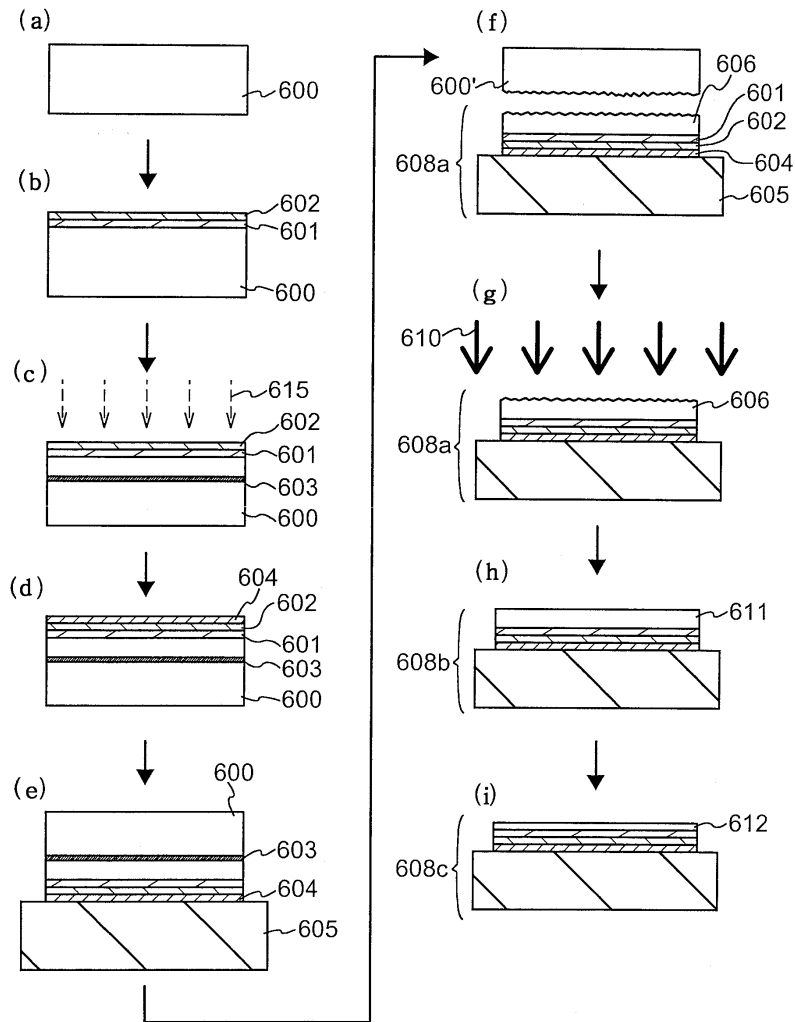
도면13



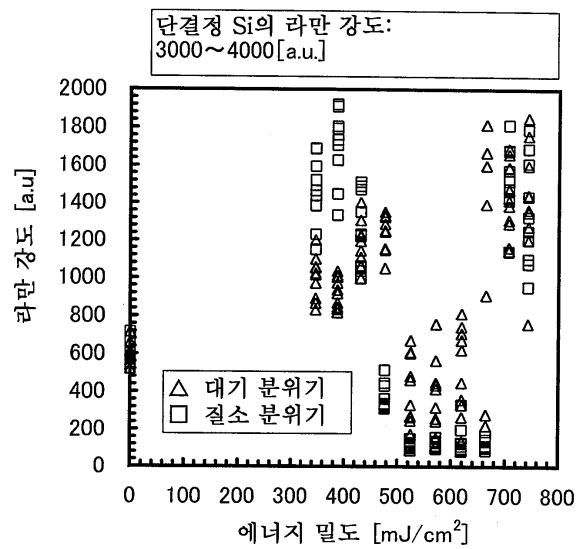
도면14



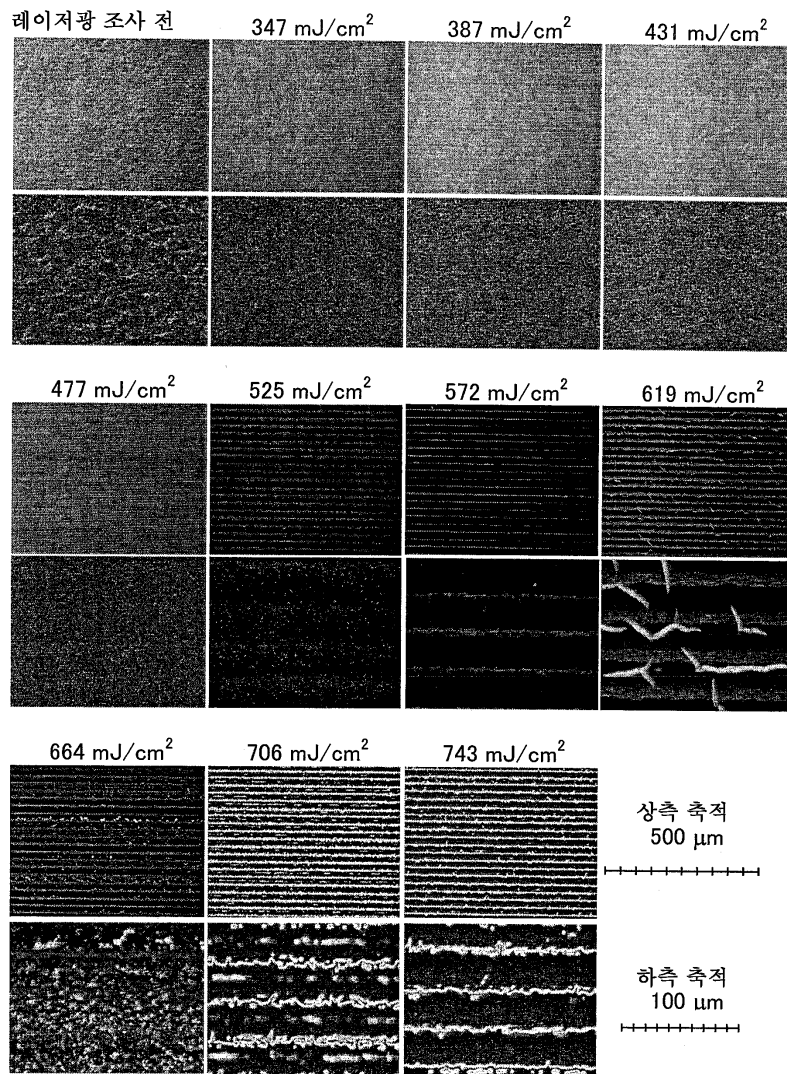
도면15



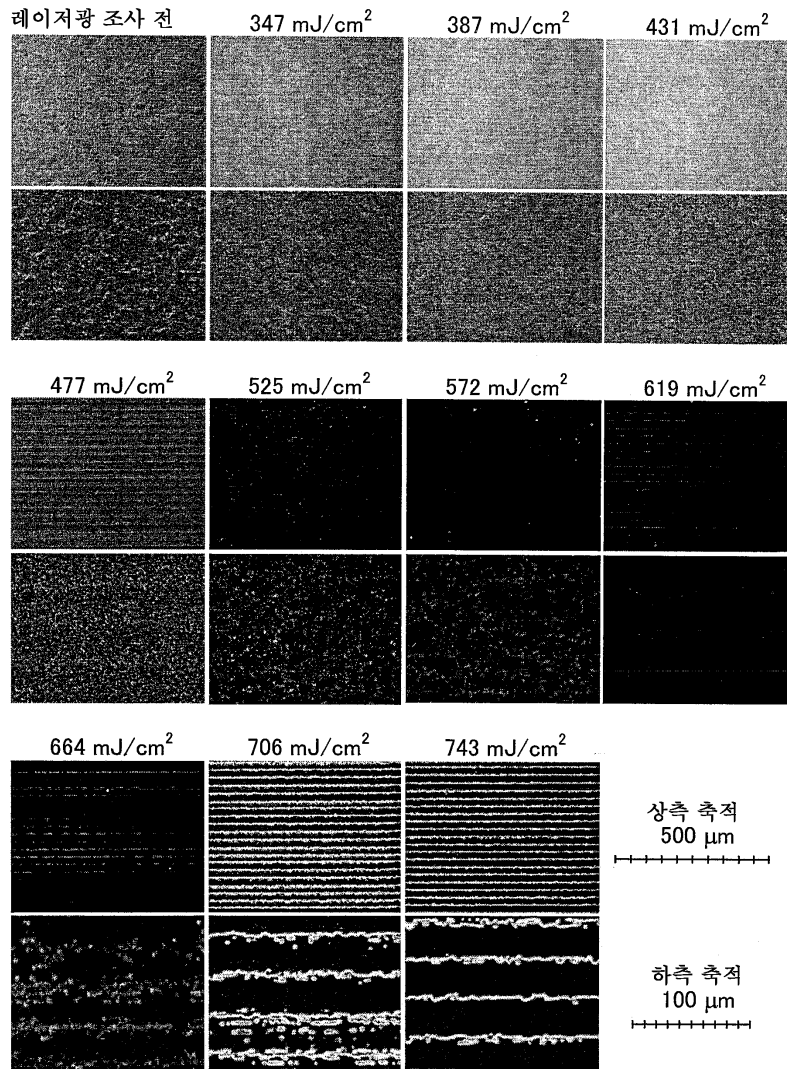
도면16



도면17

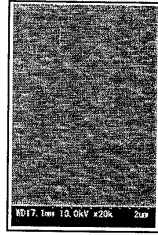


도면18

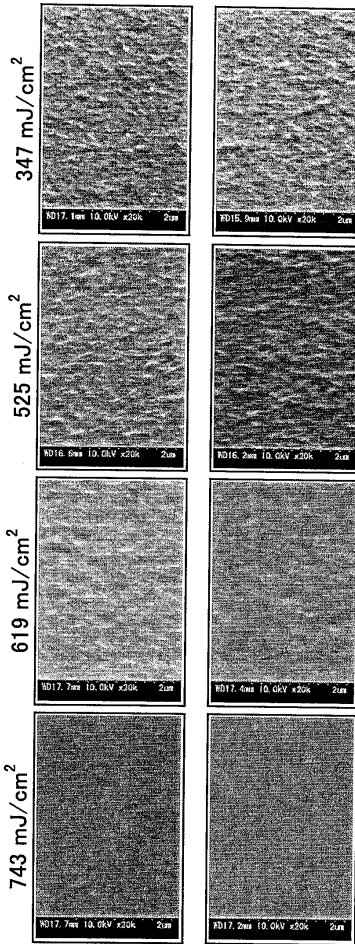


도면19

(a) 레이저광 조사 전

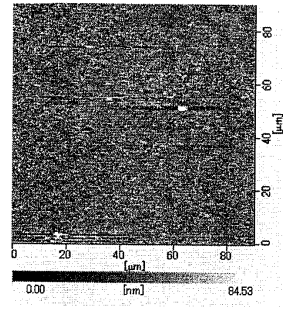


(b) 대기 분위기 (c) 질소 분위기

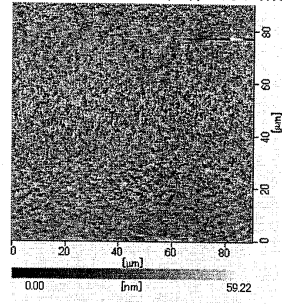


도면20

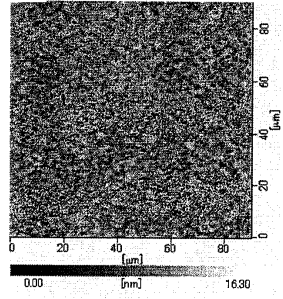
(a) 레이저광 조사 전



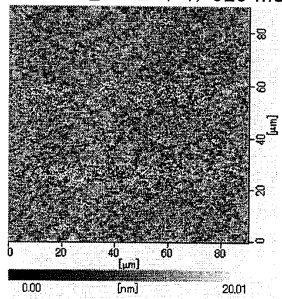
(c) 질소 분위기, 431 mJ/cm²



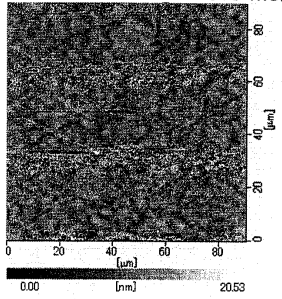
(b) 대기 분위기, 525 mJ/cm²



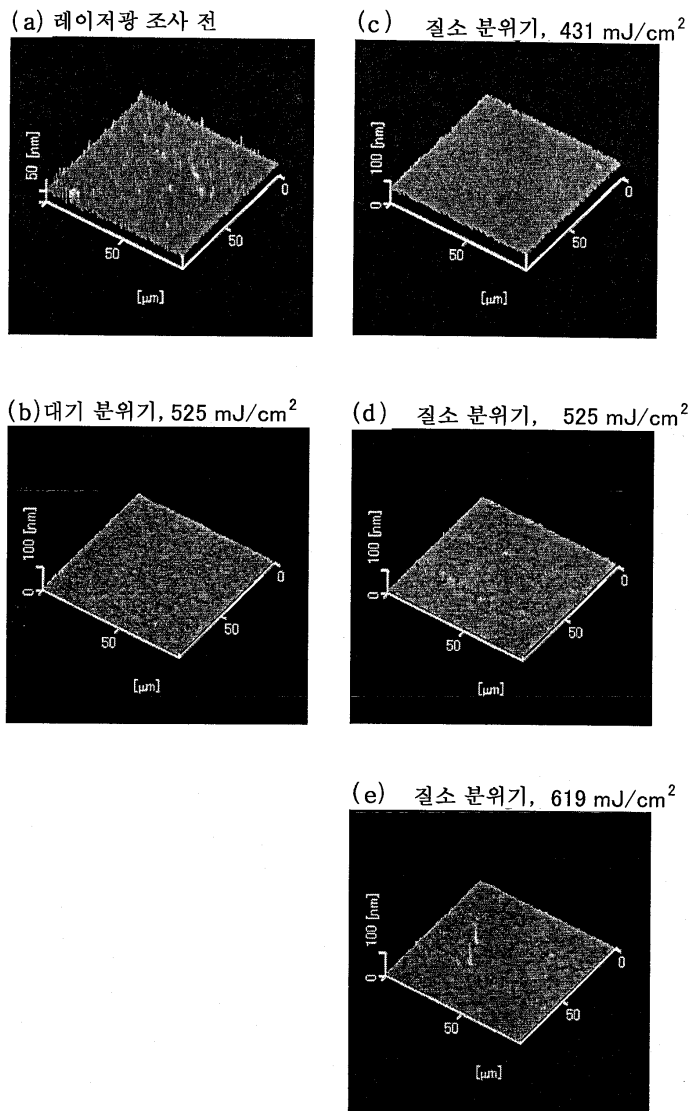
(d) 질소 분위기, 525 mJ/cm²



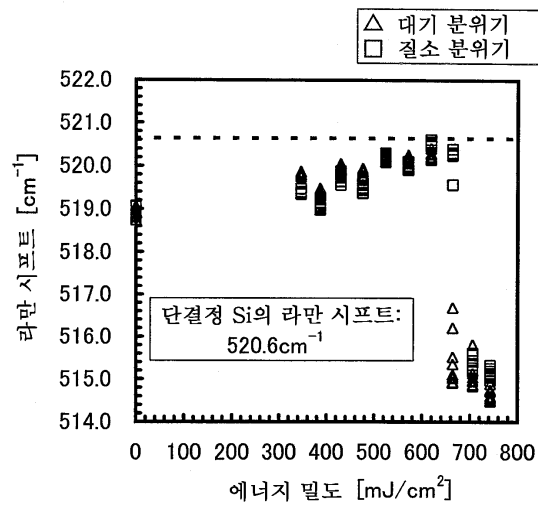
(e) 질소 분위기, 619 mJ/cm²



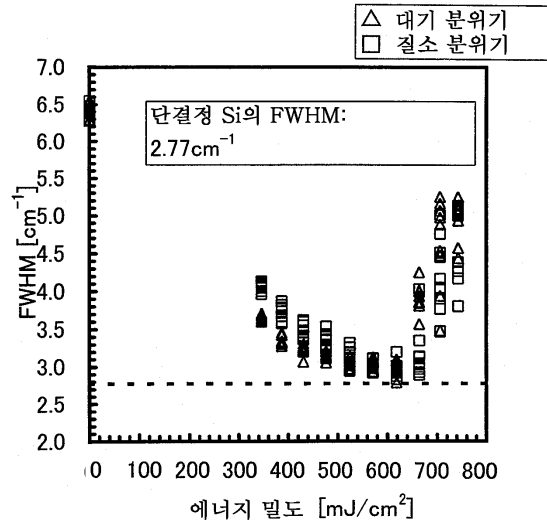
도면21



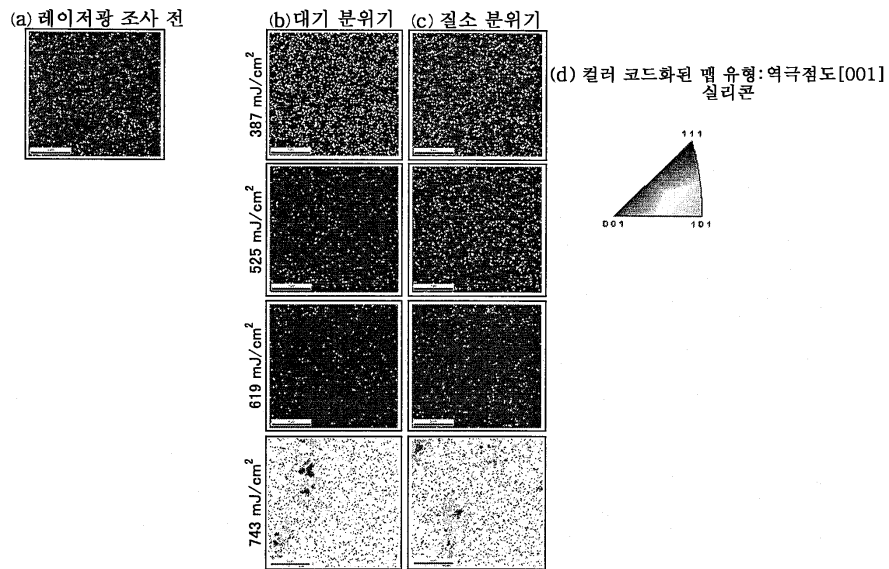
도면22



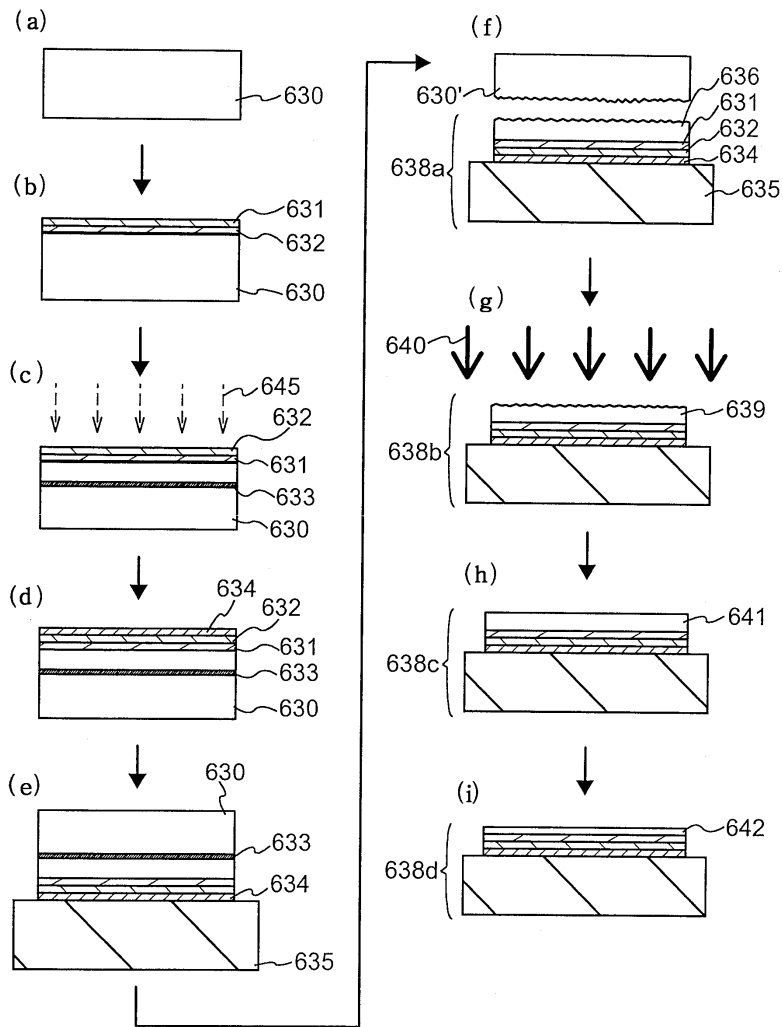
도면23



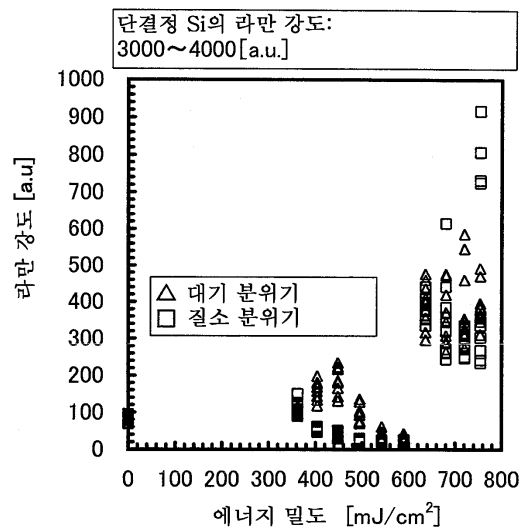
도면24



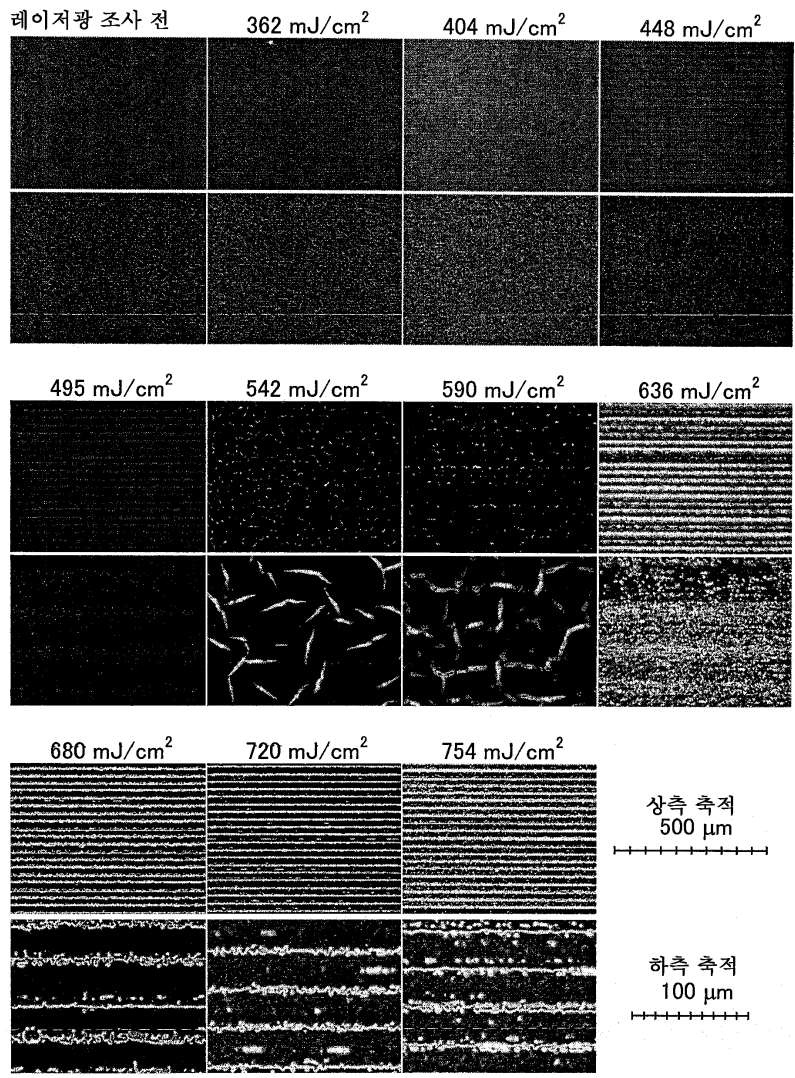
도면25



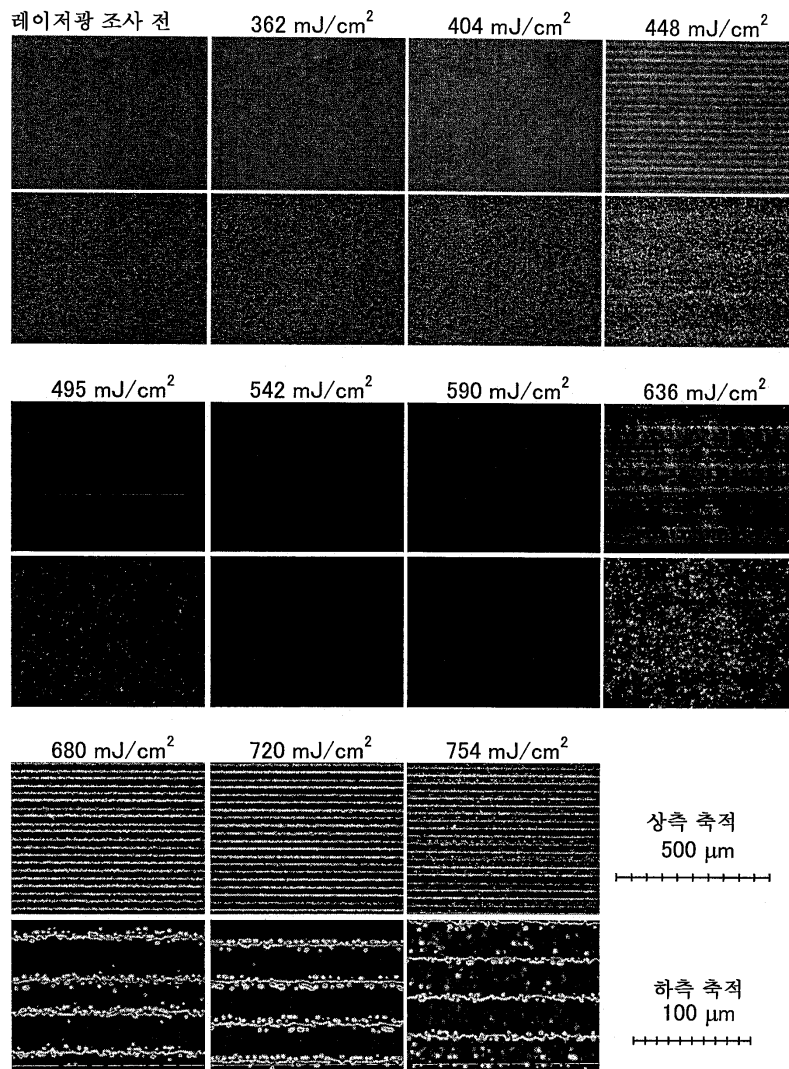
도면26



도면27

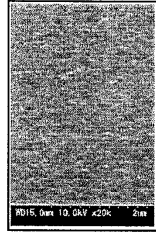


도면28

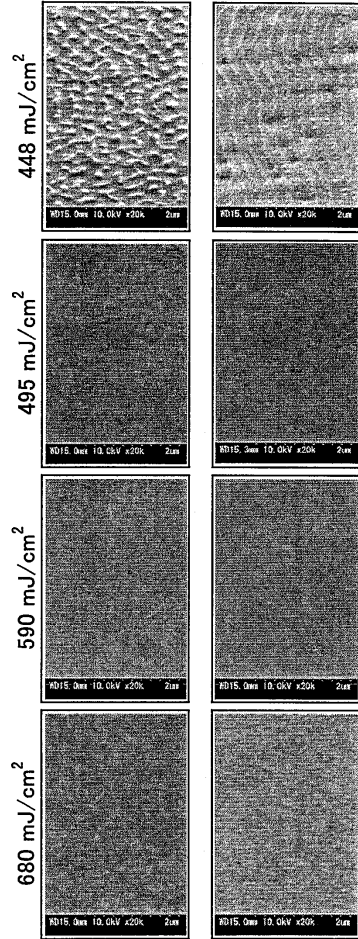


도면29

(a) 레이저광 조사 전

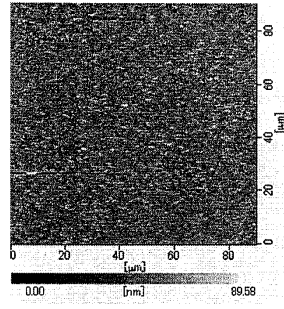


(b) 대기 분위기 (c) 질소 분위기

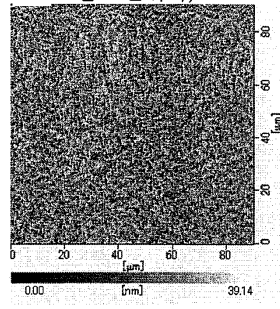


도면30

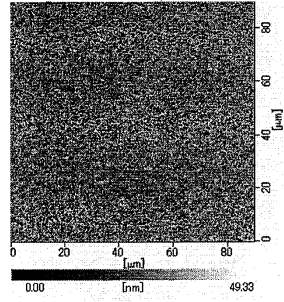
(a) 레이저광 조사 전



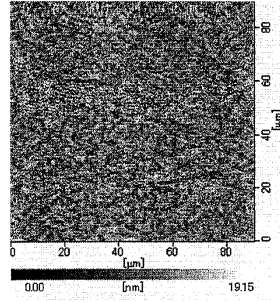
(c) 질소 분위기, 404 mJ/cm²



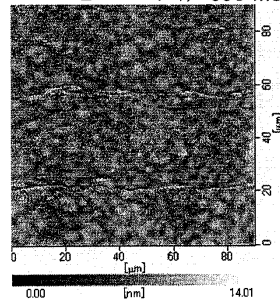
(b) 대기 분위기, 495 mJ/cm²



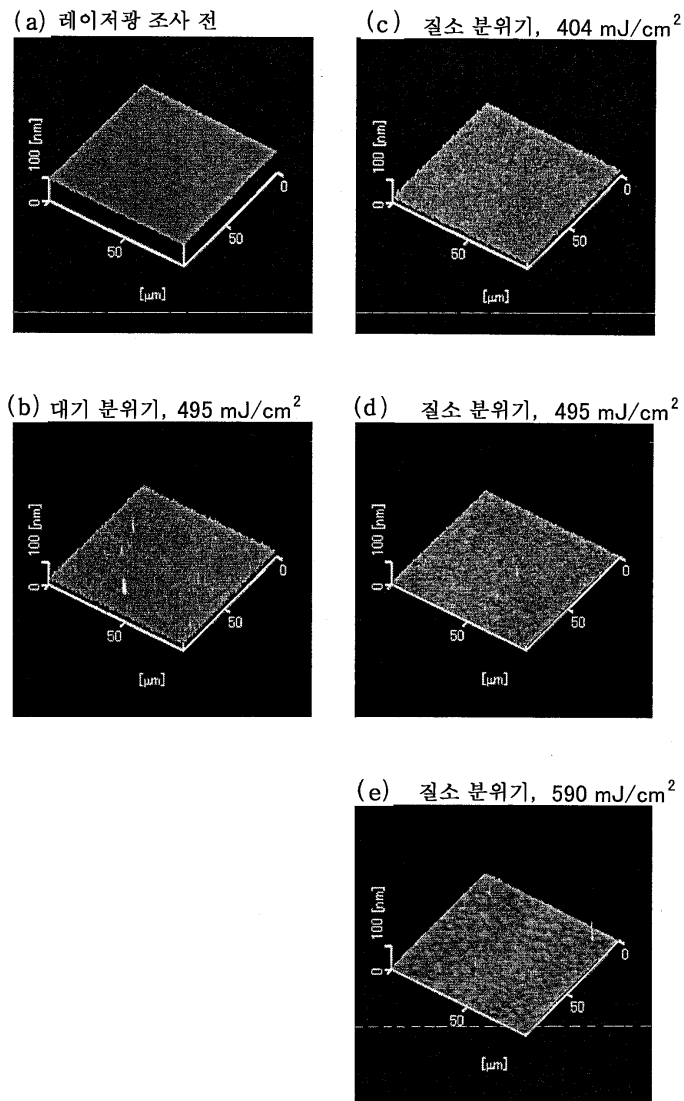
(d) 질소 분위기, 495 mJ/cm²



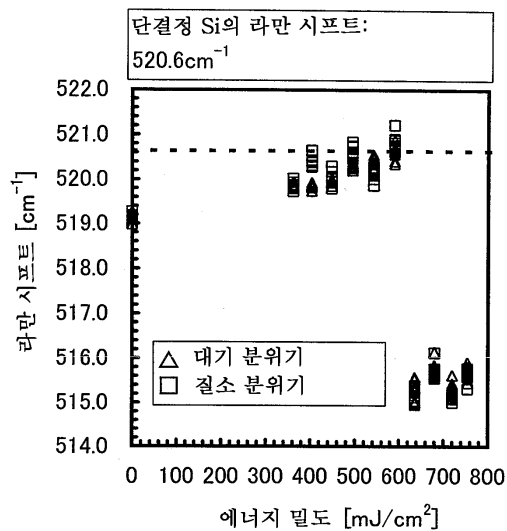
(e) 질소 분위기, 590 mJ/cm²



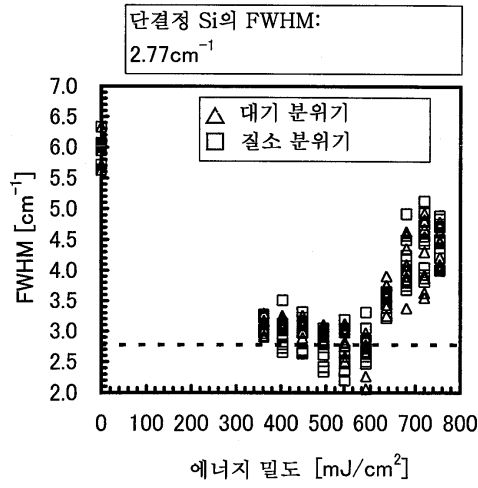
도면31



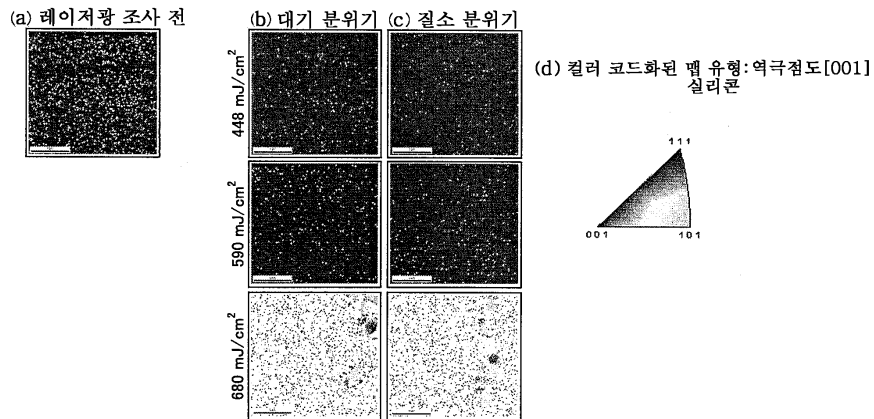
도면32



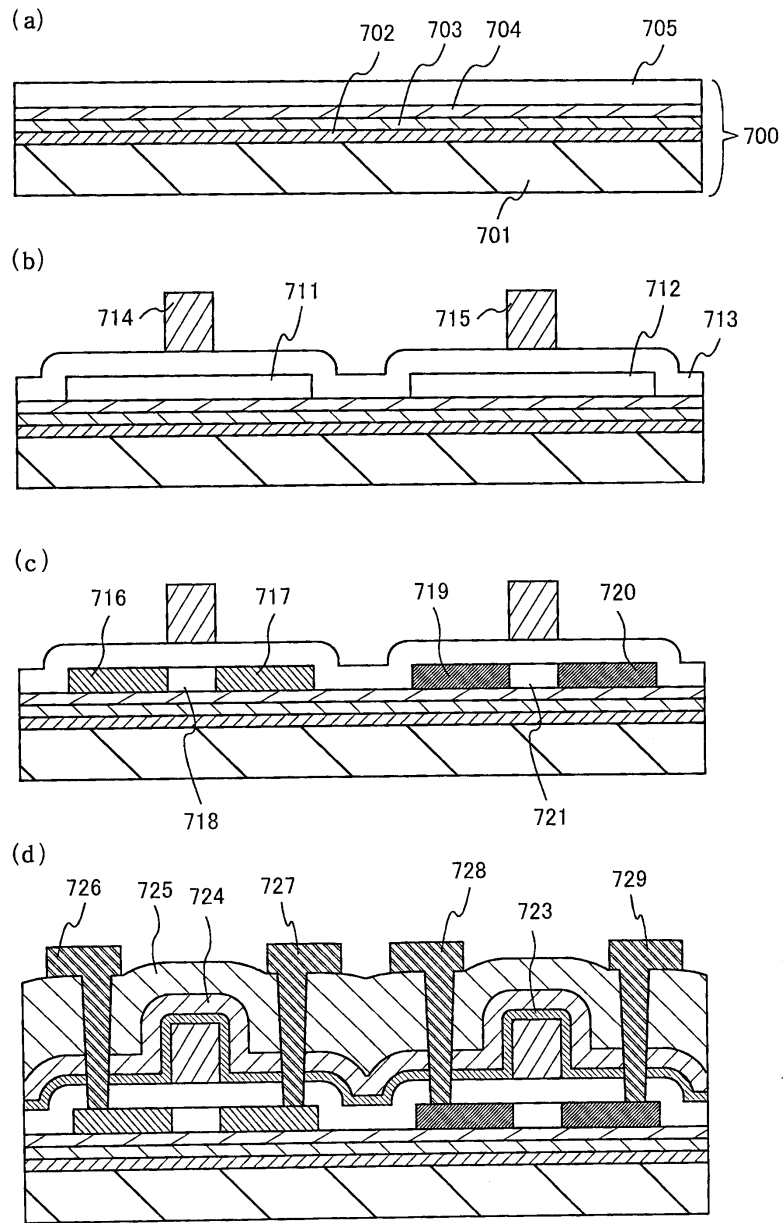
도면33



도면34

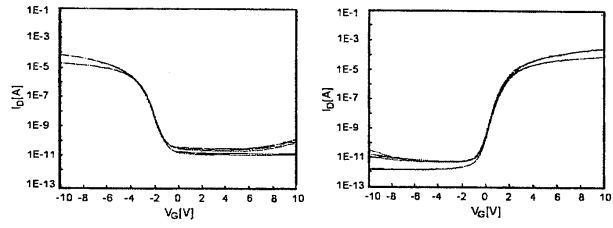


도면35

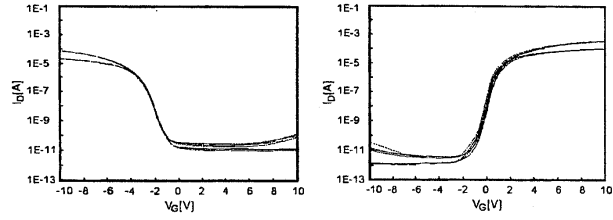


도면36

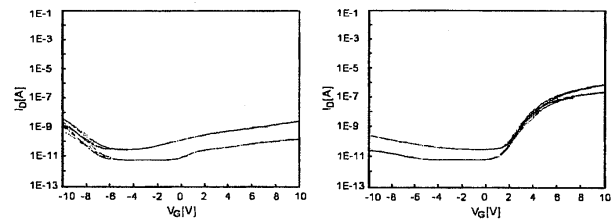
(a) 레이저 조사(대기 분위기) 있고 박막화 없는 공정



(b) 레이저 조사(질소 분위기) 있고 박막화 없는 공정

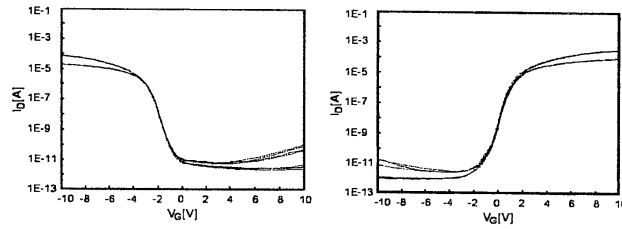


(c) 레이저 조사 및 박막화 없는 공정

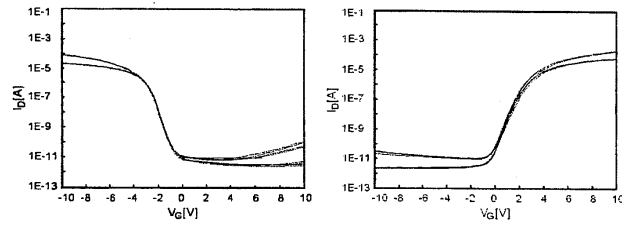


도면37

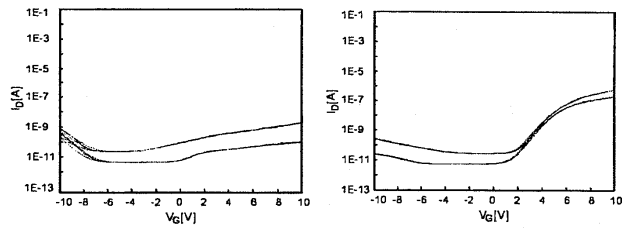
(a) 레이저 조사(대기 분위기) 및 박막화 있는 공정



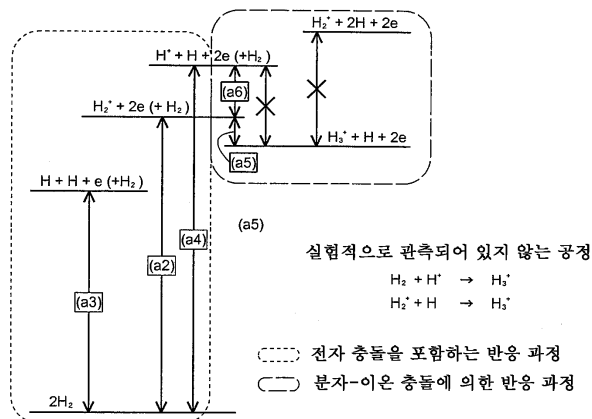
(b) 레이저 조사(질소 분위기) 및 박막화 있는 공정



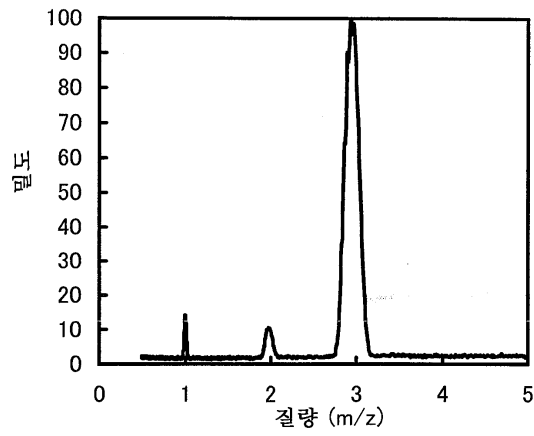
(c) 레이저 조사 없고 박막화 있는 공정



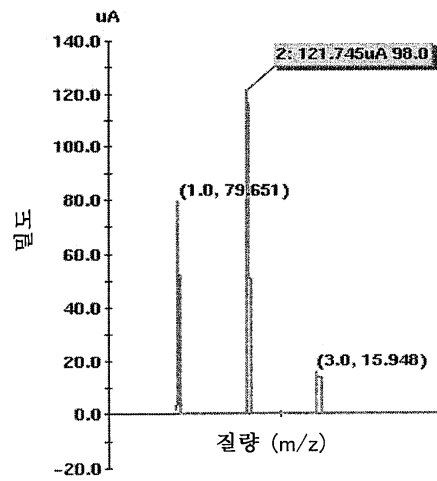
도면38



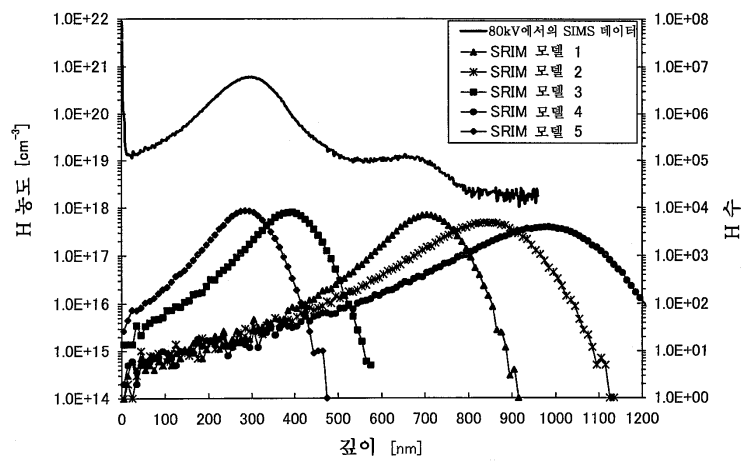
도면39



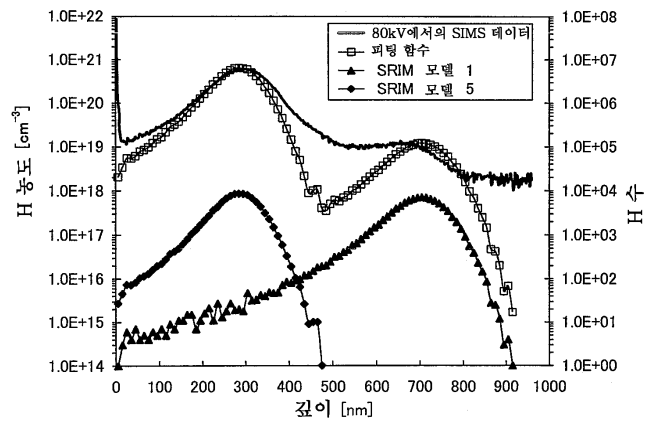
도면40



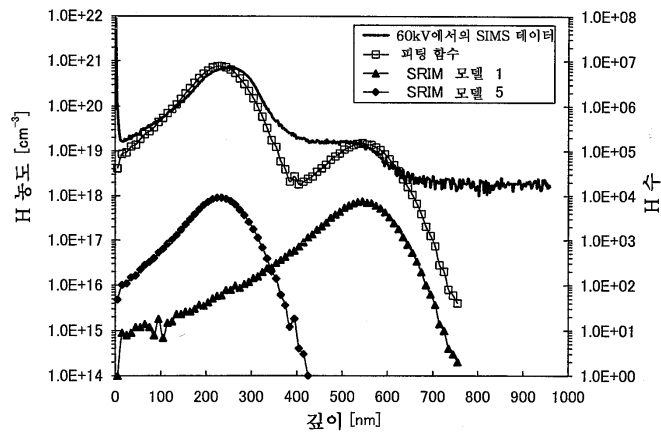
도면41



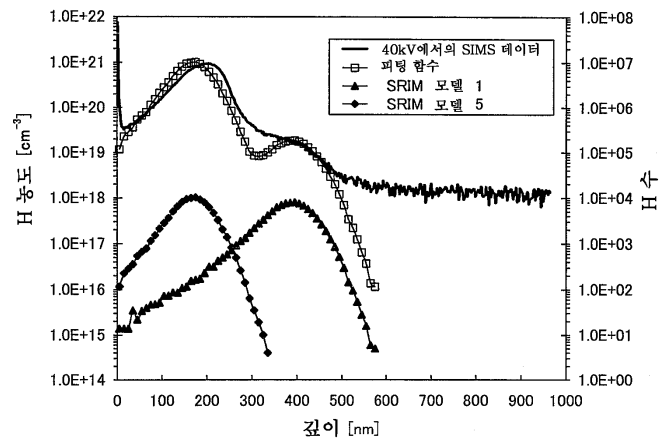
도면42



도면43



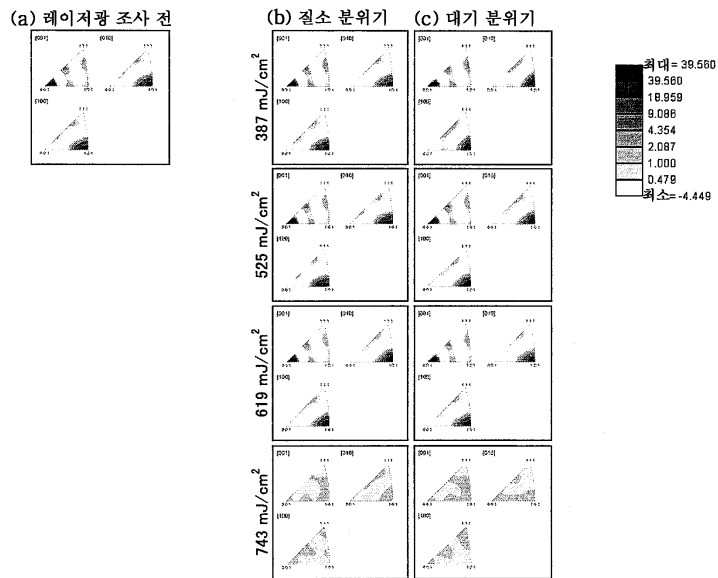
도면44



도면45

가속 전압	수소 원소 (H)의 비 (X : Y)	수소 이온종의 비 (X : Y/3)
80 kV	1 : 44.1	1 : 14.7
60 kV	1 : 42.5	1 : 14.2
40 kV	1 : 43.5	1 : 14.5

도면46



도면47

