

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6129257号
(P6129257)

(45) 発行日 平成29年5月17日(2017.5.17)

(24) 登録日 平成29年4月21日(2017.4.21)

| | | | | | |
|--------------|--------------|------------------|------|-------|------|
| (51) Int.Cl. | | F I | | | |
| H03K | 3/84 | (2006.01) | H03K | 3/84 | Z |
| H01F | 7/18 | (2006.01) | H01F | 7/18 | S |
| F16K | 31/06 | (2006.01) | F16K | 31/06 | 310A |
| | | | F16K | 31/06 | 385A |

請求項の数 15 (全 43 頁)

| | | | |
|-----------|------------------------------|-----------|-------------------|
| (21) 出願番号 | 特願2015-172616 (P2015-172616) | (73) 特許権者 | 000006013 |
| (22) 出願日 | 平成27年9月2日(2015.9.2) | | 三菱電機株式会社 |
| (65) 公開番号 | 特開2017-50706 (P2017-50706A) | | 東京都千代田区丸の内二丁目7番3号 |
| (43) 公開日 | 平成29年3月9日(2017.3.9) | (74) 代理人 | 100110423 |
| 審査請求日 | 平成27年9月2日(2015.9.2) | | 弁理士 曾我 道治 |
| | | (74) 代理人 | 100111648 |
| | | | 弁理士 梶並 順 |
| | | (74) 代理人 | 100122437 |
| | | | 弁理士 大宅 一宏 |
| | | (74) 代理人 | 100147566 |
| | | | 弁理士 上田 俊一 |
| | | (74) 代理人 | 100161171 |
| | | | 弁理士 吉田 潤一郎 |
| | | (74) 代理人 | 100161115 |
| | | | 弁理士 飯野 智史 |

最終頁に続く

(54) 【発明の名称】 ディザ電流給電制御方法及びディザ電流給電制御装置

(57) 【特許請求の範囲】

【請求項1】

摺動抵抗を有するアクチュエータを駆動する誘導性電気負荷に対し、目標平均電流 I_{aa} と検出平均電流 I_{dd} とが一致するように、この目標平均電流 I_{aa} に対応した指示電流の指令信号を発生して通電電流の負帰還制御を行う演算制御手段を備え、

前記目標平均電流 I_{aa} には、前記摺動抵抗によって定まる所定のディザ (Dither) 振幅電流 I が付加されるディザ電流給電制御方法であって、

前記ディザ振幅電流 I は、ディザ振幅周期 T_d の中のディザ電流大期間 B におけるディザ大電流の飽和推定値 I_2 と、ディザ電流小期間 A ($A = T_d - B$) におけるディザ小電流の飽和推定値 I_1 との偏差値 $I = I_2 - I_1$ として設定され、ディザ中間電流を $I_0 = (I_2 + I_1) / 2$ とすると、(算式1) が成立し、

$$I_2 = I_0 + I / 2、I_1 = I_0 - I / 2 \dots \dots \dots (算式1)$$

前記通電電流が前記ディザ小電流 I_1 からディザ大電流 I_2 まで増加するための立上り時間を b とし、前記ディザ大電流 I_2 からディザ小電流 I_1 まで減少するための立下り時間を a としたときの、波形平均電流 I_a は(算式2)によって算出され、

$$I_a = [I_2 \times (B - b) + I_1 \times (A - a) + I_0 \times (b + a)] / T_d \\ = I_0 + 0.5 \times I [(B - b) - (A - a)] / T_d \dots \dots \dots (算式2)$$

前記波形平均電流 I_a は、前記ディザ振幅周期 T_d の間の前記通電電流の時間積分値を前記ディザ振幅周期 T_d で割った値であって、この波形平均電流 I_a が前記目標平均電流 I_{aa} と合致するようになるディザ中間電流 I_0 を算出して、このディザ中間電流 I_0 は

前記目標平均電流 I_{aa} を得るための前記指示電流となり、

実験段階において、サンプルとしての前記誘導性電気負荷を、ディザ振幅周期 T_d によってディザ大電流 I_2 とディザ小電流 I_1 で通電駆動して、これにより得られる複数段階の前記ディザ中間電流 I_0 に対応した前記立上り時間 b と立下り時間 a との応答時間差 ($a - b$) の実験測定データを、計測又は計算機上の模擬実験によって取得し、

製造組立段階において、複数サンプルによる前記実験測定データの平均値に基づいて、算出された「ディザ中間電流 I_0 対平均応答時間差 ($a - b$)」の近似算式、又はデータテーブルを、補正パラメータとして前記演算制御手段となるマイクロプロセッサと協働するプログラムメモリに格納し、

実働段階の第1ステップとして、与えられた目標平均電流 I_{aa} とディザ振幅電流 I とを読み出し設定し、第2ステップとして、算式(2)の波形平均電流 I_a が、与えられた目標平均電流 I_{aa} と合致する関係となる指示電流、及びディザ電流大期間 B とディザ振幅周期 T_d との比率であるディザデューティ $= B / T_d$ を算出し、この指示電流を前記ディザ中間電流 I_0 として設定し、第3ステップとして、前記通電電流の検出平均電流 I_{dd} と前記目標平均電流 I_{aa} 即ち前記波形平均電流 I_a とが一致する関係に、前記演算制御手段によって負帰還制御が行われる

ことを特徴とするディザ電流給電制御方法。

【請求項2】

前記実験測定データは、前記ディザ振幅周期 $T_d = A + B$ を一定とし、所定の前記ディザ中間電流 I_0 において、前記ディザデューティ $= B / T_d$ を調整しながら、前記検出平均電流 I_{dd} と、前記ディザ中間電流 I_0 とが一致する時点の前記ディザ電流大期間 B 又は前記ディザ電流小期間 A が測定され、前記ディザ中間電流 I_0 と前記検出平均電流 I_{dd} 、即ち波形平均電流 I_a とが一致するという事は、(算式2)における前記ディザ電流大期間 B と前記立上り時間 b との差分値 ($B - b$) と、前記ディザ電流小期間 A と前記立下り時間 a との差分値 ($A - a$) が等しくなると、前記ディザ中間電流 I_0 と前記波形平均電流 I_a とが一致していることを意味して、よって、(算式3a)又は(算式3b)が成立し、

$$A = [(T_d + (a - b))] / 2 \dots \dots \dots \text{(算式3a)}$$

$$B = [(T_d - (a - b))] / 2 \dots \dots \dots \text{(算式3b)}$$

前記補正パラメータは、基準電圧と基準温度の環境下で、前記誘導性電気負荷の複数サンプルによって、所定のディザ振幅周期 T_d と、前記目標平均電流 I_{aa} に対応して定められている前記ディザ振幅電流 I と、複数段階の前記ディザ中間電流 I_0 とによる実験測定を行い、これに対応して実測された前記ディザ電流大期間 B_{00} 又はディザ電流小期間 A_{00} に基づいて、(算式4)によって応答時間差 ($a - b$) を算出し、複数サンプルの平均値を、前記ディザ中間電流 I_0 における平均応答時間差 ($a - b$) であるとした「ディザ中間電流 I_0 対平均応答時間差 ($a - b$)」の近似算式又はデータテーブルである

$$(a - b) = T_d - 2 \times B_{00} (= 2 \times A_{00} - T_d) \text{ 平均値 } ((a - b)) \dots \dots \text{(算式4)}$$

ことを特徴とする請求項1に記載のディザ電流給電制御方法。

【請求項3】

前記実働段階において、第1の補正方法又は第2の補正方法のいずれかが適用され、

前記第1の補正方法は、(算式2)において $B = A$ として、前記ディザ電流大期間 B と前記ディザ電流小期間 A とを一致させて、前記ディザデューティ $= B / T_d$ を50%に固定した補正であり、この場合の目標平均電流 I_{aa} となる波形平均電流 I_a に対応した指示電流となるディザ中間電流 I_0 の関係は、(算式2a)によって算出され、

$$I_{aa} = I_a = I_0 + 0.5 \times I \times ((a - b)) \dots \dots \dots \text{(算式2a)}$$

前記第2の補正方法は、(算式2)において $B - b = A - a$ として、目標平均電流 I_{aa} となる波形平均電流 I_a に対応した指示電流となるディザ中間電流 I_0 は相互に一致しており、このディザ中間電流 I_0 に対応して、前記ディザ電流大期間 B 又は前記ディザ電

10

20

30

40

50

流小期間 A とは、(算式 5 b) 又は (算式 5 a) によって算出され、

$$A = [(T d + (a - b))] / 2 \cdots \cdots (\text{算式 5 a})$$

$$B = [(T d - (a - b))] / 2 \cdots \cdots (\text{算式 5 b})$$

前記平均応答時間差 ((a - b)) は、目標平均電流 I a a の実用範囲である最小値から最大値の間の中間値、又は多用される特定の代表目標平均電流に対応した平均応答時間差が適用されるか、或いは、複数段階の目標平均電流 I a a に関する複数の平均応答時間差を用いて補間演算によって算出される平均応答時間差が適用される

ことを特徴とする請求項 2 に記載のディザ電流給電制御方法。

【請求項 4】

前記実働段階において、第 1 の補正方法及び第 3 の補正方法の双方が適用され、

前記第 1 の補正方法は、(算式 2) において $B = A$ として、前記ディザ電流大期間 B と前記ディザ電流小期間 A とを一致させて、前記ディザデューティ $= B / T d$ を 50% に固定した補正であり、この場合の目標平均電流 I a a となる波形平均電流 I a に対応した指示電流となるディザ中間電流 I 0 の関係は、(算式 2 a) によって算出され、

$$I a a = I a = I 0 + 0.5 \times I \times ((a - b)) \cdots \cdots (\text{算式 2 a})$$

前記第 3 の補正方法は、前記応答時間差 (a 1 - b 1) である第一製品と、前記応答時間差 (a 2 - b 2) であって、(a 2 - b 2) > (a 1 - b 1) である第二製品とに対して、(算式 2 a a) による共通のディザ中間電流 I 0 が適用できるように、前記第二製品のディザデューティ $2 = B 2 / T d$ を第一製品のディザデューティ $1 = B 1 / T d = 0.5$ よりも小さく設定しておくものであり、

$$I a a = I a = I 0 + 0.5 \times I \times ((a 1 - b 1)) \cdots \cdots (\text{算式 2 a a})$$

前記第一製品に関する(算式 2)の値と、前記第二製品に関する(算式 2)の値を等しくするためには(算式 6)の関係が必要であり、

$$(B 1 - b 1) - (A 1 - a 1) = (B 2 - b 2) - (A 2 - a 2) \cdots (\text{算式 6})$$

ここで、 $A 1 = B 1 = T d / 2$ 、 $A 2 + B 2 = T d$ とすることによって(算式 6 a) と(算式 6 b) が得られ、

$$A 2 = [T d + (a 2 - b 2) - (a 1 - b 1)] / 2 \cdots \cdots (\text{算式 6 a})$$

$$B 2 = [T d - (a 2 - b 2) + (a 1 - b 1)] / 2 \cdots \cdots (\text{算式 6 b})$$

応答時間差の差分値 (a 2 - b 2) - (a 1 - b 1) を補正パラメータとして、第二製品のディザデューティ $2 = B 2 / T d$ が決定され、

前記複数サンプルの平均値である平均応答時間差 ((a 1 - b 1)) と、その平均差分値 ((a 2 - b 2) - (a 1 - b 1)) とは、目標平均電流 I a a の実用範囲である最小値から最大値の間の中間値又は多用される特定の代表目標平均電流に対応した平均応答時間差が適用されるか、或いは、複数段階の目標平均電流 I a a に関する複数の平均応答時間差を用いて補間演算によって算出される平均応答時間差が適用される

ことを特徴とする請求項 2 に記載のディザ電流給電制御方法。

【請求項 5】

誘導性電気負荷である比例電磁コイルへの通電電流に応じて、液体圧力を比例制御するアクチュエータである比例電磁弁に対し、前記比例電磁コイルに対する目標平均電流 I a a と検出平均電流 I d d とが一致するように、この目標平均電流 I a a に対応した指示電流の指令信号を発生して、通電電流の負帰還制御を行う演算制御回路部を備え、前記目標平均電流 I a a には、前記比例電磁弁の可動弁の摺動抵抗によって定まる所定のディザ (D i t h e r) 振幅電流 I が付加されるディザ電流給電制御装置であって、

前記比例電磁コイルには、その通電電流を断続制御する駆動用開閉素子と電流検出抵抗とが直列接続されるとともに、前記比例電磁コイルと前記電流検出抵抗との直列回路に対して並列接続される転流回路素子を備え、

前記演算制御回路部は、プログラムメモリ及び演算用 R A M メモリと協働するマイクロプロセッサを主体として構成されていて、前記プログラムメモリは電流制御手段となる制御プログラムを包含し、

前記電流制御手段は、圧力対電流変換テーブルによって目標圧力に対応した目標平均電

10

20

30

40

50

流 I_a を設定する目標平均電流設定手段と、目標とするディザ振幅電流 I を設定するディザ振幅電流設定手段と、前記目標平均電流 I_a と前記ディザ振幅電流 I と加算したディザ合成電流に基づく指示電流設定手段と、第一補正手段又は第二補正手段とを備え、

前記目標平均電流設定手段が発生する前記目標平均電流 I_a と、前記検出平均電流 I_d との偏差値は、比例積分手段を介して前記目標平均電流 I_a に代数加算されて合成目標電流 I_t となり、

前記ディザ振幅電流設定手段は、ディザ中間電流 I_0 を基準として、目標とする前記ディザ振幅電流 I の半分を加算又は減算して得られる指令信号であるディザ大電流 I_2 とディザ小電流 I_1 を、それぞれディザ電流大期間 B とディザ電流小期間 A となるディザ振幅周期 $T_d = A + B$ で繰返して発生し、

前記指示電流設定手段は、前記ディザ振幅電流設定手段によって設定された前記ディザ振幅電流 I と、前記合成目標電流 I_t に基づいて決定される前記ディザ中間電流 I_0 とに基づいて、前記ディザ大電流 I_2 及び前記ディザ小電流 I_1 を決定し、

前記第一補正手段は、前記指示電流設定手段に作用して、前記ディザ中間電流 I_0 と前記ディザ振幅電流 I の大きさによって変動する前記通電電流の立上り時間 b 及び立下り時間 a の変動誤差を、実験段階で測定された補正パラメータによって補正して、前記目標平均電流 I_a とは異なる値の指示電流を前記ディザ中間電流 I_0 として設定する指示電流補正手段であり、

前記第二補正手段は、前記ディザ電流振幅設定手段に作用して、前記目標平均電流 I_a と前記ディザ中間電流 I_0 が一致する関係に前記ディザ電流大期間 B と前記ディザ振幅周期 T_d との比率であるディザデューティ $= B / T_d$ を設定するディザデューティ補正手段である

ことを特徴とするディザ電流給電制御装置。

【請求項 6】

前記転流回路素子は、順方向電圧降下が大きな接合型ダイオードである第一製品であるか、又は電界効果型トランジスタを逆導通して電圧降下と発熱を抑制した等価ダイオードである第二製品となっており、その機種区分は回路基板に設けられたジャンパーの有無、又は前記プログラムメモリに格納されている機種コードによって判別されるとともに、前記指示電流設定手段に対して作用する指示電流補正手段である前記第一補正手段に加えて、第三補正手段が併用され、

前記第三補正手段は、前記ディザ電流振幅設定手段に作用して、前記応答時間差 $(a_1 - b_1)$ である第一製品と、前記応答時間差 $(a_2 - b_2)$ であって、 $(a_2 - b_2) > (a_1 - b_1)$ である第二製品とに対して、共通のディザ中間電流 I_0 が適用できるように、前記第二製品のディザデューティ $= B_2 / T_d$ を第一製品のディザデューティ $= B_1 / T_d = 0.5$ よりも小さく設定しておくディザデューティ補正手段である

ことを特徴とする請求項 5 に記載のディザ電流給電制御装置。

【請求項 7】

前記比例電磁コイルは、自動車用変速機における変速段選択用の複数の油圧電磁弁のそれぞれに設けられ、この複数の比例電磁コイルはそれぞれが前記駆動用開閉素子と電流検出抵抗と転流回路素子を備えるとともに、車載バッテリーである外部電源と、複数の前記駆動用開閉素子との間には、共用可変定電圧電源が設けられ、

前記共用可変定電圧電源は、その出力電圧が前記比例電磁コイルの基準電流 I_s と、現在温度における前記比例電磁コイルの内部抵抗である負荷抵抗 R との積である可変電圧 $V_x = I_s \times R$ となるように負帰還制御されるか、又は前記外部電源の現在電圧である電源電圧 V_b と前記可変電圧 V_x との比率である電源デューティ $v = V_x / V_b$ によってオン/オフ比率が調整され、

前記基準電流 I_s は、前記比例電磁コイルの抵抗値が基準抵抗 R_0 であって、前記駆動用開閉素子を閉路したときの前記比例電磁コイルに対する印可電圧が基準電圧 V_0 であったときの通電電流 V_0 / R_0 であり、複数の前記比例電磁コイルの基準抵抗 R_0 と基準電

10

20

30

40

50

流 I_s とが相違していても、基準電圧 V_0 は共通の固定値となっており、

前記可変電圧は、算式 $V_x = V_0 \times (R / R_0)$ で示されるとともに、前記電源デューティは、算式 $v = (I_s \times R) / V_{bb} = (R / R_0) / (V_{bb} / V_0)$ で示されて、複数の前記比例電磁コイルは共通の温度環境と共通の外部電源で使用されていることによって、抵抗比 (R / R_0) と電圧比 (V_{bb} / V_0) は共通しており、前記可変電圧 V_x 又は前記電源デューティ v は、複数の前記比例電磁コイルに対して共通して適用される

ことを特徴とする請求項 5 に記載のディザ電流給電制御装置。

【請求項 8】

前記演算制御回路部は、PWM デューティ設定手段で決定された開閉デューティに基づいて、指令パルス発生手段が駆動パルス信号 DRV を発生し、ゲート回路を介して前記駆動用開閉素子を直接オン/オフ制御し、

前記 PWM デューティ設定手段は、前記指示電流設定手段による指示電流に反応して、前記駆動用開閉素子のオン時間である閉路期間 on と、PWM 周期 T との比率である PWM デューティ on / T を決定し、

前記電流検出抵抗の両端電圧は、増幅器を介して前記演算制御回路部に入力されて、そのデジタル変換値に比例する検出電流 I_d は、デジタルフィルタを介して平滑化されて前記検出平均電流 I_{dd} となり、

前記 PWM デューティ設定手段は、前記 PWM デューティ on / T が、前記ディザ大電流 I_2 及び前記ディザ小電流 I_1 と、基準電流 I_s との比率 I_2 / I_s 、 I_1 / I_s と一致するように初期設定し、

前記基準電流 I_s は、前記比例電磁コイルの抵抗値が基準抵抗 R_0 であって、前記駆動用開閉素子を閉路したときの前記比例電磁コイルに対する印可電圧が基準電圧 V_0 であったときの通電電流 V_0 / R_0 であり、

前記比例電磁コイルは、共用可変定電圧電源を介して給電され、この共用可変定電圧電源の出力電圧は、比例電磁コイルの現在の負荷抵抗 R と基準抵抗 R_0 との抵抗比率 (R / R_0) に比例した可変電圧 V_x となるように負帰還制御されるか、又はこの抵抗比率を現在の電源電圧 V_{bb} と基準電圧 V_0 との電圧比率 (V_{bb} / V_0) で割った値に相当する通電デューティでオン/オフ制御するようになっているか、又は

前記 PWM デューティ設定手段は更に、前記初期設定デューティ on / T に対して、電源電圧補正手段によって現在の電源電圧 V_{bb} と前記基準電圧 V_0 との比率である電圧補正係数 $K_e = V_{bb} / V_0$ の逆数を掛けるか、又は、現在抵抗補正手段によって算出された前記比例電磁コイルの現在温度における負荷抵抗 R と前記基準抵抗 R_0 との比率である抵抗補正係数 $K_r = R / R_0$ を掛け合わせた補正デューティを決定し、

前記ディザ振幅電流設定手段における前記ディザ振幅周期 T_d は、前記比例電磁コイルのインダクタンス L と前記負荷抵抗 R との比率である誘導時定数 $T_x = L / R$ よりは大きく、前記 PWM 周期 T は前記誘導時定数 T_x よりは小さく、前記デジタルフィルタによる平滑時定数 T_f は前記ディザ振幅周期 T_d よりも大きく $(T_f > T_d > T_x >)$ なっている、

前記比例積分手段は、前記第一補正手段による前記指示電流設定手段の設定誤差、又は前記第二補正手段或いは前記第三補正手段による前記ディザ振幅電流設定手段の設定誤差、又は前記現在電圧補正手段と前記現在抵抗補正手段のいずれか一方或いは双方による前記 PWM デューティ設定手段の設定誤差があるときに、前記目標平均電流 I_{aa} と前記検出平均電流 I_{dd} との偏差信号の積分値によって前記合成目標電流 I_t を増減して、前記目標平均電流 I_{aa} と前記検出平均電流 I_{dd} とが一致する関係に負帰還制御を行うものであって、その積分時定数 T_i は前記ディザ振幅周期 T_d よりも大きい

ことを特徴とする請求項 5 から 7 までのいずれか 1 項に記載のディザ電流給電制御装置

【請求項 9】

前記演算制御回路部は更に、前記指示電流設定手段が交互に発生する指令信号であるデ

ィザ大電流 I_2 及びディザ小電流 I_1 と、前記検出電流 I_d との偏差電流 I_x に応動する増大デューティ設定手段又は減少デューティ設定手段の少なくとも一方を備え、

前記増大デューティ設定手段は、前記検出電流 I_d が目標とする前記ディザ大電流 I_2 よりも過小であって、前記偏差電流 I_x の絶対値が第一閾値以上であるときに作用して、前記指令パルス発生手段が発生する駆動パルス信号 DRV の PWM デューティ $= on /$ を一次的に増大させ、前記検出電流 I_d が増大して目標とする前記ディザ大電流 I_2 に接近通過した時点以降は前記 PWM デューティ設定手段が指定する PWM デューティ $= on /$ に復帰し、

前記減少デューティ設定手段は、前記検出電流 I_d が目標とする前記ディザ大電流 I_1 よりも過大であって、前記偏差電流 I_x の絶対値が第二閾値以上であるときに作用して、前記指令パルス発生手段が発生する駆動パルス信号 DRV の PWM デューティ $= on /$ を一次的に減少させ、前記検出電流 I_d が減少して目標とする前記ディザ小電流 I_1 に接近通過した時点以降は、前記 PWM デューティ設定手段が指定する PWM デューティ $= on /$ に復帰する

ことを特徴とする請求項 8 に記載のディザ電流給電制御装置。

【請求項 10】

前記演算制御回路部は、PWM デューティ設定手段で決定された開閉デューティに基づいて、指令パルス発生手段が指令パルス信号 PLS を発生し、負帰還制御回路とゲート回路を介して前記駆動用開閉素子を間接的にオン/オフ制御し、

前記 PWM デューティ設定手段は、前記指令パルス信号 PLS が PWM 周期 でオン/オフする PWM デューティ $= on /$ を決定し、前記 PWM デューティ $= on /$ は、前記指示電流設定手段による指示電流であるディザ大電流 I_2 とディザ小電流 I_1 とに対応して、前記目標平均電流 I_{aa} の最大値 I_{amax} との比率である $2 = I_2 / I_{amax}$ 、又は $1 = I_1 / I_{amax}$ となるようにオン時間である閉路期間 on が決定され、

前記電流検出抵抗の両端電圧は、増幅器を介して前記演算制御回路部に入力されて、そのデジタル変換値に比例する検出電流 I_d は、デジタルフィルタを介して平滑化されて前記検出平均電流 I_{dd} となり、

前記ディザ振幅電流設定手段における前記ディザ振幅周期 T_d は、前記比例電磁コイルのインダクタンス L と現在温度における負荷抵抗 R との比率である誘導時定数 $T_x = L / R$ よりは大きく、前記 PWM 周期 は前記誘導時定数 T_x よりは小さく、前記デジタルフィルタによる平滑時定数 T_f は前記ディザ振幅周期 T_d よりも大きく ($T_f > T_d > T_x >$) なっていて、

前記負帰還制御回路は、前記指令パルス信号 PLS を第一平滑回路によって平滑して得られるアナログ指令信号 A_t と、前記増幅器の出力電圧を第二平滑回路で平滑して得られる電流検出信号 A_d とを比較制御回路で比較して、前記電源電圧 V_{bb} の変動及び前記負荷抵抗 R の変動の有無にかかわらず、前記ディザ大電流 I_2 と前記ディザ小電流 I_1 に対応して、前記検出電流が一致する関係に前記駆動用開閉素子を開閉して負帰還制御するとともに、

前記第一及び第二平滑回路の平滑時定数は、前記 PWM 周期 よりも大きくて、前記誘導時定数 T_x よりも小さな値であり、

前記比例積分手段は、前記第一補正手段による前記指示電流設定手段の設定誤差、又は前記第二補正手段或いは前記第三補正手段による前記ディザ振幅電流設定手段の設定誤差と、前記負帰還制御回路の電流制御誤差があるときに、前記目標平均電流 I_{aa} と前記検出平均電流 I_{dd} との偏差信号の積分値によって前記合成目標電流 I_t を増減して、前記目標平均電流 I_{aa} と前記検出平均電流 I_{dd} とが一致する関係に負帰還制御を行うものであって、その積分時定数 T_i は前記ディザ振幅周期 T_d よりも大きい

ことを特徴とする請求項 5 から 7 までのいずれか 1 項に記載のディザ電流給電制御装置。

【請求項 11】

10

20

30

40

50

前記ディザ振幅電流設定手段は、前記負帰還制御回路に対して上昇開始指令パルスUPと下降開始指令パルスDNを発生し、

前記上昇開始指令パルスUPは、前記比例電磁コイルに対する通電開始時、又は前記ディザ振幅電流設定手段が、前記ディザ小電流I1から前記ディザ大電流I2に切替った時点において、所定時間幅又は可変時間幅の第一パルス信号を発生し、

前記下降開始指令パルスDNは、前記比例電磁コイルに対する通電停止時、又は前記ディザ振幅電流設定手段が、前記ディザ大電流I2から前記ディザ小電流I1に切替った時点において、所定時間幅又は可変時間幅の第二パルス信号を発生し、

前記負帰還制御回路は、前記第一パルス信号又は第二パルス信号に反応して、前記比較制御回路に入力されている前記アナログ指令信号Atを一次的に急増又は急減させる

ことを特徴とする請求項10に記載のディザ電流給電制御装置。

10

【請求項12】

前記比例電磁コイルは、自動車用変速機における変速段選択用の複数の油圧電磁弁のそれぞれに設けられ、この複数の比例電磁コイルはそれぞれが前記駆動用開閉素子を備えるとともに、一方が給電されているときに他方は給電されていない状態が存在する少なくとも一对の前記比例電磁コイルに接続された抵抗検出回路を備え、

前記抵抗検出回路は、安定化された制御電圧Vccから非駆動中の前記比例電磁コイルに対して、サンプリング開閉素子と、前記負荷抵抗Rよりも大きな値の抵抗値Rsである直列抵抗とを介してパルス電流を供給し、このときの前記比例電磁コイルに対する印可電圧Vs = Vcc × R / (R + Rs)を増幅して、抵抗検出信号RDSを発生する第二増幅器によって構成され、

20

前記演算制御回路部は、前記サンプリング開閉素子をパルス駆動し、このときの前記抵抗検出信号RDSを受信して、前記比例電磁コイルの現在温度における内部抵抗である前記負荷抵抗Rを、算式 $R = R_s \times V_s / (V_{cc} - V_s)$ $R_s \times V_s / V_{cc}$ によって算出し、

前記比例電磁コイルは、その負荷抵抗Rの値によって出力電圧が補正される共用可変定電圧電源を介して給電されるか、又は前記駆動用開閉素子の通電デューティを、前記負荷抵抗Rの値によって補正するPWMデューティ設定手段を備えている

ことを特徴とする請求項5から11までのいずれか1項に記載のディザ電流給電制御装置。

30

【請求項13】

前記比例電磁コイルに並列接続される転流回路は、前記比例電磁コイルの通電遮断時と、前記ディザ大電流I2から前記ディザ小電流I1への切替え移行時の減流所要時間において有効となる高速遮断回路を備え、

前記高速遮断回路は、前記転流回路素子に直列接続された減衰抵抗と、この減衰抵抗と並列接続され、前記減流所要時間において開路される付加開閉素子であるか、又は前記転流回路素子に対して直列接続され転流開閉素子であり、

前記転流開閉素子には電圧制限ダイオードが接続されているとともに、前記減流所要時間においては開路されて、その両端電圧は前記電圧制限ダイオードによって制限されるようになっている

40

ことを特徴とする請求項5から11までのいずれか1項に記載のディザ電流給電制御装置。

【請求項14】

前記指令パルス発生手段が発生するパルス信号のPWMデューティは、PWM周期の期間内でN回のクロック信号を計数し、この内のS回がオン指令であったときにPWMデューティ = S / Nとなるものであって、前記N回のクロック信号を一単位とする前記PWM周期は、前記ディザ振幅周期Tdの期間内にn回発生し、前記ディザデューティ = B / Tdの最小調整単位はTd / nとなり、

前記指令パルス発生手段は、前記クロック信号を計数するリングカウンタであって、計数値1 ~ Sがオン期間、計数値S + 1 ~ Nがオフ期間となるようにオン期間が連続する集

50

中型のものを第一手段とし、S回のオンタイミングが、N回のクロック信号の中に分散配置されたリングレジスタによるものを第二手段として、前記第一手段又は前記第二手段のいずれかが選択使用される

ことを特徴とする請求項5から11までのいずれか1項に記載のディザ電流給電制御装置。

【請求項15】

前記指令パルス発生手段は、第1及び第2のリングレジスタを備え、
前記ディザ電流大期間Bにおいては、前記第2のリングレジスタに格納されているビットパターンによって順次前記指令パルスPLSがオン/オフ状態となり、

前記ディザ電流小期間Aにおいては、前記第1のリングレジスタに格納されているビットパターンによって順次前記指令パルスPLSがオン/オフ状態となり、

前記PWMデューティに対応した前記ビットパターンはデータマップとして前記プログラムメモリに格納されていて、

前記第1のリングレジスタには、前記ディザ電流大期間Bにおいて、前記ディザ小電流I1に適した前記データマップが読み出し格納され、

前記第2のリングレジスタには、前記ディザ電流小期間Aにおいて、前記ディザ大電流I2に適した前記データマップが読み出し格納され、

前記PWMデューティが50%以下であって、 $N/S = q$ の値が整数である時には1回のオン指令に続いて $(q - 1)$ 回のオフ指令を発生し、再び1回のオン指令に続いて $(q - 1)$ 回のオフ指令を発生する前記ビットパターンを反復し、

前記PWMデューティが50%以下であって N/S の商が q 、剰余が r ある時には1回のオン指令に続いて $(q - 1)$ 回のオフ指令又は q 回のオフ指令を発生し、再び1回のオン指令に続いて $(q - 1)$ 回のオフ指令又は q 回のオフ指令を発生する前記ビットパターンを反復し、S回の反復動作の中で q 回のオフ指令を発生するのは r 回とし、

前記PWMデューティが50%を超過するときは、PWMデューティが50%以下であった場合の前記ビットパターンのオンとオフを反転した補数パターンに基づいて、N回の中でS回のオフ指令を発生することによってPWMデューティ $(N - S) / N$ を達成するようになっている

ことを特徴とする請求項14に記載のディザ電流給電制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、可逆位置決め用アクチュエータを駆動する誘導性電気負荷に対し、被駆動体に作用する静止摩擦抵抗に対抗して、増減電流を付与するようにしたディザ(Dither)電流給電制御方法及びディザ電流給電制御装置の改良に関するものである。

【背景技術】

【0002】

例えば、自動車の変速機制御装置或いはサスペンション制御装置等において、アクチュエータである油圧シリンダを制御する比例電磁弁が使用されて、この比例電磁弁の可動弁の位置を制御するために、誘導性電気負荷である比例電磁コイルに対してディザ電流が供給され、この比例電磁コイルは可動弁に作用する静止摩擦抵抗と可動弁を一方向に押圧するばね力に対抗して、他方向に押圧力を発生して可動弁の位置を制御するようになっている。

なお、誘導性電気負荷は、そのインダクタンス L と負荷抵抗 R との比率である時定数 $T_x = L / R$ によって負荷電流の増減に応答遅れが発生し、ディザ小電流 I_1 からディザ大電流 I_2 への立上り時間と、ディザ大電流 I_2 からディザ小電流 I_1 への立上り時間とが異なると、ディザ大電流 I_2 とディザ小電流 I_1 とのディザ中間電流 $I_0 = (I_1 + I_2) / 2$ の値と、ディザ電流の時間積分値をディザ振幅周期 T_d で割って得られるディザ平均電流 I_a とが異なった値となる。

従って、ディザ中間電流 I_0 に注目しないで、単に目標平均電流 I_{aa} と検出平均電流

I d d とを一致させるような負帰還制御が行われている場合には、均質なディザ制御が行えなくなる問題点があることに留意しておく必要がある。

【 0 0 0 3 】

例えば、下記の特許文献 1 「比例電磁弁の制御方法及び制御装置」の図 1 によれば、マイクロプロセッサによって構成された(と推定される)MPU 3 は、比例電磁弁 1 0 に対する目標平均電流を決定する開口量補正器 6 と、ディザ信号発生器 7 と、合成器 8 とを備え、MPU 3 の外部に接続されたハードウェアである(と推定される)定電流駆動器 5 は、合成器 8 の出力を D / A 変換器 4 でアナログ信号に変換した指示電流と、比例電磁弁 1 0 に対する駆動電流とが合致するように負帰還制御を行い、その負帰還制御は、図 6 で示された第 1 ・第 2 のオペアンプ 3 1 ・3 2 と、加算器 3 3 と、バッファ 3 4 と、トランジスタ 3 5 と、電流検出器 3 6 と、微分倍率器 3 7 とを備え、この微分倍率器 3 7 は駆動電流の増減を高速処理するようになっている。

10

しかし、駆動電流の増減は、特許文献 1 の図 4 (b) で示すとおり、なだらかに増減する正弦波となっていて、所定のディザ振幅を得るためにはディザ周期が大きくなり、可動鉄片 1 4 (図 2 参照) が静止摩擦抵抗により固着するおそれがある。

【 0 0 0 4 】

また、下記の特許文献 2 「電流制御装置および電流制御プログラム」の図 2 によれば、マイクロプロセッサを包含する(と推定される)電流制御装置 1 0 は、ソレノイド 9 5 を開閉駆動する駆動回路 5 0 に対して PWM 信号 S p w m を直接出力するものであり、図 2 で示す目標設定手段 2 0 と、デューティ比設定手段 3 0 と、PWM 信号生成手段 4 0 によ

20

って構成され、目標設定手段 2 0 による基本電流値 I b の設定から、PWM 信号生成手段 4 0 によるデューティ比 R d が更新されるまでの時間を短縮する技術が開示されている。この特許文献 2 の図 4 によれば、目標設定手段 2 0 は、基本設定部 2 1 で基本電流値 I b を決定し、ディザ平均算出部 2 2 では被検出励磁電流信号 S i からディザ平均電流値 I a v e 2 を算出し、減算部 2 3 で偏差値 I 2 を算出し、補正部 2 4 で基本電流値 I b の比例積分補正値を発生し、ディザ設定部 2 5 でディザ電流 I d を設定し、加算部 2 6 で目標電流値 I t を算出している。

【 0 0 0 5 】

また、特許文献 2 の図 3 によれば、デューティ比設定手段 3 0 は、PWM 平均算出部 3 1 において被検出励磁電流信号 S i から PWM 平均電流値 I a v e 1 を算出し、減算部 3 2 で偏差 I 1 を算出し、フィードバック制御部 3 3 (3 4 の誤記) でデューティ比 R d / f b を算出し、フィードフォワード制御部 3 4 (3 3 の誤記) でデューティ比 R d / f f を算出し、加算部 3 5 でデューティ比 R d を算出し、デューティ比設定手段 3 0 は目標電流 I t が、PWM 平均電流値 I a v e 1 に一致するように PWM のデューティ比 R d を調節するものとなっている。

30

なお、特許文献 2 の図 2 において、PWM 信号生成手段 4 0 は PWM 信号 S p w m を生成して駆動回路に出力し、目標電流 I t は PWM 信号 S p w m の PWM 周期の 1 0 倍に設定されているディザ周期で周期的に変化する値である。

特許文献 2 の図 3 におけるフィードフォワード制御部 3 4 (3 3 の誤記) は、ディザ電流の基本波が、特許文献 2 の図 1 5 の三角波となるようにデューティ比 R d / f f を付与するものであって、この三角波に追従してデューティ比 R d / f b によるフィードバック制御を行うためには、三角波は徐々に増減する緩やかな波形となり、所定のディザ振幅を得るためにはディザ周期が大きくなり、スプール 9 4 2 (特許文献 2 の図 1 参照) が静止摩擦抵抗により固着するおそれがある。

40

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 9 - 1 0 3 3 0 0 号公報 (図 1 、 図 4 、 図 6 、 要約、段落 [0 0 2 8]、[0 0 2 9]、[0 0 4 0]、[0 0 4 5])

【 特許文献 2 】 特開 2 0 1 4 - 1 9 7 6 5 5 号公報 (図 2 ~ 図 4 、 図 1 5 、 段落 [0 0 1

50

0] ~ [0017]、[0040])

【発明の概要】

【発明が解決しようとする課題】

【0007】

前記特許文献1による「比例電磁弁の制御方法及び制御装置」は、ディザ電流波形がなだらかに変化する正弦波となっていて、このとおりに制御されればディザ電流の立上り時間と立下り時間は一致する。

しかし、電流制御が追従できるように正弦波の周期を大きくすると、可動鉄片14の静止状態が発生して静止摩擦抵抗が発生する問題があるとともに、正弦波の周期を短縮すると電流制御が追従できず、ディザ電流の立上り時間と立下り時間が一致しなくなる問題がある。

10

また、脈動する指示電流と脈動する検出電流の偏差信号からその変化度合である微分係数を算出することは至難であって、正確な微分制御を行うことは期待できない問題点がある。

【0008】

前記特許文献2による「電流制御装置および電流制御プログラム」も同様であり、ディザ電流波形はなだらかに変化する三角波となっていて、このとおりに制御されればディザ電流の立上り時間と立下り時間は一致する。

しかし、電流制御が追従できるように三角波の周期を大きくすると、スプール942の静止状態が発生して静止摩擦抵抗が発生する問題があるとともに、三角波の周期を短縮すると電流制御が追従できず、ディザ電流の立上り時間と立下り時間が一致しなくなる問題がある。

20

また、図3におけるPWM平均電流値Iave1の算出方法、及びフィードフォワード制御の方法は一切記載されていないが、高速応答のマイクロプロセッサと高速応答のAD変換器が必要となるものと推定される。

【0009】

この発明は、かかる課題を解決するためになされたものであり、この発明の第一の目的は、ディザ電流の立上り時間と立下り時間に差異があっても、目標平均電流に対応した検出平均電流が得られるような指示電流の設定を行って、変動する目標電流に対応したフィードバック制御の応答依存度を下げて、安定した電流制御を行うことができるようにしたディザ電流給電制御方法を提供することである。

30

また、この発明の第二の目的は、実験段階で測定された補正パラメータを用いて、予定された目標平均電流が得られることを想定した指示電流を生成し、これに脈動するディザ電流を重畳して、簡易な演算制御回路部を用いて、安定した高精度な通電電流を得ることができるディザ電流給電制御装置を提供することである。

【課題を解決するための手段】

【0010】

この発明によるディザ電流給電制御方法は、摺動抵抗を有するアクチュエータを駆動する誘導性電気負荷に対し、目標平均電流Iaaと検出平均電流Iddとが一致するように、この目標平均電流Iaaに対応した指示電流の指令信号を発生して通電電流の負帰還制御を行う演算制御手段を備え、

40

前記目標平均電流Iaaには、前記摺動抵抗によって定まる所定のディザ(Dither)振幅電流Iが付加されるディザ電流給電制御方法であって、

前記ディザ振幅電流Iは、ディザ振幅周期Tdの中のディザ電流大期間Bにおけるディザ大電流の飽和推定値I2と、ディザ電流小期間A(A=Td-B)におけるディザ小電流の飽和推定値I1との偏差値I=I2-I1として設定され、ディザ中間電流をI0=(I2+I1)/2とすると、(算式1)が成立し、

$$I2 = I0 + I / 2, I1 = I0 - I / 2 \dots \dots \dots (算式1)$$

前記通電電流が前記ディザ小電流I1からディザ大電流I2まで増加するための立上り時間をbとし、前記ディザ大電流I2からディザ小電流I1まで減少するための立下り時

50

間を a としたときの、波形平均電流 I_a は (算式 2) によって算出される。

$$I_a = [I_2 \times (B - b) + I_1 \times (A - a) + I_0 \times (b + a)] / T_d$$

$$= I_0 + 0.5 \times I [(B - b) - (A - a)] / T_d \dots \dots (算式 2)$$

【0011】

そして、前記波形平均電流 I_a は、前記ディザ振幅周期 T_d の間の前記通電電流の時間積分値を前記ディザ振幅周期 T_d で割った値であって、この波形平均電流 I_a が前記目標平均電流 I_{aa} と合致するようになるディザ中間電流 I_0 を算出して、このディザ中間電流 I_0 は前記目標平均電流 I_{aa} を得るための前記指示電流となり、

実験段階において、サンプルとしての前記誘導性電気負荷を、ディザ振幅周期 T_d によってディザ大電流 I_2 とディザ小電流 I_1 で通電駆動して、これにより得られる複数段階の前記ディザ中間電流 I_0 に対応した前記立上り時間 b と立下り時間 a との応答時間差 ($a - b$) の実験測定データを、計測又は計算機上の模擬実験によって取得し、

製造組立段階において、複数サンプルによる前記実験測定データの平均値に基づいて、算出された「ディザ中間電流 I_0 対平均応答時間差 ($a - b$)」の近似算式、又はデータテーブルを、補正パラメータとして前記演算制御手段となるマイクロプロセッサと協働するプログラムメモリに格納し、

実働段階の第1ステップとして、与えられた目標平均電流 I_{aa} とディザ振幅電流 I とを読み出し設定し、第2ステップとして、算式(2)の波形平均電流 I_a が、与えられた目標平均電流 I_{aa} と合致する関係となる指示電流、及びディザ電流大期間 B とディザ振幅周期 T_d との比率であるディザデューティ $= B / T_d$ を算出し、この指示電流を前記ディザ中間電流 I_0 として設定し、第3ステップとして、前記通電電流の検出平均電流 I_{dd} と前記目標平均電流 I_{aa} 即ち前記波形平均電流 I_a とが一致する関係に、前記演算制御手段によって負帰還制御が行われる。

【0012】

この発明によるディザ電流給電制御装置は、誘導性電気負荷である比例電磁コイルへの通電電流に応じて、液体圧力を比例制御するアクチュエータである比例電磁弁に対し、前記比例電磁コイルに対する目標平均電流 I_{aa} と検出平均電流 I_{dd} とが一致するように、この目標平均電流 I_{aa} に対応した指示電流の指令信号を発生して、通電電流の負帰還制御を行う演算制御回路部を備え、前記目標平均電流 I_{aa} には、前記比例電磁弁の可動弁の摺動抵抗によって定まる所定のディザ (*Dither*) 振幅電流 I が付加されるディザ電流給電制御装置であって、

前記比例電磁コイルには、その通電電流を断続制御する駆動用開閉素子と電流検出抵抗とが直列接続されるとともに、前記比例電磁コイルと前記電流検出抵抗との直列回路に対して並列接続される転流回路素子を備え、

前記演算制御回路部は、プログラムメモリ及び演算用RAMメモリと協働するマイクロプロセッサを主体として構成されていて、前記プログラムメモリは電流制御手段となる制御プログラムを包含し、

前記電流制御手段は、圧力対電流変換テーブルによって目標圧力に対応した目標平均電流 I_{aa} を設定する目標平均電流設定手段と、目標とするディザ振幅電流 I を設定するディザ振幅電流設定手段と、前記目標平均電流 I_{aa} と前記ディザ振幅電流 I と加算したディザ合成電流に基づく指示電流設定手段と、第一補正手段又は第二補正手段とを備えている。

【0013】

そして、前記目標平均電流設定手段が発生する前記目標平均電流 I_{aa} と、前記検出平均電流 I_{dd} との偏差値は、比例積分手段を介して前記目標平均電流 I_{aa} に代数加算されて合成目標電流 I_t となり、

前記ディザ振幅電流設定手段は、ディザ中間電流 I_0 を基準として、目標とする前記ディザ振幅電流 I の半分を加算又は減算して得られる指令信号であるディザ大電流 I_2 とディザ小電流 I_1 を、それぞれディザ電流大期間 B とディザ電流小期間 A となるディザ振幅周期 $T_d = A + B$ で繰返して発生し、

10

20

30

40

50

前記指示電流設定手段は、前記ディザ振幅電流設定手段によって設定された前記ディザ振幅電流 I と、前記合成目標電流 I_t に基づいて決定される前記ディザ中間電流 I_0 と前記ディザ大電流 I_2 及び前記ディザ小電流 I_1 を決定し、

前記第一補正手段は、前記指示電流設定手段に作用して、前記ディザ中間電流 I_0 と前記ディザ振幅電流 I の大きさによって変動する前記通電電流の立上り時間 b 及び立下り時間 a の変動誤差を、実験段階で測定された補正パラメータによって補正して、前記目標平均電流 I_a とは異なる値の指示電流を前記ディザ中間電流 I_0 として設定する指示電流補正手段であり、

前記第二補正手段は、前記ディザ電流振幅設定手段に作用して、前記目標平均電流 I_a と前記ディザ中間電流 I_0 が一致する関係に前記ディザ電流大期間 B と前記ディザ振幅周期 T_d との比率であるディザデューティ $= B / T_d$ を設定するディザデューティ補正手段となっている。

【発明の効果】

【0014】

以上のとおり、この発明によるディザ電流給電制御方法は、誘導性電気負荷への通電電流の波形平均電流が、目標平均電流と合致するように指示電流となるディザ中間電流を決定し、この指示電流はディザ中間電流とディザ振幅電流の大きさによって変動する立上り時間及び立下り時間の変動誤差を、予備実験段階で測定された補正パラメータを用いて、実験段階で補正して運転するようになっている。

従って、予定された目標平均電流が得られることを想定して生成されている指示電流を用いて負帰還制御が行われるので、自動制御における過渡変動誤差の発生が抑制され、その他の要因によって指示電流に対応した検出平均電流に制御誤差が含まれていても、負帰還制御によって自動修正されて、高精度な通電制御を安定して行うことができる効果がある。

【0015】

以上のとおり、この発明によるディザ電流給電制御装置は、目標平均電流設定手段とディザ振幅電流設定手段によって与えられた目標平均電流とディザ振幅電流を得るために、指示電流設定手段と指示電流補正手段又はディザデューティ補正手段を備え、比例電磁コイルの通電平均電流が目標平均電流と等しくなる関係にディザ中間電流又はディザデューティを設定するようになっている。

従って、予定された目標平均電流が得られることを想定した指示電流は、実験段階で測定された補正パラメータを用いて生成されているので、自動制御における過渡変動誤差の発生が抑制されて、簡易な演算制御回路部を用いて、安定した高精度な通電電流を得ることができる効果がある。

【図面の簡単な説明】

【0016】

【図1】この発明の実施の形態1に係るディザ電流給電制御装置の全体回路ブロック図である。

【図2】図1における演算制御回路部による電流制御ブロック図である。

【図3】図2の電流制御ブロックによる電流波形を示す特性線図である。

【図4】図3の電流波形を簡略表示した模式電流波形を示す特性線図である。

【図5】図1のものの応答時間差と指示電流の関係を示す実験特性線図である。

【図6】図1のものの目標電流と指示電流との関係を示す補正特性線図である。

【図7】この発明の実施の形態2に係るディザ電流給電制御装置の全体回路ブロック図である。

【図8】図7における演算制御回路部による電流制御ブロック図である。

【図9】図8の電流制御ブロックによる電流波形を示す特性線図である。

【図10】図7のもののディザデューティと目標電流の関係を示す補正特性線図である。

【図11】この発明の実施の形態3に係るディザ電流給電制御装置の全体回路ブロック図である。

10

20

30

40

50

【図 1 2】図 1 1 における演算制御回路部による電流制御ブロック図ある。

【図 1 3】図 1 1 のもののディザデューティと目標電流の関係を示す実験特性線図である。

【図 1 4】図 1 1 のもののビットパターンを示すデータマップである。

【発明を実施するための形態】

【0017】

実施の形態 1 .

(1) 構成の詳細な説明

以下、この発明の実施の形態 1 に係る装置の全体回路ブロック図である図 1 について説明する。

図 1 において、ディザ電流給電制御装置 100A は、例えば自動車用変速機における変速段選択用の複数の油圧電磁弁に設けられた比例電磁コイル 105 に対して、ディザ電流を含む励磁電流を供給するものであって、図示しない電源スイッチが閉路されたときに付勢される電源リレーの出力接点 102 を介して、車載バッテリーである外部電源 101 から電源電圧 V_{bb} が印可されるようになっている。

なお、複数の比例電磁コイル 105 のそれぞれには、励磁電流対油圧特性の個体バラツキ変動を補正するためのラベル抵抗 107 が設けられているとともに、変速機内にはその環境温度を代表して油温を測定する温度センサ 106 が設けられている。

ディザ電流給電制御装置 100A はマイクロプロセッサ CPU を含む演算制御回路部 120A を主体として構成されていて、この演算制御回路部 120A には定電圧電源 110 を介して例えば DC 5V の安定化電圧である制御電圧 V_{cc} が印可されている。

【0018】

演算制御回路部 120A は、不揮発性のプログラムメモリ 121 と演算処理用の RAM メモリ 122 と、後述するリングカウンタ 123a と、多チャンネル AD 変換器 124 によって構成され、プログラムメモリ 121 には後述する電流制御手段 125A となる制御プログラムと、補正パラメータを格納する不揮発性のデータメモリ領域が設けられている。

入力インタフェース回路 130 は、例えばギアシフトレバーの選択位置に応動するギアシフトセンサ、エンジン回転センサ、車速センサ、アクセルペダルの踏込度合を検出するアクセルポジションセンサなどの図示しない入力センサ群から得られるアナログ又はオン

オフ動作の入力信号を演算制御回路部 120A の入力ポートに接続する。

なお、温度センサ 106 は入力インタフェース回路 130 を介して温度検出信号 TMP を多チャンネル AD 変換器 124 に入力し、ラベル抵抗 107 は入力インタフェース回路 130 を介して特性ラベル信号 LBL として多チャンネル AD 変換器 124 に入力されている。

出力インタフェース回路 140 は、例えば油圧ポンプや前後進選択用油圧電磁弁などの図示しない電気負荷群と演算制御回路部 120A の出力ポートとの間に接続されている。

【0019】

比例電磁コイル 105 の上流位置に接続されている駆動用開閉素子 151 は、ゲート回路 150A を介して演算制御回路部 120A が発生する駆動パルス信号 DRV によってオン/オフ制御されるようになっている。

比例電磁コイル 105 の下流位置は電流検出抵抗 153 を介してグランド回路 GND に接続されていて、電流検出抵抗 153 の両端電圧は増幅器 154 を介して増幅されて、比例電磁コイル 105 の通電電流に比例した電圧となる電流検出信号 If が多チャンネル AD 変換器 124 に入力されている。

転流回路素子 152A は、駆動用開閉素子 151 と比例電磁コイル 105 との接続点とグランド回路 GND との間に接続されていて、駆動用開閉素子 151 が開路したときに、比例電磁コイル 105 に流れていた通電電流が、電流検出抵抗 153 を介して転流するようになっている。

なお、この実施の形態では転流回路素子 152A は N チャネル型の電界効果型トランジ

10

20

30

40

50

スタを逆接続したものとなっていて、このトランジスタが開路しているときには内部寄生ダイオードを介して転流電流が流れ、ゲート回路150Aによってゲート信号が与えられると、内部寄生ダイオードに代わってソース端子からドレーン端子の方向に転流電流が流れるようになっている。

【0020】

従って、この転流回路素子152Aは転流電流による電圧降下が小さくて低損失ではあるが、通電電流を速やかに減衰させたい場合には、望ましくは点線で図示した減衰抵抗155aを直列接続し、通電電流を速やかに減衰させたくない時点では、この減衰抵抗155aを付加開閉素子155bによって短絡しておくようにするとよい。

また、複数の比例電磁コイル105のそれぞれに設けられた駆動用開閉素子151の上流位置には、望ましくは点線で図示した共用可変定電圧電源159aと平滑コンデンサ159bを設け、電源電圧Vbbの変動や、環境温度変化による比例電磁コイル105の内部抵抗の変動があっても、駆動用開閉素子151を完全導通させたときに所定の基準電流が供給されるようにしておくことよい。

演算制御回路部120Aと図示しない外部機器との間で接続されたシリアルインタフェース170は、例えば、プログラムツールからプログラムメモリ121に制御プログラムや補正パラメータデータの送信書込みを行ったり、運転中のエンジン制御装置との間で入出力信号の交信が行えるようになっている。

【0021】

次に、図1における演算制御回路部120Aによる電流制御ブロック図である図2について、その構成を説明する。

図2において、圧力対電流変換テーブル20aは、プログラムメモリ121のデータメモリ領域に予め格納されていて、適用された比例電磁コイル105の励磁電流対油圧電磁弁の出力圧力との対応関係の標準特性を、電流対圧力の近似算式又はデータテーブルによって示したものである。

誤差補正手段20bは、接続された比例電磁コイル105に対して個別に添付されているラベル抵抗107の抵抗値を特性ラベル信号LBLによって読み出して、その値によって電流対圧力特性の個体バラツキ変動を補正し、例えば電流対圧力に関する複数の標準データの中から、適用された現品に最も近い電流対圧力特性のものを選択するようになっている。

【0022】

目標圧力設定手段21aは、図示しない他の制御プログラムによって算出され、複数の比例電磁コイル105の中の特定のものに対する目標圧力Ptを格納するようになっている。目標平均電流設定手段21bは、目標圧力設定手段21aによって設定された目標圧力Ptに対応して、圧力対電流変換テーブル20aを参照して得られる目標平均電流Iaを読み出すようになっている。

ディザ圧力設定手段22aでは、油圧電磁弁の可動弁に作用する静止摩擦抵抗に打勝つだけのディザ圧力Pdが設定される。

ディザ振幅電流設定手段22bは、ディザ圧力設定手段22aによって設定されたディザ圧力Pdに対応して、圧力対電流変換テーブル20aを参照して得られるディザ振幅電流Iを算出するようになっている。

【0023】

ディザ周期設定手段23aは、ディザ圧力設定手段22aで設定されたディザ圧力Pdと、可動弁の重さを勘案して、可動弁を微振動させるに必要なディザ振幅周期Tdが設定される。

ディザデューティ設定手段23bは、図3で後述するディザ電流大期間Bと、ディザ電流小期間Aに対し、ディザデューティ $= B / Td$ を設定するものであり、この実施の形態ではディザデューティは50%に設定されている。

ここで、検出電流帰還入力手段27aは、図1の増幅器154の出力信号である電流検出信号Ifを、多チャンネルAD変換器124によってデジタル変換して、得られたデジ

10

20

30

40

50

タル値である検出電流 I_d の現在値を更新格納するようになっている。

デジタルフィルタ 27b は、平滑時定数 T_f の期間における検出電流 I_d の移動平均値を検出平均電流 I_{dd} として算出し、平滑時定数 T_f はディザ振幅周期 T_d より大きな値となっている。

比例積分手段 28 は、目標平均電流設定手段 21b による目標平均電流 I_{aa} と、検出平均電流 I_{dd} との偏差値に対する比例成分と、偏差値の時間積分成分とを含む誤差信号を発生する。

【0024】

指示電流設定手段 24a は、目標平均電流設定手段 21b による目標平均電流 I_{aa} と、比例積分手段 28 による比例積分の誤差信号を加算して得られる合成目標電流 I_t に基づいて、ディザ大電流 I_2 とディザ小電流 I_1 とを設定するものである。

指示電流補正手段 24b (第一補正手段) は、後述する補正パラメータに基づいて、合成目標電流 I_t に対応した指示電流となるディザ中間電流 I_0 を算出するものである。なお、ここでいうディザ大電流 I_2 とディザ小電流 I_1 とディザ中間電流 I_0 とディザ振幅電流 I との関係は (算式 1) のとおりとなっている。

$$I_2 = I_0 + I/2, \quad I_1 = I_0 - I/2 \dots \dots \dots (\text{算式 1})$$

従って、 $I = I_2 - I_1$ 、 $I_0 = (I_2 + I_1) / 2$ となっていて、ディザ中間電流 I_0 と、ディザ電流波形の平均値である波形平均電流 I_a とは必ずしも一致するものではない。

指示電流補正手段 24b は、与えられた合成目標電流 I_t と、波形平均電流 I_a とが一致するようなディザ中間電流 I_0 を算出するものである。

【0025】

PWM デューティ設定手段 25a は、クロック信号を N カウント計数したことによって PWM 周期 が到来すると初期復帰するリングカウンタ 123a において、駆動用開閉素子 151 の閉路期間 on が到来するまでのカウント数 S を設定するものであり、実際にはディザ大電流 I_2 と基準電流 I_s との比率 $2 = I_2 / I_s$ 、又はディザ小電流 I_1 と基準電流 I_s との比率 $1 = I_1 / I_s$ が、PWM デューティ $= on / = S / N$ と等しくなるようにカウント数 S が設定されるようになっている。

なお、基準電流 I_s は例えば比例電磁コイル 105 の定格電流であり、例えば 20 の基準温度における比例電磁コイル 105 の抵抗値を基準抵抗 R_0 とし、PWM デューティ $= 1$ として駆動用開閉素子 151 を閉路したときに、比例電磁コイル 105 に印可される電圧が基準電圧 $V_0 = I_s \times R_0$ となっている。

【0026】

電源電圧補正手段 25b は、現在の電源電圧 V_{bb} と基準電圧 V_0 との比率である電圧補正係数 $K_e = V_{bb} / V_0$ の逆数を PWM デューティ $= on /$ に掛けて、電源電圧 V_{bb} が基準電圧 V_0 よりも大きければ、PWM デューティ を小さくするようになっている。

検出温度入力手段 25d は、温度センサ 106 から得られる温度検出信号 TMP を多チャンネル AD 変換器 124 によってデジタル変換して現在抵抗補正手段 25c に入力し、

現在抵抗補正手段 25c は、比例電磁コイル 105 の温度対抵抗特性の近似算式から、比例電磁コイル 105 の現在温度における負荷抵抗 R を算出して、PWM デューティ $= on /$ に対して負荷抵抗 R と基準抵抗 R_0 との比率である抵抗補正係数 $K_r = R / R_0$ を掛け合わせた補正デューティを決定する。

なお、図 1 における共用可変定電圧電源 159a が使用されている場合には、電源電圧補正手段 25b と現在抵抗補正手段 25c による PWM デューティ の補正は不要である。

【0027】

指令パルス発生手段 26a は、リングカウンタ 123a を主体として構成され、PWM デューティ設定手段 25a によって設定された PWM デューティ に基づいて、PWM 周期、オン時間 on となる駆動パルス信号 DRV を発生し、これによって駆動用開閉素

10

20

30

40

50

子151がオン/オフ制御されるようになっている。

増大デューティ設定手段26bは、検出電流I_dが目標とするディザ大電流I₂よりも過小であって、指示電流設定手段24aによる指示電流と検出電流I_dとの偏差値である偏差電流I_xの絶対値が第一閾値以上であるときに作用して、指令パルス発生手段26aが発生する駆動パルス信号DRVのPWMデューティ = on / を一次的に増大させ、検出電流I_dが増大して目標とするディザ大電流I₂に接近通過した時点以降はPWMデューティ設定手段25aが指定するPWMデューティ = on / に復帰するようになっている。

【0028】

減少デューティ設定手段26cは、検出電流I_dが目標とするディザ小電流I₁よりも過大であって、指示電流設定手段24aによる指示電流と検出電流I_dとの偏差値である偏差電流I_xの絶対値が第二閾値以上であるときに作用して、指令パルス発生手段26aが発生する駆動パルス信号DRVのPWMデューティ = on / を一次的に減少させ、検出電流I_dが減少して目標とするディザ小電流I₁に接近通過した時点以降は、PWMデューティ設定手段25aが指定するPWMデューティ = on / に復帰するようになっている。

なお、1回のディザ振幅周期T_dは、整数倍(例えば10~20倍)のPWM周期によって構成されているとともに、比例電磁コイル105のインダクタンスLと負荷抵抗Rとの比率である誘導時定数T_x = L / Rの値は、ディザ振幅周期T_dよりは小さい値であるが、PWM周期よりは十分大きな値となっている。

【0029】

(2)作用・動作と方法の詳細な説明

以下、図1・図2のとおり構成されたこの発明の実施の形態1に係る装置において、図3から図6で示された特性線図に基づいて、その作用・動作と制御方法を順次詳細に説明する。

まず、図1・図2において、図示しない電源スイッチが閉路されると、電源リレーの出力接点102が閉路して、ディザ電流給電制御装置100Aに電源電圧V_{bb}が印加される。

その結果、定電圧電源110が例えばDC5Vの安定化電圧である制御電圧V_{cc}を発生して、演算制御回路部120Aを構成するマイクロプロセッサCPUが制御動作を開始する。

マイクロプロセッサCPUは、入力インタフェース回路130から入力される図示しない入力センサ群の動作状態と、不揮発性のプログラムメモリ121に格納された制御プログラムの内容に応動して、出力インタフェース回路140に接続された図示しない電気負荷群に対する負荷駆動指令信号を発生し、電気負荷群の中の特定の電気負荷である複数の比例電磁コイル105に対しては、駆動用開閉素子151を介してオン/オフ制御を行って、その通電電流を制御するようになっている。

【0030】

この駆動用開閉素子151は、図2で示された指令パルス発生手段26aが発生する駆動パルス信号DRVによってオン/オフ制御され、この駆動パルス信号DRVは、PWM周期の期間中にオン時間onの期間だけオン指令を発生し、その結果として比例電磁コイル105にはV_{bb} × on / となる平均電圧が印可されることになる。

指示電流設定手段24aは、ディザ振幅電流設定手段22b及び指示電流補正手段24bと協働して、合成目標電流I_tに対応したディザ中間電流I₀を決定し、算式1で示されたディザ大電流I₂とディザ小電流I₁を算出するとともに、PWMデューティ設定手段25aを介して指令パルス発生手段26aに対するPWMデューティ = on / を指令する。

合成目標電流I_tは、目標平均電流設定手段21bによる目標平均電流I_{aa}と、比例積分手段28が発生する誤差信号を代数加算したものであり、比例積分手段28には目標平均電流設定手段21bによる目標平均電流I_{aa}とデジタルフィルタ27bによる検出

10

20

30

40

50

平均電流 I_{dd} との偏差信号が入力されている。

【 0 0 3 1 】

デジタルフィルタ 27b の平滑時定数 T_f は、ディザ振幅周期 T_d よりも大きくて、検出平均電流 I_{dd} は脈動するディザ電流の波形平均電流 I_a に相当するものとなっている。

これに対し、増幅器 154 から得られた電流検出信号 I_f を単にデジタル変換して得られる検出電流 I_d は、大小のディザ電流に応じて脈動する通電電流の現在値を示している。

そして、増大デューティ設定手段 26b と減少デューティ設定手段 26c とは、指示電流設定手段 24a が交互に発生する指令信号であるディザ大電流 I_2 及びディザ小電流 I_1 と、検出電流 I_d との偏差電流 I_x に応動して PWM デューティ を急増・急減させて、速やかに電流変化が達成されるように指令パルス発生手段 26a を補助するものとなっている。

従って、高頻度に増減するディザ振幅電流については、直接的には演算制御手段による負帰還制御の対象とならず、その波形平均電流を負帰還制御することによって間接的に反映されるようになっており、所定の増減パターンによって高頻度に変化する通電電流にตอบสนองする必要がないので、制御特性が安定し簡易な演算制御手段が適用できるようになっている。

【 0 0 3 2 】

次に、図 2 の電流制御ブロックによる電流波形を示す特性線図である図 3 において、図 3 (A) は、転流回路素子 152A が図 1 で示す電界効果型トランジスタであって、点線で示された減衰抵抗 155a や付加開閉素子 155b を持たない場合のものであり、特にディザ電流大期間 B とディザ電流小期間 A を等しくした場合の電流波形を示している。

図 3 (A) で明らかとなり、ディザ小電流 I_1 からディザ大電流 I_2 への立上り時間は、ディザ大電流 I_2 からディザ小電流 I_1 への立下り時間よりも短時間であり、その結果として波形平均電流 I_a はディザ中間電流 I_0 よりも大きな値となっている。

これに対し、図 3 (B) は、波形平均電流 I_a とディザ中間電流 I_0 とが一致するように、ディザ電流大期間 B を短縮した場合の電流波形を示したものである。

なお、波形平均電流 I_a とディザ中間電流 I_0 との関係は、図 4 により詳細に説明する。

【 0 0 3 3 】

図 3 の電流波形を簡略表示した模式電流波形を示す特性線図である図 4 において、ディザ小電流 I_1 からディザ大電流 I_2 への立上り時間を b とし、ディザ大電流 I_2 からディザ小電流 I_1 への立下り時間を a とし、(算式 1) を参照しながらディザ振幅周期 T_d 期間におけるディザ電流波形の面積を算出すると、次のとおりである。

$$\text{期間 } b \text{ の面積} = b \times (I_1 + I_2) / 2 = b \times I_0$$

$$\text{期間 } (B - b) \text{ の面積} = (B - b) \times I_2 = (B - b) \times (I_0 + I / 2)$$

$$\text{期間 } a \text{ の面積} = a \times (I_1 + I_2) / 2 = a \times I_0$$

$$\text{期間 } (A - a) \text{ の面積} = (A - a) \times I_1 = (A - a) \times (I_0 - I / 2)$$

$$\text{期間 } T_d \text{ の全面積} = T_d \times I_0 + [(B - b) - (A - a)] \times I / 2$$

従って、期間 T_d の全面積をディザ振幅周期 T_d で割って得られる波形平均電流 I_a は (算式 2) によって示されることになる。

$$I_a = I_0 + 0.5 \times I [(B - b) - (A - a)] / T_d \dots \dots \text{(算式 2)}$$

図 3 (A) は (算式 2) の状態を示していて、 $(B - b) > (A - a)$ であれば、 $I_a > I_0$ となることがわかる。

【 0 0 3 4 】

また、(算式 2) において、もしも $(B - b) = (A - a)$ となるように、ディザ電流大期間 B 又はディザ電流小期間 A を調整すれば、図 3 (B) で示された $I_a = I_0$ となることがわかる。

従って、実験測定において、ディザ中間電流 I_0 を指示電流として検出平均電流 I_{dd}

10

20

30

40

50

を測定し、ディザ中間電流 I_0 と検出平均電流 I_{dd} (即ち波形平均電流 I_a) とが一致するようにディザ電流大期間 B を調整すると、この時点においては $(B - b) = (A - a)$ 、 $A + B = T_d$ の関係が成立しているので、(算式 3 a) から (算式 3 c) が得られることになる。

$$A = [(T_d + (a - b))] / 2 \dots \dots \dots (\text{算式 3 a})$$

$$B = [(T_d - (a - b))] / 2 \dots \dots \dots (\text{算式 3 b})$$

$$(a - b) = A - B = T_d - 2 \times B (= 2 \times A - T_d) \dots \dots \dots (\text{算式 3 c})$$

【0035】

複数サンプルの実験測定によって、ディザ中間電流 I_0 対応時間差 $(a - b)$ の平均値 $(\overline{(a - b)})$ を測定し、これを図示したものが図 5 で示す応答時間差対指示電流の関係を示す実験特性線図となっている。

10

なお、図 5 において、特性線図 500 a はディザ振幅電流 I を、目標平均電流 I_{aa} の最大値の 10% とした場合、特性線図 500 b はこれを 140% とした場合のものとなっている。

このようにして測定された平均応答時間差 $(\overline{(a - b)})$ を、実際の運転の中でどのように反映するのかについては第 1 の補正方法と第 2 の補正方法とがある。

第 1 の補正方法は、(算式 2) において $B = A$ として、ディザ電流大期間 B とディザ電流小期間 A とを一致させて、ディザデューティ $= B / T_d$ を 50% に固定した補正であり、この場合の目標平均電流 I_{aa} となる波形平均電流 I_a に対応した指示電流となるディザ中間電流 I_0 の関係は、(算式 2 a) によって算出される。

20

$$I_{aa} = I_a = I_0 + 0.5 \times I \times (\overline{(a - b)}) \dots \dots \dots (\text{算式 2 a})$$

図 6 は、第 1 の補正方法による目標電流と指示電流との関係を示す補正特性線図である。

なお、図 6 において、特性線図 600 a はディザ振幅電流 I を、目標平均電流 I_{aa} の最大値の 10% とした場合、特性線図 600 b はこれを 140% とした場合のものとなっている。

【0036】

第 2 の補正方法は、(算式 2) において $B - b = A - a$ として、目標平均電流 I_{aa} となる波形平均電流 I_a に対応した指示電流となるディザ中間電流 I_0 は相互に一致させたものであり、このディザ中間電流 I_0 に対応した、ディザ電流大期間 B 又はディザ電流小期間 A とは、(算式 5 b) 又は (算式 5 a) によって算出される。

30

$$A = [(T_d + (\overline{(a - b)})] / 2 \dots \dots \dots (\text{算式 5 a})$$

$$B = [(T_d - (\overline{(a - b)})] / 2 \dots \dots \dots (\text{算式 5 b})$$

これは、後述の実施の形態 2 において適用されているものである。

いずれの場合も、平均応答時間差 $(\overline{(a - b)})$ は、目標平均電流 I_{aa} の実用範囲である最小値から最大値の間の中間値、又は多用される特定の代表目標平均電流に対応した平均応答時間差が適用されるか、或いは、複数段階の目標平均電流 I_{aa} に関する複数の平均応答時間差を用いて補間演算によって算出される平均応答時間差が適用される。

【0037】

(3) 実施の形態 1 の要点と特徴

40

以上の説明で明らかとなっておりこの発明の実施の形態 1 によるディザ電流給電制御方法は、

摺動抵抗を有するアクチュエータを駆動する誘導性電気負荷に対し、目標平均電流 I_{aa} と検出平均電流 I_{dd} とが一致するように、この目標平均電流 I_{aa} に対応した指示電流の指令信号を発生して通電電流の負帰還制御を行う演算制御手段を備え、

前記目標平均電流 I_{aa} には、前記摺動抵抗によって定まる所定のディザ (Dither) 振幅電流 I が付加されるディザ電流給電制御方法であって、

前記ディザ振幅電流 I は、ディザ振幅周期 T_d 中のディザ電流大期間 B におけるディザ大電流の飽和推定値 I_2 と、ディザ電流小期間 A ($A = T_d - B$) におけるディザ小電流の飽和推定値 I_1 との偏差値 $I = I_2 - I_1$ として設定され、ディザ中間電流を I

50

0 = (I 2 + I 1) / 2 とすると、前述した (算式 1) が成立する。

前記通電電流が前記ディザ小電流 I 1 からディザ大電流 I 2 まで増加するための立上り時間を b とし、前記ディザ大電流 I 2 からディザ小電流 I 1 まで減少するための立下り時間を a としたときの、波形平均電流 I a は前述した (算式 2) によって算出される。

【 0 0 3 8 】

そして、前記波形平均電流 I a は、前記ディザ振幅周期 T d の間の前記通電電流の時間積分値を前記ディザ振幅周期 T d で割った値であって、この波形平均電流 I a が前記目標平均電流 I a a と合致するようになるディザ中間電流 I 0 を算出して、このディザ中間電流 I 0 は前記目標平均電流 I a a を得るための前記指示電流となり、

10

実験段階において、サンプルとしての前記誘導性電気負荷を、ディザ振幅周期 T d によってディザ大電流 I 2 とディザ小電流 I 1 で通電駆動して、これにより得られる複数段階の前記ディザ中間電流 I 0 に対応した前記立上り時間 b と立下り時間 a との応答時間差 (a - b) の実験測定データを、計測又は計算機上の模擬実験によって取得し、

製造組立段階において、複数サンプルによる前記実験測定データの平均値に基づいて、算出された「ディザ中間電流 I 0 対平均応答時間差 ((a - b))」の近似算式、又はデータテーブルを、補正パラメータとして前記演算制御手段となるマイクロプロセッサと協働するプログラムメモリに格納し、

実働段階の第 1 ステップとして、与えられた目標平均電流 I a a とディザ振幅電流 I とを読み出し設定し、第 2 ステップとして、算式 (2) の波形平均電流 I a が、与えられた目標平均電流 I a a と合致する関係となる指示電流、及びディザ電流大期間 B とディザ振幅周期 T d との比率であるディザデューティ = B / T d を算出し、この指示電流を前記ディザ中間電流 I 0 として設定し、第 3 ステップとして、前記通電電流の検出平均電流 I d d と前記目標平均電流 I a a 即ち前記波形平均電流 I a とが一致する関係に、前記演算制御手段によって負帰還制御が行われる。

20

【 0 0 3 9 】

前記実験測定データは、前記ディザ振幅周期 T d = A + B を一定とし、所定の前記ディザ中間電流 I 0 において、前記ディザデューティ = B / T d を調整しながら、前記検出平均電流 I d d と、前記ディザ中間電流 I 0 とが一致する時点の前記ディザ電流大期間 B 又は前記ディザ電流小期間 A が測定され、前記ディザ中間電流 I 0 と前記検出平均電流 I d d、即ち波形平均電流 I a とが一致するという事は、(算式 2) における前記ディザ電流大期間 B と前記立上り時間 b との差分値 (B - b) と、前記ディザ電流小期間 A と前記立下り時間 a との差分値 (A - a) が等しくなると、前記ディザ中間電流 I 0 と前記波形平均電流 I a とが一致していることを意味して、よって、(算式 3 a) 又は (算式 3 b) が成立し、

30

$$A = [(T d + (a - b))] / 2 \dots \dots (算式 3 a)$$

$$B = [(T d - (a - b))] / 2 \dots \dots (算式 3 b)$$

前記補正パラメータは、基準電圧と基準温度の環境下で、前記誘導性電気負荷の複数サンプルによって、所定のディザ振幅周期 T d と、前記目標平均電流 I a a に対応して定められている前記ディザ振幅電流 I と、複数段階の前記ディザ中間電流 I 0 とによる実験測定を行い、これに対応して実測された前記ディザ電流大期間 B 0 0 又はディザ電流小期間 A 0 0 に基づいて、(算式 4) によって応答時間差 (a - b) を算出し、複数サンプルの平均値を、前記ディザ中間電流 I 0 における平均応答時間差 ((a - b)) であるとした「ディザ中間電流 I 0 対平均応答時間差 ((a - b))」の近似算式又はデータテーブルである。

40

$$(a - b) = T d - 2 \times B 0 0 (= 2 \times A 0 0 - T d) \quad \text{平均値} ((a - b)) \dots \dots (算式 4)$$

【 0 0 4 0 】

以上のとおり、この発明の請求項 2 に関連し、実験測定段階においては設定されたディザ中間電流と検出平均電流とを一致させるようにディザデューティを調整して、ディザ中間電流に対応した立下り時間と立上り時間の差分値である応答時間差を測定するようにな

50

っている。

従って、実験段階において立下り時間と立上り時間を直接観測する必要がなく、実験測定において適用されたディザ中間電流と、これに対応して測定された検出平均電流を波形平均電流として用いて、等価的に立下り時間と立上り時間が測定されたことになり、実用目的に合致して高精度に測定することができる特徴がある。

これは、実施の形態 2・3 についても同様である。

【0041】

前記実験段階において、第 1 の補正方法が適用され、

前記第 1 の補正方法は、(算式 2)において $B = A$ として、前記ディザ電流大期間 B と前記ディザ電流小期間 A とを一致させて、前記ディザデューティ $= B / T_d$ を 50% に固定した補正であり、この場合の目標平均電流 I_{aa} となる波形平均電流 I_a に対応した指示電流となるディザ中間電流 I_0 の関係は、(算式 2a) によって算出され、

$$I_{aa} = I_a = I_0 + 0.5 \times I_x \cdot ((a - b)) \cdot \dots \cdot \dots \cdot \text{(算式 2a)}$$

前記平均応答時間差 $((a - b))$ は、目標平均電流 I_{aa} の実用範囲である最小値から最大値の間の中間値、又は多用される特定の代表目標平均電流に対応した平均応答時間差が適用されるか、或いは、複数段階の目標平均電流 I_{aa} に関する複数の平均応答時間差を用いて補間演算によって算出される平均応答時間差が適用されるようになっている。

【0042】

以上のとおり、この発明の請求項 3 に関連し、実験測定段階においては波形平均電流とディザ中間電流とを一致させるようにディザデューティを調整して、ディザ中間電流に対応した立下り時間と立上り時間の差分値である応答時間差を測定し、実験段階における第 1 の補正方法としては、ディザデューティを 50% に固定して、実験測定段階で得られた平均応答時間差データを用いて波形平均電流に対応したディザ中間電流を算出し、これを目標平均電流に対応した指示電流として適用するようになっている。

従って、(算式 2a) による単純な算式を用いて、ディザ中間電流を補正して指示電流とすることによって、ディザ電流の立下り時間と立上り時間が変動しても、与えられた目標平均電流に対応して、適正なディザ中間電流を指示電流として決定し、制御誤差を低減することができる特徴がある。

【0043】

以上の説明で明らかなおりのこの発明の実施の形態 1 によるディザ電流給電制御装置は

誘導性電気負荷である比例電磁コイル 105 への通電電流に応じて、液体圧力を比例制御するアクチュエータである比例電磁弁に対し、前記比例電磁コイル 105 に対する目標平均電流 I_{aa} と検出平均電流 I_{dd} とが一致するように、この目標平均電流 I_{aa} に対応した指示電流の指令信号を発生して、通電電流の負帰還制御を行う演算制御回路部 120 A を備え、前記目標平均電流 I_{aa} には、前記比例電磁弁の可動弁の摺動抵抗によって定まる所定のディザ (Dither) 振幅電流 I が付加されるディザ電流給電制御装置であって、

前記比例電磁コイル 105 には、その通電電流を断続制御する駆動用開閉素子 151 と電流検出抵抗 153 とが直列接続されるとともに、前記比例電磁コイル 105 と前記電流検出抵抗 153 との直列回路に対して並列接続される転流回路素子 152 A を備え、

前記演算制御回路部 120 A は、プログラムメモリ 121 及び演算用 RAM メモリ 122 と協働するマイクロプロセッサ CPU を主体として構成されていて、前記プログラムメモリ 121 は電流制御手段 125 A となる制御プログラムを包含し、

前記電流制御手段 125 A は、圧力対電流変換テーブル 20a によって目標圧力に対応した目標平均電流 I_{aa} を設定する目標平均電流設定手段 21b と、目標とするディザ振幅電流 I を設定するディザ振幅電流設定手段 22b と、前記目標平均電流 I_{aa} と前記ディザ振幅電流 I とを加算したディザ合成電流に基づく指示電流設定手段 24a と、第一補正手段 24b とを備えている。

【0044】

10

20

30

40

50

そして、前記目標平均電流設定手段 2 1 b が発生する前記目標平均電流 I_{aa} と、前記検出平均電流 I_{dd} との偏差値は、比例積分手段 2 8 を介して前記目標平均電流 I_{aa} に代数加算されて合成目標電流 I_t となり、

前記ディザ振幅電流設定手段 2 2 b は、ディザ中間電流 I_0 を基準として、目標とする前記ディザ振幅電流 I の半分を加算又は減算して得られる指令信号であるディザ大電流 I_2 とディザ小電流 I_1 を、それぞれディザ電流大期間 B とディザ電流小期間 A となるディザ振幅周期 $T_d = A + B$ で繰返して発生し、

前記指示電流設定手段 2 4 a は、前記ディザ振幅電流設定手段 2 2 b によって設定された前記ディザ振幅電流 I と、前記合成目標電流 I_t に基づいて決定される前記ディザ中間電流 I_0 と前記ディザ大電流 I_2 及び前記ディザ小電流 I_1 を決定し、

前記第一補正手段 2 4 b は、前記指示電流設定手段 2 4 a に作用して、前記ディザ中間電流 I_0 と前記ディザ振幅電流 I の大きさによって変動する前記通電電流の立上り時間 b 及び立下り時間 a の変動誤差を、実験段階で測定された補正パラメータによって補正して、前記目標平均電流 I_{aa} とは異なる値の指示電流を前記ディザ中間電流 I_0 として設定する指示電流補正手段となっている。

【 0 0 4 5 】

前記演算制御回路部 1 2 0 A は、PWM デューティ設定手段 2 5 a で決定された開閉デューティに基づいて、指令パルス発生手段 2 6 a が駆動パルス信号 DRV を発生し、ゲート回路 1 5 0 A を介して前記駆動用開閉素子 1 5 1 を直接オン/オフ制御し、

前記 PWM デューティ設定手段 2 5 a は、前記指示電流設定手段 2 4 a による指示電流に反応して、前記駆動用開閉素子 1 5 1 のオン時間である閉路期間 on と、PWM 周期との比率である PWM デューティ $= on /$ を決定し、

前記電流検出抵抗 1 5 3 の両端電圧は、増幅器 1 5 4 を介して前記演算制御回路部 1 2 0 A に入力されて、そのデジタル変換値に比例する検出電流 I_d は、デジタルフィルタ 2 7 b を介して平滑化されて前記検出平均電流 I_{dd} となり、

前記 PWM デューティ設定手段 2 5 a は、前記 PWM デューティ $= on /$ が、前記ディザ大電流 I_2 及び前記ディザ小電流 I_1 と、基準電流 I_s との比率 I_2 / I_s 、 I_1 / I_s と一致するように初期設定し、

前記基準電流 I_s は、前記比例電磁コイル 1 0 5 の抵抗値が基準抵抗 R_0 であって、前記駆動用開閉素子 1 5 1 を閉路したときの前記比例電磁コイル 1 0 5 に対する印可電圧が基準電圧 V_0 であったときの通電電流 V_0 / R_0 であり、

前記比例電磁コイル 1 0 5 は、共用可変定電圧電源 1 5 9 a を介して給電され、この共用可変定電圧電源 1 5 9 a の出力電圧は、前記比例電磁コイル 1 0 5 の現在の負荷抵抗 R と基準抵抗 R_0 との抵抗比率 (R / R_0) に比例した可変電圧 V_x となるように負帰還制御されるか、又はこの抵抗比率を現在の電源電圧 V_{bb} と基準電圧 V_0 との電圧比率 (V_{bb} / V_0) で割った値に相当する通電デューティでオン/オフ制御するようになっているか、又は

前記 PWM デューティ設定手段 2 5 a は更に、前記初期設定デューティ $= on /$ に対して、電源電圧補正手段 2 5 b によって現在の電源電圧 V_{bb} と前記基準電圧 V_0 との比率である電圧補正係数 $K_e = V_{bb} / V_0$ の逆数を掛けるか、又は、現在抵抗補正手段 2 5 c によって算出された前記比例電磁コイル 1 0 5 の現在温度における負荷抵抗 R と前記基準抵抗 R_0 との比率である抵抗補正係数 $K_r = R / R_0$ を掛け合わせた補正デューティを決定する。

【 0 0 4 6 】

そして、前記ディザ振幅電流設定手段 2 2 b における前記ディザ振幅周期 T_d は、前記比例電磁コイル 1 0 5 のインダクタンス L と前記負荷抵抗 R との比率である誘導時定数 $T_x = L / R$ よりは大きく、前記 PWM 周期 T は前記誘導時定数 T_x よりは小さく、前記デジタルフィルタ 2 7 b による平滑時定数 T_f は前記ディザ振幅周期 T_d よりも大きく $(T_f > T_d > T_x >)$ なっていて、

前記比例積分手段 2 8 は、前記第一補正手段 2 4 b による前記指示電流設定手段 2 4 a

10

20

30

40

50

の設定誤差、又は前記第二補正手段 23c による前記ディザ振幅電流設定手段 22b の設定誤差、又は前記現在電圧補正手段 25b と前記現在抵抗補正手段 25c のいずれか一方或いは双方による前記 PWM デューティ設定手段 25a の設定誤差があるときに、前記目標平均電流 I_a と前記検出平均電流 I_d との偏差信号の積分値によって前記合成目標電流 I_t を増減して、前記目標平均電流 I_a と前記検出平均電流 I_d とが一致する関係に負帰還制御を行うものであって、その積分時定数 T_i は前記ディザ振幅周期 T_d よりも大きくなっている。

これは実施の形態 2 の場合も同様である。

【0047】

以上のとおり、この発明の請求項 8 に関連し、与えられた目標平均電流とディザ振幅電流を得るために、指示電流設定手段と指示電流補正手段又はディザデューティ補正手段を備え、比例電磁コイルの通電平均電流が目標平均電流と等しくなる関係にディザ中間電流又はディザデューティを設定するものにおいて、比例電磁コイルの駆動用開閉素子を開閉制御するための通電デューティを決定する PWM デューティ設定手段は、共用可変定電圧源が接続されていない場合には、現在の電源電圧或いは現在温度における比例電磁コイルの負荷抵抗に応じて PWM デューティが補正されるとともに、目標平均電流と検出平均電流との偏差信号の積分値によって合成目標電流を補正して、目標平均電流と検出平均電流とが一致するように負帰還制御している。

従って、指示電流補正手段又はディザデューティ補正手段と、現在電圧補正手段又は現在抵抗補正手段を用いて、目標平均電流に相当した通電平均電流が得られるように構成し、制御誤差を比例積分手段によって抑制することによって、電源電圧や負荷抵抗、或いは負荷のインダクタンスの広範囲な変動と、目標平均電流の要求範囲の変動に対応して安定した高精度な負帰還制御を行うことができる特徴がある。

【0048】

前記演算制御回路部 120A は更に、前記指示電流設定手段 24a が交互に発生する指令信号であるディザ大電流 I_2 及びディザ小電流 I_1 と、前記検出電流 I_d との偏差電流 I_x に応動する増大デューティ設定手段 26b 又は減少デューティ設定手段 26c の少なくとも一方を備え、

前記増大デューティ設定手段 26b は、前記検出電流 I_d が目標とする前記ディザ大電流 I_2 よりも過小であって、前記偏差電流 I_x の絶対値が第一閾値以上であるときに作用して、前記指令パルス発生手段 26a が発生する駆動パルス信号 DRV の PWM デューティ $= on /$ を一次的に増大させ、前記検出電流 I_d が増大して目標とする前記ディザ大電流 I_2 に接近通過した時点以降は前記 PWM デューティ設定手段 25a が指定する PWM デューティ $= on /$ に復帰し、

前記減少デューティ設定手段 26c は、前記検出電流 I_d が目標とする前記ディザ大電流 I_1 よりも過大であって、前記偏差電流 I_x の絶対値が第二閾値以上であるときに作用して、前記指令パルス発生手段 26a が発生する駆動パルス信号 DRV の PWM デューティ $= on /$ を一次的に減少させ、前記検出電流 I_d が減少して目標とする前記ディザ小電流 I_1 に接近通過した時点以降は、前記 PWM デューティ設定手段 25a が指定する PWM デューティ $= on /$ に復帰するようになっている。

これは実施の形態 2 の場合も同様である。

【0049】

以上のとおり、この発明の請求項 9 に関連し、ディザ電流を急増・急減させるための増大デューティ設定手段又は減少デューティ設定手段を備えている。

従って、ディザ大電流及びディザ小電流に対する直接の負帰還制御は行われていないが、その増減切替時点において、一時的に通電デューティの補正が行われて制御の応答性が向上する特徴がある。

また、増大デューティ設定手段又は減少デューティ設定手段によれば、比例電磁コイルの通電開始時、及び通電停止時においても速やかに通電電流の増減を行って、目標電流に急接近させたり、急速遮断を行うことができる特徴がある。

【 0 0 5 0 】

前記比例電磁コイル 1 0 5 に並列接続される転流回路は、前記比例電磁コイル 1 0 5 の通電遮断時と、前記ディザ大電流 I_2 から前記ディザ小電流 I_1 への切換え移行時の減流所要時間において有効となる高速遮断回路を備え、

前記高速遮断回路は、前記転流回路素子 1 5 2 A に直列接続された減衰抵抗 1 5 5 a と、この減衰抵抗 1 5 5 a と並列接続され、前記減流所要時間において開路される付加開閉素子 1 5 5 b である。

以上のとおり、この発明の請求項 1 3 に関連し、比例電磁コイルの通電遮断時と、ディザ大電流からディザ小電流への切換え移行時の減流所要時間において、転流回路素子に直列接続された減衰抵抗によって転流電流を急速減衰させるようになっている。

従って、ディザ電流の立下り時間を短縮してその変動誤差を低減するとともに、通電電流のオン/オフ制御が行われている常時は、駆動用開閉素子を開路したときに通電電流が転流回路素子に転流することによって電磁エネルギーの放出を抑制して、少ない消費電力によって通電電流の制御を行うことができる特徴がある。

【 0 0 5 1 】

前記指令パルス発生手段 2 6 a が発生するパルス信号の P W M デューティ は、P W M 周期 の期間内で N 回のクロック信号を計数し、この内の S 回がオン指令であったときに P W M デューティ = S / N となるものであって、前記 N 回のクロック信号を一単位とする前記 P W M 周期 は、前記ディザ振幅周期 T_d の期間内に n 回発生し、前記ディザデューティ = B / T_d の最小調整単位は T_d / n となり、

前記指令パルス発生手段 2 6 a は、前記クロック信号を計数するリングカウンタ 1 2 3 a であって、計数値 1 ~ S がオン期間、計数値 $S + 1$ ~ N がオフ期間となるようにオン期間が連続する集中型のものが使用されている。

これは、実施の形態 2 も同様である。

以上のとおり、この発明の請求項 1 4 に関連し、一つのディザ振幅周期の期間内に n 回の P W M 周期が介在し、その内の $B /$ 回はディザ大電流 I_2 に対応した P W M デューティ I_2 とし、 $A /$ 回 ($A + B = n \times$) はディザ小電流 I_1 に対応した P W M デューティ I_1 が設定されるようになっている。

従って、比例電磁コイルの電流上昇特性と下降特性のバラツキによって、目標平均電流と検出平均電流と間で発生する制御誤差の発生を、ディザデューティ = $B / (A + B)$ によって補正することができる特徴がある。

【 0 0 5 2 】

実施の形態 2 .

(1) 構成の詳細な説明

以下、この発明の実施の形態 2 に係る装置の全体回路ブロック図である図 7 について、図 1 のものとの相違点を中心にしてその構成を詳細に説明する。

なお、各図において共通符号は同一又は相当部分を示し、符号末尾の大文字のアルファベット文字によって実施の形態の相違を示している。

まず、図 1 と図 7 の主な相違点として、電界効果型トランジスタであった転流回路素子 1 5 2 A がダイオードである転流回路素子 1 5 2 B に改変され、高速遮断回路も異なっている。更に、温度センサ 1 0 6 に代わるものとして抵抗検出回路 1 8 0 が使用され、ラベル抵抗 1 0 7 は図示されていない。

図 7 において、ディザ電流給電制御装置 1 0 0 B には、図 1 のものと同様に電源リレーの出力接点 1 0 2 を介して、車載バッテリーである外部電源 1 0 1 から電源電圧 V_{bb} が印可され、自動車用変速機内の複数の複数の油圧電磁弁に設けられた比例電磁コイル 1 0 5 が接続されている。

【 0 0 5 3 】

ディザ電流給電制御装置 1 0 0 B はマイクロプロセッサ C P U を含む演算制御回路部 1 2 0 B を主体として構成されていて、この演算制御回路部 1 2 0 B には定電圧電源 1 1 0 を介して例えば D C 5 V の安定化電圧である制御電圧 V_{cc} が印可されている。

演算制御回路部 120B は、不揮発性のプログラムメモリ 121 と演算処理用の RAM メモリ 122 と、リングカウンタ 123a と、多チャンネル AD 変換器 124 によって構成され、プログラムメモリ 121 には後述する電流制御手段 125B となる制御プログラムと、補正パラメータを格納する不揮発性のデータメモリ領域が設けられている。

入力インタフェース回路 130、出力インタフェース回路 140、シリアルインタフェース 170 は、図 1 と同様に演算制御回路部 120B に接続されている。

比例電磁コイル 105 の上流位置に接続されている駆動用開閉素子 151 は、ゲート回路 150B を介して演算制御回路部 120B が発生する駆動パルス信号 DRV によってオン/オフ制御されるようになっている。

【0054】

比例電磁コイル 105 の下流位置は電流検出抵抗 153 を介してグランド回路 GND に接続されていて、電流検出抵抗 153 の両端電圧は増幅器 154 を介して増幅されて、比例電磁コイル 105 の通電電流に比例した電圧となる電流検出信号 If が多チャンネル AD 変換器 124 に入力されている。

転流回路素子 152B は、駆動用開閉素子 151 と比例電磁コイル 105 との接続点とグランド回路 GND との間に接続されていて、駆動用開閉素子 151 が開路したときに、比例電磁コイル 105 に流れていた通電電流が、電流検出抵抗 153 を介して転流するようになっている。

なお、この実施の形態では転流回路素子 152B はダイオードであり、通電電流を速やかに減衰させたい場合には、望ましくは点線で図示した転流開閉素子 158a を直列接続し、この転流開閉素子 158a には電圧制限ダイオード 158b を接続しておくとともに、減流所要時間においては転流開閉素子 158a を開路し、その両端電圧は電圧制限ダイオード 158b によって制限するようしておくことよい。

【0055】

また、図 1 の場合と同様に、望ましくは点線で図示した共用可変定電圧電源 159a と平滑コンデンサ 159b を設け、電源電圧 Vbb の変動や、環境温度変化による比例電磁コイル 105 の内部抵抗の変動があっても、駆動用開閉素子 151 を完全導通させたときに所定の基準電流が供給されるようしておくことよい。

抵抗検出回路 180 は、制御電圧 Vcc から非駆動中の比例電磁コイル 105 に対して、サンプリング開閉素子 181 と、負荷抵抗 R よりも大きな値の抵抗値 Rs である直列抵抗 182 とを介してパルス電流を供給し、このときの比例電磁コイル 105 に対する印可電圧 $V_s = V_{cc} \times R / (R + R_s)$ を増幅して、抵抗検出信号 RDS を発生する第二増幅器 183 によって構成されている。

但し、抵抗値 Rs は負荷抵抗 R よりも十分に大きく、印可電圧 $V_s = V_{cc} \times R / R_s$ となっているとともに、直列抵抗 182 を介して比例電磁コイル 105 に流入する電流 V_{cc} / R_s は微小であって、これによって油圧電磁弁が作動することはないようになっている。

【0056】

次に、図 7 における演算制御回路部 120B による電流制御ブロック図である図 8 について、図 2 のものとの相違点を中心にしてその構成を詳細に説明する。

まず、図 2 と図 8 との相違点は、ディザデューティ補正手段 23c (第二補正手段)、指示電流補正手段 24bb、抵抗信号入力手段 25dd であり、誤差補正手段 20b については省略されているものの、その他の構成要素は全て図 2 の場合と同じである。

図 8 において、ディザデューティ補正手段 23c は、合成目標電流 It に基づいて、図 9 で後述するディザ電流大期間 B と、ディザ電流小期間 A に対し、ディザデューティ $= B / T_d$ を設定するものであり、この実施の形態では前述した (算式 5b) に基づいてディザデューティ $= B / T_d$ が設定されている。

(算式 5b) は補正パラメータとしてプログラムメモリ 121 のデータメモリ領域に格納されている。

指示電流補正手段 24bb は、指示電流設定手段 24a で適用されるディザ中間電流 I

10

20

30

40

50

0として、合成目標電流 I_t を補正しないでそのまま適用するようになっている。

抵抗信号入力手段 25 d d は、サンプリング開閉素子 181 をパルス駆動し、このときの抵抗検出信号 R_{DS} を受信して、比例電磁コイル 105 の現在温度における内部抵抗である負荷抵抗 R を、算式 $R = R_s \times V_s / (V_{cc} - V_s)$ $R_s \times V_s / V_{cc}$ によって算出するようになっている。

【0057】

(2) 作用・動作と方法の詳細な説明

以下、図7・図8のとおり構成されたこの発明の実施の形態2に係る装置において、図9・図10で示された特性線図に基づいて、その作用・動作と制御方法を順次詳細に説明する。

まず、図7・図8において、図示しない電源スイッチが閉路されると、電源リレーの出力接点 102 が閉路して、ディザ電流給電制御装置 100 B に電源電圧 V_{bb} が印加される。その結果、定電圧電源 110 が例えば DC 5V の安定化電圧である制御電圧 V_{cc} を発生して、演算制御回路部 120 B を構成するマイクロプロセッサ CPU が制御動作を開始する。

マイクロプロセッサ CPU は、入力インタフェース回路 130 から入力される図示しない入力センサ群の動作状態と、不揮発性のプログラムメモリ 121 に格納された制御プログラムの内容に応動して、出力インタフェース回路 140 に接続された図示しない電気負荷群に対する負荷駆動指令信号を発生し、電気負荷群の中の特定の電気負荷である複数の比例電磁コイル 105 に対しては、駆動用開閉素子 151 を介してオン/オフ制御を行って、その通電電流を制御するようになっている。

【0058】

この駆動用開閉素子 151 は、図8で示された指令パルス発生手段 26 a が発生する駆動パルス信号 DRV によってオン/オフ制御され、この駆動パルス信号 DRV は、PWM 周期の期間中にオン時間 on の期間だけオン指令を発生し、その結果として比例電磁コイル 105 には $V_{bb} \times on /$ となる平均電圧が印可されることになる。

指示電流設定手段 24 a は、ディザ振幅電流設定手段 22 b 及び指示電流補正手段 24 b b と協働して、合成目標電流 I_t に対応したディザ中間電流 I_0 を決定し、算式 1 で示されたディザ大電流 I_2 とディザ小電流 I_1 を算出するとともに、PWM デューティ設定手段 25 a を介して指令パルス発生手段 26 a に対する PWM デューティ $= on /$ を指令する。

指示電流補正手段 24 b b は、前述したとおり指示電流設定手段 24 a で適用されるディザ中間電流 I_0 として、合成目標電流 I_t を補正しないでそのまま適用するようになっている。

合成目標電流 I_t は、目標平均電流設定手段 21 b による目標平均電流 I_{aa} と、比例積分手段 28 が発生する誤差信号を代数加算したものであり、比例積分手段 28 には目標平均電流設定手段 21 b による目標平均電流 I_{aa} とデジタルフィルタ 27 b による検出平均電流 I_{dd} との偏差信号が入力されている。

【0059】

デジタルフィルタ 27 b の平滑時定数 T_f は、ディザ振幅周期 T_d よりも大きくて、検出平均電流 I_{dd} は脈動するディザ電流の波形平均電流 I_a に相当するものとなっている。

これに対し、増幅器 154 から得られた電流検出信号 I_f を単にデジタル変換して得られる検出電流 I_d は、大小のディザ電流に応じて脈動する通電電流の現在値を示している。

そして、増大デューティ設定手段 26 b と減少デューティ設定手段 26 c とは、指示電流設定手段 24 a が交互に発生する指令信号であるディザ大電流 I_2 及びディザ小電流 I_1 と、検出電流 I_d との偏差電流 I_x に応動して PWM デューティ を急増・急減させて、速やかに電流変化が達成されるように指令パルス発生手段 26 a を補助するものとなっている。

従って、高頻度に増減するディザ振幅電流については、直接的には演算制御手段による負帰還制御の対象とならず、その波形平均電流を負帰還制御することによって間接的に反映されるようになっており、所定の増減パターンによって高頻度に变化する通電電流に応答する必要がないので、制御特性が安定し簡易な演算制御手段が適用できるようになっている。

【 0 0 6 0 】

次に、図 8 の電流制御ブロックによる電流波形を示す特性線図である図 9 において、

図 9 (A) は、転流回路素子 1 5 2 B が図 7 で示すダイオードであって、点線で示された転流開閉素子 1 5 8 a や電圧制限ダイオード 1 5 8 b を持たない場合のものであり、特にディザ電流大期間 B をディザ電流小期間 A よりも小さく設定した場合の電流波形を示している。

10

図 9 (A) で明らかなおり、ディザ小電流 I 1 からディザ大電流 I 2 への立上り時間は、ディザ大電流 I 2 からディザ小電流 I 1 への立下り時間よりも短時間であり、その結果として波形平均電流 I a はディザ中間電流 I 0 よりも小さな値となっている。

これに対し、図 9 (B) は、ディザ電流大期間 B とディザ電流小期間 A を等しく設定した場合の電流波形を示している。

その結果、図 9 (A) では、波形平均電流 I a はディザ中間電流 I 0 よりも小さくなり、図 9 (B) では、波形平均電流 I a はディザ中間電流 I 0 よりも大きくなっている。

なお、波形平均電流 I a とディザ中間電流 I 0 との関係は、図 4 により説明したとおりである。

20

【 0 0 6 1 】

また、平均応答時間差 ((a - b)) と指示電流 (ディザ中間電流 I 0) の参考例は図 5 で示したとおりである。

図 7 のもののディザデューティと目標電流の関係を示す補正特性線図である図 1 0 において、図 1 0 は、前述した第 2 の補正方法によって、合成目標電流 I t とディザ中間電流 I 0 とを一致させるための、ディザデューティ = B / T d の関係を示したものであり、これは (算式 5 b) によって算出されるものである。

【 0 0 6 2 】

(3) 実施の形態 2 の要点と特徴

以上の説明で明らかなおりこの発明の実施の形態 2 によるディザ電流給電制御方法は、実施の形態 1 の場合と同様に、誘導性電気負荷への通電電流の波形平均電流が目標平均電流と合致するように指示電流となるディザ中間電流を決定し、この指示電流はディザ中間電流とディザ振幅電流の大きさによって変動する立上り時間及び立下り時間の変動誤差を、予備実験段階で測定された補正パラメータを用いて、実働段階で補正して運転するようになっている。

30

また、この発明の請求項 2 に関連して、実験測定段階においては設定されたディザ中間電流と検出平均電流とを一致させるようにディザデューティを調整して、ディザ中間電流に対応した立下り時間と立上り時間の差分値である応答時間差を測定するようになっている。

【 0 0 6 3 】

40

前記実働段階において、第 2 の補正方法が適用され、

前記第 2 の補正方法は、(算式 2) において $B - b = A - a$ として、目標平均電流 I a a となる波形平均電流 I a に対応した指示電流となるディザ中間電流 I 0 は相互に一致しており、このディザ中間電流 I 0 に対応して、前記ディザ電流大期間 B 又は前記ディザ電流小期間 A とは、(算式 5 b) 又は (算式 5 a) によって算出され、

$$A = [(T d + ((a - b)))] / 2 \cdots \cdots (算式 5 a)$$

$$B = [(T d - ((a - b)))] / 2 \cdots \cdots (算式 5 b)$$

前記平均応答時間差 ((a - b)) は、目標平均電流 I a a の実用範囲である最小値から最大値の間の中間値、又は多用される特定の代表目標平均電流に対応した平均応答時間差が適用されるか、或いは、複数段階の目標平均電流 I a a に関する複数の平均応答時間

50

差を用いて補間演算によって算出される平均応答時間差が適用されるようになっている。

【0064】

以上のとおり、この発明の請求項3に関連し、実験測定段階においては波形平均電流とディザ中間電流とを一致させるようにディザデューティを調整して、ディザ中間電流に対応した立下り時間と立上り時間の差分値である応答時間差を測定し、実働段階における第2の補正方法としては、実働段階でもディザデューティを可変にして、実験測定段階で得られた応答時間差データを用いてディザ電流大期間とディザ電流小期間を算出するようになっている。

従って、(算式5b)による単純な算式を用いて、ディザ中間電流は補正しないでディザデューティを補正することによって、ディザ電流の立下り時間と立上り時間が変動しても、与えられた目標平均電流に対応して、適正なディザ中間電流を指示電流として決定し、制御誤差を低減することができる特徴がある。

10

【0065】

以上の説明で明らかなおと、この発明の実施の形態2によるディザ電流給電制御装置100Bは、実施の形態1の場合と同様に、電流制御手段125Bを含む演算制御回路部120Bと、比例電磁コイル105に対する駆動用開閉素子151と転流回路素子152Bを備えるとともに、目標平均電流設定手段21bとディザ振幅電流設定手段22bによって与えられた目標平均電流 I_{aa} とディザ振幅電流 I を得るために、指示電流設定手段24aとディザデューティ補正手段23cを備え、比例電磁コイル105の検出平均電流 I_{dd} が目標平均電流 I_{aa} と等しくなる関係にディザ中間電流 I_0 又はディザデューティを設定するようになっている。

20

そして、実施の形態1における第一補正手段24bに代わって第二補正手段23cが適用され、前記第二補正手段23cは、前記ディザ電流振幅設定手段22bに作用して、前記目標平均電流 I_{aa} と前記ディザ中間電流 I_0 が一致する関係に前記ディザ電流大期間 B と前記ディザ振幅周期 T_d との比率であるディザデューティ $= B / T_d$ を設定するディザデューティ補正手段となっている。

【0066】

前記比例電磁コイル105は、自動車用変速機における変速段選択用の複数の油圧電磁弁のそれぞれに設けられ、この複数の比例電磁コイル105はそれぞれが前記駆動用開閉素子151を備えるとともに、一方が給電されているときに他方は給電されていない状態が存在する少なくとも一対の前記比例電磁コイル105に接続された抵抗検出回路180を備え、

30

前記抵抗検出回路180は、安定化された制御電圧 V_{cc} から非駆動中の前記比例電磁コイル105に対して、サンプリング開閉素子181と、前記負荷抵抗 R よりも大きな値の抵抗値 R_s である直列抵抗182とを介してパルス電流を供給し、このときの前記比例電磁コイル105に対する印可電圧 $V_s = V_{cc} \times R / (R + R_s)$ を増幅して、抵抗検出信号 RDS を発生する第二増幅器183によって構成され、

前記演算制御回路部120Bは、前記サンプリング開閉素子181をパルス駆動し、このときの前記抵抗検出信号 RDS を受信して、前記比例電磁コイル105の現在温度における内部抵抗である前記負荷抵抗 R を、

40

算式 $R = R_s \times V_s / (V_{cc} - V_s) = R_s \times V_s / V_{cc}$ によって算出し、

前記比例電磁コイル105は、その負荷抵抗 R の値によって出力電圧が補正される共用可変定電圧電源を介して給電されるか、又は前記駆動用開閉素子151の通電デューティを、前記負荷抵抗 R の値によって補正するPWMデューティ設定手段25aを備えている。

【0067】

以上のとおり、この発明の請求項12に関連し、演算制御回路部は、非駆動中の比例電磁コイルに対して、大きな抵抗値の直列抵抗を介して短時間駆動して得られる比例電磁コイルの両端電圧を監視して、その負荷抵抗を測定するようになっている。

従って、この微小で短時間のパルス電流によって比例電磁コイルが誤作動することがな

50

く、比例電磁コイルのインダクタンス L と直列抵抗の抵抗値 R_s との比率である測定時定数が小さいので短時間のパルス電流によって比例電磁コイルに対する飽和電圧を測定することができる特徴がある。

なお、通電駆動中の比例電磁コイルは自己発熱によって更に温度上昇していることになるので、判定結果はこれを見込んだものとしておく必要があり、これは油温センサを設けた場合も同様であるが、少なくとも極低温から極高温まで変動する環境温度のもとで、ほぼ正確に現在抵抗を測定することができるとともに、油温センサを用いる場合に比べて信号配線の本数を削減することができる特徴がある。

これは、実施の形態3も同様である。

【0068】

前記比例電磁コイル105に並列接続される転流回路は、前記比例電磁コイル105の通電遮断時と、前記ディザ大電流 I_2 から前記ディザ小電流 I_1 への切換え移行時の減流所要時間において有効となる高速遮断回路を備え、

前記高速遮断回路は、前記転流回路素子152Bに対して直列接続された転流開閉素子158aであり、

前記転流開閉素子158aには電圧制限ダイオード158bが接続されているとともに、前記減流所要時間においては開路されて、その両端電圧は前記電圧制限ダイオード158bによって制限されるようになっている。

以上のとおり、この発明の請求項13に関連し、比例電磁コイルの通電遮断時と、ディザ大電流からディザ小電流への切換え移行時の減流所要時間において、転流回路素子に直列接続された転流開閉素子によって転流電流を急速減衰させるようになっている。

従って、ディザ電流の立下り時間を短縮してその変動誤差を低減するとともに、通電電流のオン/オフ制御が行われている常時は、駆動用開閉素子を開路したときに通電電流が転流回路素子に転流することによって電磁エネルギーの放出を抑制して、少ない消費電力によって通電電流の制御を行うことができる特徴がある。

【0069】

実施の形態3 .

(1)構成の詳細な説明

以下、この発明の実施の形態3に係る装置の全体回路ブロック図である図11について、図1のものとの相違点を中心にしてその構成を詳細に説明する。

なお、各図において共通符号は同一又は相当部分を示し、符号末尾の大文字のアルファベット文字によって実施の形態の相違を示している。

まず、図1と図11の根本的な相違点として、図11では演算制御回路部120Cとゲート回路150Cとの間に負帰還制御回路160が設けられ、この負帰還制御回路160は演算制御回路部120Cが発生する指令パルス信号PLSを平滑して、この平滑電圧に比例した通電電流となるように駆動用開閉素子151を開閉制御するようになっている。

また、図1と図11の主な相違点として、電界効果型トランジスタであった転流回路素子152Aがダイオードである転流回路素子152Cに改変され、高速遮断は省略されている。

但し、転流回路の構成を識別するために図示しない回路基板に対してジャンパー156が接続されている。

更に、温度センサ106に代わるものとして抵抗検出回路180が使用され、ラベル抵抗107は図示されておらず、リングカウンタ123aに代わるリングレジスタ123bが設けられている。

【0070】

図11において、ディザ電流給電制御装置100Cには、図1のものと同様に電源リレーの出力接点102を介して、車載バッテリーである外部電源101から電源電圧 V_{bb} が印可され、自動車用変速機内の複数の複数の油圧電磁弁に設けられた比例電磁コイル105が接続されている。

ディザ電流給電制御装置100CはマイクロプロセッサCPUを含む演算制御回路部1

10

20

30

40

50

20Cを主体として構成されていて、この演算制御回路部120Cには定電圧電源110を介して例えばDC5Vの安定化電圧である制御電圧Vccが印可されている。

演算制御回路部120Cは、不揮発性のプログラムメモリ121と演算処理用のRAMメモリ122と、リングレジスタ123bと、多チャンネルAD変換器124によって構成され、プログラムメモリ121には後述する電流制御手段125Cとなる制御プログラムと可変電圧指令手段25ccとなる制御プログラムと、補正パラメータを格納する不揮発性のデータメモリ領域が設けられている。

入力インタフェース回路130、出力インタフェース回路140、シリアルインタフェース170は、図1と同様に演算制御回路部120Cに接続されている。

比例電磁コイル105の上流位置に接続されている駆動用開閉素子151は、ゲート回路150Cを介して負帰還制御回路160が発生する通電指令信号によってオン/オフ制御されるようになっている。

【0071】

比例電磁コイル105の下流位置は電流検出抵抗153を介してグランド回路GNDに接続されていて、電流検出抵抗153の両端電圧は増幅器154を介して増幅されて、比例電磁コイル105の通電電流に比例した電圧となる電流検出信号Ifが多チャンネルAD変換器124に入力されている。

転流回路素子152Cは、駆動用開閉素子151と比例電磁コイル105との接続点とグランド回路GNDとの間に接続されていて、駆動用開閉素子151が開路したときに、比例電磁コイル105に流れていた通電電流が、電流検出抵抗153を介して転流するようになっている。

なお、この実施の形態では転流回路素子152Cがダイオードであることを、ジャンパー156によって識別できるようになっている。

駆動用開閉素子151の上流位置には、望ましい形態として共用可変定電圧電源159aと平滑コンデンサ159bが接続されていて、電源電圧Vbbの変動や、環境温度変化による比例電磁コイル105の内部抵抗の変動があっても、駆動用開閉素子151を完全導通させたときに所定の基準電流が供給されるようになっている。

【0072】

抵抗検出回路180は、図7で前述したとおり、制御電圧Vccから非駆動中の比例電磁コイル105に対して、サンプリング開閉素子181と、負荷抵抗Rよりも大きな値の抵抗値Rsである直列抵抗182とを介してパルス電流を供給し、このときの比例電磁コイル105に対する印可電圧 $V_s = V_{cc} \times R / (R + R_s)$ を増幅して、抵抗検出信号RDSを発生する第二増幅器183によって構成されている。

但し、抵抗値Rsは負荷抵抗Rよりは十分に大きく、印可電圧 $V_s = V_{cc} \times R / R_s$ となっているとともに、直列抵抗182を介して比例電磁コイル105に流入する電流 V_{cc} / R_s は微小であって、これによって油圧電磁弁が作動することはないようになっている。

そして、共用可変定電圧電源159aは抵抗検出信号RDSに応動する可変電圧指令手段25ccによって、出力電圧が補正されるようになっている。

【0073】

次に、図11における演算制御回路部120Cによる電流制御ブロック図である図12について、図2のものとの相違点を中心にしてその構成を詳細に説明する。

まず、図2と図12との相違点は、ディザ振幅電流設定手段22bb、ディザデューティ補正手段23cc(第3補正手段)、PWMデューティ設定手段25aa、指令パルス発生手段26aaであり、現在電圧補正手段25b、現在抵抗補正手段25c、検出温度入力手段25dは設けられておらず、誤差補正手段20bについては省略されているもの、その他の構成要素は全て図2の場合と同じである。

図12において、ディザ振幅電流設定手段22bbは、負帰還制御回路160に対して上昇開始指令パルスUPと下降開始指令パルスDNを発生し、上昇開始指令パルスUPは、比例電磁コイル105に対する通電開始時、又はディザ振幅電流設定手段22bbが、

10

20

30

40

50

ディザ小電流 I_1 からディザ大電流 I_2 に切替った時点において、所定時間幅又は可変時間幅の第一パルス信号を発生し、下降開始指令パルス DN は、比例電磁コイル 105 に対する通電停止時、又はディザ振幅電流設定手段 22bb が、ディザ大電流 I_2 からディザ小電流 I_1 に切替った時点において、所定時間幅又は可変時間幅の第二パルス信号を発生し、負帰還制御回路 160 は、第一パルス信号又は第二パルス信号に応動して、比較制御回路 161 に入力されているアナログ指令信号 A_t を一次的に急増又は急減させるようになっている。

【0074】

ディザデューティ補正手段 23cc は、プログラムメモリ 121 に格納されている補正パラメータによってディザデューティ を補正し、転流回路形式の異なる製品間で共通の指示電流補正手段 24b (第一補正手段) を適用するための第三補正手段となるものであり、その詳細は後述する。

PWM デューティ設定手段 25aa は、指令パルス発生手段 26aa が発生する指令パルス信号 PLS の PWM デューティ $= on /$ を決定し、PWM デューティ $= on /$ は、指示電流設定手段 24a による指示電流であるディザ大電流 I_2 とディザ小電流 I_1 とに対応して、目標平均電流 I_{aa} の最大値 I_{amax} との比率である $2 = I_2 / I_{amax}$ 、又は $1 = I_1 / I_{amax}$ となるようにオン時間である閉路期間 on が決定される。

指令パルス発生手段 26aa が発生するパルス信号の PWM デューティ は、PWM 周期 の期間内で N 回のクロック信号を計数し、この内の S 回がオン指令であったときに PWM デューティ $= S / N$ となるものであって、 N 回のクロック信号を一単位とする PWM 周期 は、ディザ振幅周期 T_d の期間内に n 回発生し、ディザデューティ $= B / T_d$ の最小調整単位は T_d / n となっている。

指令パルス発生手段 26aa は、 S 回のオンタイミングが、 N 回のクロック信号の中に分散配置されたリングレジスタ 123b による第二手段が適用されている。

【0075】

負帰還制御回路 160 は、指令パルス信号 PLS を第一平滑回路 160a によって平滑して得られるアナログ指令信号 A_t と、増幅器 154 の出力電圧を第二平滑回路 160b で平滑して得られる電流検出信号 A_d とを比較制御回路 161 で比較して、電源電圧 V_{bb} の変動及び負荷抵抗 R の変動の有無にかかわらず、ディザ大電流 I_2 とディザ小電流 I_1 に対応して、通電電流が一致する関係に駆動用開閉素子 151 を開閉して負帰還制御するとともに、第一及び第二平滑回路 160a・160b の平滑時定数は、PWM 周期 よりも大きくて、比例電磁コイル 105 の誘導時定数 T_x よりも小さな値となっている。

【0076】

(2) 作用・動作と方法の詳細な説明

以下、図 11・図 12 のとおり構成されたこの発明の実施の形態 3 に係る装置において、図 13 で示された特性線図と、図 14 で示されたデータマップに基づいて、その作用・動作と制御方法を順次詳細に説明する。

まず、図 11・図 12 において、図示しない電源スイッチが閉路されると、電源リレーの出力接点 102 が閉路して、ディザ電流給電制御装置 100C に電源電圧 V_{bb} が印加される。

その結果、定電圧電源 110 が例えば DC 5V の安定化電圧である制御電圧 V_{cc} を発生して、演算制御回路部 120C を構成するマイクロプロセッサ CPU が制御動作を開始する。

マイクロプロセッサ CPU は、入力インタフェース回路 130 から入力される図示しない入力センサ群の動作状態と、不揮発性のプログラムメモリ 121 に格納された制御プログラムの内容に応動して、出力インタフェース回路 140 に接続された図示しない電気負荷群に対する負荷駆動指令信号を発生し、電気負荷群の中の特定の電気負荷である複数の比例電磁コイル 105 に対しては、駆動用開閉素子 151 を介してオン/オフ制御を行って、その通電電流を制御するようになっている。

10

20

30

40

50

【 0 0 7 7 】

この駆動用開閉素子 1 5 1 は、図 1 2 で示された指令パルス発生手段 2 6 a a が発生する指令パルス信号 P L S を、負帰還制御回路 1 6 0 内の第一平滑回路 1 6 0 a によって一旦平滑し、アナログ指令信号 A t に変換してからに再びオン/オフ制御され、第二平滑回路 1 6 0 b から得られる電流検出信号 A d とアナログ指令信号 A t とが一致する関係に負帰還制御される。

指示電流設定手段 2 4 a は、ディザ振幅電流設定手段 2 2 b b 及び指示電流補正手段 2 4 b と協働して、合成目標電流 I t に対応したディザ中間電流 I 0 を決定し、算式 1 で示されたディザ大電流 I 2 とディザ小電流 I 1 を算出するとともに、P W M デューティ設定手段 2 5 a a を介して指令パルス発生手段 2 6 a a に対する P W M デューティ = o n / を指令する。

10

指示電流補正手段 2 4 b は、前述した補正パラメータに基づいて、合成目標電流 I t に対応した指示電流となるディザ中間電流 I 0 を算出するものである。

合成目標電流 I t は、目標平均電流設定手段 2 1 b による目標平均電流 I a a と、比例積分手段 2 8 が発生する誤差信号を代数加算したものであり、比例積分手段 2 8 には目標平均電流設定手段 2 1 b による目標平均電流 I a a とデジタルフィルタ 2 7 b による検出平均電流 I d d との偏差信号が入力されている。

デジタルフィルタ 2 7 b の平滑時定数 T f は、ディザ振幅周期 T d よりも大きくて、検出平均電流 I d d は脈動するディザ電流の波形平均電流 I a に相当するものとなっている。

20

【 0 0 7 8 】

図 1 2 において、ディザデューティ補正手段 2 3 c c は、第 3 の補正方法に対応するものであり、応答時間差 (a 1 - b 1) である第一製品 (実施の形態 3 における転流回路素子 1 5 2 C の場合) と、応答時間差 (a 2 - b 2) であって、(a 2 - b 2) > (a 1 - b 1) である第二製品 (実施の形態 1 における転流回路素子 1 5 2 A の場合) とに対して、(算式 2 a a) による共通のディザ中間電流 I 0 が適用できるように、第二製品のディザデューティ $D_2 = B_2 / T_d$ を第一製品のディザデューティ $D_1 = B_1 / T_d = 0.5$ よりも小さく設定しておくものである。

$$I_{aa} = I_a = I_0 + 0.5 \times I \times ((a_1 - b_1)) \cdots \cdots (算式 2 a a)$$

即ち、第一製品に関する (算式 2) の値と、第二製品に関する (算式 2) の値を等しく

30

するために (算式 6) の関係が必要である。
(B 1 - b 1) - (A 1 - a 1) = (B 2 - b 2) - (A 2 - a 2) \cdots (算式 6)
ここで、A 1 = B 1 = T d / 2、A 2 + B 2 = T d とすることによって (算式 6 a) と (算式 6 b) が得られる。

$$A_2 = [T_d + (a_2 - b_2) - (a_1 - b_1)] / 2 \cdots \cdots (算式 6 a)$$

$$B_2 = [T_d - (a_2 - b_2) + (a_1 - b_1)] / 2 \cdots \cdots (算式 6 b)$$

【 0 0 7 9 】

従って、応答時間差の差分値 (a 2 - b 2) - (a 1 - b 1) を補正パラメータとして、第二製品のディザデューティ $D_2 = B_2 / T_d$ が決定される。

複数サンプルの平均値である平均応答時間差 ((a 1 - b 1)) と、その平均差分値 ((a 2 - b 2) - (a 1 - b 1)) とは、目標平均電流 I a a の実用範囲である最小値から最大値の間の中間値又は多用される特定の代表目標平均電流に対応した平均応答時間差が適用されるか、或いは、複数段階の目標平均電流 I a a に関する複数の平均応答時間差を用いて補間演算によって算出される平均応答時間差が適用される。

40

図 1 1 のもののディザデューティと目標電流の関係を示す実験特性線図である図 1 3 において、特性線図 1 3 0 0 は第一製品のディザデューティ $D_1 = B_1 / T_d = 50\%$ を示し、特性線図 1 3 0 1 は (算式 6 b) による第二製品のディザデューティ $D_2 = B_2 / T_d$ を示している。

【 0 0 8 0 】

図 1 1 のリングレジスタ 1 2 3 b のビットパターンを示すデータマップである図 1 4 に

50

において、最上段の中央部には、一例として24ビット長のリングレジスタが示されていて、全ビット数 $N = 24$ の中で、論理「1」となるものが何回あるかのON回数が異なる様々なビットパターンが図示されている。

例えば、ON回数 $S = 6$ であれば、図14の6段目に示すように1回の論理「1」に続いて3回の論理「0」を続け、これを6回繰返すことによって6回の論理「1」は均等に分散されている。

しかし、ON回数を $S = 7$ 回にする場合であれば、図14の7段目に示すように、1回の論理「1」に続いて2回の論理「0」又は3回の論理「0」を交互に変更することによって論理「1」の配分と論理「0」の配分とが均等に分散されている。

なお、図14のデータマップにおいて論理「1」の回数 S が12回を越える場合には、 $(N - S)$ 回の論理「0」を均等配分するようになっていて、例えば11段目の分布で論理を反転したものが13段目の分布と合致している。

【0081】

このようなビットパターンは、次の要領によって生成したものを、プログラムメモリ121のデータメモリ領域に格納しておいて、これを読み出し転送するようになっている。

まず、通電デューティが50%以下であって $N / S =$ の値が整数である時には1回のON指令に続いて $(N - S)$ 回のOFF指令を発生し、再び1回のON指令に続いて $(N - S)$ 回のOFF指令を発生するON/OFFパターンを反復する。

例えば $N = 24$ 、 $S = 6$ の場合であれば $N / S = 4$ であるから1回のON指令に続いて $N - S = 18$ 回のOFF指令を発生し、再び再び1回のON指令に続いて3回のOFF指令を発生するON/OFFパターンを反復すればよい。

通電デューティが50%以下であって N / S の商が Q 、剰余が R ある時には1回のON指令に続いて $(N - S)$ 回のOFF指令又は Q 回のOFF指令を発生し、再び1回のON指令に続いて $(N - S)$ 回のOFF指令又は Q 回のOFF指令を発生するON/OFFパターンを反復し、 S 回の反復動作の中で R 回のOFF指令を発生するのは R 回とする。

【0082】

例えば $N = 24$ 、 $S = 7$ の場合であれば、商 $Q = 24 / 7 = 3$ 、剰余 $R = 3$ であるから、1回のON指令に続いて2回のOFF指令又は3回のOFF指令を発生し、再び1回のON指令に続いて2回のOFF指令又は3回のOFF指令を発生するON/OFFパターンを反復し、7回の反復動作の中で3回のOFF指令を発生するのは3回とすればよい。

通電デューティが50%を超過するときは、通電デューティが50%以下であった場合のON/OFFパターンのONとOFFを反転した補数パターンに基づいて、 N 回の中で S 回のOFF指令を発生することによって通電デューティ $(N - S) / N$ を達成することができる。

【0083】

このようなリングレジスタ123は、ディザ電流大期間Bの設定用と、ディザ電流小期間Aの設定用に分けて準備し、設定値を変更するときにはディザ電流大期間Bの間にディザ電流小期間Aの設定変更を行い、ディザ電流小期間Aの間にディザ電流大期間Bの設定変更を行うようになっている。

なお、リングレジスタに格納されたデータは、クロック信号によって循環移動し、終端位置のフラグビットの出力が指令信号PLSとなっている。また、オン/オフデューティを1%単位で設定するためには、各リングレジスタのリング長さは100ビット以上のものが必要である。

【0084】

以上の説明では、実施の形態1~3に対応して、部分的に異なる様々な変形要素を適用したが、これ等はどの実施の形態であっても適用できるものとなっている。

例えば、転流回路の構成は図1の転流回路素子152A(電界効果型トランジスタ)、又はこれに減衰抵抗155aと付加開閉素子155bを設けたもの、或いは図7の転流回路素子152B(ダイオード)、又はこれに転流開閉素子158aと電圧制限ダイオード158bを設けたものの4通りのものを示したが、その識別は図11で示された2個のジ

10

20

30

40

50

ャンパー 156 の接続状態で識別するか、プログラムメモリ 121 に格納された機種コードによって識別されるようになっている。

また、比例電磁コイル 105 の現在抵抗を検出するためには、図 1 の温度センサ 106 を使用するか、図 7・図 11 の抵抗検出回路 180 のどれかを用いればよい。

また、抵抗検出回路としては、駆動用開閉素子 151 によって通電制御中の比例電磁コイル 105 に対する印可電圧と、電流検出抵抗 153 による検出電流を用いて算出することも可能である。

【0085】

以上の説明では、指令パルス発生手段 26a・26aa として、簡易なリングカウンタ 123a による場合と、平滑特性に優れたリングレジスタ 123b によるものを示したが、各実施の形態においてはどちらでも適用することができるものである。

10

以上の説明では、共用可変定電圧電源 159a は外部電源 101 からの降圧形式のものとして説明したが、外部電源 101 が車載バッテリーである場合には、共用可変定電圧電源 159a は昇圧回路を内蔵することによって、電源電圧の異常低下と高温・高抵抗状態における比例電磁コイルへの給電能力を高めることができるようになるとともに、比例電磁コイル 105 の定格電流を小さくして、駆動用開閉素子 151 の消費電力を抑制することができる。

【0086】

(3) 実施の形態 3 の要点と特徴

以上の説明で明らかなおりの発明の実施の形態 3 によるディザ電流給電制御方法は、実施の形態 1 の場合と同様に、誘導性電気負荷への通電電流の波形平均電流が目標平均電流と合致するように指示電流となるディザ中間電流を決定し、この指示電流はディザ中間電流とディザ振幅電流の大きさによって変動する立上り時間及び立下り時間の変動誤差を、予備実験段階で測定された補正パラメータを用いて、実働段階で補正して運転するようになっている。

20

また、この発明の請求項 2 に関連して、実験測定段階においては設定されたディザ中間電流と検出平均電流とを一致させるようにディザデューティを調整して、ディザ中間電流に対応した立下り時間と立上り時間の差分値である応答時間差を測定するようになっている。

【0087】

前記実働段階において、第 1 の補正方法及び第 3 の補正方法の双方が適用され、

前記第 1 の補正方法は、(算式 2)において $B = A$ として、前記ディザ電流大期間 B と前記ディザ電流小期間 A とを一致させて、前記ディザデューティ $= B / T_d$ を 50% に固定した補正であり、この場合の目標平均電流 I_{aa} となる波形平均電流 I_a に対応した指示電流となるディザ中間電流 I_0 の関係は、(算式 2a) によって算出され、

30

$$I_{aa} = I_a = I_0 + 0.5 \times I \times ((a - b)) \dots \dots \dots (算式 2a)$$

前記第 3 の補正方法は、前記応答時間差 $(a_1 - b_1)$ である第一製品と、前記応答時間差 $(a_2 - b_2)$ であって、 $(a_2 - b_2) > (a_1 - b_1)$ である第二製品とに対して、(算式 2aa) による共通のディザ中間電流 I_0 が適用できるように、前記第二製品のディザデューティ $2 = B_2 / T_d$ を第一製品のディザデューティ $1 = B_1 / T_d = 0.5$ よりも小さく設定しておくものであり、

40

$$I_{aa} = I_a = I_0 + 0.5 \times I \times ((a_1 - b_1)) \dots \dots \dots (算式 2aa)$$

前記第一製品に関する(算式 2)の値と、前記第二製品に関する(算式 2)の値を等しくするためには(算式 6)の関係が必要である。

$$(B_1 - b_1) - (A_1 - a_1) = (B_2 - b_2) - (A_2 - a_2) \dots \dots (算式 6)$$

【0088】

ここで、 $A_1 = B_1 = T_d / 2$ 、 $A_2 + B_2 = T_d$ とすることによって(算式 6a)と(算式 6b)が得られ、

$$A_2 = [T_d + (a_2 - b_2) - (a_1 - b_1)] / 2 \dots \dots (算式 6a)$$

$$B_2 = [T_d - (a_2 - b_2) + (a_1 - b_1)] / 2 \dots \dots (算式 6b)$$

50

応答時間差の差分値 $(a_2 - b_2) - (a_1 - b_1)$ を補正パラメータとして、第二製品のディザデューティ $D_2 = B_2 / T_d$ が決定され、

前記複数サンプルの平均値である平均応答時間差 $(a_1 - b_1)$ と、その平均差分値 $(a_2 - b_2) - (a_1 - b_1)$ とは、目標平均電流 I_a の実用範囲である最小値から最大値の間の中間値又は多用される特定の代表目標平均電流に対応した平均応答時間差が適用されるか、或いは、複数段階の目標平均電流 I_a に関する複数の平均応答時間差を用いて補間演算によって算出される平均応答時間差が適用されるようになっている。

【0089】

以上のとおり、この発明の請求項4に関連し、実験測定段階においては波形平均電流とディザ中間電流とを一致させるようにディザデューティを調整して、ディザ中間電流に対応した立下り時間と立上り時間の差分値である応答時間差を測定し、実働段階における第1の補正方法としては、ディザデューティを50%に固定して、実験測定段階で得られた平均応答時間差データを用いて波形平均電流に対応したディザ中間電流を算出し、これを目標平均電流に対応した指示電流として適用するようになっており、第3の補正方法としては、平均応答時間差が異なる第一製品と第二製品の一方のディザデューティを可変調整して、第1の補正方法で統一した補正を行うようになっている。

従って、(算式2a)又は(算式6b)による単純な算式を用いて、ディザ中間電流を補正して指示電流とし、製品間の相違はディザデューティを補正することによって調整し、ディザ電流の立下り時間と立上り時間が変動しても、与えられた目標平均電流に対応して、適正なディザ中間電流を指示電流として決定し、制御誤差を低減することができる特徴がある。

【0090】

以上の説明で明らかとなっており、この発明の実施の形態3によるディザ電流給電制御装置100Cは、実施の形態1の場合と同様に、電流制御手段125Cを含む演算制御回路部120Cと、比例電磁コイル105に対する駆動用開閉素子151と転流回路素子152Cを備えるとともに、目標平均電流設定手段21bとディザ振幅電流設定手段22bbによって与えられた目標平均電流 I_a とディザ振幅電流 I を得るために、指示電流設定手段24aと指示電流補正手段24bを備え、比例電磁コイル105の検出平均電流 I_d が目標平均電流 I_a と等しくなる関係にディザ中間電流 I_0 を設定する第一補正手段24bが適用されている。

【0091】

前記転流回路素子152Cは、順方向電圧降下が大きな接合型ダイオードである第一製品であるか、又は電界効果型トランジスタを逆導通して電圧降下と発熱を抑制した等価ダイオードである第二製品となっており、その機種区分は回路基板に設けられたジャンパー156の有無、又は前記プログラムメモリ121に格納されている機種コードによって判別されるとともに、前記指示電流設定手段24に対して作用する指示電流補正手段である前記第一補正手段24bに加えて、第三補正手段23cが併用され、前記第三補正手段23ccは、前記ディザ電流振幅設定手段22bbに作用して、前記応答時間差 $(a_1 - b_1)$ である第一製品と、前記応答時間差 $(a_2 - b_2)$ であって、 $(a_2 - b_2) > (a_1 - b_1)$ である第二製品とに対して、共通のディザ中間電流 I_0 が適用できるように、前記第二製品のディザデューティ $D_2 = B_2 / T_d$ を第一製品のディザデューティ $D_1 = B_1 / T_d = 0.5$ よりも小さく設定しておくディザデューティ補正手段となっている。

【0092】

以上のとおり、この発明の請求項6に関連し、指示電流設定手段に対して作用する指示電流補正手段(第一補正手段)によって比例電磁コイルの通電平均電流が目標平均電流と等しくなる関係にディザ中間電流が設定されるとともに、応答時間差の大きい第二製品のディザデューティを、応答時間差の小さい第一製品のディザデューティよりも小さく設定する第三補正手段となるディザデューティ補正手段を備えている。従って、応答時間差が

異なる第一製品と第二製品に対して、共通の指示電流補正手段（第一補正手段）を適用できる特徴がある。

【0093】

前記比例電磁コイル105は、自動車用変速機における変速段選択用の複数の油圧電磁弁のそれぞれに設けられ、この複数の比例電磁コイル105はそれぞれが前記駆動用開閉素子151と電流検出抵抗153と転流回路素子152Cを備えるとともに、車載バッテリーである外部電源101と、複数の前記駆動用開閉素子151との間には、共用可変定電圧電源159aが設けられ、

前記共用可変定電圧電源159aは、その出力電圧が前記比例電磁コイル105の基準電流 I_s と、現在温度における前記比例電磁コイル105の内部抵抗である負荷抵抗 R との積である可変電圧 $V_x = I_s \times R$ となるように負帰還制御されるか、又は前記外部電源101の現在電圧である電源電圧 V_{bb} と前記可変電圧 V_x との比率である電源デューティ $v = V_x / V_{bb}$ によってオン/オフ比率が調整され、

前記基準電流 I_s は、前記比例電磁コイル105の抵抗値が基準抵抗 R_0 であって、前記駆動用開閉素子151を閉路したときの前記比例電磁コイル105に対する印可電圧が基準電圧 V_0 であったときの通電電流 V_0 / R_0 であり、複数の前記比例電磁コイル105の基準抵抗 R_0 と基準電流 I_s とが相違していても、基準電圧 V_0 は共通の固定値となっており、

前記可変電圧は、算式 $V_x = V_0 \times (R / R_0)$ で示されるとともに、前記電源デューティは、算式 $v = (I_s \times R) / V_{bb} = (R / R_0) / (V_{bb} / V_0)$ で示されて、複数の前記比例電磁コイル105は共通の温度環境と共通の外部電源101で使用されていることによって、抵抗比 (R / R_0) と電圧比 (V_{bb} / V_0) は共通しており、前記可変電圧 V_x 又は前記電源デューティ v は、複数の前記比例電磁コイル105に対して共通して適用されるようになっている。

これは、実施の形態1・2でも同様である。

【0094】

以上のとおり、この発明の請求項7に関連し、共通の温度環境と共通の外部電源で 사용되는複数の比例電磁コイルは、共用可変定電圧電源を介して給電され、この共用可変定電圧電源の出力電圧は、比例電磁コイルの現在抵抗 R と基準抵抗 R_0 との抵抗比率 (R / R_0) に比例した可変電圧 V_x となるように負帰還制御されるか、又はこの抵抗比率を現在の電源電圧 V_{bb} と基準電圧 V_0 との電圧比率 (V_{bb} / V_0) で割った値に相当する通電デューティでオン/オフ制御するようになっている。

従って、比例電磁コイルに対する印可電圧が、電源電圧の変動と、温度変化による内部抵抗の変動に対応して可変調整されているので、電流制御手段は基準電流に対する比率を指定することによって所望の通電電流を得ることができる特徴がある。

また、共用可変定電圧電源は複数の比例電磁コイルに対して共用されて経済的であるとともに、複数の比例電磁コイルの全てが同時全通電されることがないので、消費電力も抑制される特徴がある。

【0095】

前記演算制御回路部120Cは、PWMデューティ設定手段25aaで決定された開閉デューティに基づいて、指令パルス発生手段26aaが指令パルス信号PLSを発生し、負帰還制御回路160とゲート回路150Cを介して前記駆動用開閉素子151を間接的にオン/オフ制御し、前記PWMデューティ設定手段25aaは、前記指令パルス信号PLSがPWM周期でオン/オフするPWMデューティ $= \text{on} /$ を決定し、前記PWMデューティ $= \text{on} /$ は、前記指示電流設定手段24aによる指示電流であるディザ大電流 I_2 とディザ小電流 I_1 とに対応して、前記目標平均電流 I_{aa} の最大値 I_{max} との比率である $2 = I_2 / I_{max}$ 、又は $1 = I_1 / I_{max}$ となるようにオン時間である閉路期間 on が決定され、

前記電流検出抵抗153の両端電圧は、増幅器154を介して前記演算制御回路部120Cに入力されて、そのデジタル変換値に比例する検出電流 I_d は、デジタルフィルタ2

10

20

30

40

50

7 b を介して平滑化されて前記検出平均電流 I_{dd} となり、

前記ディザ振幅電流設定手段 22 b b における前記ディザ振幅周期 T_d は、前記比例電磁コイル 105 のインダクタンス L と現在温度における負荷抵抗 R との比率である誘導時定数 $T_x = L / R$ よりは大きく、前記 PWM 周期 は前記誘導時定数 T_x よりは小さく、前記デジタルフィルタ 27 b による平滑時定数 T_f は前記ディザ振幅周期 T_d よりも大きく ($T_f > T_d > T_x >$) になっている。

【0096】

そして、前記負帰還制御回路 160 は、前記指令パルス信号 PLS を第一平滑回路 160 a によって平滑して得られるアナログ指令信号 A_t と、前記増幅器 154 の出力電圧を第二平滑回路 160 b で平滑して得られる電流検出信号 A_d とを比較制御回路 161 で比較して、前記電源電圧 V_{bb} の変動及び前記負荷抵抗 R の変動の有無にかかわらず、前記ディザ大電流 I_2 と前記ディザ小電流 I_1 に対応して、前記検出電流が一致する関係に前記駆動用開閉素子 151 を開閉して負帰還制御するとともに、

前記第一及び第二平滑回路 160 a ・ 160 b の平滑時定数は、前記 PWM 周期 よりも大きくて、前記誘導時定数 T_x よりも小さな値であり、

前記比例積分手段 28 は、前記第一補正手段 24 b による前記指示電流設定手段 24 a の設定誤差、又は前記第三補正手段 23 c c による前記ディザ振幅電流設定手段 22 b b の設定誤差と、前記負帰還制御回路 160 の電流制御誤差があるときに、前記目標平均電流 I_{aa} と前記検出平均電流 I_{dd} との偏差信号の積分値によって前記合成目標電流 I_t を増減して、前記目標平均電流 I_{aa} と前記検出平均電流 I_{dd} とが一致する関係に負帰還制御を行うものであって、その積分時定数 T_i は前記ディザ振幅周期 T_d よりも大きくなっている。

【0097】

以上のとおり、この発明の請求項 10 に関連し、演算制御回路部は、与えられた目標平均電流とディザ振幅電流を得るために、指示電流設定手段と指示電流補正手段又はディザデューティ補正手段を備え、比例電磁コイルの通電平均電流が目標平均電流と等しくなる関係にディザ中間電流又はディザデューティを設定してから、指令パルス信号のオンデューティ がディザ大電流 I_2 に比例するディザ電流大期間 B と、ディザ小電流 I_1 に比例するディザ電流小期間 A とをディザ振幅周期 T_d で反復し、負帰還制御回路は指令パルス信号を平滑化して得られるディザ大電流 I_2 又はディザ小電流 I_1 が得られるように、比例電磁コイルの通電電流を監視しながら駆動用開閉素子の開閉制御を行い、演算制御回路部は更に、目標平均電流と検出平均電流との偏差信号の積分値によって目標電流を補正して、目標平均電流と検出平均電流とが一致するように負帰還制御している。

従って、比例電磁コイルに対する電流制御は負帰還制御回路によって行われるので、

演算制御回路部の制御負担が軽減されるとともに、指示電流補正手段又はディザデューティ補正手段と、二重の負帰還制御とによって、電源電圧や負荷抵抗、或いは負荷のインダクタンスの広範囲な変動と、目標平均電流の要求範囲の変動に対応して安定した高精度な負帰還制御を行うことができる特徴がある。

【0098】

前記ディザ振幅電流設定手段 22 b b は、前記負帰還制御回路 160 に対して上昇開始指令パルス UP と下降開始指令パルス DN を発生し、

前記上昇開始指令パルス UP は、前記比例電磁コイル 105 に対する通電開始時、又は前記ディザ振幅電流設定手段 22 b b が、前記ディザ小電流 I_1 から前記ディザ大電流 I_2 に切替った時点において、所定時間幅又は可変時間幅の第一パルス信号を発生し、

前記下降開始指令パルス DN は、前記比例電磁コイル 105 に対する通電停止時、又は前記ディザ振幅電流設定手段 22 b b が、前記ディザ大電流 I_2 から前記ディザ小電流 I_1 に切替った時点において、所定時間幅又は可変時間幅の第二パルス信号を発生し、

前記負帰還制御回路 160 は、前記第一パルス信号又は第二パルス信号に応動して、前記比較制御回路 161 に入力されている前記アナログ指令信号 A_t を一次的に急増又は急減させるようになっている。

【 0 0 9 9 】

以上のとおり、この発明の請求項 1 1 に関連し、演算制御回路部は、負帰還制御回路に対して上昇開始指令パルス UP と下降開始指令パルス DN を発生し、負帰還制御回路は、この指令パルスに応動して、比較制御回路に入力されているアナログ合成目標電流を一次的に急増又は急減させるようになっている。

従って、脈動するアナログ合成目標電流と脈動するアナログ検出電流との偏差電流の急増 / 急減を検出する微分回路に依存せずに、指令発生源である演算制御回路部側からの急増 / 急減予告信号によって、安定した急増 / 急減制御を行うことができる特徴がある。

【 0 1 0 0 】

前記指令パルス発生手段 2 6 a a が発生するパルス信号の PWM デューティ は、PWM 周期 の期間内で N 回のクロック信号を計数し、この内の S 回がオン指令であったときに PWM デューティ = S / N となるものであって、前記 N 回のクロック信号を一単位とする前記 PWM 周期 は、前記ディザ振幅周期 T_d の期間内に n 回発生し、前記ディザ デューティ = B / T_d の最小調整単位は T_d / n となり、

前記指令パルス発生手段 2 6 a a は、S 回のオンタイミングが、N 回のクロック信号の中に分散配置されたリングレジスタ 1 2 3 b による第二手段が使用されている。

【 0 1 0 1 】

以上のとおり、この発明の請求項 1 4 に関連し、一つのディザ振幅周期の期間内に n 回の PWM 周期が介在し、その内の $B /$ 回はディザ大電流 I_2 に対応した PWM デューティ I_2 とし、 $A /$ 回 ($A + B = n \times$) はディザ小電流 I_1 に対応した PWM デューティ I_1 が設定されるようになっている。

従って、比例電磁コイルの電流上昇特性と下降特性のバラツキによって、目標平均電流と検出平均電流と間で発生する制御誤差の発生を、ディザデューティ = $B / (A + B)$ によって補正することができる特徴がある。

【 0 1 0 2 】

前記指令パルス発生手段 2 6 a a は、第 1 及び第 2 のリングレジスタ 1 2 3 b を備え、前記ディザ電流大期間 B においては、前記第 2 のリングレジスタ 1 2 3 b に格納されているビットパターンによって順次前記指令パルス PLS がオン / オフ状態となり、

前記ディザ電流小期間 A においては、前記第 1 のリングレジスタ 1 2 3 b に格納されているビットパターンによって順次前記指令パルス PLS がオン / オフ状態となり、

前記 PWM デューティ に対応した前記ビットパターンはデータマップとして前記プログラムメモリ 1 2 1 に格納されていて、

前記第 1 のリングレジスタ 1 2 3 b には、前記ディザ電流大期間 B において、前記ディザ小電流 I_1 に適した前記データマップが読み出し格納され、

前記第 2 のリングレジスタ 1 2 3 b には、前記ディザ電流小期間 A において、前記ディザ大電流 I_2 に適した前記データマップが読み出し格納され、

前記 PWM デューティ が 50 % 以下であって、 $N / S = q$ の値が整数である時には 1 回のオン指令に続いて ($q - 1$) 回のオフ指令を発生し、再び 1 回のオン指令に続いて ($q - 1$) 回のオフ指令を発生する前記ビットパターンを反復し、

前記 PWM デューティ が 50 % 以下であって N / S の商が q 、剰余が r ある時には 1 回のオン指令に続いて ($q - 1$) 回のオフ指令又は q 回のオフ指令を発生し、再び 1 回のオン指令に続いて ($q - 1$) 回のオフ指令又は q 回のオフ指令を発生する前記ビットパターンを反復し、S 回の反復動作の中で q 回のオフ指令を発生するのは r 回とし、

前記 PWM デューティ が 50 % を超過するときは、PWM デューティ が 50 % 以下であった場合の前記ビットパターンのオンとオフを反転した補数パターンに基づいて、N 回の中で S 回のオフ指令を発生することによって PWM デューティ $(N - S) / N$ を達成するようになっている。

【 0 1 0 3 】

以上のとおり、この発明の請求項 1 5 に関連し、指令パルス発生手段はオンタイミングが分散配置されていて、N 回のクロック信号の発生期間において S 回のオンタイミングを

10

20

30

40

50

分散配置して、PWMデューティとして S/N 又は $(N-S)/N$ を得るようになっている。

従って、例えば10回の中で連続する2回をオン指令として続く8回をオフ指令とするよりは、5回の中で1回をオン指令とし、続く4回をオフ指令としてこれを繰り返した方が、指令信号を平均化したときの脈動が抑制され、或いは、10回の中で連続する5回をオン指令とし、続く5回をオフ指令とするよりは、オン指令とオフ指令を交互に1回ずつ繰り返した方が有利であり、指令信号の脈動を抑制して電流制御精度を向上させることができる特徴がある。

また、マイクロプロセッサはオン/オフ指令の分散化のために複雑な演算をする必要がなく、予め設定されたデータマップを用いて手軽に分散指令信号を発生して、負荷電流の脈動を抑制することができる特徴がある。

【符号の説明】

【0104】

20 a 圧力対電流変換テーブル、21 b 目標平均電流設定手段、22 b , 22 b b
 ディザ振幅電流設定手段、23 c ディザデューティ補正手段、23 c c ディザデューティ補正手段、24 a 指示電流設定手段、24 b 指示電流補正手段、25 a , 25
 a a PWMデューティ設定手段、25 b 現在電圧補正手段、25 c 現在抵抗補正手
 段、26 a , 26 a a 指令パルス発生手段、26 b 増大デューティ設定手段、26 c
 減少デューティ設定手段、27 b デジタルフィルタ、28 比例積分手段、100 A
 , 100 B , 100 C ディザ電流給電制御装置、101 外部電源、105 比例電磁
 コイル、120 A , 120 B , 120 C 演算制御回路部、121 プログラムメモリ、
 122 演算用RAMメモリ、123 a リングカウンタ、123 b リングレジスタ、
 125 A , 125 B , 125 C 電流制御手段、150 A , 150 B , 150 C ゲート
 回路、151 駆動用開閉素子、152 A , 152 B , 152 C 転流回路素子、153
 電流検出抵抗、154 増幅器、155 a 減衰抵抗、155 b 付加開閉素子、15
 6 ジャンパー、158 a 転流開閉素子、158 b 電圧制限ダイオード、159 a
 共用可変定電圧電源、160 負帰還制御回路、160 a 第一平滑回路、160 b 第
 二平滑回路、161 比較制御回路、180 抵抗検出回路、181 サンプリング開閉
 素子、182 直列抵抗、183 第二増幅器、A ディザ電流小期間、a 立下り時間
 、A d 電流検出電流(アナログ)、A t アナログ指令信号、B ディザ電流大期間、
 b 立上り時間、CPU マイクロプロセッサ、DN 下降開始指令パルス、DRV 駆
 動パルス信号、I0 ディザ中間電流、I1 ディザ小電流(飽和推定値)、I2 ディ
 ザ大電流(飽和推定値)、I ディザ振幅電流、I a 波形平均電流、I a a 目標平
 均電流、I a m a x 目標平均電流の最大値、I d 検出電流(デジタル)、I d d 検
 出平均電流、I s 基準電流、I t 合成目標電流、I x 偏差電流、K e 電圧補正係
 数、K r 抵抗補正係数、L インダクタンス、P L S 指令パルス信号、R 負荷抵抗
 (現在温度)、R0 基準抵抗(20)、R D S 抵抗検出信号、T d ディザ振幅周
 期、ディィザデューティ、v 電源デューティ、PWM周期、o n 閉路期間
 (オン時間)、PWMデューティ、T f 平滑時定数、T i 積分時定数、T x 誘
 導時定数、U P 上昇開始指令パルス、V b b 電源電圧(現在電圧)、V0 基準電圧
 (DC12V)、V c c 制御電圧、V s 印可電圧、V x 可変電圧。

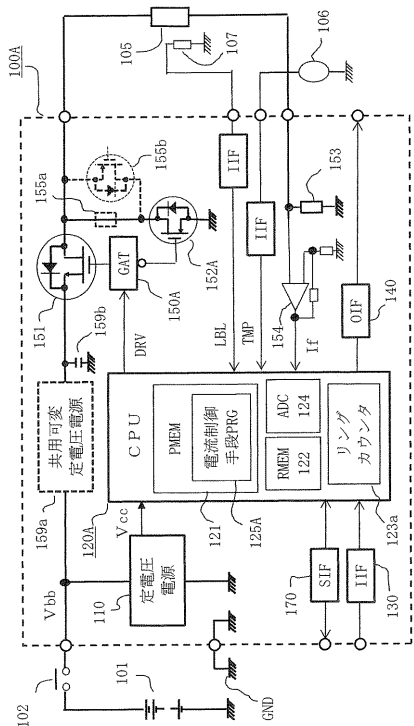
10

20

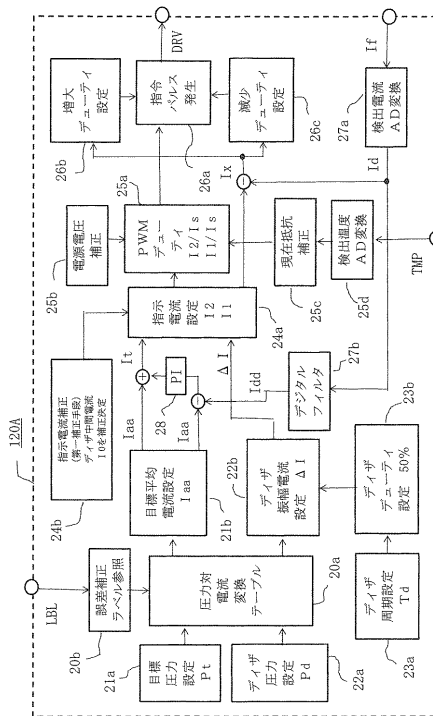
30

40

【図1】

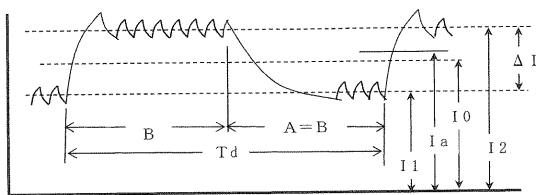


【図2】

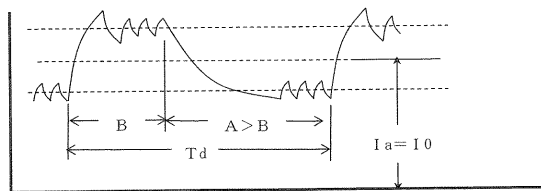


【図3】

(A) FET転流 (B=A)



(B) FET転流 (B<A)

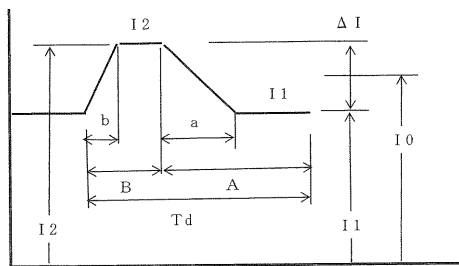


B: ディザ電流大期間
A: ディザ電流小期間
Td: ディザ振幅周期
Td=A+B

I2: ディザ大電流
I1: ディザ小電流
ΔI: ディザ振幅電流
I0: ディザ中間電流
I0=(I1+I2)/2
∴ I2=I0+ΔI/2 I1=I0-ΔI/2

Ia: 波形平均電流
Ia=波形面積/Td

【図4】



I2: ディザ大電流
I1: ディザ小電流
ΔI: ディザ振幅電流
ΔI=I2-I1
I0: ディザ中間電流
I0=(I2+I1)/2
∴ I2=I0+ΔI/2 I1=I0-ΔI/2

B: ディザ電流大期間
A: ディザ電流小期間
Td: ディザ振幅周期
a: 立下り時間
b: 立ち上り時間
Ia: 波形平均電流

波形平均電流の算出

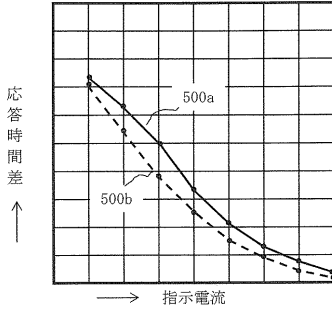
$$I_a \times T_d = I_2(B-b) + I_1(A-a) + (b+a)(I_2+I_1)/2$$

$$= I_0(B+A-b-a) + \Delta I(B-A-b+a)/2 + I_0(b+a)$$

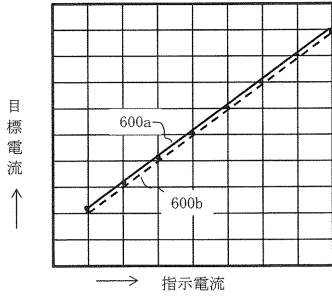
$$= I_0(B+A) + \Delta I(B-A-b+a)/2$$

$$\therefore I_a = I_0 + 0.5 \times \Delta I [(B-b) - (A-a)] / T_d \dots (1)$$

【図5】



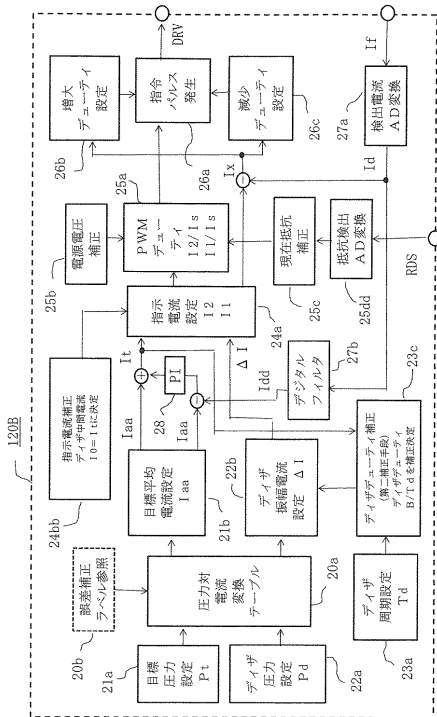
【図6】



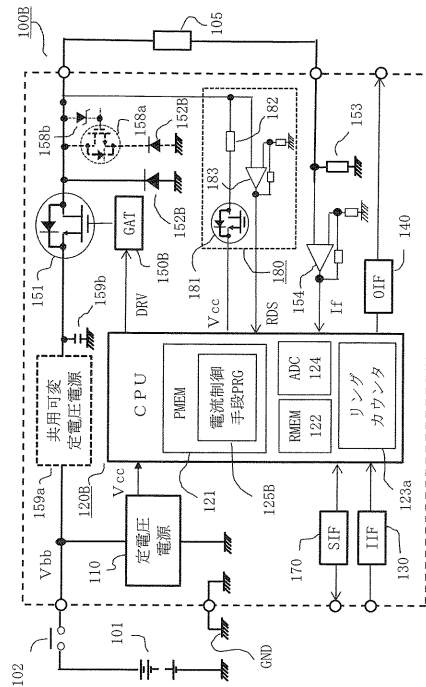
<平均電流>
 $I_a = I_0 + 0.5 \times \Delta I [(B-b) - (A-a)] / T_d \dots (2)$
適正中間電流の算出 (B=A)
 $I_a = I_0 + 0.5 \times \Delta I (a-b) / T_d \dots (2a)$
 I_aを目標電流としたときの指示電流はI₀となる。

例1 ΔI=100mA, T=14msec 600a
 $I_0 = I_a - 3.57(a-b)$
 例2 ΔI=140mA, T=14msec 600b
 $I_0 = I_a - 5.0(a-b)$

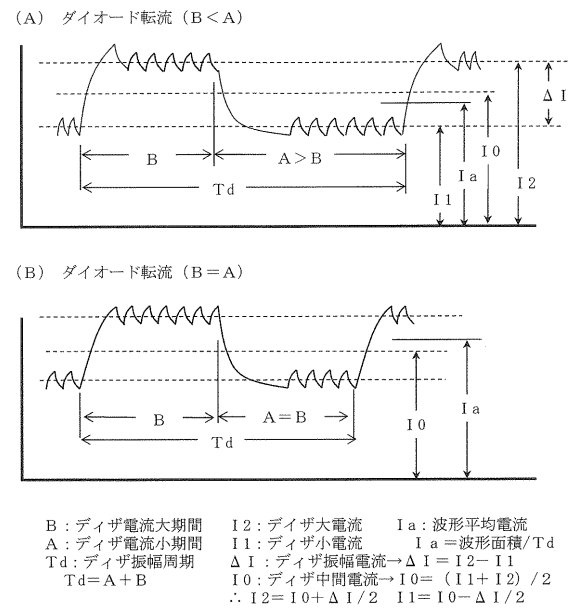
【図8】



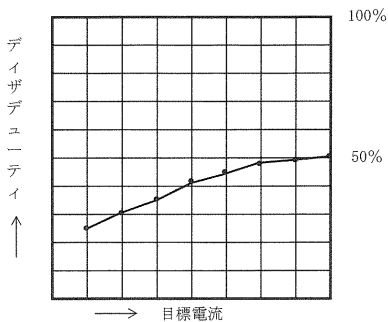
【図7】



【図9】



【図10】



〈波形平均電流〉

$$I_a = I_0 + 0.5 \times \Delta I \cdot [(B-b) - (A-a)] / T_d \dots (2)$$

適正デューティの算出

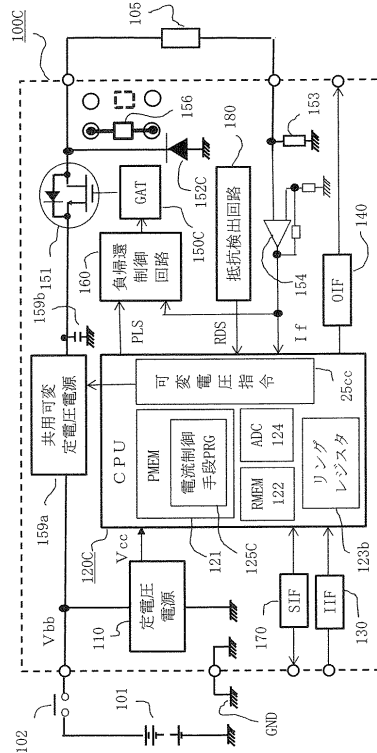
$$(B-b) = (A-a) \text{ とすれば } I_a = I_0 \text{ となる。}$$

$B + A = T_d$ であるから

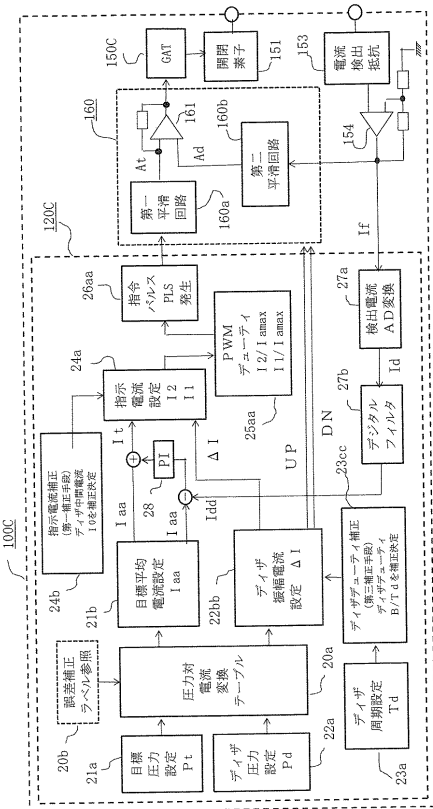
$$A = [(T_d + ((a-b) - (A-a)))] / 2 \dots (算式 5 a)$$

$$B = [(T_d - ((a-b) - (A-a)))] / 2 \dots (算式 5 b)$$

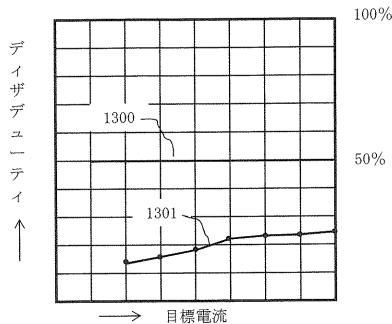
【図11】



【図12】



【図13】



〈波形平均電流〉

$$I_a = I_0 + 0.5 \times \Delta I \cdot [(B-b) - (A-a)] / T_d \dots (2)$$

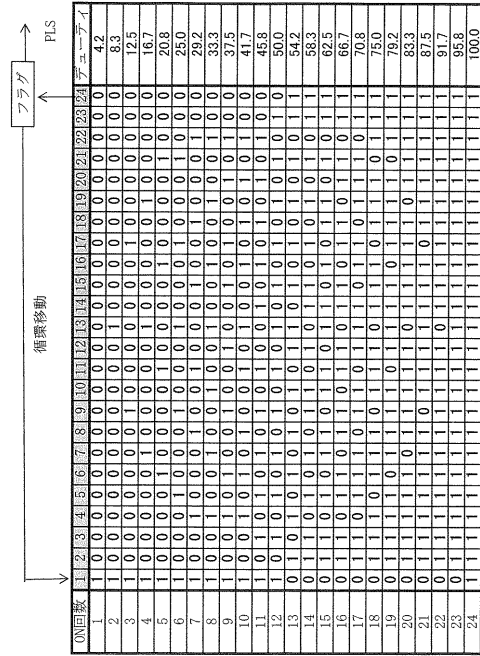
適正デューティの算出

$$A_2 = [T_d + (a_2 - b_2) - (a_1 - b_1)] / 2 \dots (6 a)$$

$$B_2 = [T_d - (a_2 - b_2) + (a_1 - b_1)] / 2 \dots (6 a)$$

$$B_2 / T_d = 0.5 - [(a_2 - b_2) - (a_1 - b_1)] / 14$$

【 図 1 4 】



フロントページの続き

- (72)発明者 松本 修一
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 中西 雅人
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 井口 真吾
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 有田 博幸
兵庫県神戸市中央区中町通二丁目1番18号 三菱電機コントロールソフトウェア株式会社内
- (72)発明者 緒方 智朗
兵庫県神戸市中央区中町通二丁目1番18号 三菱電機コントロールソフトウェア株式会社内

審査官 白井 亮

- (56)参考文献 特開2009-103300(JP,A)
特開2014-197655(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 3/84
F16K 31/06
H01F 7/18