



(12) 发明专利

(10) 授权公告号 CN 116564985 B

(45) 授权公告日 2024.08.23

(21) 申请号 202310587176.0

(22) 申请日 2023.05.24

(65) 同一申请的已公布的文献号
申请公布号 CN 116564985 A

(43) 申请公布日 2023.08.08

(73) 专利权人 南京大学
地址 210046 江苏省南京市栖霞区仙林大道163号

(72) 发明人 闫锋 陈辉 王子豪 沈凡翔
胡心怡 常峻淞 刘泉 朱千琳
程方龙 段爽 高党辉 马浩文
卜晓峰

(74) 专利代理机构 江苏法德东恒律师事务所
32305
专利代理师 李媛媛

(51) Int.Cl.

H01L 27/146 (2006.01)

H04N 25/63 (2023.01)

(56) 对比文件

CN 111540758 A, 2020.08.14

CN 113363271 A, 2021.09.07

审查员 赵端

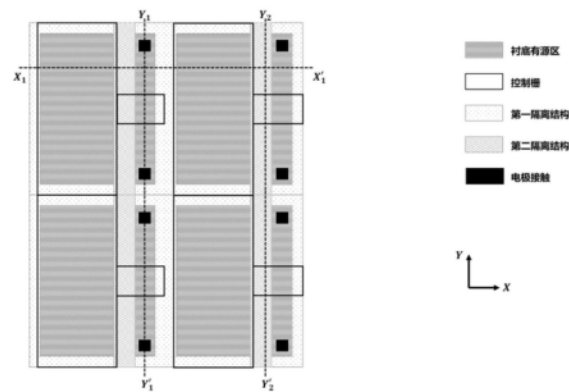
权利要求书2页 说明书6页 附图5页

(54) 发明名称

降低暗电流的复合介质栅光敏探测器及其工作方法

(57) 摘要

本发明公开了一种有效降低暗电流的复合介质栅光敏探测器及其工作方法。其探测器单元包括形成在同一P型半导体衬底上方的复合介质栅MOS电容和复合介质栅MOSFET部分,在P型半导体衬底中形成N型掺杂区,仅在N型掺杂区和复合介质栅MOSFET部分的源漏极底部之间保留部分P型半导体衬底。本发明通过将光电子收集区从衬底表面改为衬底内部,同时使栅氧界面和隔离结构侧壁处于空穴积累状,进而使得光电子收集区远离暗激发较为严重的栅氧界面和浅槽隔离侧壁,实现对暗电流的抑制,同时又不损失满阱容量。



1.降低暗电流的复合介质栅光敏探测器,其探测器单元包括形成在同一P型半导体衬底上方的复合介质栅MOS电容和复合介质栅MOSFET部分,其特征在于,所述P型半导体衬底中形成N型掺杂区,仅在所述N型掺杂区和所述复合介质栅MOSFET部分的源漏极和复合介质栅的底部之间保留部分P型半导体衬底。

2.根据权利要求1所述的降低暗电流的复合介质栅光敏探测器,其特征在于,所述复合介质栅MOS电容和复合介质栅MOSFET部分共用复合介质栅,复合介质栅自下而上包括底层介质层、浮栅、顶层介质层和控制栅极。

3.根据权利要求1所述的降低暗电流的复合介质栅光敏探测器,其特征在于,所述复合介质栅MOS电容和复合介质栅MOSFET部分之间设有第二隔离结构;所述N型掺杂区存在一定的浓度梯度,最大的掺杂浓度位置位于第二隔离结构底部以下 $0.1 \sim 0.5\mu\text{m}$ 深度,并从最大掺杂浓度位置向上下两侧逐渐降低。

4.根据权利要求3所述的降低暗电流的复合介质栅光敏探测器,其特征在于,所述第二隔离结构包括第二隔离结构介质层和第二隔离结构栅极,第二隔离结构介质层包裹着第二隔离结构栅极。

5.根据权利要求1所述的降低暗电流的复合介质栅光敏探测器,其特征在于,当多个所述探测器单元排列时,在相邻探测器单元之间设有第一隔离结构,所述第一隔离结构贯穿P型半导体衬底。

6.根据权利要求5所述的降低暗电流的复合介质栅光敏探测器,其特征在于,所述第一隔离结构包括第一隔离结构介质层和第一隔离结构栅极,第一隔离结构介质层包裹着第一隔离结构栅极。

7.根据权利要求1所述的降低暗电流的复合介质栅光敏探测器,其特征在于,在所述P型半导体衬底下方设有导电层,用于传递衬底电压。

8.根据权利要求7所述的降低暗电流的复合介质栅光敏探测器,其特征在于,所述导电层为掺杂的P型单晶硅或多晶硅,或者为本征的单晶硅或多晶硅。

9.根据权利要求7或8所述的降低暗电流的复合介质栅光敏探测器,其特征在于,在所述导电层下方设置高介电常数层,所述高介电常数层具有在所述导电层下表面形成空穴积累的特性。

10.如权利要求1所述降低暗电流的复合介质栅光敏探测器的工作方法,其特征在于,多个所述探测器单元排列,在相邻探测器单元之间设有第一隔离结构,第一隔离结构包括第一隔离结构介质层和第一隔离结构栅极;所述复合介质栅MOS电容和复合介质栅MOSFET部分之间设有第二隔离结构,第二隔离结构包括第二隔离结构介质层和第二隔离结构栅极;所述工作方法的步骤包括如下:

1) 待机阶段:控制栅极电压为 V_{Hold} ,大小为 0V ;衬底电压为 V_{sub} ,大小为 $-1 \sim -20\text{V}$;第一隔离结构栅极电压为 V_{CDTI} ,大小需满足小于等于 V_{sub} ;第二隔离结构栅极电压为 V_{STI_1} ,大小需满足小于等于 V_{sub} ;源极电压为 V_s ,大小为 0V ;漏极电压为 V_d ,大小为 $0.1 \sim 1.0\text{V}$;

2) 复位阶段:衬底电压维持 V_{sub} 不变,第一隔离结构栅极电压 V_{CDTI} 不变,控制栅极电压降低至 V_{RST} ,大小需满足小于等于衬底电压为 V_{sub} ;第二隔离结构栅极电压增加至 V_{STI_2} ,大小需满足大于等于探测器单元的复位晶体管的阈值电压,所述复位晶体管的栅极为第二隔离结构栅极,栅氧介质层为第二隔离结构的介质层,源极为被空穴部分耗尽的N型掺杂区,漏极

为复合介质栅MOSFET部分的源极/漏极,当复位晶体管开启后,N型掺杂区中的电子从光电子复合介质栅MOSFET部分的源极/漏极流走,直至完全排空,形成完全耗尽的光电子收集区,从而实现复位过程;

3) 曝光阶段:第二隔离结构栅极电压降低至 V_{ST1_1} ,其他所有电极电压保持复位阶段电压不变;

4) 读取阶段:控制栅极开始加斜坡电压,直至所述复合介质栅MOSFET部分完全开启,此时所述复合介质栅MOS电容也产生耗尽区,并且与光电子收集区的耗尽区相连,将光电子收集区中的电子抽取至复合介质栅MOS电容衬底表面,进而改变浮栅电势,最终改变复合介质栅MOSFET部分的阈值,后续读出电路对阈值进行量化,得到灰度值;在读取阶段,除栅极电压外,其他所有电极电压保持曝光阶段电压不变。

降低暗电流的复合介质栅光敏探测器及其工作方法

技术领域

[0001] 本发明涉及成像探测器件,尤其是红外、可见光波段至紫外波段的成像探测器件的结构、工作机制,具体涉及一种有效降低暗电流的复合介质栅光敏探测器及其工作方法。

背景技术

[0002] 由于数码和视频相机、移动成像、监控和生物测定领域的需求,固态成像传感器市场一片繁荣,正经历指数式增长。传统上,CCD是占据主导地位的成像技术。但随着CMOS技术的快速发展,使得CMOS图像传感器(CMOS image sensor,CIS)技术在诸多领域得到广泛应用,如PC相机、移动电话、高端数码相机等领域,此外随着技术的迭代优化,在某些性能方面可以与CCD相媲美,其已经成为CCD的可替代产品。但是常见的CMOS-APS由光电二极管和读出选通晶体管组成,通常有四五个晶体管,随着像元尺寸的减小,CIS很难维持一个较大的满阱电荷已获得较大的信噪比,这使得图像质量难以得到保证。

[0003] 专利CN102938409A和专利CN107658321A中提出了一种基于复合介质栅MOSFET的双晶体管光敏探测器,该光敏探测器包括形成在同一P型半导体衬底上方的复合介质栅MOS电容和复合介质栅MOSFET部分,感光晶体管的衬底(收集区)和读取晶体管的衬底(读取区)通过浅槽隔离(Shallow Trench Isolation,STI)隔开,其中复合介质栅MOS电容和复合介质栅MOSFET部分共用复合介质栅,自下而上包括底层介质层、浮栅、顶层介质层和控制栅极。相比于CCD和CIS,该光敏探测器在相同像素尺寸下可实现更高的信噪比以及更高的满阱电荷。

[0004] 但是为了获得较小尺寸的后照式感光阵列,目前上述两篇专利中提出的光敏探测器还缺乏能够有效降低串扰、同时又方便对每个像素的衬底施加电压以进行等电位操作的阵列结构,因此专利CN115732523A中提出了一种基于复合介质栅的后照式感光阵列及其成像装置,整体控制像素体区电压,节省了像素的面积,使像素之间串扰尽可能小,同时不影响对各个像素的衬底施加电压以便于进行等电位操作。像素体区之间的分布电阻大大减小,阵列中的像素体区之间的电位分布更加均匀。

[0005] 但由于专利CN102938409A、CN107658321A和CN115732523A中提出的探测器结构在曝光过程中P型衬底表面均存在耗尽层,由于栅氧表面以及STI侧壁存在较多缺陷,当耗尽层与二者相接触,在界面陷阱辅助的作用下会导致较强的暗电子激发,使器件的暗特性变差,且较大的暗信号将带来较为严重的固定图形噪声。为了降低暗激发,专利CN111554699A中提出了一种基于复合介质栅结构的改良暗特性的光敏探测器。该探测器的每个探测单元包括复合介质栅MOS-C部分、复合介质栅MOSFET部分和复位管部分,利用复合介质栅MOS电容部分进行感光,MOS-C部分感光得到的光信号通过电荷耦合的作用耦合到复合介质栅MOSFET部分上从而进行读取,利用复位管对MOS电容部分进行复位。MOS电容下方存在N型注入区,曝光前利用复位管进行复位,曝光时在光敏探测单元的控制栅上加负偏压,使得MOS电容部分的P型衬底表面处于空穴积累状态,光电子收集区远离栅氧界面,同时STI侧壁也处于P+型注入区中,因此有效抑制了异质结处的界面陷阱带来的暗电子激发,减小了光敏

探测器的暗噪声大小。但是该专利中引入的复位管减小了MOC-C部分的面积,降低了光敏探测器的满阱容量,同时STI采用的P+包裹的方式结构不适用于小尺寸像素,经过工艺过程中的一系列退火后,较难保证对STI侧壁的包裹效果,并且该掺杂也会在一定程度上降低满阱容量。

发明内容

[0006] 本发明的目的是提出一种同时兼顾降低暗电流和维持高满阱容量的复合介质栅光敏探测器。本发明的另外一个目的是提供上述光敏探测器的工作方法。

[0007] 本发明探测器采用的技术方案如下:

[0008] 降低暗电流的复合介质栅光敏探测器,其探测器单元包括形成在同一P型半导体衬底上方的复合介质栅MOS电容和复合介质栅MOSFET部分,所述P型半导体衬底中形成N型掺杂区,仅在所述N型掺杂区和所述复合介质栅MOSFET部分的源漏极底部之间保留部分P型半导体衬底。

[0009] 进一步地,所述复合介质栅MOS电容和复合介质栅MOSFET部分共用复合介质栅,复合介质栅自下而上包括底层介质层、浮栅、顶层介质层和控制栅极。

[0010] 进一步地,所述复合介质栅MOS电容和复合介质栅MOSFET部分之间设有第二隔离结构;所述N型掺杂区存在一定的浓度梯度,最大的掺杂浓度位置位于第二隔离结构底部以下 $0.1 \sim 0.5\mu\text{m}$ 深度,并从最大掺杂浓度位置向上下两侧逐渐降低。

[0011] 进一步地,所述第二隔离结构包括第二隔离结构介质层和第二隔离结构栅极,第二隔离结构介质层包裹着第二隔离结构栅极。

[0012] 进一步地,当多个所述探测器单元排列时,在相邻探测器单元之间设有第一隔离结构,所述第一隔离结构贯穿P型衬底。

[0013] 进一步地,所述第一隔离结构包括第一隔离结构介质层和第一隔离结构栅极,第一隔离结构介质层包裹着第一隔离结构栅极。

[0014] 进一步地,在所述P型半导体衬底下方设有导电层,用于传递衬底电压。

[0015] 进一步地,所述导电层为掺杂的P型单晶硅或多晶硅,或者为本征的单晶硅或多晶硅。

[0016] 进一步地,在所述导电层下方设置高介电常数层,所述高介电常数层具有在所述导电层下表面形成空穴积累的特性。

[0017] 本发明还提供一种降低暗电流的复合介质栅光敏探测器的工作方法,多个所述探测器单元排列,在相邻探测器单元之间设有第一隔离结构,第一隔离结构包括第一隔离结构介质层和第一隔离结构栅极;所述复合介质栅MOS电容和复合介质栅MOSFET部分之间设有第二隔离结构,第二隔离结构包括第二隔离结构介质层和第二隔离结构栅极;所述工作方法的步骤包括如下:

[0018] 1) 待机阶段:控制栅极电压为 V_{Hold} ,大小为 0V ;衬底电压为 V_{sub} ,大小为 $-1 \sim -20\text{V}$;第一隔离结构栅极电压为 V_{CDTI} ,大小需满足小于等于 V_{sub} ;第二隔离结构栅极电压为 V_{STI_1} ,大小需满足小于等于 V_{sub} ;源极电压为 V_{s} ,大小为 0V ;漏极电压为 V_{d} ,大小为 $0.1 \sim 1.0\text{V}$;

[0019] 2) 复位阶段:衬底电压维持 V_{sub} 不变,第一隔离结构栅极电压 V_{CDTI} 不变,控制栅极电压降低至 V_{RST} ,大小需满足小于等于衬底电压为 V_{sub} ;第二隔离结构栅极电压增加至 V_{STI_2} ,

大小需满足大于等于探测器单元的复位晶体管的阈值电压,所述复位晶体管的栅极为第二隔离结构栅极,栅氧介质层为第二隔离结构的介质层,源极为被空穴部分耗尽的N型掺杂区,漏极为复合介质栅MOSFET部分的源极/漏极,当复位晶体管开启后,N型掺杂区中的电子从光电子复合介质栅MOSFET部分的源极/漏极流走,直至完全排空,形成完全耗尽的光电子收集区,从而实现复位过程;

[0020] 3) 曝光阶段:第二隔离结构栅极电压降低至 V_{STI-1} ,其他所有电极电压保持复位阶段电压不变;

[0021] 4) 读取阶段:控制栅极开始加斜坡电压,直至所述复合介质栅MOSFET部分完全开启,此时所述复合介质栅MOS电容也产生耗尽区,并且与光电子收集区的耗尽区相连,将光电子收集区中的电子抽取至复合介质栅MOS电容衬底表面,进而改变浮栅电势,最终改变复合介质栅MOSFET部分的阈值,后续读出电路对阈值进行量化,得到灰度值;在读取阶段,除栅极电压外,其他所有电极电压保持曝光阶段电压不变。

[0022] 本发明通过将光电子收集区从衬底表面改为衬底内部,同时使栅氧界面和隔离结构侧壁处于空穴积累状,进而使得光电子收集区远离暗激发较为严重的栅氧界面和STI侧壁,实现对暗电流的抑制,同时又不损失CN115732523A中提出的结构的满阱容量。

附图说明

[0023] 图1为本发明光敏探测器的二维结构图;

[0024] 图2为图1中沿 $X_1-X'_1$ 方向的剖面图;

[0025] 图3为图2中AA'方向N型掺杂浓度分布图;

[0026] 图4为图1中沿 $Y_1-Y'_1$ 方向的剖面图;

[0027] 图5为图1中沿 $Y_2-Y'_2$ 方向的剖面图;

[0028] 图6为光敏探测器工作时各端口的电压时序图;

[0029] 图7为光敏探测器待机时电子和空穴的分布示意图;

[0030] 图8为光敏探测器复位时电子和空穴的分布以及电子的流动方向示意图;

[0031] 图9为光敏探测器曝光时电子和空穴的分布示意图;

[0032] 图10为光敏探测器读取时电子和空穴的分布示意图。

具体实施方式

[0033] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明实施方案做进一步地详细描述。

[0034] 图1示意性地展示复合介质栅结构的代表性光敏探测器,图中包含4个光敏探测单元,图2为所述光敏探测器在 $X_1-X'_1$ 的截面,该截面包含两个光敏探测单元结构,左右完全相同,光敏探测单元的MOS电容17和MOSFET部分18形成于同一P型衬底14,二者通过第二隔离结构12实现功能区的分离;P型衬底14中会通过1~3次N型离子注入,例如磷掺杂、砷掺杂等,最终形成具有一定浓度梯度的N型掺杂区15,该掺杂区通过复位过程排空电子成为耗尽区后将作为光敏探测单元曝光阶段的光电子收集区;N型掺杂区15沿着AA'方向N型掺杂浓度分布如图3所示,掺杂浓度的最大值的深度位于第二隔离结构底部以下 $0.1 \sim 0.5\mu\text{m}$;N型掺杂区15和MOSFET部分源极/漏极5之间保留有P型衬底16;第二隔离结构12包括第二隔离

结构介质层11和第二隔离结构栅极10,第二隔离结构介质层11包裹着第二隔离结构栅极10。

[0035] MOS电容17和MOSFET部分18共用复合介质栅结构,复合介质栅结构自下而上包括底层介质层4、浮栅3、顶层介质层2和控制栅极1。当多个光敏探测单元排列时,在相邻探测单元之间沿衬底深度方向设有贯穿P型衬底14的第一隔离结构13,实现将相邻光敏探测单元的P型衬底完全分离;所述的第一隔离结构13包括第一隔离结构介质层6和第一隔离结构栅极7,第一隔离结构介质层6紧挨着源极/漏极5,第一隔离结构栅极7由第一隔离结构介质层6包裹。

[0036] 在P型衬底14下表面形成一层轻掺杂的P型单晶硅或多晶硅外延层作为第一导电层8。所述的光敏探测单元结构通过第一导电层8实现衬底电压的传递,第一隔离结构栅极7与所述的第一导电层8之间通过第一隔离结构介质层6实现电学隔离。所述的第一导电层8的下方设置有一层高介电常数层9,所述的高介电常数层9会在所述的第一导电层8上表面形成空穴积累,也有助于衬底电压的传递。

[0037] 图4为所述光敏探测器在 $Y_1-Y'_1$ 的截面,该截面仅包含两个光敏探测单元的MOSFET部分结构,左右完全相同。MOSFET部分17形成于同一P型衬底14,二者通过第一隔离结构13实现完全的分离;P型衬底14中会通过1~3次N型离子注入,例如磷掺杂、砷掺杂等,最终形成具有一定浓度梯度的N型掺杂区15,该掺杂区通过复位过程排空电子成为耗尽区后将作为光敏探测单元曝光阶段的光电子收集区;所述的第一隔离结构13,包括第一隔离结构介质层6和第一隔离结构栅极7,第一隔离结构介质层6紧挨着源极/漏极5,第一隔离结构栅极7由第一隔离结构介质层6包裹。所述的MOSFET部分的源极可以为21和19,漏极为20和5或者源极为20和5,漏极为21和19;所述的N型掺杂区15和MOSFET部分源极/漏极之间保留有P型衬底16。

[0038] 复合介质栅结构自下而上包括共用的底层介质层4、浮栅3、顶层介质层2和控制栅极1。在所述的P型衬底14下表面形成一层轻掺杂的P型单晶硅或多晶硅外延层作为第一导电层8。所述的光敏探测单元结构通过第一导电层8实现衬底电压的传递,第一隔离结构栅极7与所述的第一导电层8之间通过第一隔离结构介质层6实现电学隔离。所述的第一导电层8的下方设置有一层高介电常数层9,所述的高介电常数层9会在所述的第一导电层8上表面形成空穴积累,也有助于衬底电压的传递。

[0039] 图5为所述光敏探测器在 $Y_2-Y'_2$ 的截面,该截面显示了第一隔离结构13和第二隔离结构12相交的部分。图2和图4中,第一隔离结构13的高度为 H_1 ,图5中第一隔离结构13的高度为 H_2 ,满足 $H_1 > H_2$,这主要是因为第一隔离结构13在光敏探测器阵列中呈现网格状分布,第二隔离结构12在光敏探测器阵列中呈现条状结构,二者存在相交的部分,相交部分的高度为第二个隔离结构的深度。第一隔离结构13和第二隔离结构12之间通过第二隔离结构介质层11实现电学隔离。

[0040] 复合介质栅结构自下而上包括共用的底层介质层4、浮栅3、顶层介质层2和控制栅极1。第一导电层8与第一隔离结构栅极7之间通过第一隔离结构介质层6实现电学隔离。在第一导电层8的下方设置有一层高介电常数层9。图中的15为衬底N型掺杂区,与图2中的15和图4中的15是一个整体。

[0041] 图2、图4和图5中,所述的底层介质层采用二氧化硅、氮化硅或其他高介电常数介

质,顶层介质层采用二氧化硅单层结构或二氧化硅/氮化硅双层结构或二氧化硅/氮化硅/二氧化硅或二氧化硅/氧化铝/二氧化硅三层结构,介质层厚度小于10纳米,浮栅和控制栅采用N型掺杂的多晶硅,第一隔离结构介质层和第二隔离结构介质层采用二氧化硅、氮化硅或其他高介电常数介质,厚度5~10nm,第一隔离结构栅极和第二隔离结构栅极采用N型掺杂的多晶硅,第一导电层采用轻掺杂的P型单晶硅外延层或多晶硅外延层,其厚度约10~100nm。高介电常数材料可以有包括氧化铝、氧化钽、氧化铪、硅氧化铪、氧化铝铪或氧化铪钽中的一种或多种组合。

[0042] 本发明的另外一个目的是提供上述光敏探测器的工作方法,各端口电压时序如图6所示,具体说明如下:

[0043] 1) 待机阶段:图7为待机阶段,复合介质栅结构状态说明。控制栅极1电压为 V_{Hold} ,大小为0V;衬底电压为 V_{sub} ,大小可以为-1~-20V;第一隔离结构栅极7电压为 V_{CDTI} ,大小需满足小于等于 V_{sub} ,此时第一隔离结构侧壁形成空穴积累23,可以有效抑制界面处暗电子的激发;第二隔离结构栅极10电压为 V_{STI_1} ,大小需满足小于等于 V_{sub} ,此时第二隔离结构侧壁形成空穴积累22,可以有效抑制界面处暗电子的激发;源极电压为 V_s ,大小为0V;漏极电压为 V_d ,大小可以为0.1~1.0V。第一导电层8表面也存在空穴积累25,可以抑制界面处暗电子的激发。

[0044] 2) 复位阶段:图8为复位阶段,复合介质栅结构状态说明。衬底电压维持待机状态电压 V_{sub} 不变,大小可以为-1~-20V;第一隔离结构栅极7电压维持待机状态电压 V_{CDTI} 不变,大小需满足小于等于 V_{sub} ,此时第一隔离结构侧壁形成空穴积累23,可以有效抑制界面处暗电子的激发;控制栅极1电压降低至 V_{RST} ,大小需满足小于等于衬底电压为 V_{sub} ,此时栅氧表面形成空穴积累27,可以有效抑制栅氧界面处暗电子的激发;第二隔离结构栅极10电压增加至 V_{STI_2} ,大小需满足大于等于图8所示的寄生MOSFET26(复位晶体管)的阈值电压,所述寄生的MOSFET26的栅极为第二隔离结构栅极10,源极为被空穴部分耗尽的N型掺杂区15,漏极为光敏探测单元MOSFET部分的源极/漏极,当寄生MOSFET开启后,N型掺杂区中的电子按照图8中箭头所指方向从光电子光敏探测单元MOSFET部分的源极/漏极流走,直至完全排空,形成完全耗尽的光电子收集区24,从而实现复位过程。第一导电层8表面也存在空穴积累25,可以抑制界面处暗电子的激发。

[0045] 3) 曝光阶段:图9为曝光阶段,复合介质栅结构状态说明。第二隔离结构栅极10电压降低至 V_{STI_1} ,第一隔离结构栅极7电压维持复位状态电压 V_{CDTI} 不变,大小需满足小于等于 V_{sub} ,此时第一隔离结构侧壁形成空穴积累23,可以有效抑制界面处暗电子的激发;控制栅极1电压维持复位状态 V_{RST} 不变,大小需满足小于等于衬底电压为 V_{sub} ,此时栅氧表面形成空穴积累27,可以有效抑制栅氧界面处暗电子的激发;第一导电层8表面也存在空穴积累25,可以抑制界面处暗电子的激发。空穴的积累使得界面处暗电子激发速率非常小,在曝光过程中几乎不会增加光电子收集区24中的光电子信号的总电荷量。

[0046] 4) 读取阶段:图10为读取阶段,复合介质栅结构状态说明。控制栅极1开始加斜坡电压,直至光敏探测器MOSFET部分18沟道完全开启,此时MOS电容部分17也产生耗尽区,并且与光电子收集区24相连,将光电子收集区24中的电子抽取至MOS电容17衬底表面,进而改变浮栅电势,最终改变MOSFET部分18的阈值,后续读出电路对阈值进行量化,得到灰度值。在这一过程中,虽然栅氧界面产生耗尽区28,但由于读取过程非常快,在微秒级别,因此栅

氧界面贡献的暗电流非常小。第二隔离结构栅极10电压维持曝光状态 V_{STI_1} 不变,第一隔离结构栅极7电压维持曝光状态电压 V_{CDTI} 不变,大小需满足小于等于 V_{sub} ,此时第一隔离结构侧壁形成空穴积累23,可以有效抑制界面处暗电子的激发;第一导电层8表面也存在空穴积累25,可以抑制界面处暗电子的激发。因此读取过程暗电子的积累也非常少,可以忽略不计。

[0047] 本发明通过将曝光过程中光敏探测器的光电子收集区从衬底表面转移至衬底内部,同时通过让栅氧界面、第一隔离结构侧壁、第二隔离结构侧壁以及衬底下表面处于空穴积累状态,有效降低了曝光过程中的暗电子激发,增大了光敏探测器的动态范围,有效提升了成像质量。

[0048] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

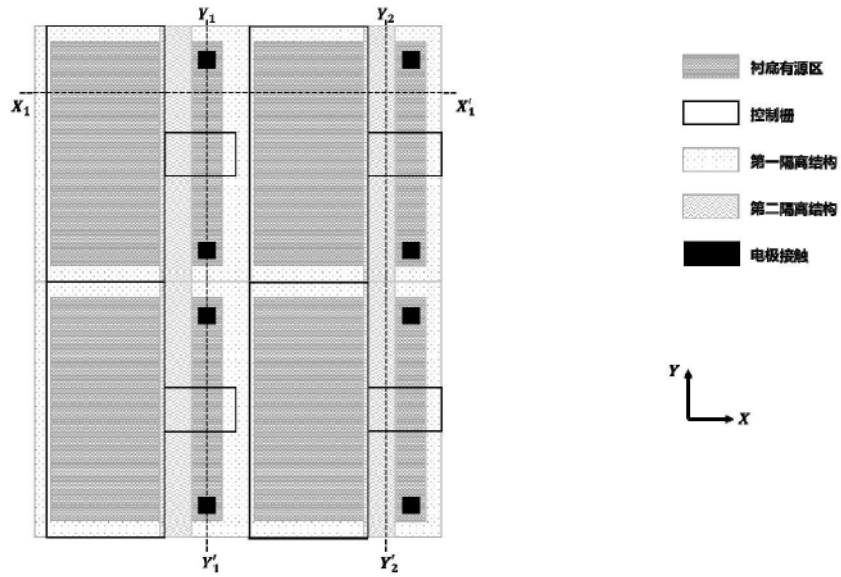


图1

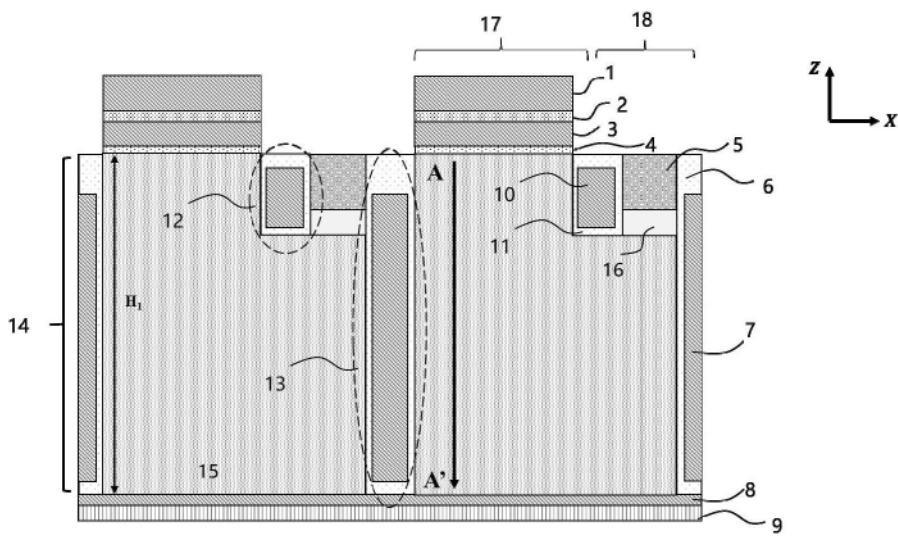


图2

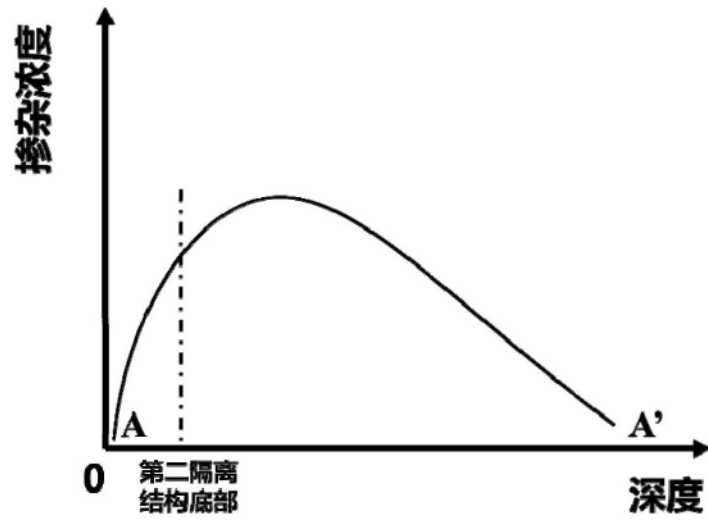


图3

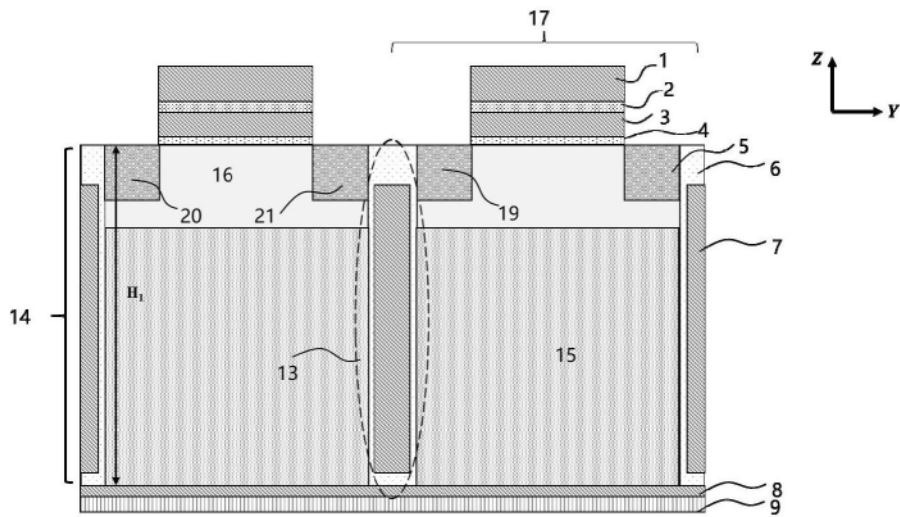


图4

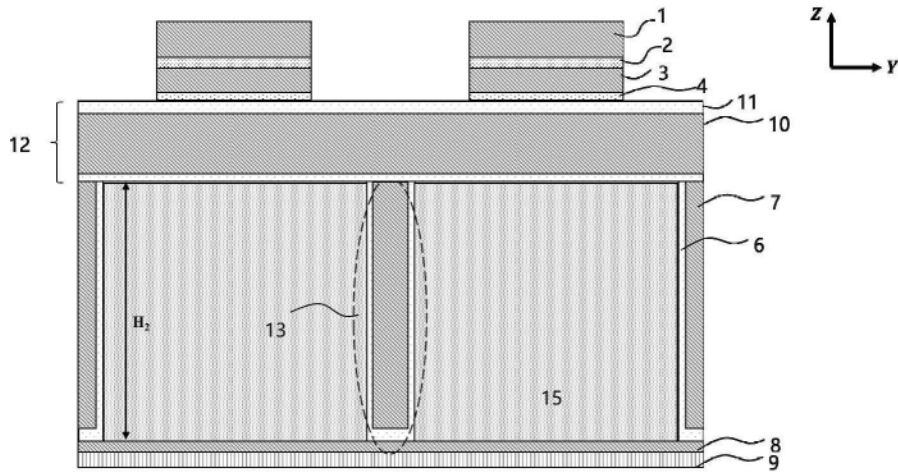


图5

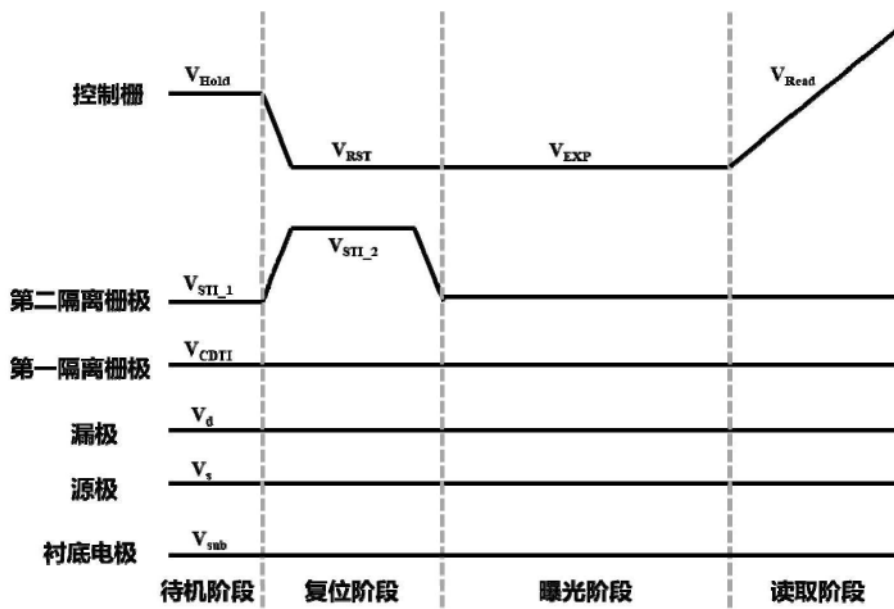


图6

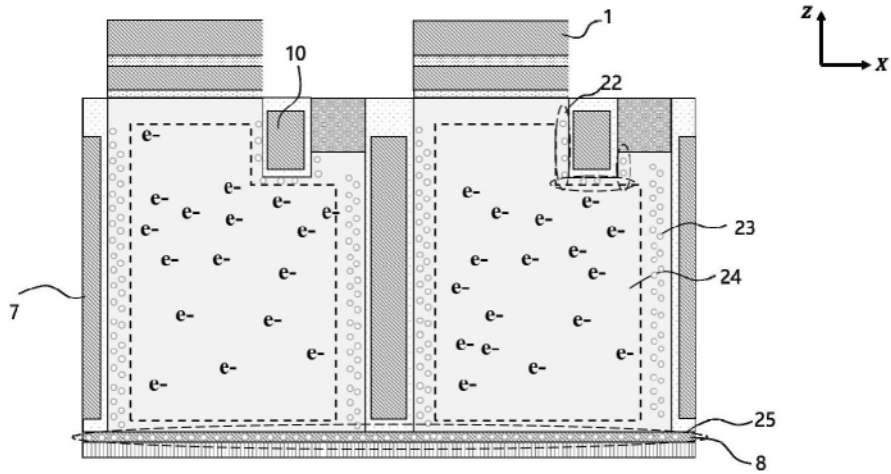


图7

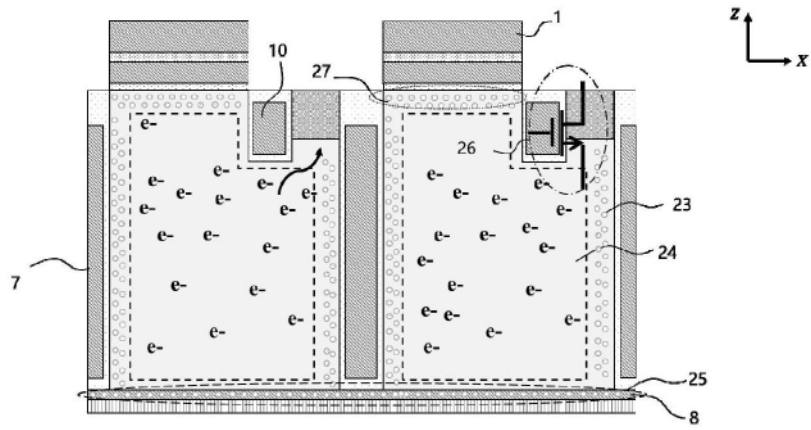


图8

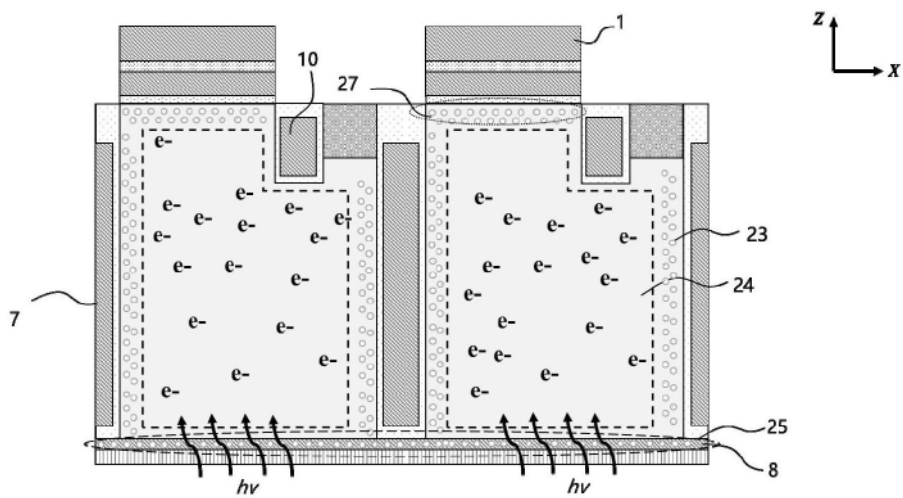


图9

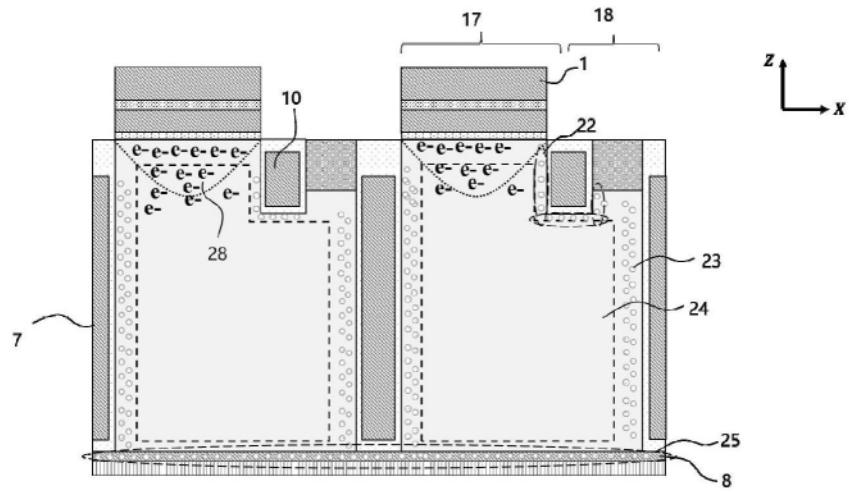


图10