



(12)发明专利

(10)授权公告号 CN 108292669 B

(45)授权公告日 2019.08.02

(21)申请号 201680066270.X

(22)申请日 2016.09.09

(65)同一申请的已公布的文献号
申请公布号 CN 108292669 A

(43)申请公布日 2018.07.17

(30)优先权数据
15184822.3 2015.09.11 EP

(85)PCT国际申请进入国家阶段日
2018.05.11

(86)PCT国际申请的申请数据
PCT/EP2016/071353 2016.09.09

(87)PCT国际申请的公布数据
W02017/042363 EN 2017.03.16

(73)专利权人 ABB瑞士股份有限公司
地址 瑞士巴登

(72)发明人 M.阿尔诺德 U.维穆拉帕蒂

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 李啸 刘春元

(51)Int.Cl.
H01L 29/744(2006.01)
H01L 29/08(2006.01)
H01L 29/10(2006.01)
H01L 29/36(2006.01)
H01L 29/66(2006.01)
H01L 29/06(2006.01)

(56)对比文件
US 5369291 A,1994.11.29,
JP 平10-98179 A,1998.04.14,
CN 104600101 A,2015.05.06,
CN 104733514 A,2015.06.24,

审查员 赵世欣

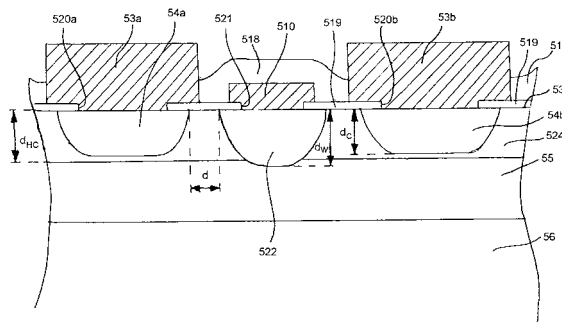
权利要求书3页 说明书13页 附图11页

(54)发明名称

关断型功率半导体器件及其制造方法

(57)摘要

本发明涉及一种关断型功率半导体器件,该器件包含多个晶闸管单元,各个晶闸管单元包含:阴极区;基极层;漂移层;阳极层;栅极电极,布置成横向于与基极层接触的阴极区;阴极电极;以及阳极电极。多个晶闸管单元的基极层与栅极电极之间的交界面以及阴极区与阴极电极之间的交界面为扁平且共面的。另外,基极层包括栅极阱区,栅极阱区从它与栅极电极的接触部延伸至深度,深度是阴极区的深度的至少一半,其中,对于任何深度,该深度处的栅极阱区的最小掺杂浓度是该深度处且横向位置处的位于阴极区与栅极阱区之间的基极层的掺杂浓度的1.5倍,其中,在到与第一主侧平行的平面上的正交投影中,该横向位置具有从阴极区起2 μ m的距离。



1. 一种关断型功率半导体器件,包含:

半导体晶圆(51),具有第一主侧(530)和与所述第一主侧(530)相对的第二主侧(531);

多个晶闸管单元(52),按照从所述第一主侧(530)至所述第二主侧(531)的顺序,所述多个晶闸管单元(52)中的各个包含:

(a) 第一传导性类型的阴极区(54a、54b、54c);

(b) 与所述第一传导性类型不同的第二传导性类型的基极层(55),其中,所述阴极区(54a、54b、54c)形成为所述基极层(55)中的阱,以形成所述基极层(55)与所述阴极区(54a、54b、54c)之间的第一p-n结;

(c) 所述第一传导性类型的漂移层(56),与所述基极层(55)一起形成第二p-n结;以及

(d) 所述第二传导性类型的阳极层(58),通过所述漂移层(56)而与所述基极层(55)分离,

其中,各个晶闸管单元(52)还包含:栅极电极(510),布置成横向于所述阴极区(54a、54b、54c),并且,形成与所述基极层(55)的欧姆接触;阴极电极(53a、53b、53c),布置于所述第一主侧(530)上,并且,形成与所述阴极区(54a、54b、54c)的欧姆接触;以及阳极电极(59),布置于所述第二主侧(531)上,并且,形成与所述阳极层(58)的欧姆接触,

其中,所述多个晶闸管单元(52)的所述基极层(55)与所述栅极电极(510)之间的交界面和所述阴极区(54a、54b、54c)与所述阴极电极(53a、53b、53c)之间的交界面为扁平且共面的,以及,

其中,所述基极层(55)包括栅极阱区(522),该栅极阱区(522)从所述栅极阱区(522)与所述栅极电极(510)接触的接触部延伸至深度(d_w),所述深度(d_w)是所述阴极区(54a、54b、54c)的深度(d_c)的至少一半,

其特征在于,对于任何深度,该深度处的所述栅极阱区(522)的最小掺杂浓度是该深度处且横向位置处的位于所述阴极区(54a、54b、54c)与所述栅极阱区(522)之间的所述基极层(55)的掺杂浓度的1.5倍,其中,在到与所述第一主侧(530)平行的平面上的正交投影中,所述横向位置具有从所述阴极区(54a、54b、54c)起 $2\ \mu\text{m}$ 的距离,以及,

所述基极层(55)包括所述第二传导性类型的补偿区(524),所述补偿区布置成与所述第一主侧(530)直接邻接,且位于所述阴极区(54a、54b、54c)与所述栅极阱区(522)之间,其中,第一传导性类型的杂质的密度在所述补偿区中相对于净掺杂浓度至少为0.4。

2. 根据权利要求1所述的关断型功率半导体器件,其中,所述栅极阱区(522)的所述深度(d_w)至少是所述阴极区(54a、54b、54c)的所述深度(d_c)。

3. 根据权利要求1或2所述的关断型功率半导体器件,其中,所述栅极阱区(522)的所述深度(d_w)为至少 $5\ \mu\text{m}$ 。

4. 根据权利要求3所述的关断型功率半导体器件,其中,所述栅极阱区(522)的所述深度(d_w)为至少 $10\ \mu\text{m}$ 。

5. 根据权利要求1或2所述的关断型功率半导体器件,其中,所述阴极区(54a、54b、54c)的所述深度(d_c)为至少 $10\ \mu\text{m}$ 。

6. 根据权利要求5所述的关断型功率半导体器件,其中,所述阴极区(54a、54b、54c)的所述深度(d_c)为至少 $15\ \mu\text{m}$ 。

7. 根据权利要求1或2所述的关断型功率半导体器件,其中,所述基极层(55)的一部分

的掺杂浓度随着从所述第一主侧(530)起的距离增大而增大,其中,所述基极层(55)的所述一部分布置成与所述第一主侧(530)直接邻接,并且布置成处于所述阴极区(54a、54b、54c)与所述栅极阱区(522)之间。

8. 根据权利要求1或2所述的关断型功率半导体器件,其中,所述补偿区(524)从所述第一主侧(530)延伸至深度(d_{HC}),所述深度(d_{HC})至少是所述阴极区(54a、54b、54c)的所述深度(d_c)。

9. 根据权利要求1或2所述的关断型功率半导体器件,其中,所述补偿区(524)从所述第一主侧(530)延伸到至少10 μm 的深度(d_{HC})。

10. 根据权利要求9所述的关断型功率半导体器件,其中,所述补偿区(524)从所述第一主侧(530)延伸到至少15 μm 的深度(d_{HC})。

11. 根据权利要求1或2所述的关断型功率半导体器件,其中,所述阴极电极(53a、53b、53c)具有至少10 μm 的厚度。

12. 根据权利要求11所述的关断型功率半导体器件,其中,所述阴极电极(53a、53b、53c)具有至少15 μm 的厚度。

13. 根据权利要求1或2所述的关断型功率半导体器件,其中,相邻的阴极电极(53a、53b、53c)之间的空间用绝缘层(528)填补,并且其中,连续阴极接触部层(532)布置于所述阴极电极(53a、53b、53c)和所述绝缘层(528)的顶部上,以与所述阴极电极(53a、53b、53c)和所述绝缘层(528)直接接触。

14. 一种用于制造如权利要求1至13中的任一项所述的关断型功率半导体器件的方法,所述方法包含以下的步骤:

设置半导体晶圆(51'),该半导体晶圆(51')具有与所述第一主侧(530)相对应的第三主侧(530')和与所述第二主侧(531)相对应的第四主侧,按照从所述第三主侧(530')至所述第四主侧的顺序,所述半导体晶圆(51')包含:

(a) 所述第二传导性类型的第一半导体层(55'),形成最终的关断型功率半导体器件中的所述基极层(55);以及

(b) 所述第一传导性类型的第二半导体层(56'),形成所述最终的关断型功率半导体器件中的所述漂移层(56),

通过选择性地第一传导性类型的第一掺杂剂(542)从所述半导体晶圆(51')的所述第三主侧(530')施加至所述第一半导体层(55')中,从而在所述第一半导体层(55')内形成所述第一传导性类型的多个半导体区(54a'、54b'),其中,所述多个半导体区(54a'、54b')形成所述最终的关断型功率半导体器件中的所述多个晶闸管单元(52)的所述阴极区(54a、54b);

通过选择性地第二传导性类型的第二掺杂剂(549)从所述半导体晶圆(51')的所述第三主侧(530')施加至所述第一半导体层(55')中,从而增大所述第一半导体层(55')内的多个阱区(522')中的掺杂浓度,其中,所述阱区(522')与所述多个半导体区(54a'、54b')分离,并且其中,所述阱区(522')形成所述最终的关断型功率半导体器件中的所述栅极阱区(522);

选择性地形成第一金属化部层,以形成所述多个晶闸管单元(52)的所述阴极电极(53a、53b、53c);

选择性地形成第二金属化部层,以形成所述多个晶闸管单元(52)的所述栅极电极(510),以及,

将第一传导性类型的第三掺杂剂(551)施加于与所述第三主侧(530')邻接的区中,从而至少在位于所述最终的关断型功率半导体器件中的所述多个晶闸管单元(52)的所述阴极区(54a、54b、54c)与所述栅极阱区(522)之间的区中,部分地补偿所述第一半导体层(55')的所述第二传导性类型的掺杂。

15. 根据权利要求14所述的用于制造关断型功率半导体器件的方法,其中,在施加所述第一传导性类型的第三掺杂剂(551)的步骤中,将所述第一传导性类型的第三掺杂剂(551)均匀地施加至所述第三主侧(530')。

16. 根据权利要求14至15中的任一项所述的用于制造关断型功率半导体器件的方法,还包含通过选择性电镀而增大所述阴极电极(53a、53b、53c)的厚度的步骤。

关断型功率半导体器件及其制造方法

技术领域

[0001] 本发明涉及关断型功率半导体器件,并且,涉及用于制造这样的关断型功率半导体器件的方法。

背景技术

[0002] 从DE 26 25 917 A1得知一种半导体器件,该半导体器件包括半导体主体,该半导体主体具有交替的P传导类型和N传导类型的四个层,这些层构成晶闸管,晶闸管的最外层与邻接的层一起形成发射结(emitter junctions)。半导体主体还包括集成场效应晶体管部分,该部分用于桥接晶闸管的发射结之一。场效应晶体管的源极和漏极包括相同的传导性类型的区,这些区中的一个区形成与桥接的发射结邻接的发射极层,而这些区中的另一个区包含如下的区:欧姆连接至与发射极层邻接的层,并且,具有与发射极层相同类型的传导性。场效应晶体管具有控制电极,并且,在半导体主体中提供保护性二极管,保护性二极管用于限制半导体主体与场效应晶体管的控制电极之间的电压。布置有晶闸管,以用于光学点火(optical ignition)。为了提供用于晶闸管的点火的栅极电极与P型基极层之间的良好的欧姆接触,在电极的下方提供高掺杂的P⁺型阱区。

[0003] 从EP 0 002 840 A1得知晶闸管,其中,N型阴极发射极区域和高掺杂的P⁺型栅极区嵌入在P型基极层中。P⁺型栅极区和N型阴极发射极区域的深度为大约15 μm。

[0004] 从EP 0 283 788A1得知一种GTO晶闸管,其中,高掺杂的P⁺区布置于P掺杂基极区的下方。该P基极区的掺杂剂浓度低于前面提到的P⁺区中的掺杂剂浓度。该方面的优点是,N发射极区域与P基极区之间的击穿电压很大程度上独立于N发射极区域的穿透的深度以及独立于P基极区域的横向传导性的选择。

[0005] 从US 5 369 291 A得知一种电压控制式晶闸管,该电压控制式晶闸管包括阳极与阴极之间的材料本征层。本征层与阴极之间的栅极区包含轻掺杂的P型层,其中,更重掺杂的P型区穿过轻掺杂的层而延伸至本征层中。更重掺杂的P型区散布于阴极的较浅的N掺杂区中。

[0006] 从JP 3 334509 B2得知栅极关断型晶闸管,其无论阴极电极的位置如何都允许相应的区中的统一的关断操作,由此改进它的关闭抗扰度(shutdown immunity)。晶闸管包括阴极侧上的N发射极层、P基极层、N基极层以及阳极侧上的P发射极层。N发射极层由多个区组成,这些区在P基极层中彼此分离,且沿半径方向延长,并且,阴极电极沉积于发射极层的各个分离区上。栅极电极沉积于P基极层上,以便环绕N发射极层的相应的区。采取板的形式栅极导线金属形成在如与其相对的栅极电极的几乎整个表面上,并且在其中提供有多个开口,以便于环绕阴极电极的区,以及电连接至栅极电极。

[0007] 从JP H04 320374 A得知,通过在栅极电极上提供绝缘膜,并且,将金属薄膜和绝缘膜的厚度之和设定为比阴极金属电极更厚,从而在短时间内将晶闸管中的高阳极电流关断。通过铝沉积而在阳极表面上形成大约15μm厚的电极。此外,将铝以大约9μm厚度沉积于阴极表面上,以形成薄的阴极电极。进一步将铝以大约2μm厚度沉积于阴极表面上,以形成

第一和第二金属栅极电极。同时,将铝以大约 $11\mu\text{m}$ 厚度沉积于阴极电极上。然后,用绝缘体覆盖阴极侧表面,除了栅极电极和阴极电极的外部端子去除部分(take-out part)之外。能够借助于热缓冲区(不具有凹槽)而紧压阴极电极,以及,能够实现与具有混合结构的GTO的那些特性等效或比其更好的特性。

[0008] 已知的关断型功率半导体器件是如图1至图3中所示的双模式栅极换向型晶闸管(BGCT)。图1以顶视图示出器件,并且,图2以沿着图1中的线c' c截取的横截面示出器件。在单晶圆1中,BGCT包含彼此并联电连接的多个栅极换向型晶闸管(GCT)单元2。在图1和图2中所示的BGCT中,各个GCT单元2由采取阴极金属化部层的形式的一个阴极电极3、包含三个条状阴极段4的 n^+ 掺杂阴极层、p掺杂基极层5、 n^- 掺杂漂移层6、n掺杂缓冲层7、 p^+ 掺杂阳极层8以及采取阳极金属化部层的形式的一个阳极电极9组成。GCT单元2还包括采取栅极金属化部层的形式的一个栅极电极10,栅极电极10与p掺杂基极层5接触。栅极金属化部层布置成位于其中布置有阴极电极3的平面的下方的平面中,使得栅极电极与阴极电极3垂直地分离。BGCT包括采取在晶圆1的中心的环形金属区的形式的一个单一的栅极接触部11。栅极接触部11与栅极金属化部层直接接触,使得所有的GCT单元2的栅极接触部11和栅极电极10彼此电和热连接。BGCT包含分布于GCT单元2之间的多个二极管单元12。二极管单元12彼此并联电连接,并且电连接至GCT单元2(虽然采用相反的正向)。各个二极管单元12包括阳极电极17、p掺杂阳极层13、 n^+ 掺杂阴极层14以及阴极电极16,其中,p掺杂阳极层13和 n^+ 掺杂阴极层14通过 n^- 掺杂漂移层6和n掺杂缓冲层7而分离。相邻的GCT单元2和二极管单元12通过多个分离区15而分离。

[0009] 图3示出图2中所示出的BGCT的一段局部横截面。在图3中,以横截面示出两个阴极段4和这两个阴极段4之间的栅极电极10。在晶圆1的主侧表面上,形成有氧化物钝化层19。形成阴极电极3的金属化部层通过氧化物钝化层19中的第一开口20而与阴极段4接触,并且,形成栅极电极10的金属化部层通过氧化物钝化层19中的第二开口21而与基极层5接触。在氧化物钝化层19和栅极电极10上,在阴极电极3之间形成有聚酰亚胺钝化层18。

[0010] 在图4A至图4C中,图示有用于定义前述的BGCT中的阴极段4的制造方法的步骤。如图4A中所示,在晶圆的主表面上形成图样化的保护氧化物层25,晶圆的主表面包括p掺杂基极层5和形成于p基极层5上的薄的高度 n^+ 掺杂层26。在下一个步骤中,使用图样化的保护氧化物层25作为蚀刻掩模,将薄的高度 n^+ 掺杂层26和p掺杂基极层5的一部分以大约 $13\mu\text{m}$ 蚀刻,以获得如图4B中所示的结构。在随后的推进步骤中,将所构造的高度 n^+ 掺杂层26'的n型掺杂剂推进到p掺杂基极层5中,以获得如图3中所示的最终结构中的阴极段4。

[0011] 在用于制造BGCT的方法的所有随后的工艺步骤中,即,在形成氧化物钝化层19、阴极电极3、栅极电极10以及聚酰亚胺钝化层18的步骤中,存在如下的问题:必须使包括用于构造层的光致抗蚀剂层的相应的层沉积于在晶圆表面上具有阶梯的晶圆1的所构造的表面上。因此,可能导致与这些层的阶梯覆盖有关的问题。同样地,晶圆表面上的阶梯减小可用于阴极电极3的空间,且因此,限制电和热接触。除了限制电和热接触之外,晶圆表面上的阶梯还使减小某些横向尺寸且限制最小尺寸以及阴极段4的密度变得不可能。例如,由于各个第一开口20(即,阴极开口)与相邻的第二开口21(即,栅极开口)之间的晶圆表面上的阶梯,因而不能使各个第一开口20与相邻的第二开口21之间的距离小于 $50\mu\text{m}$ 。

发明内容

[0012] 鉴于上文,本发明的目标是,提供能够克服现有技术中的上述问题的关断型功率半导体器件。尤其,本发明的目标是,提供关断型功率半导体器件,该关断型功率半导体器件具有多个晶闸管单元,其中,在关断的期间确保关断型功率半导体器件的良好的性能的同时,能够增大分离的阴极区的密度和/或晶闸管单元的密度,能够避免与阶梯覆盖有关的任何问题,且能够增大电和热接触面积。

[0013] 通过根据一个实施例的关断型功率半导体器件而达到本发明的目标。

[0014] 在本发明的关断型功率半导体器件中,多个晶闸管单元的基极层与栅极电极之间的交界面以及阴极区与阴极电极之间的交界面是扁平且共面的。由于本发明的关断型功率半导体器件的该特征,因而避免从现有技术得知的与关断型功率半导体器件中的阶梯覆盖有关的所有问题。而且,扁平设计导致更多的可用空间以用于阴极金属化部,以便改进电和热接触。与现有技术的关断型功率半导体器件相比,能够减小横向尺寸,且因此,能够增大器件中的阴极区的密度和/或晶闸管单元的密度。

[0015] 另外,本发明的关断型功率半导体器件与上述的已知的关断型功率半导体器件的区别在于,基极层包括栅极阱区,栅极阱区从它与栅极电极接触的接触部延伸至作为阴极区的深度的至少一半的深度,其中,对于任何深度,该深度处的栅极阱区的最小掺杂浓度是该深度处且横向位置处的位于阴极区与栅极阱区之间的基极层的掺杂浓度的1.5倍,其中,在到与第一主侧平行的平面上的正交投影中,该横向位置具有从阴极区起2 μm 的距离。高掺杂的栅极阱区导致栅极接触部与阴极区正下方的区之间的减小的串联电阻,因而允许增大换向电流,且从而由此改进关断性能,然而,从阴极区延伸且布置于阴极区与栅极阱区之间的基极层的较低掺杂的部分允许要求适当的关断的足够高的栅极-阴极阻断电压(VGR)。

[0016] 在本发明中,基极层包括补偿区,补偿区布置成与第一主侧直接邻接,并且,位于阴极区与栅极阱区之间,其中,第一传导性类型的杂质的密度在补偿区中相对于掺杂浓度至少为0.4。在这样的特征下,与不具有这样的高度补偿区的器件相比,能够增大栅极-阴极阻断电压(VGR)。

[0017] 在一些实施例中,详列本发明的进一步的发展。

[0018] 在示范性的实施例中,栅极阱区的深度至少是阴极区的深度。示范性地,栅极阱区的深度为至少5 μm ,更示范性地,至少10 μm 。

[0019] 在示范性的实施例中,阴极区的深度为至少10 μm ,示范性地,至少15 μm 。

[0020] 在示范性的实施例中,布置成与第一主侧直接邻接且布置于阴极区与栅极阱区之间的基极层的一部分的掺杂浓度随着从第一主侧起的距离增大而增大。在这样的示范性的实施例中,能够确保高的栅极-阴极阻断电压(VGR)。为了实现器件的适当的关断,优选至少20 V的栅极-阴极阻断电压。

[0021] 示范性地,补偿区从第一主侧延伸至作为阴极区的深度的至少一半的深度。具体地,补偿区可以从第一主侧延伸到至少10 μm (示范性地,至少15 μm)的深度。

[0022] 在示范性的实施例中,阴极电极具有至少10 μm 的厚度,示范性地,至少15 μm 的厚度。阴极金属化部的上表面的水平高度与栅极金属化部的上表面的水平高度之间的距离越大,用于接触标准紧压包装中的阴极金属化部层的钼(Mo)盘与栅极金属化部之间的分离就越好。钼盘与栅极金属化部之间的充分的分离能够避免微小粒子可能造成钼盘与栅极金属

化部之间的短路这一状况。

[0023] 在示范性的实施例中,相邻的阴极电极之间的空间用绝缘层填补,并且,连续阴极接触部层布置于阴极电极和绝缘层的顶部上,以与阴极电极和绝缘层直接接触。在这样的示范性的实施例中,改进热性能。阴极电极的顶部和绝缘层的顶部上的连续阴极接触部层能够增大接触面积,且因而减小热阻。另外,这样的实施例允许例如通过使用Ag微型或纳米粒子的低温联结而将钼盘联结至前侧。在这样的设计下,关断型功率半导体器件甚至能够在其中对阴极接触部进行引线联结(wire-bonded)的模块中使用。此外,在这样的实施例中,微小粒子不可能造成钼盘与栅极金属化部之间的短路。

[0024] 同样地,通过根据一个实施例的用于制造关断型功率半导体器件的方法而达到目标。

附图说明

[0025] 将在下文中,参考附图而解释本发明的详细的实施例,其中:

[0026] 图1示出在作为已知的关断型功率半导体器件的双模式栅极换向型晶闸管(BGCT)之上的顶视图;

[0027] 图2示出沿着图1中的线c' c截取的BGCT的横截面;

[0028] 图3示出图2的横截面的放大部分;

[0029] 图4A至图4C图示制造工艺的步骤,其中,形成图1至图3所示的BGCT的阴极台面结构;

[0030] 图5示出在根据比较的示例的关断型功率半导体器件之上的顶视图;

[0031] 图6示出沿着图5中的线AA' 截取的图5的关断型功率半导体器件的横截面;

[0032] 图7示出图6中所示的横截面的放大部分;

[0033] 图8示出根据本发明的实施例的关断型功率半导体器件的局部横截面;

[0034] 图9是根据修改的比较的示例的关断型功率半导体器件的局部横截面;以及

[0035] 图10A至图10E图示用于制造根据本发明的实施例的关断型功率半导体器件的方法。

[0036] 在参考符号列表中,总结附图中所使用的参考符号及其含义。通常,通篇说明书中,类似的元件具有相同的参考符号。所描述的实施例旨在作为示例,而不应当限制本发明的范围。

具体实施方式

[0037] 在图5至图7中,示出关断型功率半导体器件的比较示例。比较示例起到更好地理解要求保护的本发明的作用。图5示出在关断型功率半导体器件上的顶视图,图6示出关断型功率半导体器件沿着图5中的线AA' 的横截面,并且,图7示出局部横截面,该局部横截面是图6中所示的横截面的放大部分。

[0038] 根据比较示例的关断型功率半导体器件包含半导体晶圆51,示范性地,半导体晶圆51是硅晶圆,具有第一主侧530和与第一主侧530相对的第二主侧531。半导体晶圆51包含多个栅极换向型晶闸管(GCT)单元 52(这是对于实施例中的晶闸管单元的示例)和多个二极管单元512。按照从第一主侧530至第二主侧531的顺序,各个GCT单元52包含第一阴极电

极53、 n^+ 掺杂第一阴极层54、 p 掺杂基极层55、 p^+ 掺杂第一阳极层58以及第一阳极电极59。 p 掺杂基极层55通过 n^- 掺杂漂移层56和 n 掺杂缓冲层57而与 p^+ 掺杂第一阳极层58分离,其中, n^- 掺杂漂移层56与 p 掺杂基极层55一起形成 pn 结,并且, n 掺杂缓冲层57与 p^+ 掺杂第一阳极层58一起形成 pn 结。各个GCT单元52的第一阴极层54包含三个阴极区54a、54b、54c,阴极区54a、54b、54c通过基极层55而彼此分离。

[0039] 而且,各个GCT单元52包含栅极电极510,栅极电极510布置成横向于阴极区54a、54b、54c,并且,通过基极层55而分别与阴极区54a、54b、54c分离。通篇本专利说明书中,术语“横向”涉及横向方向,其是与第一主侧530平行的方向。

[0040] 漂移层56可以具有示范性地 $n = 5.0 \cdot 10^{11} \text{ cm}^{-3}$ 与 $n = 1.0 \cdot 10^{14} \text{ cm}^{-3}$ 之间的掺杂浓度,更示范性地小于 $5 \cdot 10^{13} \text{ cm}^{-3}$ 的掺杂浓度。第一阳极层58可以具有示范性地 $p = 1 \cdot 10^{16} \text{ cm}^{-3}$ 与 $p = 1 \cdot 10^{19} \text{ cm}^{-3}$ 之间的平均掺杂浓度,并且,阴极区54a、54b、54c可以具有示范性地 $n = 1 \cdot 10^{18} \text{ cm}^{-3}$ 与 $n = 1 \cdot 10^{21} \text{ cm}^{-3}$ 之间,更示范性地 $n = 1 \cdot 10^{19} \text{ cm}^{-3}$ 与 $n = 1 \cdot 10^{21} \text{ cm}^{-3}$ 之间的掺杂浓度。与第一主侧530邻接,阴极区54可以具有示范性地 $n = 1 \cdot 10^{19} \text{ cm}^{-3}$ 与 $n = 1 \cdot 10^{21} \text{ cm}^{-3}$ 之间的掺杂浓度。示范性地,所有的晶闸管单元52的阴极区54a、54b、54c全都具有相同的掺杂浓度。同样地,所有的晶闸管单元52的所有的第一阳极层58都可以具有相同的掺杂浓度。其中,缓冲层57具有朝向第二主侧531上升的掺杂浓度,而典型地,漂移层56具有比缓冲层57的掺杂浓度更低的恒定的掺杂浓度。通篇本说明书中,术语掺杂浓度指净掺杂浓度。而且,通篇本说明书中,如果描述层的掺杂分布(doping profile),则该层的掺杂浓度指局部掺杂浓度。如果未描述掺杂分布,则层的掺杂浓度指该层中的最大掺杂浓度(除非另有所指)。

[0041] 在本比较示例中,基极层55示范性地具有70与130 μm 之间的与晶圆51的第一主侧530和第二主侧531垂直的方向上的厚度。第一阳极层58示范性地具有1 μm 与250 μm 之间的厚度。基极层55可以全都具有相同的厚度。各个基极层55的厚度可以在整个GCT单元52中大体上为恒定的,或可以变化而分别在阴极区54a、54b、54c的中心的底下具有较少的掺杂。第一阳极层58还可以全都具有相同的厚度。与晶圆51的第一主侧530和第二主侧531垂直的方向上的漂移层56的厚度取决于器件的额定电压。示范性地,对于3.3 kV的器件,该厚度处于280 μm 与440 μm 之间,或对于4.5 kV的器件,该厚度处于380 μm 与570 μm 之间。其中,GCT单元52中的漂移层56的厚度是该特定GCT单元52的缓冲层57与基极层55之间的最小距离。

[0042] 在到与第一主侧530平行的平面上的正交投影中,阴极区54a、54b、54c中的每一个为条状。通篇说明书中,条状意指纵向形状,其中,纵向方向上的长度比与纵向方向垂直且与晶圆51的第一主侧530平行的宽度方向上的条状区的宽度更长。通篇本说明书中,条状区的宽度是宽度方向上的条状区的最大尺寸。

[0043] 在到与第一主侧530平行的平面上的正交投影中,在各个GCT单元52中,与第一主侧530纵轴垂直的方向上的各个条状阴极区54a、54b、54c的横向宽度 w_c 示范性地处于15 μm 与500 μm 之间,更示范性地处于100 μm 与300 μm 之间。与第一主侧530纵轴平行的方向(即,图5中的径向、横向方向)上的各个条状阴极区54a、54b、54c的长度示范性地处于1.5 mm与4 mm之间的范围中。

[0044] 按照从第一主侧530至第二主侧531的顺序,各个二极管单元512包含第二阳极电极517、 p 掺杂第二阳极层513、 n^+ 掺杂第二阴极层514以及第二阴极电极516。第二阴极层514

在第二主侧531上布置成沿横向方向与第一阳极层58交替,并且,通过漂移层56和缓冲层57而与第二阳极层513分离。漂移层56与第二阳极层513形成pn结。在到与第一主侧530平行的平面上的正交投影中,各个第二阳极层513为条状,其具有沿着第一主侧530纵轴方向上的长度和相对于纵轴而垂直的方向上的宽度,各个第二阳极层513的宽度小于其长度。

[0045] 第二阳极层513可以具有示范性地处于 $p = 1 \cdot 10^{16} \text{ cm}^{-3}$ 与 $p = 1 \cdot 10^{19} \text{ cm}^{-3}$ 之间的掺杂浓度,并且,第二阴极层514可以具有示范性地处于 $n = 1 \cdot 10^{18} \text{ cm}^{-3}$ 与 $n = 1 \cdot 10^{21} \text{ cm}^{-3}$ 之间的掺杂浓度。示范性地,第二阴极层514全都具有相同的掺杂浓度。同样地,所有的第二阳极层513都可以具有相同的掺杂浓度。

[0046] 各个GCT单元52的基极层55分别通过由漂移层56形成的n掺杂分离区515而与相邻的第二阳极层513分离。二极管单元512与相邻的GCT单元52之间的分离区515具有20 μm 与150 μm 之间,示范性地50 μm 与100 μm 之间的与晶圆51的第一主侧530邻接的横向宽度(该横向宽度是相邻的GCT单元52的基极层55与第二阳极层513之间的最小距离)。分离区515的宽度必须足够大以避免穿通(punch-through)效应,从而阻断要求关断或在阻断期间的栅极电压。另一方面,横向宽度应当足够小以允许各个GCT单元52的电子空穴等离子体扩散至相邻的第二二极管单元512中,其中,在GCT单元52的导通状态的期间,该电子空穴等离子体在漂移层56中形成。

[0047] 在本比较示例中,各个栅极电极510作为栅极金属化部层的一部分而形成于基极层55上,其中,第一栅极金属化部层与基极层55相对的表面定义第一平面。第一阴极电极53与阴极区54a、54b、54c相对的表面和第二阳极电极517的与第二阳极层513相对的表面定义第二平面。换句话说,所有第一阴极电极53和所有第二阳极电极517都布置成共面。其中,第一平面与第二平面平行,并且,第一平面沿自第一主侧530向第二主侧531的方向从第二平面移位。该高度差促进使第一主侧530上的第一阴极电极53和第二阳极电极517与金属板(诸如,标准紧压包装中的钼(Mo)盘)接触。示范性地,阴极电极53沿相对于晶圆51的第一主侧530而垂直的方向具有至少10 μm 的厚度,示范性地,至少15 μm 的厚度。

[0048] 在本比较示例中,在到与第一主侧530平行的平面上的正交投影中,各个GCT单元52的第一阳极层58与同一GCT单元52的基极层55对齐,以具有各个GTC单元52中的这两个层之间的最大重叠,并且,各个二极管单元512的第二阳极层513与同一二极管单元512的第二阴极层514对齐,以具有各个二极管单元512中的这两个层之间的最大重叠。

[0049] 在示出在晶圆51的第一主侧530上的顶视图的图5中,能够看到有第一阴极电极53和第二阳极电极517的图样,相应地,第一阴极电极53形成于GCT单元52的阴极区54a、54b、54c的顶面上,而第二阳极电极517形成于第二阳极层513的顶面上。各个第一阴极电极53包含三个条状电极部分53a、53b、53c,这三个条状电极部分53a、53b、53c与相应的GCT单元52的三个条状阴极区54a、54b、54c相对应。第二阳极电极517为与相应的二极管单元512的第二阳极层513的条状相对应的条状。

[0050] 各个第一阴极电极53的条状阴极电极部分53a、53b、53c和条状第二阳极电极517的纵向方向具有与沿径向方向对齐的纵向方向,其中,该径向方向是从器件的中心延伸且与晶圆51的第一主侧530平行的方向。其中,器件的中心是圆形晶圆51的第一主侧530的中心。

[0051] 在图5中所示的比较示例中,多个GCT单元52和多个二极管单元512以围绕器件中

心的两个同心环而布置。在各个环中,GCT单元52与二极管单元512交替。在沿着同心环的横向方向上,二极管单元512的第二阳极层513与GCT单元52的第一阴极层54交替,以便在到与第一主侧530平行的平面上的正交投影中,各个GCT单元52的阴极区54a、54b、54c沿横向方向在GCT单元52的相对侧上布置成处于与GCT单元52相邻的两个二极管单元512的一对第二阳极层513之间。因此,在图5中,第二阳极电极517与第一阴极电极53交替,如上所述,第一阴极电极53分别包含三个条状阴极电极部分53a、53b、53c。在各个环中,该环中的各个条状阴极区54a、54b、54c的长度与该环中的任何其它条状阴极区54a、54b、54c的长度相等。

[0052] 由于GCT单元52与二极管单元512交替,因而在到与第一主侧530平行的平面上的正交投影中,各个二极管单元512如此布置,使得一个第二阳极层513沿与第一主侧530平行的横向方向布置成处于两个相邻的GCT单元52的第一阴极层54之间。

[0053] 在圆形晶圆51的第一主侧530上的中心区中,布置有公共栅极接触部511,其中,多个GCT单元52的所有栅极电极510都电连接至该公共栅极接触部511。GCT单元52的栅极电极510及其间的连接件实现为上述的栅极金属化部层。

[0054] 由于二极管单元512和GCT单元52的叉指布置,因而以电和热的方式利用晶圆51的整个硅区。

[0055] 如在图6中能够看到的,多个晶闸管单元52的基极层55与栅极电极510之间的所有交界面和阴极层54的阴极区54a、54b、54c与阴极电极53的阴极电极部分53a、53b、53c之间的所有交界面都是扁平且共面的。

[0056] 图7以未在图6中示出的关断型功率半导体器件的进一步的细节示出图6中的关断型功率半导体器件的横截面的放大部分。图7中所示的放大部分包括两个条状阴极区54a和54b以及这两个阴极区54a和54b之间的栅极电极510的一部分。基极层55包括栅极阱区522,栅极阱区522从栅极电极延伸至深度 d_w ,其中,深度 d_w 是阴极区54a和54b的深度 d_c 的至少一半。示范性地,栅极阱区522的深度 d_w 至少与阴极区54a和54b的深度 d_c 相同,示范性地,深度 d_w 大于阴极区54a和54b的深度 d_c 。栅极阱区522的深度 d_w 可以是至少 $5\ \mu\text{m}$,示范性地,深度 d_w 可以是至少 $10\ \mu\text{m}$ 。阴极区54a、54b的深度 d_c 可以是至少 $10\ \mu\text{m}$,示范性地,深度 d_c 可以是至少 $15\ \mu\text{m}$ 。对于任何深度(从第一主侧530起的距离),该深度处的栅极阱区522的最小掺杂浓度是该深度处且横向位置处的位于阴极区54a、54b与栅极阱区522之间的基极层55的掺杂浓度的1.5倍,其中,在到与第一主侧530平行的平面上的正交投影中,该横向位置具有从阴极区54a、54b起 $2\ \mu\text{m}$ 的距离。示范性地,对于任何深度,在该深度处且横向位置处的所有的点处的基极层55的局部掺杂浓度都相同,其中,在到与第一主侧530平行的平面上的正交投影中,该横向位置具有从阴极区54a、54b起 $2\ \mu\text{m}$ 的距离。示范性地,与第一主侧530邻接的栅极阱区522的掺杂浓度处于 $p = 3 \cdot 10^{17}\ \text{cm}^{-3}$ 与 $p = 5 \cdot 10^{18}\ \text{cm}^{-3}$ 之间的范围内,然而,阴极区的下方的区中的基极层55的掺杂浓度示范性地处于 $p = 1 \cdot 10^{17}\ \text{cm}^{-3}$ 与 $p = 8 \cdot 10^{17}\ \text{cm}^{-3}$ 之间的范围内。栅极阱区522与相邻的阴极区54a之间的横向距离 d 大于 $2\ \mu\text{m}$ 。同样地,栅极阱区522与阴极区54b之间的距离大于 $2\ \mu\text{m}$ 。

[0057] 在晶圆51的第一主侧上,部署有氧化物钝化层519。阴极电极部分53a通过氧化物钝化层519中的第一开口520a而与阴极区54a接触,阴极部分53b通过氧化物钝化层519中的另一第一开口520b而与阴极区54b接触,并且,栅极电极510通过氧化物钝化层519中的第二开口521而与栅极阱区522接触。第一开口520a的横向宽度 w_0 小于阴极区54a的横向宽度 w_c ,

并且,氧化物钝化层519覆盖阴极区54a的边缘部分。以该方式,确保阴极电极部分53a仅与阴极区54a接触,而不与基极层55接触。同样地,第二开口521的横向宽度小于栅极阱区522的宽度,并且,第一开口520b的横向宽度小于阴极区54b的横向宽度。在到与第一主侧530平行的平面上的正交投影中,阴极电极部分53a和53b的外部边缘以及栅极电极的外部边缘与氧化物钝化层519重叠。分别地,第一开口520a、520b的横向宽度 w_0 与阴极区54a、54b的横向宽度 w_c 之间的差可以小于 $30\ \mu\text{m}$ 。示范性地, w_0-w_c 之差可以大于 $10\ \mu\text{m}$,但小于 $30\ \mu\text{m}$ 。与具有阴极台面结构(即,晶圆表面上的阶梯)的现有技术的器件相比,由于阴极区的扁平设计而导致有可能使用相对于阴极区54a、54b的宽度更宽的开口。此外,扁平设计允许使阴极电极部分53a和53b分别比阴极区54a和54b的宽度 w_c 更宽。更宽的电极部分54a和54b导致改进的热和电接触。

[0058] 如已经参考图6而描述的,还能够从图7看出,阴极电极部分53a与阴极区54a之间的交界面、栅极电极510与基极层55之间的交界面以及阴极电极部分53b与阴极区54b之间的交界面全都为扁平且共面的。如能够从图7看到的,栅极电极510与基极层55之间的交界面是栅极电极510与栅极阱区522之间的接触区。

[0059] 聚酰亚胺钝化层518(与实施例中的绝缘层相对应)形成于第一主侧530上,从而将氧化物钝化层519未被阴极电极部分53a和53b或未被栅极电极510覆盖的部分覆盖。而且,聚酰亚胺钝化层518覆盖栅极电极510。

[0060] 在图8中,示出有本发明的关断型功率半导体器件的实施例。实施例与上述的比较示例类似。因此,仅描述与上述的比较示例的不同之处。关于所有的其余特征,涉及图5至图7中所示的比较示例的上文的描述。图8中所示的实施例与图5至图7中所示的比较示例的区别仅在于,基极层55包含补偿区524,补偿区524形成为与晶圆51的第一主侧530直接邻接,使得补偿区524形成于图8中的阴极区54a与栅极阱区522之间的区中以及阴极区54b与栅极阱区522之间的区中。第一传导性类型的杂质的密度在补偿区524中相对于掺杂浓度至少为0.4。在图8中,补偿区524从第一主侧延伸至深度 d_{HC} ,其中,深度 d_{HC} 大于阴极区54a、54b的深度 d_c ,且小于栅极阱区522的深度 d_w 。深度 d_{HC} 可以具有作为阴极区的深度 d_c 的至少一半的任何值。示范性地,补偿区524从第一主侧530延伸到至少 $10\ \mu\text{m}$ 的深度 d_{HC} ,示范性地,至少 $15\ \mu\text{m}$ 的深度 d_{HC} 。

[0061] 在存在补偿区524的情况下,与不具有这样的补偿区524的器件相比,能够增大栅极-阴极阻断电压(VGR),这是由于在与阴极区54a和54b形成pn结的该补偿区524中的基极层55的较低的掺杂浓度而导致的。

[0062] 在图9中,示出有关断型功率半导体器件的另一修改的比较示例。图9中所示的修改的比较示例与在上文中参考图5至图7而描述的比较示例类似。因此,将仅描述不同之处。关于所有的其余特征,涉及图5至图7中所示的比较示例的上文的描述。图9中所示的修改的比较示例与图7中所示的比较示例的区别在于,聚酰亚胺钝化层528填补两个相邻的阴极电极部分53a和53b之间的整个空间。聚酰亚胺钝化层528的上表面为扁平的,且与所有的阴极电极部分53a和53b的上表面共面。另外,实现为金属化部层的连续阴极接触部层532布置于阴极电极部分53a和53b的顶部上以及聚酰亚胺钝化层528的顶部上,使得阴极接触部层532与阴极电极部分53a和53b以及聚酰亚胺钝化层528的上表面直接接触。虽然在图9中仅示出两个阴极电极部分53a和53b,但阴极接触部层532形成于所有的阴极电极部分53a、53b的顶

面上以及聚酰亚胺钝化层528的顶面上,其中,聚酰亚胺钝化层528填补关断型功率半导体器件的这些阴极电极部分53a、53b之间的空间。聚酰亚胺钝化层528比起图7中所示的比较示例中填补相邻阴极电极部分53a和53b之间的空间的空气,能够更高效地将关断型功率半导体器件中所生成的热从器件传导出。在标准紧压包装中,连续阴极接触部层532能够提供从关断型功率半导体器件至紧压到关断型功率半导体器件的阴极侧(第一主侧530)上的钼盘(未在图中示出)的改进的热和电接触。此外,在该修改的比较示例中,能够高效地避免短路,其中,短路可能当在标准紧压包装中使用钼盘时,由于微小粒子而在栅极电极510与阴极电极53之间发生。

[0063] 在下文中,将描述根据本发明的用于制造关断型功率半导体器件的方法的实施例。该方法包含提供半导体晶圆51'的步骤,半导体晶圆51'具有第三主侧530'(与最终的关断型功率半导体器件中的半导体晶圆51的第一主侧530相对应)和与第三主侧相对的第四主侧(与最终的关断型功率半导体器件中的半导体晶圆51的第二主侧531相对应;未在图中示出),按照从第三主侧530'至第四主侧的顺序,半导体晶圆51'包含:p掺杂第一半导体层55',其形成最终的关断型功率半导体器件中的基极层55;n⁻掺杂第二半导体层56',其形成最终的关断型功率半导体器件中的漂移层56;以及p⁺掺杂第三半导体层(未在图中示出),其形成最终的关断型功率半导体器件中的阳极层58。

[0064] 通过选择性地将在n型第一掺杂剂542从半导体晶圆51'的第三主侧530'通过第一掩模层540中的第三开口544a和544b而施加至第一半导体层55'中,从而在半导体晶圆51'上形成第一掩模层540,并且,在第一半导体层55'内形成多个n⁺掺杂半导体区54a'和54b'。其中,多个n⁺掺杂半导体区54a'和54b'形成最终的关断型功率半导体器件中的多个晶闸管单元52的阴极区54a和54b。通篇说明书中,能够通过例如离子注入或扩散而执行施加掺杂剂的工艺。

[0065] 随后,第二掩模层546形成于晶圆51'的第一主侧表面上。然后,通过选择性地将在p型第二掺杂剂549从半导体晶圆51'的第三主侧530'通过第二掩模层546中的第四开口550而施加至第一半导体层55'中,从而增大p掺杂第一半导体层55'内的多个阱区522'中的p型掺杂浓度。阱区522'与多个n⁺掺杂半导体区54a'和54b'分离,并且形成最终的关断型功率半导体器件中的栅极阱区522。

[0066] 在下一个步骤中,将n型第三掺杂剂551从第三主侧530'施加至晶圆,从而在与第三主侧530'邻接的区中形成补偿层524',其中,补偿层524'具有高浓度的n型第三掺杂剂551。在无需使用掩模层的情况下,将n型第三掺杂剂551施加至整个晶圆51,以便同样地将n型第三掺杂剂551施加至n⁺掺杂半导体区54a'和54b'中以及至阱区522'中。

[0067] 在随后的推进步骤中,将n⁺掺杂半导体区54a'和54b'的第一掺杂剂、阱区522'的第二掺杂剂以及补偿层524'的第三掺杂剂推进至晶圆51',以获得如在上文中关于图8而描述的阴极区54a和54b、栅极阱区522以及补偿区524。在图10E中,示出推进步骤之后的半导体晶圆51。

[0068] 通过如下的步骤而获得如图8中所示的最终的关断型功率半导体器件:形成氧化物钝化层519;选择性地形成第一金属化部层,以形成多个晶闸管单元的阴极电极53;选择性地形成第二金属化部层,以形成多个晶闸管单元的栅极电极;以及形成聚酰亚胺钝化层518。用于制造功率半导体器件的方法还可以包含如下的步骤:通过选择性电镀而增大沿相

对于第一主侧530而垂直的方向上的阴极电极的厚度。

[0069] 对本领域技术人员将明显的是,在不脱离如所附权利要求所定义的本发明的理念的情况下,上述的实施例的修改是可能的。

[0070] 在上述的实施例中,关于第一阴极层54而描述关断型功率半导体器件,其中,第一阴极层54分别包含三个条状阴极区54a、54b、54c。然而,也有可能使用任何其它数量的阴极区,示范性地,在各个GCT单元52中,能够包括一到六个条状阴极区。示范性地,在本发明的关断型功率半导体器件中,二极管单元512的数量相对于阴极区54a、54b、54c的数量的比可以处于1:1至1:5(示范性地,1:2或1:4)的范围内。

[0071] 在上述的实施例中,GCT单元52沿着整个环与各个同心环中的二极管单元512交替,即,GCT单元52沿横向方向与整个晶圆范围上的二极管单元512交替。然而,也有可能GCT单元52与未在整个晶圆范围上而仅在混合的部分中二极管单元512交替,然而,晶圆的剩余部分包括并未与二极管单元512交替的GCT单元52。这样的部分可以被称为先导部分。同样地,晶圆可以包含其中形成有并未与该部分中的GCT单元52交替的二极管单元的范围。

[0072] 同样地,本发明的关断型功率半导体器件可以不是反向传导功率半导体器件,并且,可以不包括任何二极管单元412。例如,关断型功率半导体器件可以是任何其它类型的集成栅极换向型晶闸管(IGCT),诸如,非对称IGCT、双模式GCT、双向关断型晶闸管或反向阻断IGCT,或关断型功率半导体器件可以是任何类型的栅极关断型晶闸管(GTO),诸如,非对称GTO、反向阻断GTO或反向传导GTO。

[0073] 本发明的关断型功率半导体器件中的相邻的晶闸管单元52的基极层55可以彼此直接接触,即,相邻的晶闸管单元52可以共享共同的基极层55,或它们可以彼此分离(如上述的实施例中那样)。同样地,相邻的晶闸管单元55的漂移层56可以彼此直接接触,即,相邻的晶闸管单元55可以如上述的实施例中那样共享共同的漂移层56,或它们可以彼此分离。相邻的晶闸管单元52的阳极层58可以彼此直接接触,即,相邻的晶闸管单元52可以共享共同的阳极层58,或它们可以彼此分离。同样地,各个阴极区54a、54b、54c可以与相邻的阴极区54a、54b、54c直接接触,或它们可以至少通过阴极区54a、54b、54c所属于的相同的晶闸管单元52的基极层55而与相邻的阴极区54a、54b、54c分离(如上文的实施例中那样)。

[0074] 在上述的实施例中,关于圆形硅晶圆51而描述关断型功率半导体器件。然而,晶圆51可以具有诸如矩形形状之类的任何其它形状,或可以由不同的半导体材料(诸如,碳化硅或诸如(AlGaIn)N之类的III族氮化物)制成。

[0075] 关于两个同心环中的GCT单元52和二极管单元512的非常特定的交替布置而描述本发明的实施例。然而,可以采用其它布置。布置有GCT单元52和二极管单元512的同心环的数量可以是环的任何其它数量。同样地,矩形晶圆上的GCT单元52和二极管单元512的布置可以是如下的布置:其中条状第二阳极层513和条状阴极区54a、54b、54c布置成彼此平行。例如,对于矩形晶圆形状,这样的布置将是优选的。

[0076] 在上文的实施例中,关于缓冲层57而描述关断型功率半导体器件。然而,在修改的实施例中,关断型功率半导体器件可以不包含缓冲层57。在该修改的实施例中,与关于缓冲层57的上述的实施例相比,沿与晶圆31的第一主侧530垂直的方向上的漂移层56的厚度将必须为该缓冲层57的厚度的大约两倍,以便避免在阻断和关断条件期间的反向偏压条件下的穿通。

[0077] 关于具体的传导性类型而解释了上文的实施例。可以切换上述的实施例中的半导体层的传导性类型,以便被描述为p型层的所有的层都将是n型层,并且,被描述为n型层的所有的层都将是p型层。例如,在修改的实施例中,GCT单元52能够包括p掺杂第一阴极层54、n掺杂基极层55、p⁻掺杂漂移层56以及n掺杂第一阳极层58。

[0078] 关于中心公共栅极接触部511而描述了上文的实施例。本发明不限于这样的中心公共栅极接触部511。还将有可能在晶圆51的周界处,或在晶圆51的周界与中心之间的某处的两个环之间,具有环状公共栅极接触部,这能够有利于使栅极电流脉冲的电流分布均匀。

[0079] 在根据在上文中关于图10A至图10E而描述的实施例的方法中,将用于形成补偿区524的n型第三掺杂剂551均匀地施加至晶圆51'的整个第一主侧530。然而,也有可能选择性地施加n型第三掺杂剂551,从而至少在位于最终的关断型功率半导体器件中的多个晶闸管单元52的阴极区54a、54b与栅极阱区522之间的区中,形成补偿区524。

[0080] 在根据在上文中关于图10A至图10E而描述的实施例的方法中,按一定的顺序描述不同的方法步骤。然而,可以按不同的顺序执行方法步骤。例如,在n⁺掺杂半导体区54a'和54b'之前,能够形成阱区522'。同样地,晶圆51'可以不包含p⁺掺杂第三半导体层,但可以仅在随后的阶段施加用于阳极层58的掺杂物。

[0081] 此外,在用于制造本发明的关断型功率半导体器件的方法中,可以修改形成聚酰亚胺钝化层528的步骤,以获得如在图9中所示的实施例中描述的聚酰亚胺钝化层528。另外,该方法可以包括如下的步骤:形成连续阴极接触部层532,以获得如图9中所示的关断型功率半导体器件。

[0082] 在上文的实施例中,钝化层518和528(与实施例中的绝缘层相对应)被描述为聚酰亚胺钝化层518和528。然而,也有可能针对实施例中的绝缘层,使用通过溶胶凝胶工艺、旋涂工艺、印刷、层压或类似的工艺而沉积的其它聚合物和氧化物。

[0083] 应当注意到,术语“包含”不排除其它元件或步骤,并且,不定冠词“一”或“一个”不排除多个。同样地,可以将与不同实施例相关联而描述的元件组合。

[0084] 参考符号列表

[0085]

1	晶圆	58	(p+掺杂)第一阳极层
2	栅极换向型晶闸管(GCT)单元	59	第一阳极电极
3	阴极电极	510	栅极电极
4	阴极段	511	公共栅极接触部
5	(p掺杂)基极层	512	二极管单元
6	(n-掺杂)漂移层	513	(p掺杂)第二阳极层
7	(n掺杂)缓冲层	514	(n+掺杂)第二阴极层
8	(p+掺杂)阳极层	515	(n掺杂)分离区
9	阳极电极	516	第二阴极电极
10	栅极电极	517	第二阳极电极
11	栅极接触部	518	聚酰亚胺钝化层
12	二极管单元	519	氧化物钝化层
13	(p掺杂)阳极层	520a,b	第一开口
14	(n+掺杂)阴极层	521	第二开口
15	分离区	522	栅极阱区
16	阴极电极	522'	阱区
17	阳极电极	524'	补偿层
18	聚酰亚胺钝化层	524	补偿区
19	氧化物钝化层	528	聚酰亚胺钝化层
20	第一开口	530	第一主侧
21	第二开口	530'	第三主侧
25	图样化的保护氧化物层	531	第二主侧
26	高度n+掺杂层	532	阴极接触部层
26'	所构造的高度n+掺杂层	540	第一掩模层
51	半导体晶圆	542	n型第一掺杂剂
51'	半导体晶圆	544a、b	第三开口
52	栅极换向型晶闸管(GCT)单元	546	第二掩模层

[0086]

53	第一阴极电极	549	p 型第二掺杂剂
53a,b	阴极电极部分	550	第四开口
54	(n+掺杂) 第一阴极层	551	n 型第三掺杂剂
54a,b,c	阴极区	d _c	阴极区的深度
54a',b'	n+掺杂半导体区	d _W	栅极阱区的深度
55	(p 掺杂) 基极层	D	栅极阱区与阴极区之间的 距离
55'	p 掺杂第一半导体层	d _{HC}	补偿区的深度
56	(n-掺杂) 漂移层	w _O	第一开口的宽度
56'	n-掺杂第二半导体层	w _C	阴极区的宽度
57	(n 掺杂) 缓冲层		

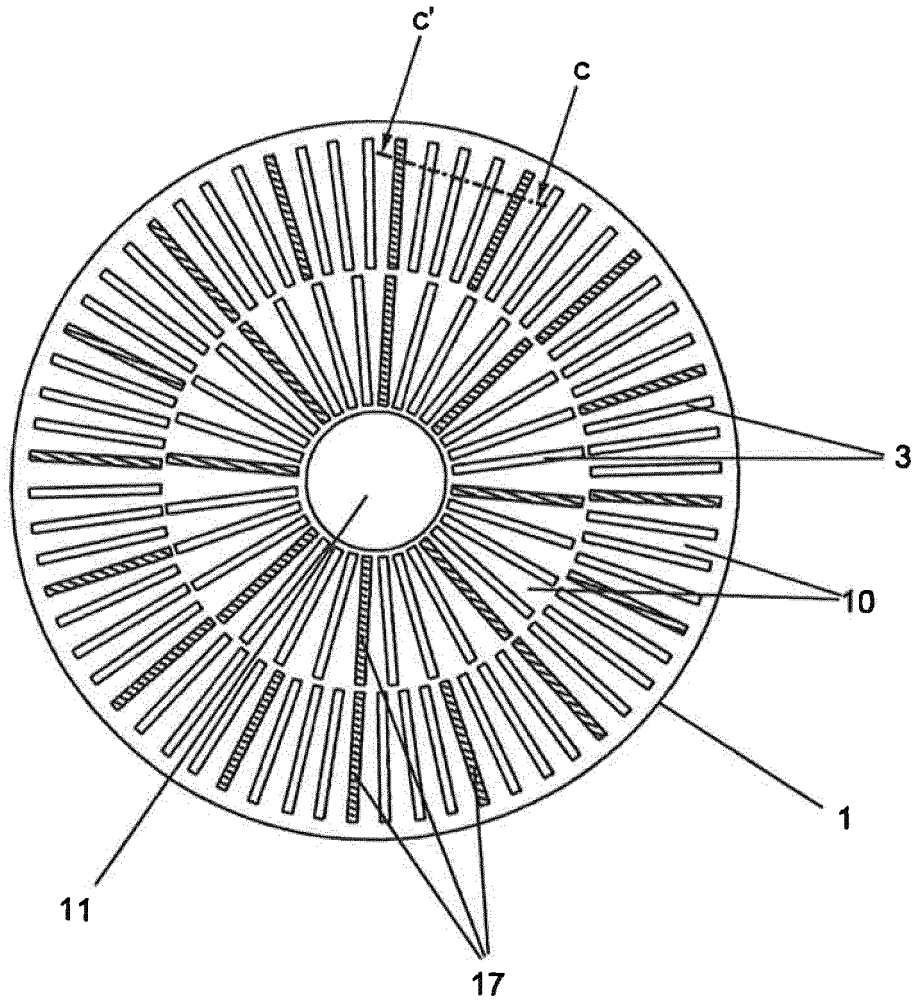


图 1

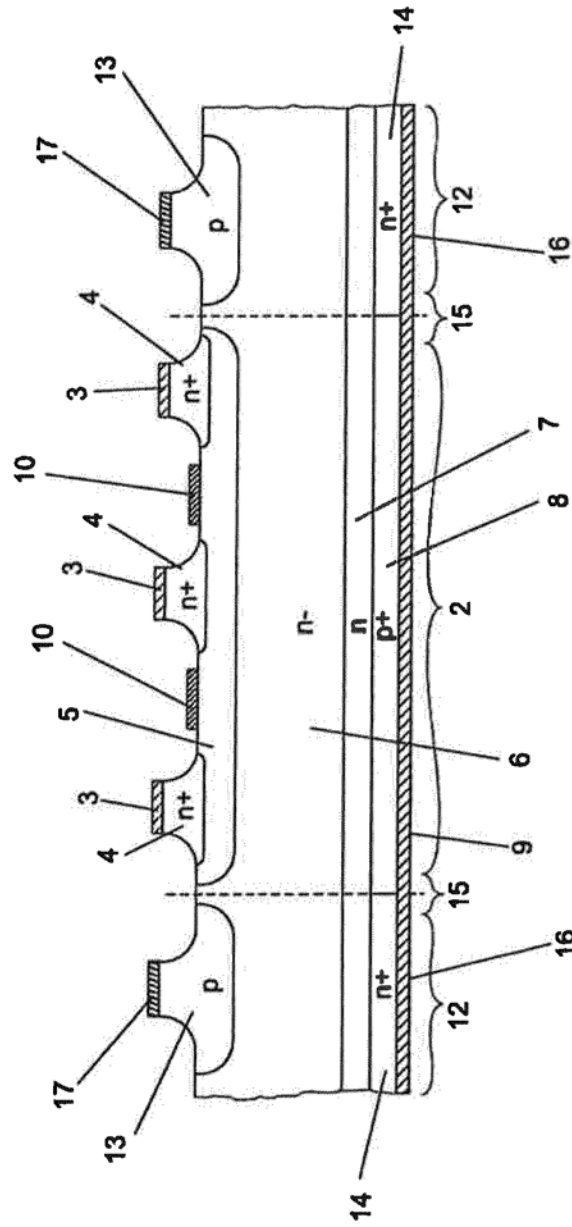


图 2

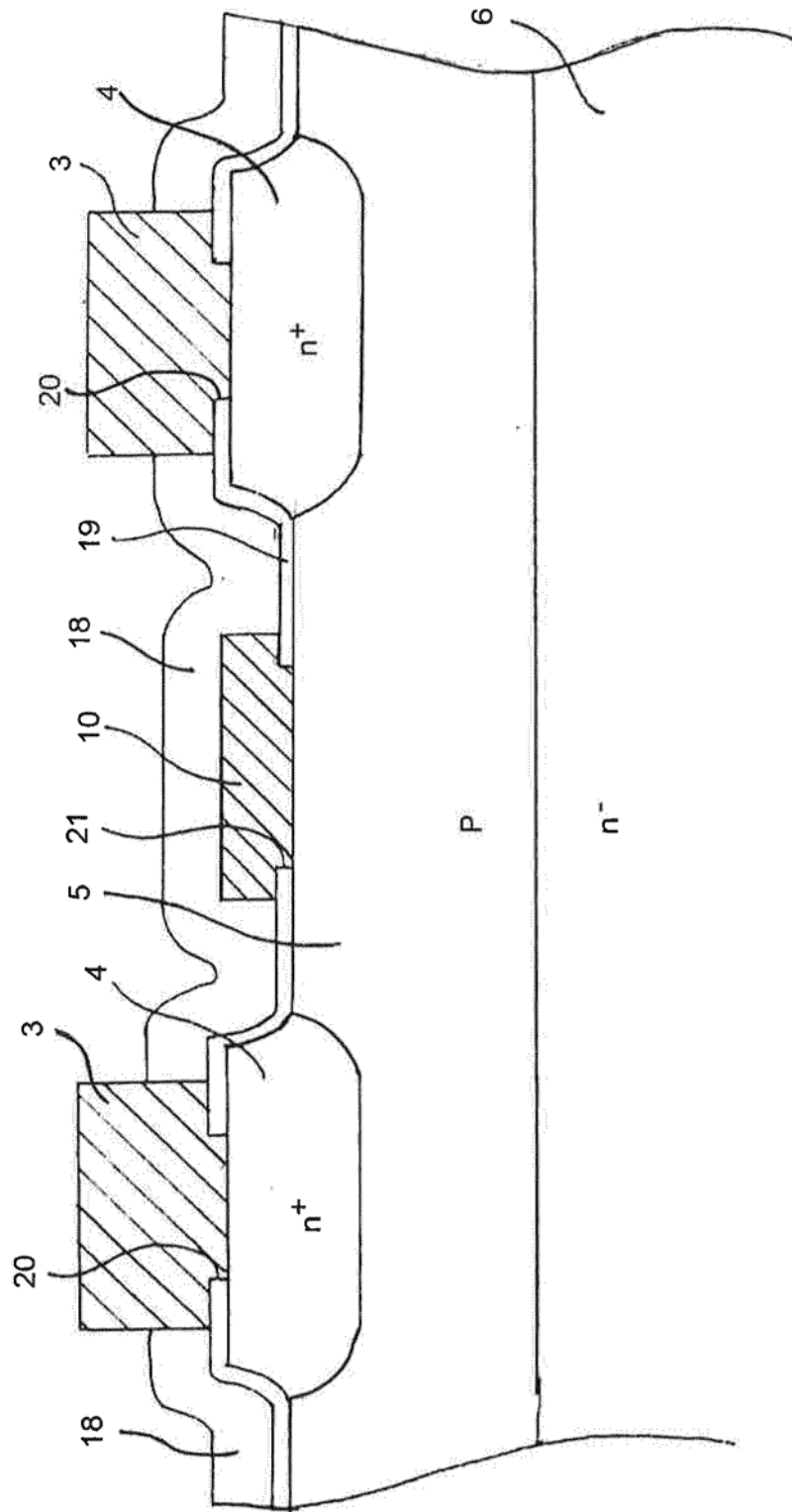


图 3

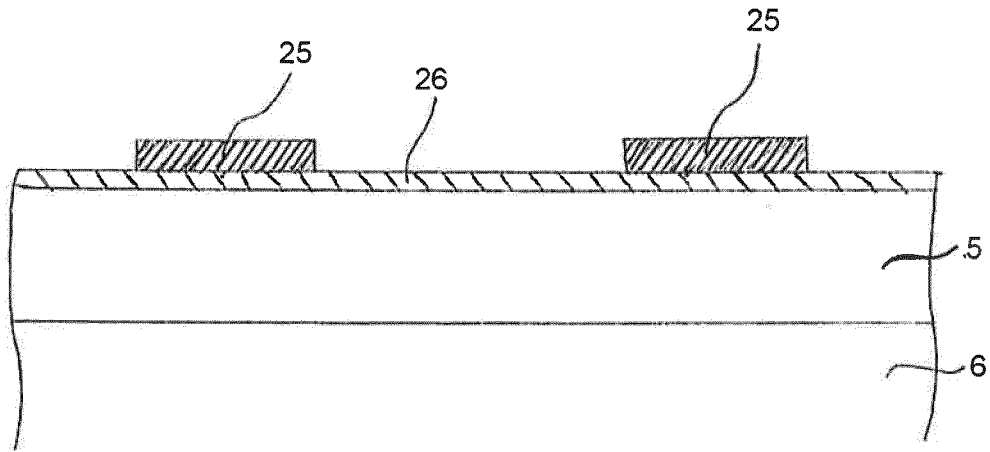


图 4A

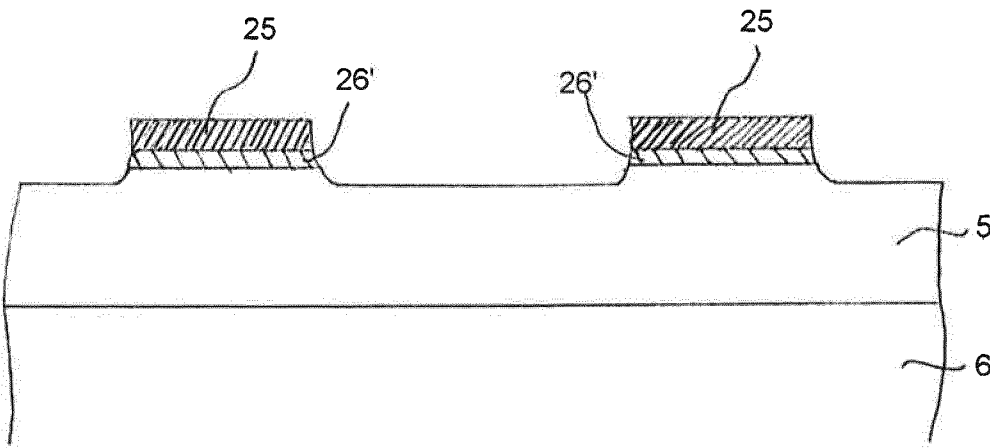


图 4B

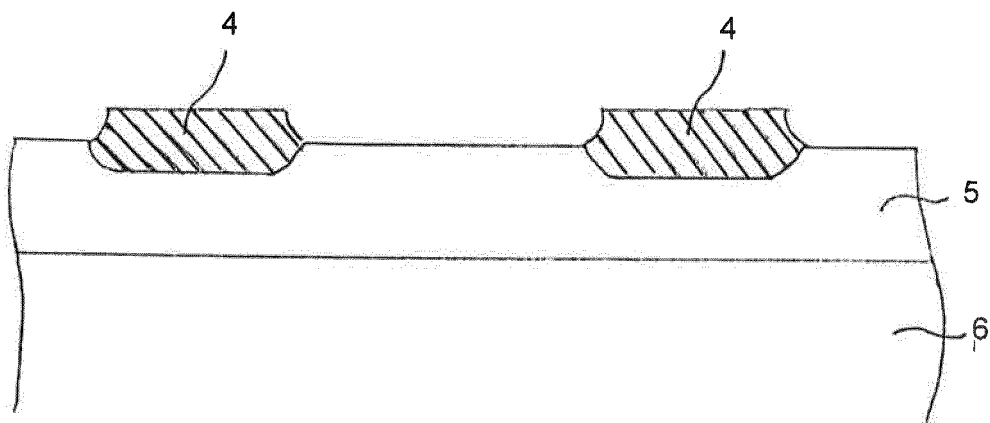


图 4C

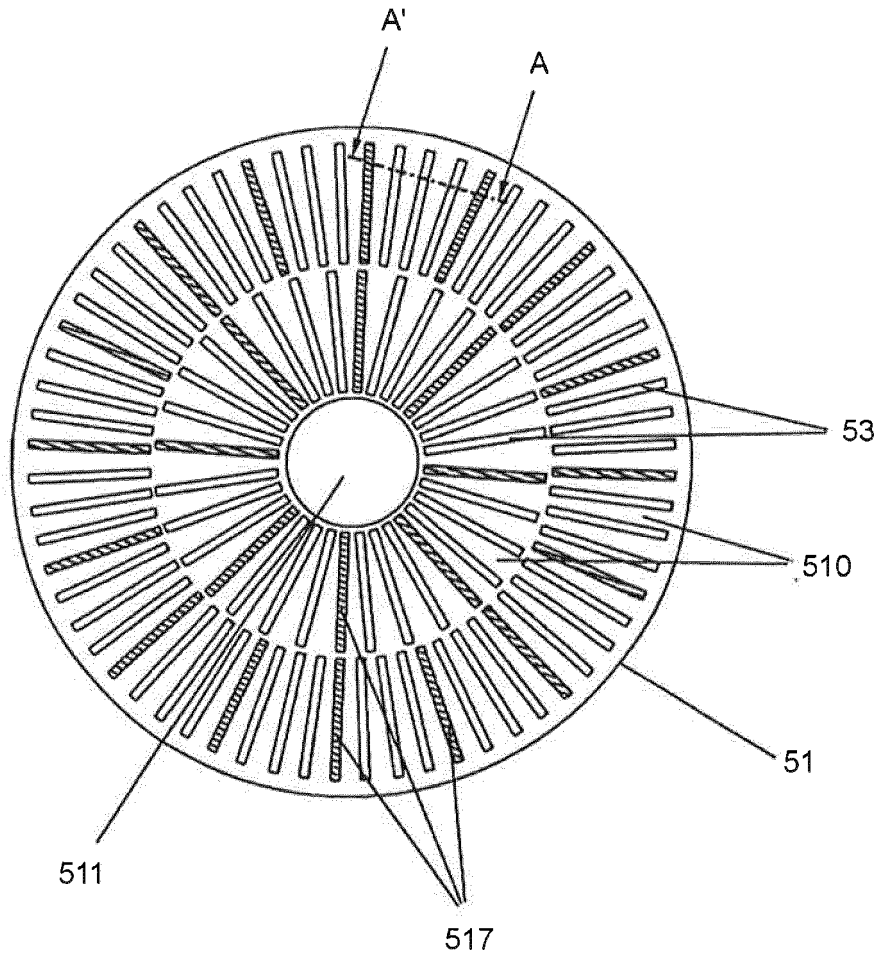


图 5

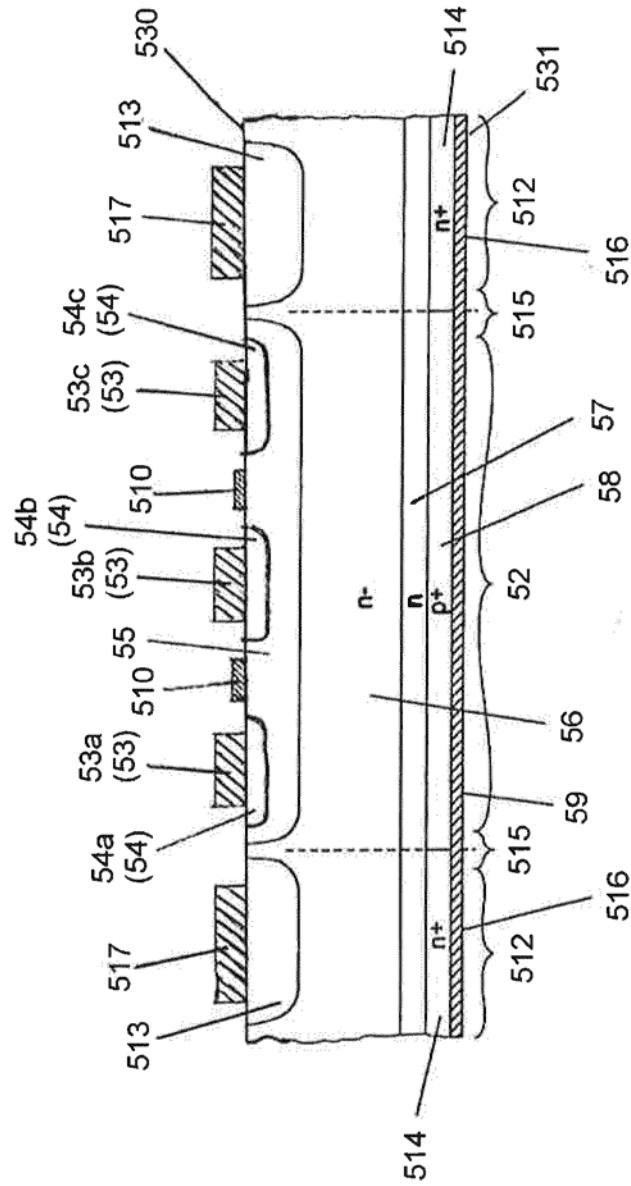


图 6

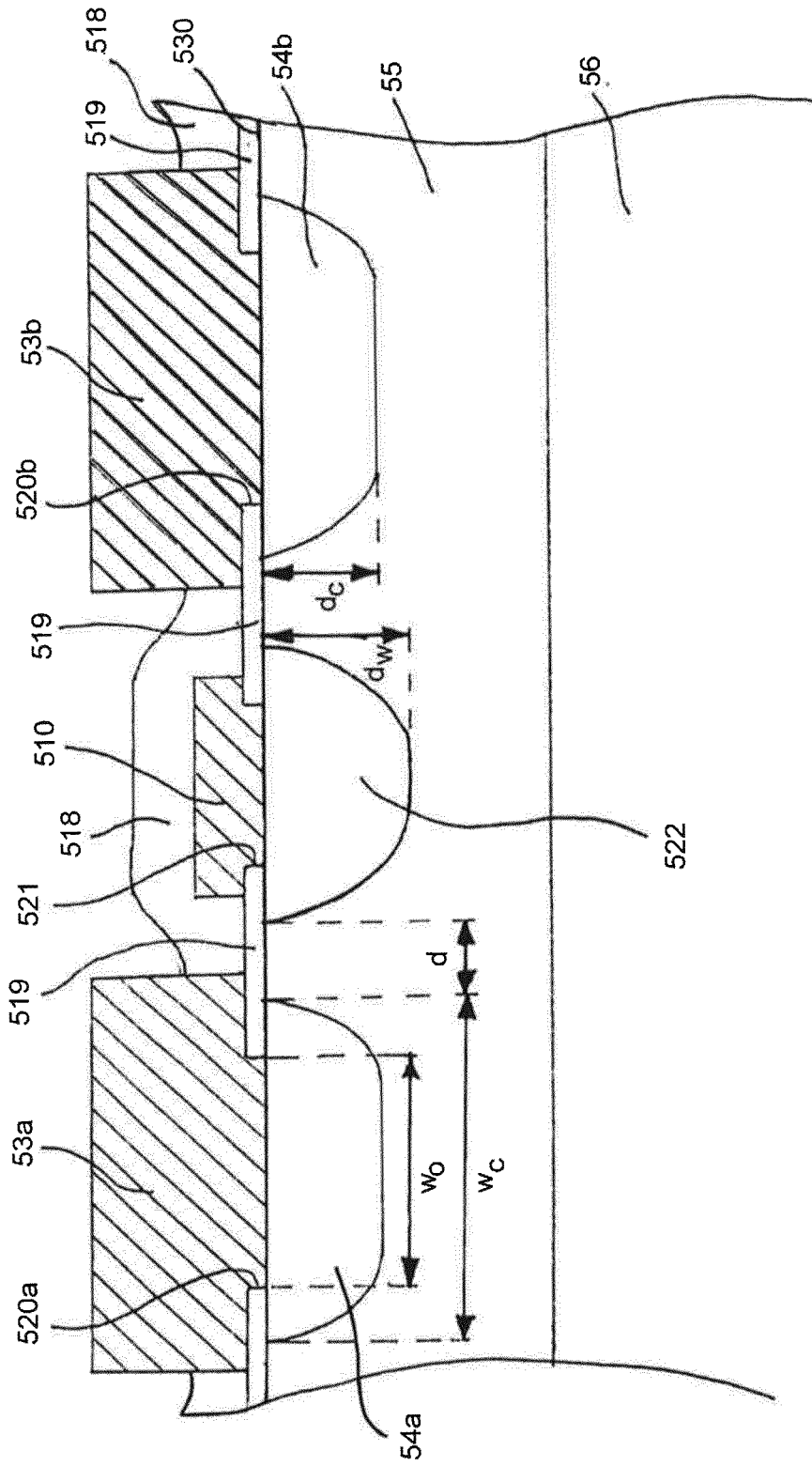


图 7

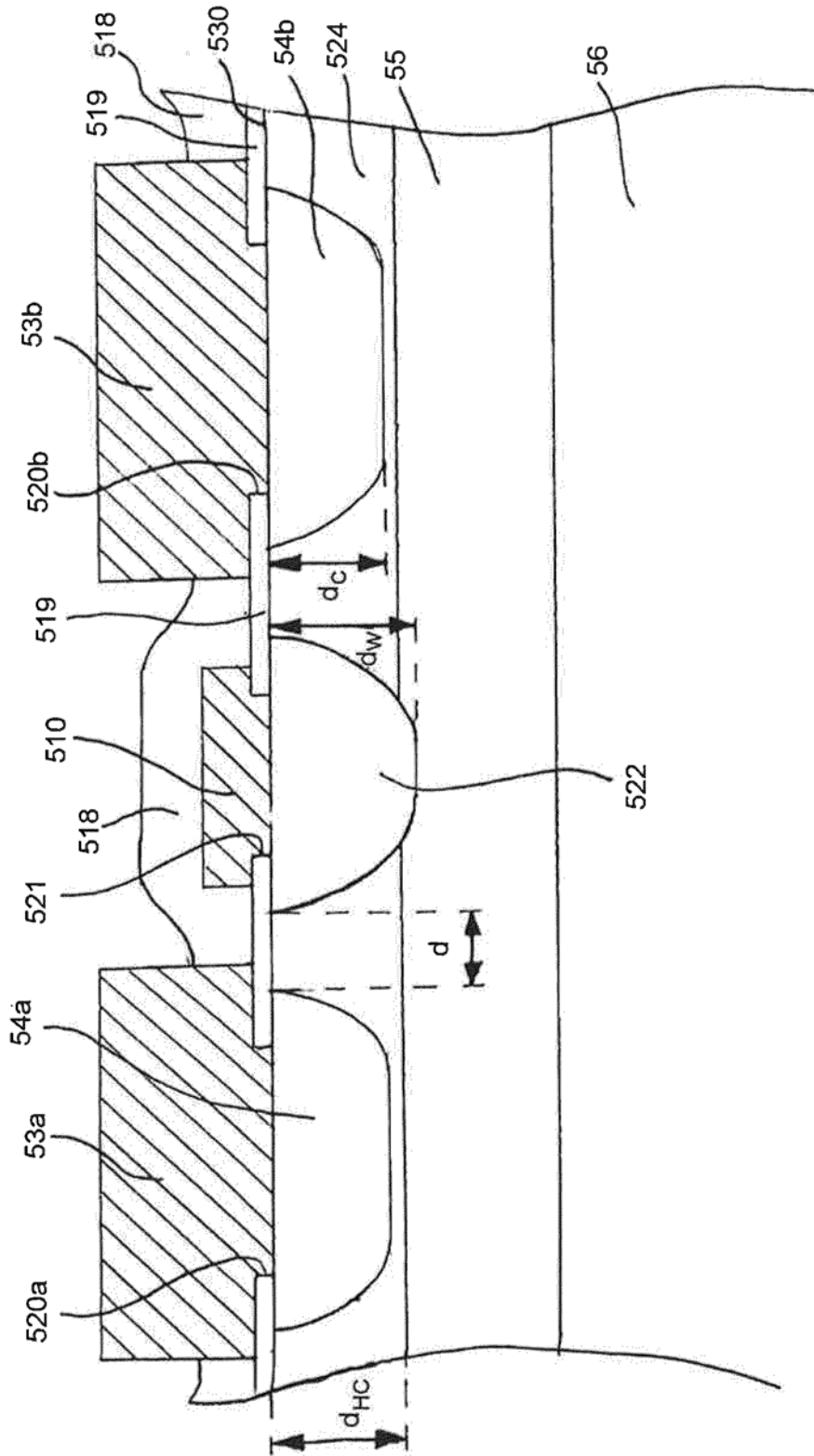


图 8

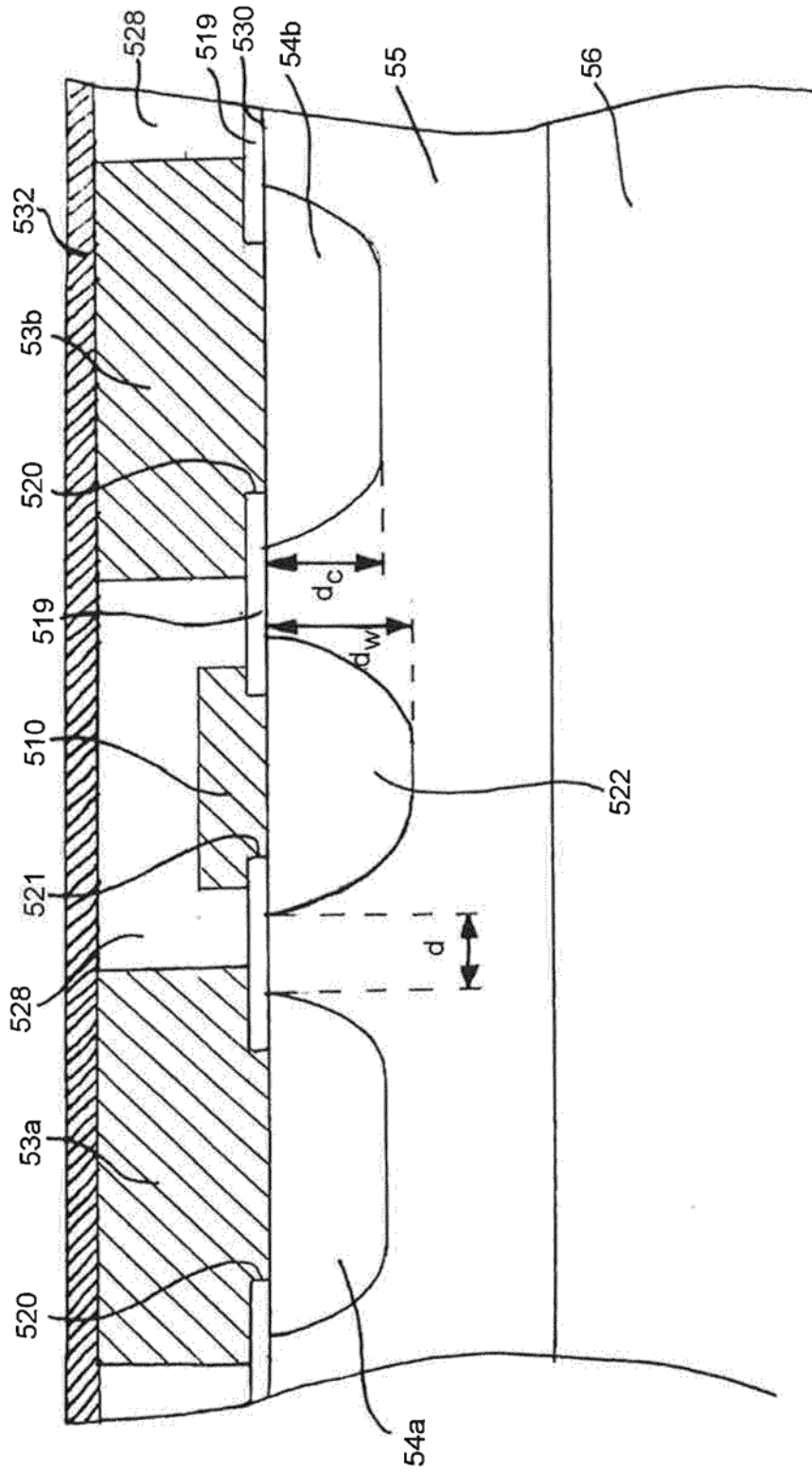


图 9

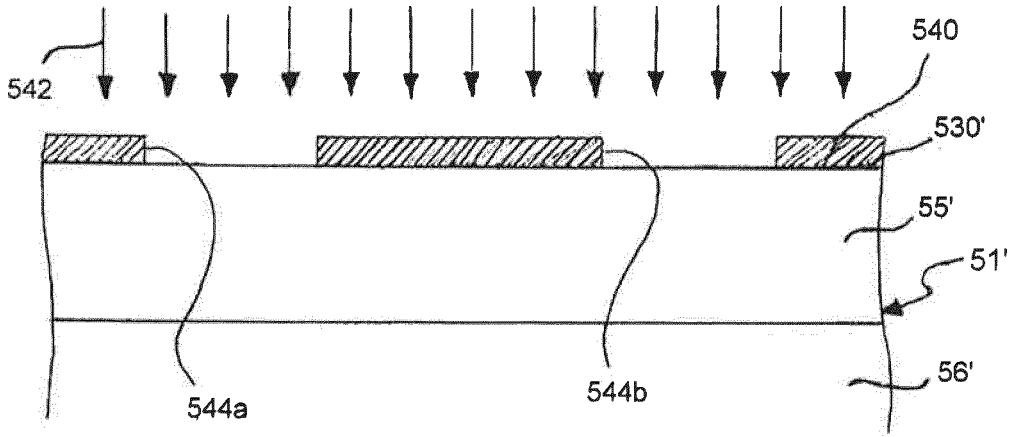


图 10A

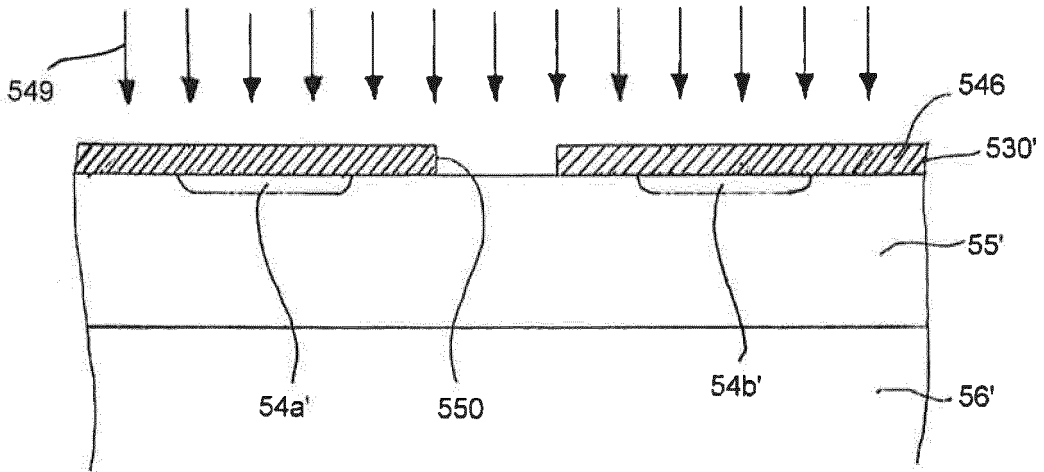


图 10B

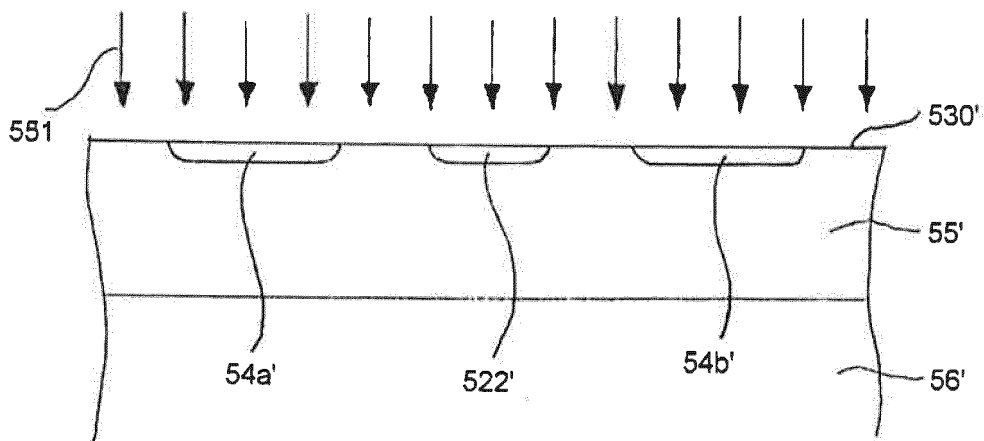


图 10C

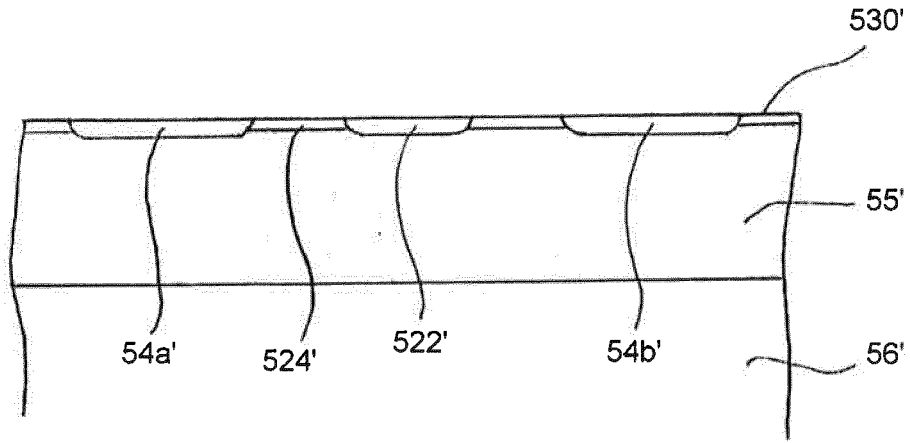


图 10D

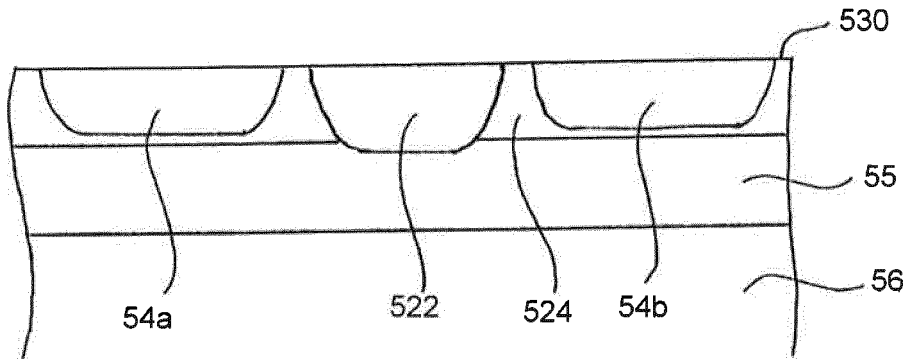


图 10E