

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 9 月 15 日 (15.09.2022)



(10) 国际公布号
WO 2022/188019 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) *G11C 19/28* (2006.01)
- (21) 国际申请号: PCT/CN2021/079682
- (22) 国际申请日: 2021 年 3 月 9 日 (09.03.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区 (西区) 合作路 1188 号, Sichuan 611731 (CN)。
- (72) 发明人: 肖云升 (XIAO, Yunsheng); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。青海刚 (QING, Haigang); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区东长安街 1 号东方广场东方经贸城西一办公楼 5 层 1, 6-12 室顾丽波, Beijing 100738 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: SHIFT REGISTER, DRIVE CIRCUIT AND DISPLAY SUBSTRATE

(54) 发明名称: 移位寄存器、驱动电路和显示基板

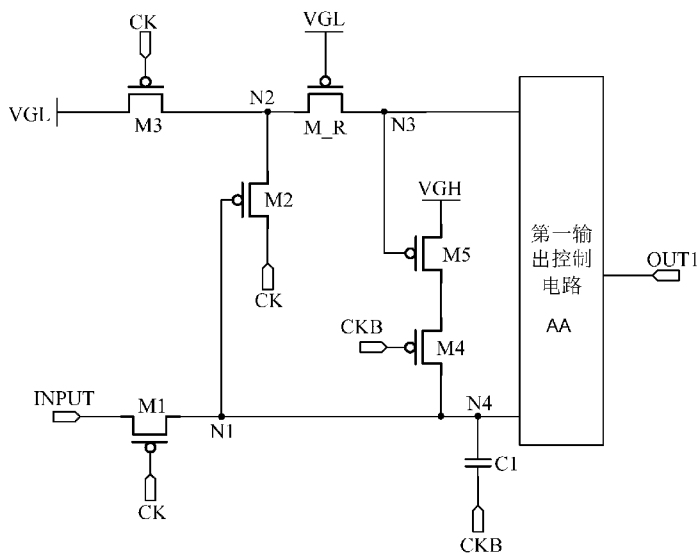


图 2 AA First output control circuit

(57) Abstract: The present disclosure provides a shift register, comprising a first transistor, a second transistor, a third transistor, a fourth transistor, a fifth transistor, a first capacitor and an impedance transistor, wherein a first pole of the first transistor is coupled to a signal input end, and a second pole thereof is coupled to a first node; a control pole of the second transistor is coupled to the first node, a first pole thereof is coupled to a second node, and a second pole thereof is coupled to a first clock signal line; a first pole of the third transistor is coupled to a first power supply end, and a second pole thereof is coupled to the second node; a first pole of the fourth transistor is coupled to a second pole of the fifth transistor, and a second pole of the fourth transistor is coupled to the first node; a control pole of the fifth transistor is coupled to a third node, and a first pole thereof is coupled to a second power supply end; a first pole of the first capacitor is coupled to a fourth node, and a second pole thereof is coupled to a second clock signal line; and a control



WO 2022/188019 A1

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

一 包括国际检索报告(条约第21条(3))。

pole of the impedance transistor is coupled to the first power supply end, a first pole thereof is coupled to the second node, and a second pole thereof is coupled to the third node.

(57) 摘要: 本公开提供了一种移位寄存器, 包括: 第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第一电容和阻抗晶体管; 第一晶体管的第一极与信号输入端耦接, 第二极与第一节点耦接; 第二晶体的控制极与第一节点耦接, 第一极与第二节点耦接, 第二极与第一时钟信号线耦接; 第三晶体管的第一极与第一电源端耦接, 第二极与第二节点耦接; 第四晶体管的第一极与第五晶体的第二极耦接, 第二极与第一节点耦接; 第五晶体的控制极与第三节点耦接, 第一极与第二电源端耦接; 第一电容的第一极与第四节点耦接, 第二极与第二时钟信号线耦接; 阻抗晶体的控制极与第一电源端耦接, 第一极与第二节点耦接, 第二极与第三节点耦接。

移位寄存器、驱动电路和显示基板

技术领域

5 本公开涉及显示领域，特别涉及一种移位寄存器、驱动电路和显示基板。

背景技术

10 在显示技术领域，为实现对像素单元内发光器件的发光状态的精准控制，会在像素单元所包含的像素电路内设置发光控制子电路；发光控制子电路一般设于驱动晶体管与发光器件之间，以控制驱动晶体管与发光器件之间的通断；其中，发光控制子电路的工作状态受控于发光控制信号线所提供的发光控制信号，发光控制信号线中的发光控制信号实质为位于显示基板的周边区域内一个栅极驱动电路所提供的一种驱动信号。

15

发明内容

本公开提出了一种移位寄存器、驱动电路和显示基板。

第一方面，本公开实施例提供了一种移位寄存器，其中，包括：

20 第一晶体管，所述第一晶体管的控制极与第一时钟信号线耦接以接收第一时钟信号，所述第一晶体管的第一极与信号输入端耦接，所述第一晶体管的第二极与第一节点耦接；

第二晶体管，所述第二晶体管的控制极与所述第一节点耦接，所述第二晶体管的第一极与第二节点耦接，所述第二晶体管的第二极与所述第一时钟信号线耦接以接收所述第一时钟信号；

25 第三晶体管，所述第三晶体管的控制极与所述第一时钟信号线耦接以接收所述第一时钟信号，所述第三晶体管的第一极与第一电源端耦接，所述第三晶体管的第二极与所述第二节点耦接；

30 第四晶体管，所述第四晶体管的控制极与第二时钟信号线耦接以接收第二时钟信号，所述第四晶体管的第一极与第五晶体管的第二极耦接，所述第四晶体管的第二极与所述第一节点耦接；

第五晶体管，所述第五晶体管的控制极与第三节点耦接，所述第五晶体管的第一极与第二电源端耦接；

第一电容，所述第一电容的第一极与第四节点耦接，所述第一电容的第二极与所述第二时钟信号线耦接，第一节点与所述第四节点耦接；

阻抗晶体管，所述阻抗晶体管的控制极与所述第一电源端耦接，所述阻抗晶体管的第一极与所述第二节点耦接，所述阻抗晶体管的第二极与所述第三节点耦接；

以及，第一输出控制电路，与所述第三节点、所述第四节点和第一信号输出端耦接，配置为响应于所述第三节点、所述第四节点处信号的控制向所述第一信号输出端输出第一驱动信号。

在一些实施例中，所述的移位寄存器还包括：

第二输出控制电路，至少与所述第一信号输出端和第二信号输出端耦接，配置为根据所述第一信号输出端所输出的第一驱动信号向所述第二信号输出端输出与所述第一驱动信号的相位相反的第二驱动信号。

在一些实施例中，所述第一输出控制电路包括：

第九晶体管，所述第九晶体管的控制极与第五节点耦接，所述第九晶体管的第一极与第二电源端耦接，所述第九晶体管的第二极与所述第一信号输出端耦接

第三电容，所述第三电容的第一极与所述第五节点耦接，所述第三电容的第二极与所述第二电源端耦接。

在一些实施例中，所述第一输出控制电路还包括：

第六晶体管，所述第六晶体管的控制极与所述第三节点耦接，所述第六晶体管的第一极与所述第二时钟信号线耦接以接收所述第二时钟信号，所述第六晶体管的第二极与第六节点耦接；

第七晶体管，所述第七晶体管的控制极与所述第二时钟信号线耦接以接收所述第二时钟信号，所述第七晶体管的第一极与所述第六节点耦接，所述第七晶体管的第二极与第五节点耦接；

第八晶体管，所述第八晶体管的控制极与所述第一节点耦接，

所述第八晶体管的第一极与所述第五节点耦接，所述第八晶体管的第二极与所述第二电源端耦接；

第十晶体管，所述第十晶体管的控制极与第四节点耦接，所述第十晶体管的第一极与所述第一信号输出端耦接，所述第十晶体管的第二极与所述第一电源端耦接，所述第一节点与所述第四节点耦接；

第二电容，所述第二电容的第一极与所述第三节点耦接，所述第二电容的第二极与所述第六节点耦接。

在一些实施例中，所述第二输出控制电路包括：

第十一晶体管，所述第十一晶体管的控制极与所述第五节点耦接，所述第十一晶体管的第一极与所述第一电源端耦接，所述第十一晶体管的第二极与第七节点耦接；

第十二晶体管，所述第十二晶体管的控制极与所述第一信号输出端耦接，所述第十二晶体管的第一极与所述第七节点耦接，所述第十二晶体管的第二极与所述第二电源端耦接；

第十三晶体管，所述第十三晶体管的控制极与所述第七节点耦接，所述第十三晶体管的第一极与所述第一时钟信号线耦接，所述第十三晶体管的第二极与第四电容的第一极耦接；

第四电容，所述第四电容的第二极与所述第七节点耦接；

第十四晶体管，所述第十四晶体管的控制极与所述第七节点耦接，所述第十四晶体管的第一极与所述第一电源端耦接，所述第十四晶体管的第二极与所述第二信号输出端耦接；

第十五晶体管，所述第十五晶体管的控制极与所述第一信号输出端耦接，所述第十五晶体管的第一极与所述第二信号输出端耦接，所述第十五晶体管的第二极与所述第二电源端耦接。

在一些实施例中，所述第二输出控制电路包括：

第十一晶体管，所述第十一晶体管的控制极与所述第五节点耦接，所述第十一晶体管的第一极与所述第一电源端耦接，所述第十一晶体管的第二极与第七节点耦接；

第十二晶体管，所述第十二晶体管的控制极与所述第一信号输出端耦接，所述第十二晶体管的第一极与所述第七节点耦接，所述第

十二晶体管的第二极与所述第二电源端耦接；

第十三晶体管，所述第十三晶体管的控制极与所述第七节点耦接，所述第十三晶体管的第一极与所述第二时钟信号线耦接，所述第十三晶体管的第二极与第四电容的第一极耦接；

5 第四电容，所述第四电容的第二极与所述第七节点耦接；

第十四晶体管，所述第十四晶体管的控制极与所述第七节点耦接，所述第十四晶体管的第一极与所述第一电源端耦接，所述第十四晶体管的第二极与所述第二信号输出端耦接；

10 第十五晶体管，所述第十五晶体管的控制极与所述第一信号输出端耦接，所述第十五晶体管的第一极与所述第二信号输出端耦接，所述第十五晶体管的第二极与所述第二电源端耦接。

在一些实施例中，所述第二输出控制电路包括：

15 第十一晶体管，所述第十一晶体管的控制极与所述第五节点耦接，所述第十一晶体管的第一极与所述第一电源端耦接，所述第十一晶体管的第二极与第七节点耦接；

第十二晶体管，所述第十二晶体管的控制极与所述第一信号输出端耦接，所述第十二晶体管的第一极与所述第七节点耦接，所述第十二晶体管的第二极与所述第二电源端耦接；

20 第四电容，所述第四电容的第一极与所述第一时钟信号线或所述第二时钟信号线耦接，所述第四电容的第二极与所述第七节点耦接；

第十四晶体管，所述第十四晶体管的控制极与所述第七节点耦接，所述第十四晶体管的第一极与所述第一电源端耦接，所述第十四晶体管的第二极与所述第二信号输出端耦接；

25 第十五晶体管，所述第十五晶体管的控制极与所述第一信号输出端耦接，所述第十五晶体管的第一极与所述第二信号输出端耦接，所述第十五晶体管的第二极与所述第二电源端耦接。

在一些实施例中，所述第二输出控制电路包括：

30 第十一晶体管，所述第十一晶体管的控制极与所述第五节点耦接，所述第十一晶体管的第一极与所述第一电源端耦接，所述第十一

晶体管的第二极与第七节点耦接；

第十二晶体管，所述第十二晶体管的控制极与所述第一信号输出端耦接，所述第十二晶体管的第一极与所述第七节点耦接，所述第十二晶体管的第二极与所述第二电源端耦接；

5 第四电容，所述第四电容的第一极与所述第二时钟信号线耦接，所述第四电容的第二极与所述第七节点耦接；

第十四晶体管，所述第十四晶体管的控制极与所述第七节点耦接，所述第十四晶体管的第一极与所述第一电源端耦接，所述第十四晶体管的第二极与所述第二信号输出端耦接；

10 第十五晶体管，所述第十五晶体管的控制极与所述第一信号输出端耦接，所述第十五晶体管的第一极与所述第二信号输出端耦接，所述第十五晶体管的第二极与所述第二电源端耦接。

在一些实施例中，所述移位寄存器还包括：

15 限压晶体管，所述第一节点通过所述限压晶体管与所述第四节点耦接；

所述限压晶体管的控制极与所述第一电源端耦接，所述限压晶体管的第一极与所述第一节点耦接，所述限压晶体的第二极与所述第四节点耦接。

20 第二方面，本公开过实施例还提供了一种驱动电路，包括：级联设置的多个移位寄存器，所述移位寄存器采用上述第一方面提供的所述移位寄存器；

位于第一级的移位寄存器的信号输入端与帧起始信号端耦接；

除位于第一级的移位寄存器外，位于其他级的移位寄存器的信号输入端与前一级移位寄存器的第一信号输出端耦接。

25 第三方面，本公开实施例还提供了一种显示基板，包括显示区域和围绕所述显示区域的周边区域，所述显示区域内设置有多个像素单元，每个像素单元配置有对应的发光控制信号线，所述周边区域内设置有发光控制驱动电路，所述发光控制驱动电路采用上述第二方面中所述驱动电路，所述发光控制驱动电路内各级所述移位寄存器的第一信号输出端与
30 所述显示区域内对应的发光控制信号线耦接。

在一些实施例中，每个像素单元还配置有对应的重置信号线；

所述发光控制驱动电路内的所述移位寄存器内设置有第二输出控制电路，所述发光控制驱动电路内的所述移位寄存器的第二信号输出端与所述显示区域内对应的重置信号线耦接。

5 在一些实施例中，所述像素单元包括：像素电路和发光器件，所述像素电路包括：第一重置子电路、第二重置子电路、数据写入子电路、阈值补偿子电路、发光控制子电路和驱动晶体管；

10 所述第一重置子电路，与初始化电压端、所述驱动晶体的控制极、对应的扫描控制信号线耦接，配置为响应于所述扫描控制信号线所提供扫描控制信号的控制将初始化电压端提供的初始化电压写入至所述驱动晶体的控制极；

所述第二重置子电路，与所述初始化电压端、所述发光器件的第一端、对应的所述重置信号线耦接，配置为响应于所述重置信号线的控制将所述初始化电压写入至所述发光器件的第一端；

15 所述数据写入子电路，与所述驱动晶体的第一极、对应的数据线、对应的扫描信号线耦接，配置为响应于所述扫描信号线的控制将所述数据线提供的数据电压写入至所述驱动晶体的第一极；

20 所述阈值补偿子电路，与第二工作电压端、所述驱动晶体的控制极、所述驱动晶体的第一极、所述驱动晶体的第二极耦接、对应的所述扫描信号线耦接，配置为响应于所述扫描信号线的控制将数据补偿电压写入至所述驱动晶体的控制极，所述数据补充电压等于所述数据电压与所述驱动晶体的阈值电压之和；

25 发光控制子电路，位于所述驱动晶体的第二极和所述发光器件的第一端之间，且与发光控制信号线耦接，配置为响应于所述发光控制信号线所提供发光控制信号的控制以使得所述驱动晶体的第二极与所述发光器件的第一端之间导通；

所述驱动晶体管配置为响应于所述数据补偿电压的控制输出相应的驱动电流；

所述发光器件的第二端与第一工作电压端耦接。

30 在一些实施例中，所述第一重置子电路包括第二十一晶体管，

所述第二重置子电路包括第二十二晶体管,所述数据写入子电路包括第二十三晶体管,所述阈值补偿子电路包括第二十四晶体管、第二十五晶体管和存储电容,所述发光控制子电路包括第二十六晶体管;

5 所述第二十一晶体管的控制极与所述扫描控制信号线耦接,所述第二十一晶体管的第一极与所述初始化电压端耦接,所述第二十一晶体管的第二极与所述驱动晶体的控制极耦接;

所述第二十二晶体管的控制极与所述重置信号线耦接,所述第二十二晶体管的第一极与所述初始化电压端耦接,所述第二十二晶体管的第二极与所述发光器件的第一端耦接;

10 所述第二十三晶体管的控制极与所述扫描信号线耦接,所述第二十三晶体管的第一极与所述数据线耦接,所述第二十三晶体管的第二极与所述驱动晶体的第一极耦接;

所述第二十四晶体管的控制极与所述发光控制信号线耦接,所述第二十四晶体管的第一极与所述第二工作电压端耦接,所述第二十四晶体管的第二极与所述驱动晶体的第一极耦接;

15 所述第二十五晶体管的控制极与所述扫描信号线耦接,所述第二十五晶体管的第一极与所述驱动晶体的控制极耦接,所述第二十五晶体管的第二极与所述驱动晶体的第二极耦接;

所述存储电容的第一端与所述第二工作电压端耦接,所述存储电容的第二端与所述驱动晶体的控制极耦接;

20 所述第二十六晶体管的控制极与所述发光控制信号线耦接,所述第二十六晶体管的第一极与所述驱动晶体的第二极耦接,所述第二十六晶体管的第二极与所述发光器件的第一端耦接。

25 在一些实施例中,位于除第一行之外的其他行的任一所述像素单元,所述像素单元所耦接的所述扫描控制信号线,为前一行像素单元所配置的所述扫描信号线。

在一些实施例中,每个像素单元配置有对应的扫描信号线,所述周边区域内设置有扫描驱动电路;

30 所述发光控制驱动电路内各级所述移位寄存器的信号输出端与所述显示区域内对应的扫描信号线耦接。

附图说明

图 1 为本公开实施例所涉及的一种显示基板的结构示意图；

图 2 为本公开实施例提供的一种移位寄存器的电路结构示意图；

5

图 3 为图 2 所示移位寄存器的一种工作时序图；

图 4 为本公开实施例提供的另一种移位寄存器的电路结构示意图；

图 5 为图 4 所示移位寄存器的一种工作时序图；

10

图 6 为本公开实施例提供的又一种移位寄存器的电路结构示意图；

图 7 为图 6 所示移位寄存器的一种工作时序图；

图 8 为图 6 所示移位寄存器中存在阻抗晶体管与不存在阻抗晶体管时第一节点、第二节点以及第三节点电压变化对比示意图，

15

图 9A 为本公开实施例提供的再一种移位寄存器的电路结构示意图；

图 9B 为本公开实施例提供的再一种移位寄存器的电路结构示意图；

图 10 为图 9B 所示移位寄存器的一种工作时序图；

20

图 11 为本公开实施例提供的再一种移位寄存器的电路结构示意图；

图 12 为本公开实施例提供的再一种移位寄存器的电路结构示意图；

图 13 为图 12 所示移位寄存器的一种工作时序图；

25

图 14 为本公开实施例提供的再一种移位寄存器的电路结构示意图；

图 15 为本公开实施例中位于周边区域中的一个驱动电路的一种电路结构示意图；

图 16 为本公开实施例中位于周边区域中的一个驱动电路的另一种电路结构示意图；

30

图 17 为本公开实施例像素单元的一种电路结构示意图；

图 18 为本公开实施例中一个像素单元与位于周边区域内的驱动电路的电路连接示意图。

具体实施方式

5 为使本领域的技术人员更好地理解本公开的技术方案，下面结合附图对本公开提供的一种移位寄存器、显示基板和显示装置进行详细描述。

在下文中将参考附图更充分地描述示例实施例，但是所述示例实施例可以以不同形式来体现且不应当被解释为限于本文阐述的实施例。反之，提供这些实施例的目的在于使本公开透彻和完整，并将
10 使本领域技术人员充分理解本公开的范围。

本文所使用的术语仅用于描述特定实施例，且不意欲限制本公开。如本文所使用的，单数形式“一个”和“该”也意欲包括复数形式，除非上下文另外清楚指出。还将理解的是，当本说明书中使用术语“包括”和/或“由……制成”时，指定存在所述特征、整体、步骤、操作、元件和/或组件，但不排除存在或添加一个或多个其他特征、整体、步骤、操作、元件、组件和/或其群组。
15

将理解的是，虽然本文可以使用术语第一、第二等来描述各种元件/指令/请求，但这些元件/指令/请求不应当受限于这些术语。这些术语仅用于区分一个元件元件/指令/请求和另一元件元件/指令/请求。
20

除非另外限定，否则本文所用的所有术语(包括技术和科学术语)的含义与本领域普通技术人员通常理解的含义相同。还将理解，诸如那些在常用字典中限定的那些术语应当被解释为具有与其在相关技术以及本公开的背景下的含义一致的含义，且将不解释为具有理想化或过度形式上的含义，除非本文明确如此限定。
25

需要说明的是，在本公开实施例中的所采用的晶体管可以为薄膜晶体管或场效应管或其他具有相同、类似特性的器件，由于采用的晶体管的源极和漏极是对称的，所以其源极、漏极是没有区别的。在本公开实施例中，晶体管的控制极具体是指晶体管的栅极；为区分晶
30

5 体管的源极和漏极，将其中一极称为第一极，另一极称为第二极，栅极称为控制极。此外按照晶体管的特性区分可以将晶体管分为 N 型和 P 型，以下实施例中是以 P 型晶体管进行说明的，当采用 P 型晶体管时，第一极为 P 型晶体管的漏极，第二极为 P 型晶体管的源极，N 型相反。可以想到的是采用 N 型晶体管来实现下述实施例的技术方案，是本领域技术人员可以在没有付出创造性劳动前提下轻易想到的，因此也是在本公开实施例的保护范围内。

10 本公开中的“有效电平”是指能够控制相应晶体管导通的电平；具体地，针对 P 型晶体管，其所对应的有效电平为低电平；针对 N 型晶体管，其所对应的有效电平为高电平。

在以晶体管采用 P 型晶体管的情况中，第一电源端提供的电源电压为低电平电压 VGL（一般地，VGL 小于 0V），第二电源端提供的电源电压为高电平电压 VGH（一般地，VGH 为大于 0V）。

15 图 1 为本公开实施例所涉及的一种显示基板的结构示意图，如图 1 所示，显示基板包括显示区域 A 和围绕显示区域 A 的非显示区域 B，显示区域 A 内设置有呈阵列排布的多个像素单元，像素单元内设置有像素电路和发光器件，每个像素电路配置有对应的多条驱动信号线 DSL，例如扫描信号线（也称为栅线）、发光控制信号线、重置信号线等，这些驱动信号线 DSL 用于控制像素电路进行工作。非显示区域
20 内设置有用于向各类驱动信号线提供驱动信号的多个驱动电路 DC（附图中仅示例性画出一个驱动电路），其中驱动电路 DC 包括级联的多个移位寄存器 SR，每个移位寄存器 SR 的信号输出端与对应的驱动信号线 DSL 相连，以向对应的驱动信号线 DSL 输出相应驱动信号。

25 在实际应用中发现，现有栅极驱动电路内移位寄存器的工作状态不稳定，容易出现输出异常的问题，从而导致像素单元出现异常显示。针对上述技术问题，本公开实施例提供了相应的解决方案。

30 图 2 为本公开实施例提供的一种移位寄存器的电路结构示意图，如图 2 所示，本公开实施例提供的移位寄存器包括：第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、阻抗晶体管 M_R、第一电容 C1 和第一输出控制电路 1。

其中，第一晶体管 M1 的控制极与第一时钟信号线 CK 耦接以接收第一时钟信号，第一晶体管 M1 的第一极与信号输入端 INPUT 耦接，第一晶体管 M1 的第二极与第一节点 N1 耦接。

5 第二晶体管 M2 的控制极与第一节点 N1 耦接，第二晶体管 M2 的第一极与第二节点 N2 耦接，第二晶体管 M2 的第二极和第一时钟信号线 CK 耦接以接收第一时钟信号。

第三晶体管 M3 的控制极与第一时钟信号线 CK 耦接以接收第一时钟信号，第三晶体管 M3 的第一极与第一电源端耦接，第三晶体管 M3 的第二极与第二节点 N2 耦接。

10 第四晶体管 M4 的控制极与第二时钟信号线 CKB 耦接以接收第二时钟信号，第四晶体管 M4 的第一极与第五晶体管 M5 的第二极耦接，第四晶体管 M4 的第二极与第一节点 N1 耦接。

第五晶体管 M5 的控制极与第三节点 N3 耦接，第五晶体管 M5 的第一极与第二电源端耦接。

15 第一电容 C1 的第一极与第四节点 N4 耦接，第一电容 C1 的第二极与第二时钟信号线 CKB 耦接，第一节点 N1 与第四节点 N4 耦接。

阻抗晶体管 M_R 的控制极与第一电源端耦接，阻抗晶体管 M_R 的第一极与第二节点 N2 耦接，阻抗晶体管 M_R 的第二极与第三节点 N3 耦接。

20 第一输出控制电路 1 与第三节点 N3、第四节点 N4 和第一信号输出端 OUT1 耦接，第一输出控制电路 1 配置为响应于第三节点 N3、第四节点 N4 处信号的控制向第一信号输出端 OUT1 输出第一驱动信号。

需要说明的是，本公开中的“耦接”表示两个或多个结构之间电连接，其连接方式并不限于直接连接。

25 在移位寄存器的工作过程中，当第二时钟信号线 CKB 中的第二时钟信号由高电平状态切换为低电平状态时，第四节点 N4 和第一节点 N1 处的电压会在极短的时间内被拉低，此时第二晶体管 M2 会存在因第一节点 N1 被拉低而出现误导通的风险，在第二晶体管 M2 误导通的时段内，处于高电平状态的第一时钟信号会通过第二晶体管 M2 对
30 第二节点 N2、第三节点 N3 进行误充电，使得与第三节点 N3 处电压

被异常上拉,与第三节点 N3 相连的第四晶体管 M4 和第一输出控制电压出现工作异常,从而影响移位寄存器的正常工作;随着产品使用时间的增长,第二晶体管 M2 的阈值电压产生漂移,第二晶体管 M2 误导通的风险更大。

5 在本公开实施例中,为克服上述技术问题,通过在第二节点 N2 与第三节点 N3 之间设置阻抗晶体管 M_R,阻抗晶体管 M_R 的控制极与第一电源端相连处于常导通状态,处于导通状态的阻抗晶体管 M_R 可在第二节点 N2 与第三节点 N3 之间存在电流时对电流产生一定的阻碍,即阻抗晶体管 M_R 可产生阻抗作用,以减小在第二晶体管 M2 误导通时第一时钟信号对第三节点 N3 处电压的上拉影响,有利于维持第三节点 N3 处电平状态的稳定性,使得在第二晶体管 M2 误导通过程中第三节点 N3 处始终处于低电平状态。

10 下面将结合具体时序来进行详细描述。图 3 为图 2 所示移位寄存器的一种工作时序图,如图 3 所示,在下面描述中仅对第一晶体管 M1~第五晶体管 M5 的工作状态进行详细描述,而对于第一输出控制电路 1 的具体工作过程将在后面结合具体示例进行描述,该移位寄存器的工作过程包括如下阶段:

15 第一阶段 t1,第一时钟信号线 CK 提供的第一时钟信号处于低电平状态,第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态,信号输入端 INPUT 提供的信号处于高电平状态。

20 具体地,第一时钟信号处于低电平状态,第一晶体管 M1 和第三晶体管 M3 均导通;第二时钟信号处于高电平状态,第四晶体管 M4 截止。

25 信号输入端 INPUT 提供处于高电平状态的信号通过第一晶体管 M1 写入至第一节点 N1,第一节点 N1 处于高电平状态,第二晶体管 M2 处于截止状态;与此同时,第二节点 N2 通过第三晶体管 M3 进行放电,第二节点 N2 处于低电平状态(电压略高于 VGL);阻抗晶体管 M_R 的栅源电压为负值,阻抗晶体管 M_R 处于导通状态,第三节点 N3 通过第二节点 N2 进行放电,第三节点 N3 处于低电平状态(电压略高于第二节点 N2 处电压);由于第三节点 N3 处于低电平状态,因

30

此第五晶体管 M5 导通。

第一阶段 t1 结束时，第一节点 N1 处于高电平状态，第二节点 N2 处于低电平状态，第三节点 N3 处于低电平状态，第四节点 N4 处于高电平状态。

5 第二阶段 t2, 第一时钟信号线 CK 提供的第一时钟信号处于高电平状态，第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态，信号输入端 INPUT 提供的信号处于高电平状态。

 具体地，第一时钟信号处于高电平状态，第一晶体管 M1 和第三晶体管 M3 均截止；第二时钟信号处于低电平状态，第四晶体管 M4
10 导通。

 在不考虑第一输出控制电路 1 对第三节点 N3 处电压影响的情况下，由于第三晶体管 M3 截止，因此第三节点 N3 处于浮接状态以维持第一阶段 t1 时的低电平状态。

 需要说明的是，在第二阶段 t2 的初始时刻，第二时钟信号由高电平切换为低电平，在第一电容 C1 的自举作用下，第四节点 N4 和第一节点 N1 处的电压被下拉，此时第二晶体管 M2 存在误导通风险。在本申请中，即便第二晶体管 M2 出现了短暂的误导通，由于在第二节点 N2 和第三节点 N3 之间设置有阻抗晶体管 M_R，因此处于高电平状态的第一时钟信号对第三节点 N3 处电压影响极小，第三节点 N3 处电
15 平可始终维持于低电平状态，第五晶体管 M5 维持导通。

 由于第四晶体管 M4 和第五晶体管 M5 均导通，因此第四节点 N4 处的电压会被高电平电压 VGH 会通过第五晶体管 M5 和第四晶体管 M4 来对第一节点 N1 和第四节点 N4 进行充电，以使得第一节点 N1 和第四节点 N4 处于高电平状态，处于误导通状态的第二晶体管 M2 也会立即切换至截止状态。
20 25

 第二阶段 t2 结束时，第一节点 N1 处于高电平状态，第二节点 N2 处于低电平状态，第三节点 N3 处于低电平状态，第四节点 N4 处于高电平状态。

 第三阶段 t3, 第一时钟信号线 CK 提供的第一时钟信号处于低电
30 平状态，第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态，

信号输入端 INPUT 提供的信号处于高电平状态。

第一晶体管 M1~第五晶体管 M5 在第三阶段 t3 的工作过程与在第一阶段 t1 中的工作过程一致,具体可参见前面对第一阶段 t1 的相应描述。

5 第四阶段 t4,第一时钟信号线 CK 提供的第一时钟信号处于高电平状态,第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态,信号输入端 INPUT 提供的信号处于低电平状态。

10 第一晶体管 M1~第五晶体管 M5 在第四阶段 t4 的工作过程与在第二阶段 t2 中的工作过程一致,具体可参见前面对第二阶段 t2 的相应描述。

第五阶段 t5,第一时钟信号线 CK 提供的第一时钟信号处于低电平状态,第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态,信号输入端 INPUT 提供的信号处于低电平状态。

15 具体地,第一时钟信号处于低电平状态,第一晶体管 M1 和第三晶体管 M3 均导通;第二时钟信号处于高电平状态,第四晶体管 M4 截止。

20 信号输入端 INPUT 提供处于低电平状态的信号通过第一晶体管 M1 写入至第一节点 N1,第一节点 N1 处于低电平状态,第二晶体管 M2 处于导通状态,第二节点 N2 通过第二晶体管 M2 和第三晶体管 M3 进行放电,第二节点 N2 处于低电平状态;阻抗晶体管 M_R 的栅源电压为负值,阻抗晶体管 M_R 处于导通状态,第三节点 N3 通过第二节点 N2 进行放电,第三节点 N3 处于低电平状态;由于第三节点 N3 处于低电平状态,因此第五晶体管 M5 导通。

25 第五阶段 t5 结束时,第一节点 N1 处于低电平状态,第二节点 N2 处于低电平状态,第三节点 N3 处于低电平状态,第四节点 N4 处于低电平状态。

第六阶段 t6,第一时钟信号线 CK 提供的第一时钟信号处于高电平状态,第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态,信号输入端 INPUT 提供的信号处于低电平状态。

30 具体地,第一时钟信号处于高电平状态,第一晶体管 M1 和第三

晶体管 M3 均截止；第二时钟信号处于低电平状态，第四晶体管 M4 导通。

5 在第二时钟信号由高电平切换为低电平，在第一电容 C1 的自举作用下，第四节点 N4 处电压由近似等于 VGL 被下拉至近似等于 2VGL，第一节点 N1 和第四节点 N4 均处于低电平状态。第二晶体管 M2 处于导通状态（第二晶体管 M2 正常导通），处于高电平状态的第一时钟信号通过第二晶体管 M2 向第二节点 N2 进行充电，第二节点 N2 和第三节点 N3 处于高电平状态，第五晶体管 M5 截至。

10 第六阶段 t6 结束时，第一节点 N1 处于低电平状态，第二节点 N2 处于高电平状态，第三节点 N3 处于高电平状态，第四节点 N4 处于低电平状态。

在此后过程中，移位寄存器交替执行上述第五阶段 t5 和第六阶段 t6，直至下一周期开始。

15 基于上述内容可见，本公开的技术方案可使得在第二阶段 t2 和第四阶段 t4 过程中避免因第二晶体管 M2 误开启而使得第三节点 N3 被异常上拉至高电平状态的问题，从而能保证第三节点 N3 在第二阶段 t2 和第四阶段 t4 过程中始终处于低电平状态，进而保证了移位寄存器的正常工作。

20 图 4 为本公开实施例提供的另一种移位寄存器的电路结构示意图，如图 4 所示，图 4 所示移位寄存器为基于图 2 所示移位寄存器的一种具体可选实施方案；其中，第一输出控制电路 1 包括：第九晶体管 M9 和第三电容 C3。

25 其中，第九晶体管 M9 的控制极与第五节点 N5 耦接，第九晶体管 M9 的第一极与第二电源端耦接，第九晶体管 M9 的第二极与第一信号输出端 OUT1 耦接；第三电容 C3 的第一极与第五节点 N5 耦接，第三电容 C3 的第二极与第二电源端耦接。

在一些实施例中，第一输出控制电路 1 还包括：第六晶体管 M6、第七晶体管 M7、第八晶体管 M8、第十晶体管 M10 和第二电容 C2。

30 其中，第六晶体管 M6 的控制极与第三节点 N3 耦接，第六晶体管 M6 的第一极与第二时钟信号线 CKB 耦接以接收第二时钟信号，第

六晶体管 M6 的第二极与第六节点 N6 耦接；第七晶体管 M7 的控制极与第二时钟信号线 CKB 耦接以接收第二时钟信号，第七晶体管 M7 的第一极与第六节点 N6 耦接，第七晶体管 M7 的第二极与第五节点 N5 耦接；第八晶体管 M8 的控制极与第一节点 N1 耦接，第八晶体管 M8 的第一极与第五节点 N5 耦接，第八晶体管 M8 的第二极与第二电源端耦接；第十晶体管 M10 的控制极与第四节点 N4 耦接，第十晶体管 M10 的第一极与第一信号输出端 OUT1 耦接，第十晶体管 M10 的第二极与第一电源端耦接，第一节点 N1 与第四节点 N4 耦接；第二电容 C2 的第一极与第三节点 N3 耦接，第二电容 C2 的第二极与第六节点 N6 耦接。

图 5 为图 4 所示移位寄存器的一种工作时序图，如图 5 所示，第一时钟信号线 CK 提供的第一时钟信号、第二时钟信号线 CKB 提供的第二时钟信号和信号输入端 INPUT 提供的信号在各阶段中的电平状态，以及第一晶体管 M1~第五晶体管 M5 在各阶段状态的工作状态，可参见对图 2 和图 3 的相应描述此处不再赘述，下面仅对第一输出控制电路 1 的具体工作过程进行详细描述。

第一阶段 t1，第一时钟信号线 CK 提供的第一时钟信号处于低电平状态，第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态，第一节点 N1 处于高电平状态，第二节点 N2 处于低电平状态，第三节点 N3 处于低电平状态，第四节点 N4 处于高电平状态。

具体地，第二时钟信号处于高电平状态，第七晶体管 M7 截止。由于第三节点 N3 处于低电平状态，因此第六晶体管 M6 导通，处于高电平状态的第二时钟信号通过第六晶体管 M6 写入至第六节点 N6，第六节点 N6 处于高电平状态。与此同时，由于第一节点 N1 和第四节点 N4 均处于高电平状态，因此第八晶体管 M8 和第十晶体管 M10 均截止。

由于第七晶体管 M7 和第八晶体管 M8 均截止，因此第五节点 N5 处于浮接状态，第五节点 N5 维持前一阶段（前一周期的最后一个阶段）的高电平状态，第九晶体管 M9 截止。

由于第九晶体管 M9 和第十晶体管 M10 均截止，因此第一信号输出端 OUT1 处于浮接状态，第一信号输出端 OUT1 维持前一阶段（前一

周期的最后一个阶段)的低电平状态,即第一信号输出端 OUT1 输出低电平信号。

5 第二阶段 t_2 ,第一时钟信号线 CK 提供的第一时钟信号处于高电平状态,第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态,第一节点 N1 处于高电平状态,第二节点 N2 处于低电平状态,第三节点 N3 处于低电平状态,第四节点 N4 处于高电平状态。

具体地,第二时钟信号处于低电平状态,第七晶体管 M7 导通。由于第三节点 N3 处于低电平状态,因此第六晶体管 M6 导通,处于低电平状态的第二时钟信号通过第六晶体管 M6 写入至第六节点 N6,第六节点 N6 处于低电平状态。由于第六节点 N6 处电压由高电平状态切换为低电平状态,在第二电容 C2 的自举作用下,第三节点 N3 处的电压被下拉至更低水平。需要说明的是,即便此时第二晶体管 M2 发生了误导通而使得处于高电平状态的第一时钟信号对第二节点 N2 和第三节点 N3 进行上拉,但由于阻抗晶体管 M_R 的存在,第二电容 C2 对第三节点 N3 的下拉影响起到的主导作用,因此第三节点 N3 处的电压整体呈现被下拉的趋势,以进一步保证在第二阶段 t_2 过程中第三节点 N3 始终处于低电平状态,在第二电容 C2 对第三节点 N3 处电压进行下拉过程中,第三节点 N3 处电压由近似等于 V_{GL} 被下拉至近似等于 $2V_{GL}$,此时阻抗晶体管 M_R 的栅源电压会大于阻抗晶体管 M_R 的阈值电压,阻抗晶体管 M_R 由导通状态切换至截止状态。

10
15
20

由于第六晶体管 M6 和第七晶体管 M7 导通,因此处于低电平状态的第二时钟信号通过第六晶体管 M6 和第七晶体管 M7 写入至第五节点 N5,第五节点 N5 处于低电平状态。与此同时,由于第一节点 N1 和第四节点 N4 均处于高电平状态,因此第八晶体管 M8 和第十晶体管 M10 均截止。

25

由于第九晶体管 M9 处于导通状态且第十晶体管 M10 处于截止状态,因此高电平电压 V_{GH} 通过第九晶体管 M9 写入至第一信号输出端 OUT1,第一信号输出端 OUT1 输出高电平信号。

第三阶段 t_3 ,第一时钟信号线 CK 提供的第一时钟信号处于低电平状态,第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态,

30

第一节点 N1 处于高电平状态，第二节点 N2 处于低电平状态，第三节点 N3 处于低电平状态，第四节点 N4 处于高电平状态。

具体地，第二时钟信号处于高电平状态，第七晶体管 M7 截止。由于第三节点 N3 处于低电平状态，因此第六晶体管 M6 导通，处于高电平状态的第二时钟信号通过第六晶体管 M6 写入至第六节点 N6，第六节点 N6 处于高电平状态。由于第三晶体管 M3 导通，低电平电压 VGL 通过第三晶体管 M3、阻抗晶体管 M_R 写入至第三节点 N3，第三节点 N3 仍处于低电平状态且电压近似等于 VGL。与此同时，由于第一节点 N1 和第四节点 N4 均处于高电平状态，因此第八晶体管 M8 和第十晶体管 M10 均截止。

由于第七晶体管 M7 和第八晶体管 M8 均截止，因此第五节点 N5 处于浮接状态，第五节点 N5 维持前一阶段（第二阶段 t₂）的低电平状态，第九晶体管 M9 维持导通截止。

由于第九晶体管 M9 和第十晶体管 M10 均截止，因此第一信号输出端 OUT1 处于浮接状态，第一信号输出端 OUT1 维持前一阶段（前一周期的最后一个阶段）的高电平状态，即第一信号输出端 OUT1 输出高电平信号。

由于第九晶体管 M9 处于导通状态且第十晶体管 M10 处于截止状态，因此高电平电压 VGH 通过第九晶体管 M9 写入至第一信号输出端 OUT1，第一信号输出端 OUT1 维持输出高电平信号。

第四阶段 t₄，第一时钟信号线 CK 提供的第一时钟信号处于高电平状态，第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态，第一节点 N1 处于高电平状态，第二节点 N2 处于低电平状态，第三节点 N3 处于低电平状态，第四节点 N4 处于高电平状态。

具体地，第二时钟信号处于低电平状态，第七晶体管 M7 导通。由于第三节点 N3 处于低电平状态，因此第六晶体管 M6 导通，处于低电平状态的第二时钟信号通过第六晶体管 M6 写入至第六节点 N6，第六节点 N6 处于低电平状态。由于第六节点 N6 处电压由高电平状态切换为低电平状态，在第二电容 C2 的自举作用下，第三节点 N3 处的电压被下拉至更低水平。需要说明的是，即便此时第二晶体管 M2 发生

了误导通而使得处于高电平状态的第一时钟信号对第三节点 N3 进行上拉，但由于阻抗晶体管 M_R 的存在，第二电容 C2 对第三节点 N3 的影响起到的主导作用，因此第三节点 N3 处的电压整体呈现被下拉的趋势，以进一步保证在第二阶段 t2 过程中第三节点 N3 始终处于低电平状态，在第二电容 C2 对第三节点 N3 处电压进行下拉过程中，第三节点 N3 处电压由近似等于 V_{GL} 被下拉至近似等于 2V_{GL}。

由于第六晶体管 M6 和第七晶体管 M7 导通，因此处于低电平状态的第二时钟信号通过第六晶体管 M6 和第七晶体管 M7 写入至第五节点 N5，第五节点 N5 处于低电平状态。与此同时，由于第一节点 N1 和第四节点 N4 均处于高电平状态，因此第八晶体管 M8 和第十晶体管 M10 均截止。

由于第九晶体管 M9 处于导通状态且第十晶体管 M10 处于截止状态，因此高电平电压 V_{GH} 通过第九晶体管 M9 写入至第一信号输出端 OUT1，第一信号输出端 OUT1 输出高电平信号。

第五阶段 t5，第一时钟信号线 CK 提供的第一时钟信号处于低电平状态，第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态，第一节点 N1 处于低电平状态，第二节点 N2 处于低电平状态，第三节点 N3 处于低电平状态，第四节点 N4 处于低电平状态。

具体地，第二时钟信号处于高电平状态，第七晶体管 M7 截止。由于第三节点 N3 处于低电平状态，因此第六晶体管 M6 导通，处于高电平状态的第二时钟信号通过第六晶体管 M6 写入至第六节点 N6，第六节点 N6 处于高电平状态。由于第三晶体管 M3 导通，低电平电压 V_{GL} 通过第三晶体管 M3、阻抗晶体管 M_R 写入至第三节点 N3，第三节点 N3 仍处于低电平状态且电压近似等于 V_{GL}。

由于第一节点 N1 处于低电平状态，因此第八晶体管 M8 导通，高电平电压 V_{GH} 通过第八晶体管 M8 写入至第五节点 N5，第五节点 N5 处于高电平状态，第九晶体管 M9 截止。与此同时，第四节点 N4 处于低电平状态且电压近似等于 V_{GL}，第十晶体管 M10 导通，第一信号输出端 OUT1 通过第十晶体管 M10 放电，当第一信号输出端 OUT1 电压下降至 $V_{N4} - V_{th_M10}$ 时（即第十晶体管 M10 的栅源电压等于 V_{th_M10}

时, 其中 V_{N4} 为第四节点 N4 处电压且近似等于 V_{GL} , V_{th_M10} 为第十晶体管 M10 的阈值电压且为负值), 第十晶体管 M10 切换至截止状态, 第一信号输出端 OUT1 输出低电平信号且电压近似等于 $V_{GL}-V_{th_M10}$ 。

需要说明的是, 在第五阶段 t5 过程中, 当第一信号输出端 OUT1 5 的电压发生上升漂移时, 第十晶体管 M10 的栅源电压会小于第十晶体管 M10 的阈值电压, 此时第十晶体管 M10 会再次导通使得第一信号输出端 OUT1 的电压下降, 直至第十晶体管 M10 的栅源电压等于第十晶体管 M10 的阈值电压时, 第十晶体管 M10 再次截止。

第六阶段 t6, 第一时钟信号线 CK 提供的第一时钟信号处于高电 10 平状态, 第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态, 第一节点 N1 处于低电平状态, 第二节点 N2 处于高电平状态, 第三节点 N3 处于高电平状态, 第四节点 N4 处于低电平状态。

具体地, 第二时钟信号处于低电平状态, 第七晶体管 M7 导通。由于第三节点 N3 处于高电平状态, 因此第六晶体管 M6 截止。由于第一 15 节点 N1 处于低电平状态, 第八晶体管 M8 导通, 高电平电压 V_{GH} 通过第八晶体管 M8 写入至第五节点 N5, 第五节点 N5 处于高电平状态, 第九晶体管 M9 截止; 与此同时, 由于第七晶体管 M7 导通, 因此高电平电压 V_{GH} 可通过第八晶体管 M8 和第七晶体管 M7 对第六节点 N6 进行充电, 第六节点 N6 处于高电平状态。

对于第四节点 N4, 由于第二时钟信号由高电平状态切换为低电 20 平状态, 第一电容 C1 的自举作用下, 第四节点 N4 处电压由近似等于 V_{GL} 被下拉至近似等于 $2V_{GL}$, 第十晶体管 M10 再次导通, 第一信号输出端 OUT1 通过第十晶体管 M10 放电; 在不考虑第十晶体管 M10 阻抗的情况下, 第一信号输出端 OUT1 处的电压可下降至 V_{GL} , 第十晶体管 25 管 M10 的栅源电压始终小于第十晶体管 M10 的阈值电压, 第十晶体管 M10 持续导通, 第一信号输出端 OUT1 输出低电平信号且电压近似等于 V_{GL} 。

需要说明的是, 在移位寄存器交替执行第五阶段 t5 和第六阶段 30 t6 的过程中, 虽然第四节点 N4 处的电压由近似等于 V_{GL} 与近似等于 $2V_{GL}$ 之间进行切换, 但第一信号输出端 OUT1 处电压始终维持于近似

等于 VGL。

需要说明的是，在本公开实施例中第一输出控制电路 1 还可以采用其他结构，例如，第一输出控制电路 1 仅包括上述第九晶体管 M9 和第十晶体管 M10，或者在包括上述第九晶体管 M9 和第十晶体管 M10 的基础上根据实际需要来增设一些其他晶体管。另外，移位寄存器的驱动时序也不限于图 4 中所示。

图 6 为本公开实施例提供的又一种移位寄存器的电路结构示意图，如图 6 所示，与图 2 和图 4 所示移位寄存器不同的是，在图 6 所示移位寄存器中还包括限压晶体管 M_V，其中第一节点 N1 通过限压晶体管 M_V 与所述第四节点 N4 耦接。具体地，限压晶体管 M_V 的控制极与第一电源端耦接，限压晶体管 M_V 的第一极与第一节点 N1 耦接，限压晶体管 M_V 的第二极与第四节点 N4 耦接。

图 7 为图 6 所示移位寄存器的一种工作时序图，如图 7 所示，与图 3 和图 5 中所示第一节点 N1 与第四节点 N4 处电压同步变化不同的是，在图 7 所示时序中，在第六阶段 t₆ 内，当第四节点 N4 处电压被第一电容 C1 由近似等于 VGL 被下拉至近似等于 2VGL 时，限压晶体管 M_V 的栅源电压大于限压晶体管 M_V 的阈值电压，此时限压晶体管 M_V 由导通状态切换至截止状态，可防止第四节点 N4 处过低的电压（近似等于 VGL）写入至第一节点 N1，从而能避免第一晶体管 M1、第二晶体管 M2 处于高压状态，进而能提升第一晶体管 M1、第二晶体管 M2 的使用寿命。

图 8 为图 6 所示移位寄存器中存在阻抗晶体管与不存在阻抗晶体管时第一节点、第二节点以及第三节点电压变化对比示意图，参见图 8 所示，以第一时钟信号和第二时钟信号处于高电平状态时的电压为+7V、处于低电平状态时的电压为-7V 为例进行仿真测试。

当未设置阻抗晶体管时，在第二阶段 t₂ 中，第二节点 N2 处的电压为-4.551V，第三节点 N3 处电压为-14.16V；当设置有本公开中的阻抗晶体管 M_R 时，在第二阶段 t₂ 中，第二节点 N2 处的电压为-5.245V，第三节点 N3 处电压为-16.4V。由此可见，通过设置上述阻抗晶体管 M_R 可使得第二节点 N2 和第三节点 N3 在第二阶段 t₂ 中被

下拉至更低水平，有利于保证第五晶体管 M5 控制极电压的稳定性。

图 9A 为本公开实施例提供的再一种移位寄存器的电路结构示意图，如图 9A 所示，与前面实施例中所示移位寄存器不同的是，图 9A 所示移位寄存器中还包括：第二输出控制电路 2。

5 其中，第二输出控制电路 2 至少与第一信号输出端 OUT1 和第二信号输出端 OUT2 耦接，第二输出控制电路 2 配置为根据第一信号输出端 OUT1 所输出的第一驱动信号向第二信号输出端 OUT2 输出与第一驱动信号的相位相反的第二驱动信号。

10 第二输出控制电路 2 具体可以为具有反相处理功能的反相处理电路，第一信号输出端 OUT1 作为反相处理电路的一个信号输入端，第二信号输出端 OUT2 作为反相处理电路的一个信号输出端。

15 在本实施例中，一个移位寄存器具有两个信号输出端，该两个信号输出端可输出不同的驱动信号，因此可为不同的驱动信号线提供驱动信号，有利于减少非像素区域内所布置的驱动电路数量，有利于产品窄边框的实现。

20 作为一个具体示例，移位寄存器的第一信号输出端 OUT1 与像素电路所配置的发光控制信号线相连，移位寄存器的第二信号输出端 OUT2 与像素电路所配置的重置信号线相连，第一信号输出端 OUT1 所输出的第一驱动信号为发光控制信号，第二信号输出端 OUT2 所输出的第二驱动信号为重置信号。

25 图 9B 为本公开实施例提供的再一种移位寄存器的电路结构示意图，如图 9B 所示，图 9B 所示移位寄存器为基于图 9A 所示移位寄存器的一种具体可选实施方案，图 9B 中所示第一输出控制电路 1 采用图 4 和图 6 中所示，对于第一输出控制电路 1 的具体结构此处不再赘述。

30 在一些实施例中，第二输出控制电路 2 包括：第十一晶体管 M11、第十二晶体管 M12、第十三晶体管 M13、第十四晶体管 M14、第十五晶体管 M15 和第四电容 C4。

其中，第十一晶体管 M11 的控制极与第五节点 N5 耦接，第十一晶体管 M11 的第一极与第一电源端耦接，第十一晶体管 M11 的第二极

与第七节点 N7 耦接；第十二晶体管 M12 的控制极与第一信号输出端 OUT1 耦接，第十二晶体管 M12 的第一极与第七节点 N7 耦接，第十二晶体管 M12 的第二极与第二电源端耦接；第十三晶体管 M13 的控制极与第七节点 N7 耦接，第十三晶体管 M13 的第一极与第一时钟信号线 CK，第十三晶体管 M13 的第二极与第四电容 C4 的第一极耦接；第十四晶体管 M14，第十四晶体管 M14 的控制极与第七节点 N7 耦接，第十四晶体管 M14 的第一极与第一电源端耦接，第十四晶体管 M14 的第二极与第二信号输出端 OUT2 耦接；第十五晶体管 M15，第十五晶体管 M15 的控制极与第一信号输出端 OUT1 耦接，第十五晶体管 M15 的第一极与第二信号输出端 OUT2 耦接，第十五晶体管 M15 的第二极与第二电源端耦接；第四电容 C4 的第二极与第七节点 N7 耦接。

图 10 为图 9B 所示移位寄存器的一种工作时序图，如图 10 所示，第一晶体管 M1~第十晶体管 M10 在各阶段状态的工作状态，可参见前面实施例中相应描述此处不再赘述，下面仅对第二输出控制电路 2 的具体工作过程进行详细描述。

第一阶段 t1，第一时钟信号线 CK 提供的第一时钟信号处于低电平状态，第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态，第五节点 N5 处于高电平状态，第一信号输出端 OUT1 处于低电平状态。

由于第五节点 N5 处于高电平状态，第一信号输出端 OUT1 处于低电平状态，因此第十一晶体管 M11 截止，第十二晶体管 M12 和第十五晶体管 M15 导通，高电平电压 VGH 通过第十二晶体管 M12 写入至第七节点 N7，第七节点 N7 处于高电平状态，第十四晶体管 M14 截止。

由于第十四晶体管 M14 处于截止状态且第十五晶体管 M15 处于导通状态，因此高电平电压 VGH 通过第十五晶体管 M15 写入至第二信号输出端 OUT2，第二信号输出端 OUT2 输出高电平信号。

第二阶段 t2，第一时钟信号线 CK 提供的第一时钟信号处于高电平状态，第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态，第五节点 N5 处于低电平状态，第一信号输出端 OUT1 处于高电平状态。

由于第五节点 N5 处于低电平状态，第一信号输出端 OUT1 处于高电平状态，因此第十一晶体管 M11 导通，第十二晶体管 M12 和第十

五晶体管 M15 截止,低电平电压 VGL 通过第十二晶体管 M12 写入至第七节点 N7, 第七节点 N7 处于低电平状态且电压近似等于 VGL, 第十三晶体管 M13 和第十四晶体管 M14 导通, 第二信号输出端 OUT2 通过第十四晶体管 M14 放电, 当第十四晶体管 M14 的电压下降至 VGL-V_{th_M14} 时 (即第十四晶体管 M14 的栅源电压等于 V_{th_M14} 时, 其中 V_{N7} 为第七节点 N7 处电压且近似等于 VGL, V_{th_M14} 为第十四晶体管 M14 的阈值电压且为负值), 第十四晶体管 M14 切换至截止状态, 第二信号输出端 OUT2 输出低电平信号且电压近似等于 VGL-V_{th_M14}。

需要说明的是, 在第二阶段 t₂ 过程中, 当第二信号输出端 OUT2 的电压发生上升漂移时, 第十四晶体管 M14 的栅源电压会小于第十四晶体管 M14 的阈值电压, 此时第十四晶体管 M14 会再次导通使得第二信号输出端 OUT2 的电压下降, 直至第十四晶体管 M14 的栅源电压等于第十四晶体管 M14 的阈值电压时, 第十四晶体管 M14 再次截止。

第三阶段 t₃, 第一时钟信号线 CK 提供的第一时钟信号处于低电平状态, 第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态, 第五节点 N5 处于低电平状态, 第一信号输出端 OUT1 处于高电平状态。

在第三阶段 t₃ 初始时刻, 由于第五节点 N5 处于高低电平状态, 第一信号输出端 OUT1 处于高电平状态, 因此第十一晶体管 M11 导通, 第十二晶体管 M12 和第十五晶体管 M15 截止, 低电平电压 VGL 通过第十二晶体管 M12 写入至第七节点 N7, 第七节点 N7 处于低电平状态, 第十三晶体管 M13 和第十四晶体管 M14 导通。

当第一时钟信号由高电平状态切换至低电平状态时, 在第四电容 C4 的自举作用下, 第七节点 N7 处的电压由近似等于 VGL 被下拉至近似等于 2VGL, 第十四晶体管 M14 再次导通, 第二信号输出端 OUT2 通过第十四晶体管 M14 放电; 在不考虑第十四晶体管 M14 阻抗的情况下, 第二信号输出端 OUT2 处的电压可下降至 VGL, 第十四晶体管 M14 的栅源电压始终小于第十四晶体管 M14 的阈值电压, 第十四晶体管 M14 持续导通, 第二信号输出端 OUT2 输出低电平信号且电压近似等于 VGL。

第四阶段 t₄, 第一时钟信号线 CK 提供的第一时钟信号处于高电

平状态，第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态，第五节点 N5 处于低电平状态，第一信号输出端 OUT1 处于高电平状态。

5 当第一时钟信号由高电平状态切换至低电平状态时，在第四电容 C4 的自举作用下，第七节点 N7 处的电压由近似等于 $2V_{GL}$ 被上拉至近似等于 V_{GL} ，第十一晶体管 M11 导通，低电平电压 V_{GL} 通过第十一晶体管 M11 写入至第七节点 N7，第七节点 N7 维持低电平状态且电压近似等于 V_{GL} ，第十四晶体管 M14 的栅源电压近似等于 0，低十四晶体管截止；由于第一信号输出端 OUT1 输出高电平信号，因此第十二晶体管 M12 和第十五晶体管 M15 均截止。第二信号输出端 OUT2 处于浮接状态以维持前一阶段（第三阶段 t3）的低电平状态，第二信号输出端 OUT2 输出低电平信号且电压近似等于 V_{GL} 。

10 第五阶段 t5，第一时钟信号线 CK 提供的第一时钟信号处于低电平状态，第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态，第五节点 N5 处于高电平状态，第一信号输出端 OUT1 处于低电平状态。

15 由于第五节点 N5 处于高电平状态，第一信号输出端 OUT1 处于低电平状态，因此第十一晶体管 M11 截止，第十二晶体管 M12 和第十五晶体管 M15 导通，高电平电压 V_{GH} 通过第十二晶体管 M12 写入至第七节点 N7，第七节点 N7 处于高电平状态，第十四晶体管 M14 截止。

20 由于第十四晶体管 M14 处于截止状态且第十五晶体管 M15 处于导通状态，因此高电平电压 V_{GH} 通过第十五晶体管 M15 写入至第二信号输出端 OUT2，第二信号输出端 OUT2 输出高电平信号。

25 第六阶段 t6，第一时钟信号线 CK 提供的第一时钟信号处于高电平状态，第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态，第五节点 N5 处于高电平状态，第一信号输出端 OUT1 处于低电平状态。

第二输出控制电路 2 在第六阶段 t6 的工作过程与在第五阶段 t5 的工作过程一致，一致，具体可参见前面对第六阶段 t6 的相应描述。

30 图 11 为本公开实施例提供的再一种移位寄存器的电路结构示意图，如图 11 所示，与图 9B 所示移位寄存器内第二输出控制电路 2 不同的是，图 11 所示移位寄存器内第二输出控制电路 2 仅包括第十一晶体管 M11、第十二晶体管 M12、第十四晶体管 M14、第十五晶体

管 M15 和第四电容 C4 而不包括第十三晶体管 M13, 且第四电容 C4 的第一极与第一时钟信号线 CK 耦接。图 11 所述移位寄存器的工作时序可采用图 10 中所示, 具体过程此处不再赘述。

5 图 12 为本公开实施例提供的再一种移位寄存器的电路结构示意图, 如图 12 所示, 与图 9B 所示移位寄存器内第二输出控制电路 2 不同的是, 图 12 所示移位寄存器内第十三晶体管 M13 的第一极与第二时钟信号线 CKB 耦接。

10 图 13 为图 12 所示移位寄存器的一种工作时序图, 如图 13 所示, 第一晶体管 M1~第十晶体管 M10 在各阶段状态的工作状态, 可参见前面实施例中相应描述此处不再赘述, 下面仅对第二输出控制电路 2 的具体工作过程进行详细描述。

对于图 12 所示移位寄存器内第二控制电路在第一阶段 t1 和第二阶段 t2 的工作过程, 与图 9B 所示移位寄存器内第二控制电路在第一阶段 t1 和第二阶段 t2 的工作过程一致, 此处不再赘述。

15 第三阶段 t3, 第一时钟信号线 CK 提供的第一时钟信号处于低电平状态, 第二时钟信号线 CKB 提供的第二时钟信号处于高电平状态, 第五节点 N5 处于低电平状态, 第一信号输出端 OUT1 处于高电平状态。

20 由于第五节点 N5 处于低电平状态, 第一信号输出端 OUT1 处于高电平状态, 因此第十一晶体管 M11 导通, 第十二晶体管 M12 和第十五晶体管 M15 截止, 低电平电压 VGL 通过第十一晶体管 M11 写入至第七节点 N7, 第七节点 N7 处于低电平状态且电压近似等于 VGL, 第十四晶体管 M14 维持前一阶段 (第二阶段 t2) 的截止状态, 第二信号输出端 OUT2 输出低电平信号且电压近似等于 VGL。

25 第四阶段 t4, 第一时钟信号线 CK 提供的第一时钟信号处于高电平状态, 第二时钟信号线 CKB 提供的第二时钟信号处于低电平状态, 第五节点 N5 处于低电平状态, 第一信号输出端 OUT1 处于高电平状态。

30 当第二时钟信号由高电平状态切换至低电平状态时, 在第四电容 C4 的自举作用下, 第七节点 N7 处的电压由近似等于 VGL 被下拉至近似等于 2VGL, 第十四晶体管 M14 再次导通, 第二信号输出端 OUT2 通过第十四晶体管 M14 放电; 在不考虑第十四晶体管 M14 阻抗的情况

下，第二信号输出端 OUT2 处的电压可下降至 VGL，第十四晶体管 M14 的栅源电压始终小于第十四晶体管 M14 的阈值电压，第十四晶体管 M14 持续导通，第二信号输出端 OUT2 输出低电平信号且电压近似等于 VGL。

5 对于图 12 所示移位寄存器内第二控制电路在第五阶段 t5 和第六阶段 t6 的工作过程，与图 9B 所示移位寄存器内第二控制电路在第五阶段 t5 和第六阶段 t6 的工作过程一致，此处不再赘述。

10 图 14 为本公开实施例提供的再一种移位寄存器的电路结构示意图，如图 14 所示，与图 12 所示移位寄存器内第二输出控制电路 2 不同的是，图 14 所示移位寄存器内第二输出控制电路 2 仅包括第十一晶体管 M11、第十二晶体管 M12、第十四晶体管 M14、第十五晶体管 M15 和第四电容 C4 而不包括第十三晶体管 M13，且第四电容 C4 的第一极与第二时钟信号线 CKB 耦接。图 14 所述移位寄存器的工作时序可采用图 13 中所示，具体过程此处不再赘述。

15 需要说明的是，在本公开实施例中，移位寄存器内的第二输出控制电路 2 还可以采用其他具有反相处理功能的电路结构，此处不再一一举例。

20 基于同一个发明构思，本公开实施例还提供了一种驱动电路。图 15 为本公开实施例中位于周边区域中的一个驱动电路的一种电路结构示意图，如图 15 所示，驱动电路包括级级联设置的多个移位寄存器 SR1/SR2.../SRm，其中移位寄存器 SR1/SR2.../SRm 可采用前面任一实施例所提供的移位寄存器。

25 具体地，位于第一级的移位寄存器 SR1 的信号输入端 INPUT 与帧起始信号端 STV 耦接，除位于第一级的移位寄存器 SR1 外，位于其他级的移位寄存器/SR2.../SRm 的信号输入端与前一级的移位寄存器的第一信号输出端 OUT1 相连。

30 位于奇数级的移位寄存器 SR1/SR3... 的第一时钟信号端 CK 与第一时钟信号线 CLK 耦接，位于奇数级的移位寄存器 SR1/SR3... 的第二时钟信号端 CKB 与第二时钟信号线 CLKB 耦接；位于偶数级的移位寄存器 SR2/SR4... 的第一时钟信号端 CK 与第二时钟信号线 CLKB

耦接，位于偶数级的移位寄存器 SR2/SR4... 的第二时钟信号端 CKB 与第一时钟信号线 CLK 耦接。各级移位寄存器 SR1/SR2.../SRm 的第一电源端与第一电源电压供给线（未示出）耦接，各级移位寄存器 SR1/SR2.../SRm 的第二电源端与第二电源电压供给线（未示出）相连。

5

各级移位寄存器 SR1/SR2.../SRm 的第一信号输出端 OUT1 与显示区域内对应的发光控制信号线 EM1/EM2.../EMm 耦接。示例性地，位于第 i 级移位寄存器 SRi 的第一信号输出端 OUT1 与显示区域内位于第 i 行像素单元所对应的发光控制线 EMi 耦接，其中 i 为正整数且小于等于 m。

10

图 16 为本公开实施例中位于周边区域中的一个驱动电路的另一种电路结构示意图，如图 16 所示，在显示区域内每个像素单元还配置有对应的重置信号线时，驱动电路内各级移位寄存器 SR1/SR2.../SRm 中还设置有第二输出控制电路（包含第二信号输出端 OUT2），例如移位寄存器采用图 9A、图 9B、图 11、图 12、图 14 中所示情况；此时各级移位寄存器 SR1/SR2.../SRm 的第一信号输出端 OUT1 与显示区域内对应的发光控制信号线 EM1/EM2.../EMm 耦接，各级移位寄存器 SR1/SR2.../SRm 的第二信号输出端 OUT2 与显示区域内对应的重置信号线 RST1/RST2.../RSTm 相连。

15

20

示例性地，位于第 i 级移位寄存器 SRi 的第一信号输出端 OUT1 与显示区域内位于第 i 行像素单元所对应的发光控制线 EMi 耦接，位于第 i 级移位寄存器 SRi 的第二信号输出端 OUT2 与显示区域内位于第 i 行像素单元所对应的重置信号线 RSTi 耦接，其中 i 为正整数且小于等于 m。

25

继续参见图 1，基于同一发明构思，本公开实施例还提供了一种显示基板，该显示基板包括：显示区域 A 和围绕显示区域 A 的周边区域 B，显示区域 A 内设置有呈阵列排布的多个像素单元，每个像素单元配置有对应的发光控制信号线，周边区域 B 内设置有发光控制驱动电路，发光控制驱动电路包括级联设置的多个移位寄存器，发光控制驱动电路内的移位寄存器采用前面任一实施例提供的移位寄存器，发

30

光控制驱动电路内的移位寄存器的第一信号输出端 OUT1 与显示区域内对应的发光控制信号线耦接。对于本实施例中发光控制驱动电路和发光控制驱动电路内移位寄存器的描述可参见前面实施例中的内容，此处不再赘述。

5 在本公开过实施例中，像素单元内设置有像素电路和发光器件。本公开中的发光器件是指包括有机发光二极管（Organic Light Emitting Diode，简称 OLED）、发光二极管（Light Emitting Diode，简称 LED）等电流驱动型的发光元件，本公开实施例中将以发光器件为 OLED 为例进行示例性描述，其中发光器件的第一端和第二端分别是指阳极端和阴极端。

10 图 17 为本公开实施例像素单元的一种电路结构示意图，如图 17 所示，像素单元包括：像素电路和发光器件，像素电路包括：第一重置子电路 21、第二重置子电路 22、数据写入子电路 23、阈值补偿子电路 24、发光控制子电路 25 和驱动晶体管 DTFT。

15 其中，第一重置子电路 21 与初始化电压端、驱动晶体管 DTFT 的控制极、对应的扫描控制信号线 SC 耦接，配置为响应于扫描控制信号线 SC 所提供扫描控制信号的控制将初始化电压端提供的初始化电压写入至驱动晶体管 DTFT 的控制极。

20 第二重置子电路 22 与初始化电压端、发光器件 OLED 的第一端、对应的重置信号线 RST 耦接，配置为响应于重置信号线 RST 的控制将初始化电压写入至发光器件 OLED 的第一端。

25 数据写入子电路 23 与驱动晶体管 DTFT 的第一极、对应的数据线 DATA、对应的扫描信号线 GATE 耦接，配置为响应于扫描信号线 GATE 的控制将数据线 DATA 提供的数据电压写入至驱动晶体管 DTFT 的第一极。

30 阈值补偿子电路 24 与第二工作电压端、驱动晶体管 DTFT 的控制极、驱动晶体管 DTFT 的第一极、驱动晶体管 DTFT 的第二极耦接、对应的扫描信号线 GATE 耦接，配置为响应于扫描信号线 GATE 的控制将数据补偿电压写入至驱动晶体管 DTFT 的控制极，数据补充电压等于数据电压与驱动晶体管 DTFT 的阈值电压之和。

发光控制子电路 25 位于驱动晶体管 DTFT 的第二极和发光器件 OLED 的第一端之间，且与发光控制信号线 EM 耦接，配置为响应于发光控制信号线 EM 所提供发光控制信号的控制以使得驱动晶体管 DTFT 的第二极与发光器件 OLED 的第一端之间导通。

5 驱动晶体管 DTFT 配置为响应于数据补偿电压的控制输出相应的驱动电流，发光器件 OLED 的第二端与第一工作电压端耦接。

在一些实施例中，第一重置子电路 21 包括第二十一晶体管 M21，第二重置子电路 22 包括第二十二晶体管 M22，数据写入子电路 23 包括第二十三晶体管 M23，阈值补偿子电路 24 包括第二十四晶体管 M24、
10 第二十五晶体管 M25 和存储电容 CST，发光控制子电路 25 包括第二十六晶体管 M26。

其中，第二十一晶体管 M21 的控制极与扫描控制信号线 SC 耦接，第二十一晶体管 M21 的第一极与初始化电压端耦接，第二十一晶体管 M21 的第二极与驱动晶体管 DTFT 的控制极耦接；第二十二晶体管 M22 的控制极与重置信号线 RST 耦接，第二十二晶体管 M22 的第一极与初始化电压端耦接，第二十二晶体管 M22 的第二极与发光器件 OLED 的第一端耦接；第二十三晶体管 M23 的控制极与扫描信号线 GATE 耦接，第二十三晶体管 M23 的第一极与数据线 DATA 耦接，第二十三晶体管 M23 的第二极与驱动晶体管 DTFT 的第一极耦接；第二十四晶体管 M24 的控制极与发光控制信号线 EM 耦接，第二十四晶体管 M24 的第一极与第二工作电压端耦接，第二十四晶体管 M24 的第二极与驱动晶体管 DTFT 的第一极耦接；第二十五晶体管 M25 的控制极与扫描信号线 GATE 耦接，第二十五晶体管 M25 的第一极与驱动晶体管 DTFT 的控制极耦接，第二十五晶体管 M25 的第二极与驱动晶体管 DTFT 的第二极耦接；
20 存储电容 CST 的第一端与第二工作电压端耦接，存储电容 CST 的第二端与驱动晶体管 DTFT 的控制极耦接；第二十六晶体管 M26 的控制极与发光控制信号线 EM 耦接，第二十六晶体管 M26 的第一极与驱动晶体管 DTFT 的第二极耦接，第二十六晶体管 M26 的第二极与发光器件 OLED 的第一端耦接。

30 其中，初始化电压端提供初始化电压 VINIT，第一工作电压端提供

第一工作电压 VDD，第二工作电压端提供的第二工作电压 VSS。

图 18 为本公开实施例中一个像素单元与位于周边区域内的驱动电路的电路连接示意图，如图 18 所示，在一些实施例中，位于除第一行之外的其他行的任一像素单元，像素单元所耦接的扫描控制信号线，为前一行像素单元所配置的扫描信号线。此时扫描信号线可以实现复用，无需再额外设置扫描控制信号线，有利于减少布线空间。

针对图 18 中所示像素单元，显示基板的周边区域配置有 2 个驱动电路：发光控制驱动电路 GOA_1 和扫描驱动电路 GOA_2，其中发光控制驱动电路 GOA_1 用于提供发光控制信号和重置信号，扫描驱动电路 GOA_2 用于提供扫描信号。

以图 18 中所示像素单元为第 n 行的像素单元为例，该像素单元所配置的发光控制信号线 EM(n) 与发光控制驱动电路 GOA_1 内位于第 n 级的移位寄存器 SR_n 的第一信号输出端 OUT1 耦接，该像素单元所配置的重置信号线 RST(n) 与发光控制驱动电路 GOA_1 内位于第 n 级的移位寄存器 SR_n 的第二信号输出端 OUT2 耦接，该像素单元所配置的扫描信号线 GATE(n) 与扫描驱动电路 GOA_2 内位于第 n 级的移位寄存器 SR'_n（具体电路结构为本领域的常规技术）的信号输出端 OUT 耦接，该像素单元所配置的扫描控制信号线为位于第 n-1 行的扫描信号线 GATE(n-1)，扫描信号线 GATE(n-1) 与扫描驱动电路 GOA_2 内位于第 n-1 级的移位寄存器 SR'_{n-1} 的信号输出端 OUT 耦接。

在本公开实施例中，由于重置信号和发光控制信号由同一驱动电路所输出，从而能确保重置信号与发光控制信号的同步输出；另外，发光控制信号通常采用了脉宽调制（Pulse Width Modulation，简称 PWM）功能，使其在一帧显示时间内具有多个脉冲的输出，由于本公开中重置信号与发光控制信号同步输出且相位相反，因此第二重置子电路 22 会在一帧显示时间内多次开启以对发光器件 OLED 进行多次复位，从而能提高发光器件 OLED 的使用寿命、减少 PWM 下不同的发光控制信号脉冲控制发光器件发光之间的发光亮度差异等优点。

需要说明的是，图 17 和图 18 中所示像素电路包含 7 个晶体管和 1 个电容（又称为 7T1C 电路）的情况仅起到示例作用，其不会对

本公开的技术方案产生限制,本公开的技术方案还可以适用于其他像素电路。

5 可以理解的是,以上实施方式仅仅是为了说明本公开的原理而采用的示例性实施方式,然而本公开并不局限于此。对于本领域内的普通技术人员而言,在不脱离本公开的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本公开的保护范围。

权利要求

1、一种移位寄存器，其中，包括：

5 第一晶体管，所述第一晶体管的控制极与第一时钟信号线耦接以接收第一时钟信号，所述第一晶体管的第一极与信号输入端耦接，所述第一晶体管的第二极与第一节点耦接；

第二晶体管，所述第二晶体管的控制极与所述第一节点耦接，所述第一节点耦接，所述第二晶体管的第一极与第二节点耦接，所述第二晶体管的第二极与所述第一时钟信号线耦接以接收所述第一时钟信号；

10 第三晶体管，所述第三晶体管的控制极与所述第一时钟信号线耦接以接收所述第一时钟信号，所述第三晶体管的第一极与第一电源端耦接，所述第三晶体管的第二极与所述第二节点耦接；

15 第四晶体管，所述第四晶体管的控制极与第二时钟信号线耦接以接收第二时钟信号，所述第四晶体管的第一极与第五晶体管的第二极耦接，所述第四晶体管的第二极与所述第一节点耦接；

第五晶体管，所述第五晶体管的控制极与第三节点耦接，所述第五晶体管的第一极与第二电源端耦接；

20 第一电容，所述第一电容的第一极与第四节点耦接，所述第一电容的第二极与所述第二时钟信号线耦接，第一节点与所述第四节点耦接；

阻抗晶体管，所述阻抗晶体管的控制极与所述第一电源端耦接，所述阻抗晶体管的第一极与所述第二节点耦接，所述阻抗晶体管的第二极与所述第三节点耦接；

25 以及，第一输出控制电路，与所述第三节点、所述第四节点和第一信号输出端耦接，配置为响应于所述第三节点、所述第四节点处信号的控制向所述第一信号输出端输出第一驱动信号。

2、根据权利要求1所述的移位寄存器，其中，还包括：

30 第二输出控制电路，至少与所述第一信号输出端和第二信号输出端耦接，配置为根据所述第一信号输出端所输出的第一驱动信号向

所述第二信号输出端输出与所述第一驱动信号的相位相反的第二驱动信号。

5 3、根据权利要求 2 所述的移位寄存器，其中，所述第一输出控制电路包括：

第九晶体管，所述第九晶体管的控制极与第五节点耦接，所述第九晶体管的第一极与第二电源端耦接，所述第九晶体管的第二极与所述第一信号输出端耦接

10 第三电容，所述第三电容的第一极与所述第五节点耦接，所述第三电容的第二极与所述第二电源端耦接。

4、根据权利要求 3 所述的移位寄存器，其中，所述第一输出控制电路还包括：

15 第六晶体管，所述第六晶体管的控制极与所述第三节点耦接，所述第六晶体管的第一极与所述第二时钟信号线耦接以接收所述第二时钟信号，所述第六晶体管的第二极与第六节点耦接；

第七晶体管，所述第七晶体管的控制极与所述第二时钟信号线耦接以接收所述第二时钟信号，所述第七晶体管的第一极与所述第六节点耦接，所述第七晶体管的第二极与第五节点耦接；

20 第八晶体管，所述第八晶体管的控制极与所述第一节点耦接，所述第八晶体管的第一极与所述第五节点耦接，所述第八晶体管的第二极与所述第二电源端耦接；

25 第十晶体管，所述第十晶体管的控制极与第四节点耦接，所述第十晶体管的第一极与所述第一信号输出端耦接，所述第十晶体管的第二极与所述第一电源端耦接，所述第一节点与所述第四节点耦接；

第二电容，所述第二电容的第一极与所述第三节点耦接，所述第二电容的第二极与所述第六节点耦接。

30 5、根据权利要求 3 或 4 所述的移位寄存器，其中，所述第二输出控制电路包括：

第十一晶体管，所述第十一晶体管的控制极与所述第五节点耦接，所述第十一晶体管的第一极与所述第一电源端耦接，所述第十一晶体管的第二极与第七节点耦接；

5 第十二晶体管，所述第十二晶体管的控制极与所述第一信号输出端耦接，所述第十二晶体管的第一极与所述第七节点耦接，所述第十二晶体管的第二极与所述第二电源端耦接；

第十三晶体管，所述第十三晶体管的控制极与所述第七节点耦接，所述第十三晶体管的第一极与所述第一时钟信号线耦接，所述第十三晶体管的第二极与第四电容的第一极耦接；

10 第四电容，所述第四电容的第二极与所述第七节点耦接；

第十四晶体管，所述第十四晶体管的控制极与所述第七节点耦接，所述第十四晶体管的第一极与所述第一电源端耦接，所述第十四晶体管的第二极与所述第二信号输出端耦接；

15 第十五晶体管，所述第十五晶体管的控制极与所述第一信号输出端耦接，所述第十五晶体管的第一极与所述第二信号输出端耦接，所述第十五晶体管的第二极与所述第二电源端耦接。

6、根据权利要求 3 或 4 所述的移位寄存器，其中，所述第二输出控制电路包括：

20 第十一晶体管，所述第十一晶体管的控制极与所述第五节点耦接，所述第十一晶体管的第一极与所述第一电源端耦接，所述第十一晶体管的第二极与第七节点耦接；

25 第十二晶体管，所述第十二晶体管的控制极与所述第一信号输出端耦接，所述第十二晶体管的第一极与所述第七节点耦接，所述第十二晶体管的第二极与所述第二电源端耦接；

第十三晶体管，所述第十三晶体管的控制极与所述第七节点耦接，所述第十三晶体管的第一极与所述第二时钟信号线耦接，所述第十三晶体管的第二极与第四电容的第一极耦接；

第四电容，所述第四电容的第二极与所述第七节点耦接；

30 第十四晶体管，所述第十四晶体管的控制极与所述第七节点耦

接，所述第十四晶体管的第一极与所述第一电源端耦接，所述第十四晶体管的第二极与所述第二信号输出端耦接；

第十五晶体管，所述第十五晶体管的控制极与所述第一信号输出端耦接，所述第十五晶体管的第一极与所述第二信号输出端耦接，
5 所述第十五晶体管的第二极与所述第二电源端耦接。

7、根据权利要求 3 或 4 所述的移位寄存器，其中，所述第二输出控制电路包括：

第十一晶体管，所述第十一晶体管的控制极与所述第五节点耦接，
10 所述第十一晶体管的第一极与所述第一电源端耦接，所述第十一晶体管的第二极与第七节点耦接；

第十二晶体管，所述第十二晶体管的控制极与所述第一信号输出端耦接，所述第十二晶体管的第一极与所述第七节点耦接，所述第十二晶体管的第二极与所述第二电源端耦接；

15 第四电容，所述第四电容的第一极与所述第一时钟信号线耦接，所述第四电容的第二极与所述第七节点耦接；

第十四晶体管，所述第十四晶体管的控制极与所述第七节点耦接，所述第十四晶体管的第一极与所述第一电源端耦接，所述第十四晶体管的第二极与所述第二信号输出端耦接；

20 第十五晶体管，所述第十五晶体管的控制极与所述第一信号输出端耦接，所述第十五晶体管的第一极与所述第二信号输出端耦接，所述第十五晶体管的第二极与所述第二电源端耦接。

25 8、根据权利要求 3 或 4 所述的移位寄存器，其中，所述第二输出控制电路包括：

第十一晶体管，所述第十一晶体管的控制极与所述第五节点耦接，所述第十一晶体管的第一极与所述第一电源端耦接，所述第十一晶体管的第二极与第七节点耦接；

30 第十二晶体管，所述第十二晶体管的控制极与所述第一信号输出端耦接，所述第十二晶体管的第一极与所述第七节点耦接，所述第

十二晶体管的第二极与所述第二电源端耦接；

第四电容，所述第四电容的第一极与所述第二时钟信号线耦接，所述第四电容的第二极与所述第七节点耦接；

5 第十四晶体管，所述第十四晶体的控制极与所述第七节点耦接，所述第十四晶体的第一极与所述第一电源端耦接，所述第十四晶体的第二极与所述第二信号输出端耦接；

第十五晶体管，所述第十五晶体的控制极与所述第一信号输出端耦接，所述第十五晶体的第一极与所述第二信号输出端耦接，所述第十五晶体的第二极与所述第二电源端耦接。

10

9、根据权利要求 1 至 8 中任一所述的移位寄存器，其中，还包括：

限压晶体管，所述第一节点通过所述限压晶体管与所述第四节点耦接；

15

所述限压晶体的控制极与所述第一电源端耦接，所述限压晶体的第一极与所述第一节点耦接，所述限压晶体的第二极与所述第四节点耦接。

20

10. 一种驱动电路，其中，包括：级联设置的多个移位寄存器，所述移位寄存器采用上述权利要求 1 至 9 中任一所述的移位寄存器；位于第一级的移位寄存器的信号输入端与帧起始信号端耦接；除位于第一级的移位寄存器外，位于其他级的移位寄存器的信号输入端与前一级移位寄存器的第一信号输出端耦接。

25

11、一种显示基板，其中，包括显示区域和围绕所述显示区域的周边区域，所述显示区域内设置有多个像素单元，每个像素单元配置有对应的发光控制信号线，所述周边区域内设置有发光控制驱动电路，所述发光控制驱动电路采用上述权利要求 10 中所述驱动电路，所述发光控制驱动电路内各级所述移位寄存器的第一信号输出端与

30

所述显示区域内对应的发光控制信号线耦接。

12、根据权利要求 11 所述的显示基板，其中，每个像素单元还配置有对应的重置信号线；

5 所述发光控制驱动电路内的所述移位寄存器采用上述权利要求 2 至 8 中任一所述的移位寄存器，所述发光控制驱动电路内的所述移位寄存器的第二信号输出端与所述显示区域内对应的重置信号线耦接。

10 13、根据权利要求 11 或 12 所述的显示基板，其中，所述像素单元包括：像素电路和发光器件，所述像素电路包括：第一重置子电路、第二重置子电路、数据写入子电路、阈值补偿子电路、发光控制子电路和驱动晶体管；

15 所述第一重置子电路，与初始化电压端、所述驱动晶体的控制极、对应的扫描控制信号线耦接，配置为响应于所述扫描控制信号线所提供扫描控制信号的控制将初始化电压端提供的初始化电压写入至所述驱动晶体的控制极；

所述第二重置子电路，与所述初始化电压端、所述发光器件的第一端、对应的所述重置信号线耦接，配置为响应于所述重置信号线的控制将所述初始化电压写入至所述发光器件的第一端；

20 所述数据写入子电路，与所述驱动晶体的第一极、对应的数据线、对应的扫描信号线耦接，配置为响应于所述扫描信号线的控制将所述数据线提供的数据电压写入至所述驱动晶体的第一极；

25 所述阈值补偿子电路，与第二工作电压端、所述驱动晶体的控制极、所述驱动晶体的第一极、所述驱动晶体的第二极耦接、对应的所述扫描信号线耦接，配置为响应于所述扫描信号线的控制将数据补偿电压写入至所述驱动晶体的控制极，所述数据补充电压等于所述数据电压与所述驱动晶体的阈值电压之和；

30 所述发光控制子电路，位于所述驱动晶体的第二极和所述发光器件的第一端之间，且与发光控制信号线耦接，配置为响应于所述发光控制信号线所提供发光控制信号的控制以使得所述驱动晶体管

的第二极与所述发光器件的第一端之间导通；

所述驱动晶体管配置为响应于所述数据补偿电压的控制输出相应的驱动电流；

所述发光器件的第二端与第一工作电压端耦接。

5

14、根据权利要求 13 所述的显示基板，其中，所述第一重置子电路包括第二十一晶体管，所述第二重置子电路包括第二十二晶体管，所述数据写入子电路包括第二十三晶体管，所述阈值补偿子电路包括第二十四晶体管、第二十五晶体管和存储电容，所述发光控制子电路包括第二十六晶体管；

10

所述第二十一晶体管的控制极与所述扫描控制信号线耦接，所述第二十一晶体管的第一极与所述初始化电压端耦接，所述第二十一晶体管的第二极与所述驱动晶体的控制极耦接；

15

所述第二十二晶体管的控制极与所述重置信号线耦接，所述第二十二晶体管的第一极与所述初始化电压端耦接，所述第二十二晶体管的第二极与所述发光器件的第一端耦接；

所述第二十三晶体管的控制极与所述扫描信号线耦接，所述第二十三晶体管的第一极与所述数据线耦接，所述第二十三晶体管的第二极与所述驱动晶体管的第一极耦接；

20

所述第二十四晶体管的控制极与所述发光控制信号线耦接，所述第二十四晶体管的第一极与所述第二工作电压端耦接，所述第二十四晶体管的第二极与所述驱动晶体管的第一极耦接；

25

所述第二十五晶体管的控制极与所述扫描信号线耦接，所述第二十五晶体管的第一极与所述驱动晶体的控制极耦接，所述第二十五晶体管的第二极与所述驱动晶体的第二极耦接；

所述存储电容的第一端与所述第二工作电压端耦接，所述存储电容的第二端与所述驱动晶体的控制极耦接；

30

所述第二十六晶体管的控制极与所述发光控制信号线耦接，所述第二十六晶体管的第一极与所述驱动晶体的第二极耦接，所述第二十六晶体管的第二极与所述发光器件的第一端耦接。

15. 根据权利要求 13 或 14 所述的显示基板，其中，位于除第一行之外的其他行的任一所述像素单元，所述像素单元所耦接的所述扫描控制信号线，为前一行像素单元所配置的所述扫描信号线。

5

16. 根据权利要求 11 至 15 中任一所述的显示基板，其中，每个像素单元配置有对应的扫描信号线，所述周边区域内设置有扫描驱动电路；

10

所述发光控制驱动电路内各级所述移位寄存器的信号输出端与所述显示区域内对应的扫描信号线耦接。

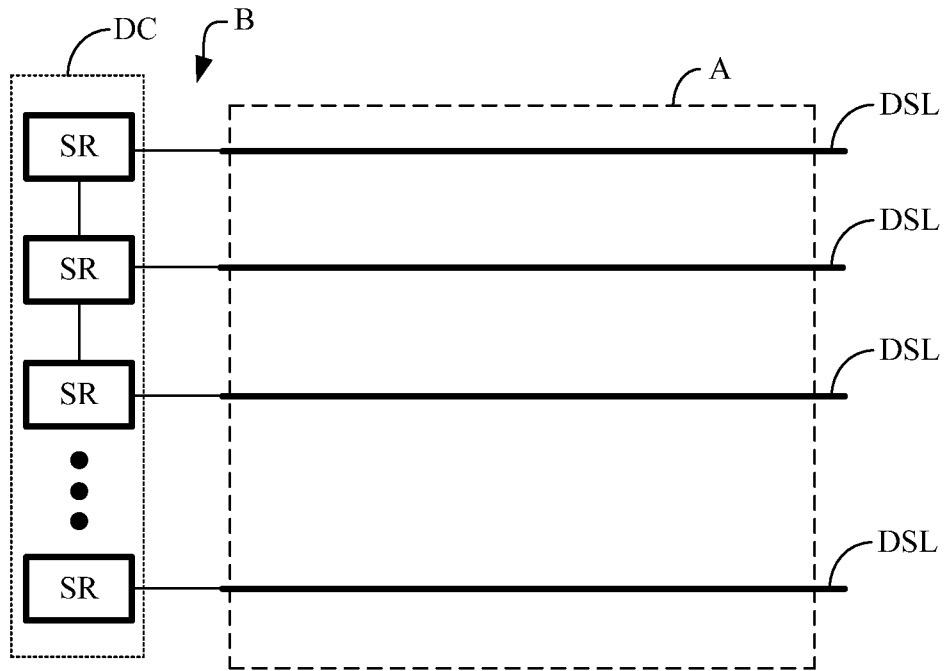


图 1

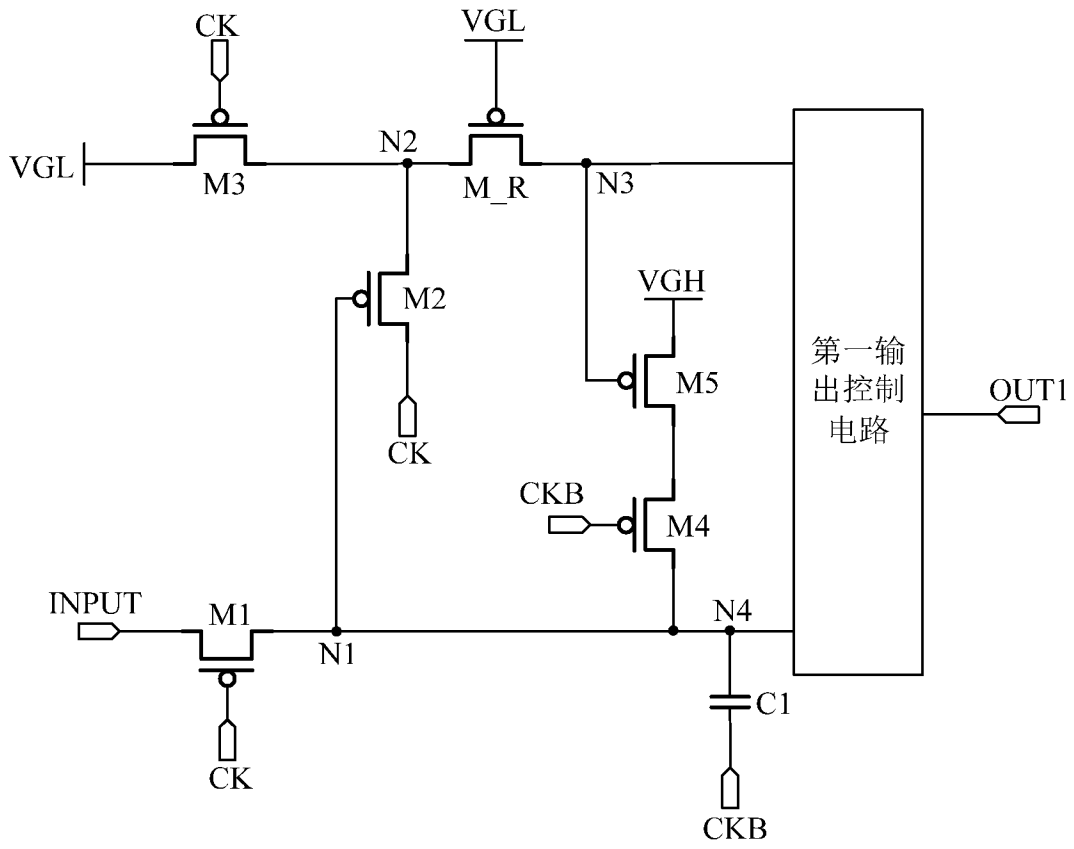


图 2

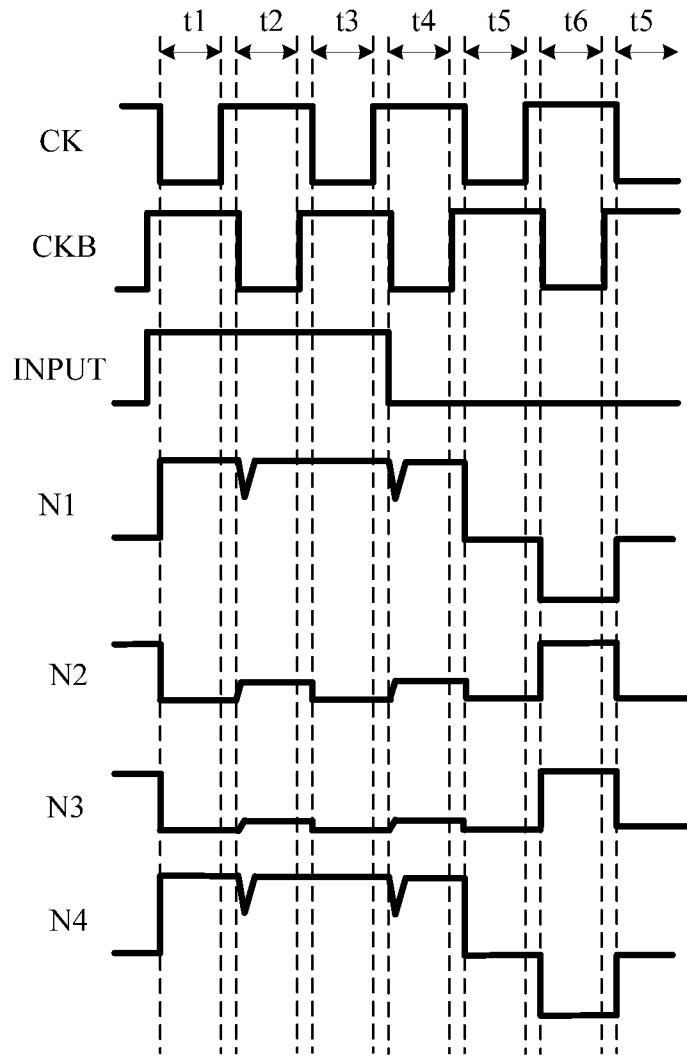


图 3

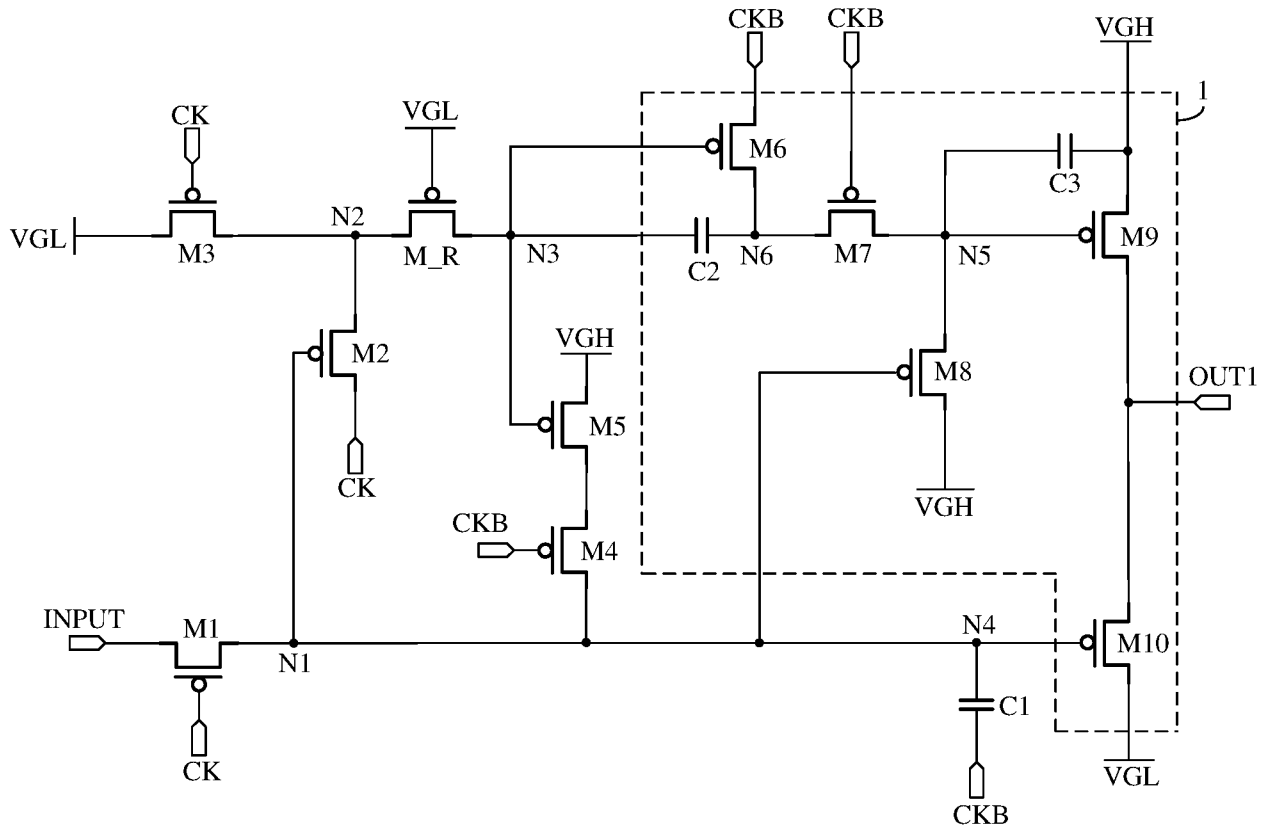


图 4

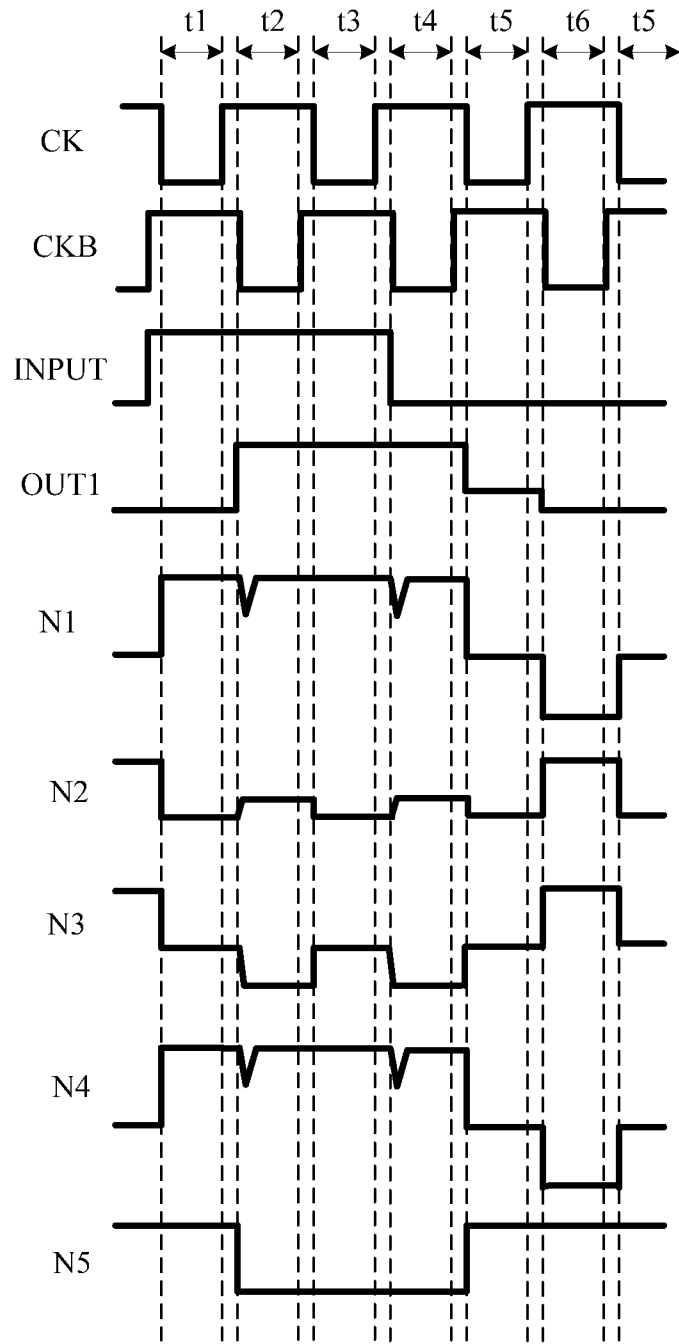


图 5

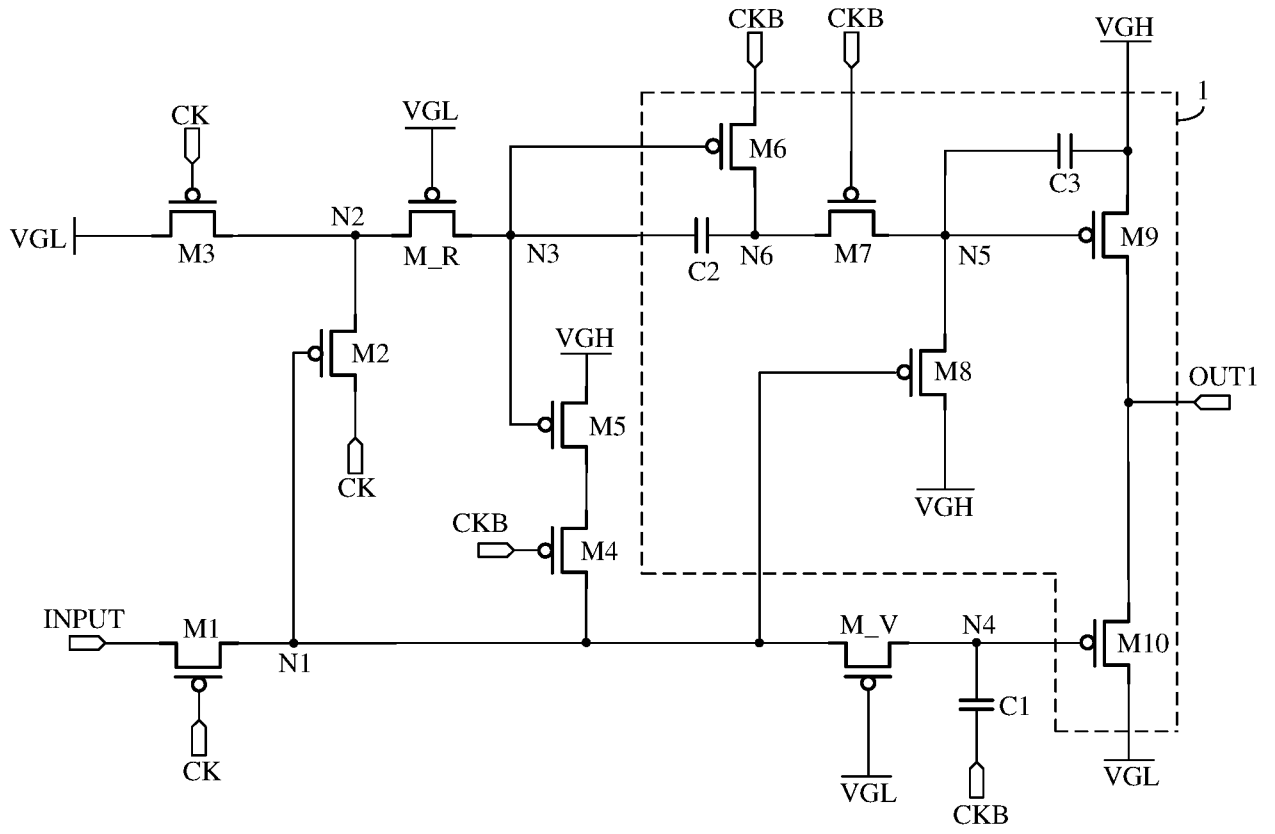


图 6

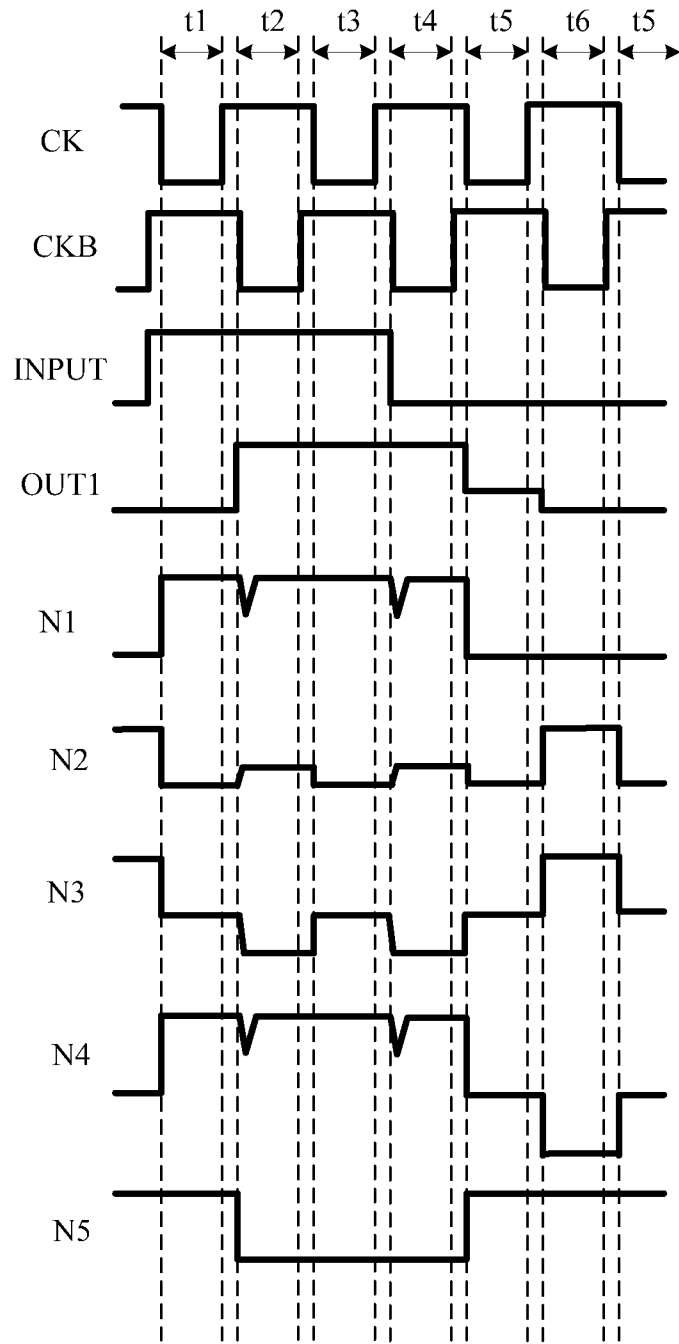


图 7

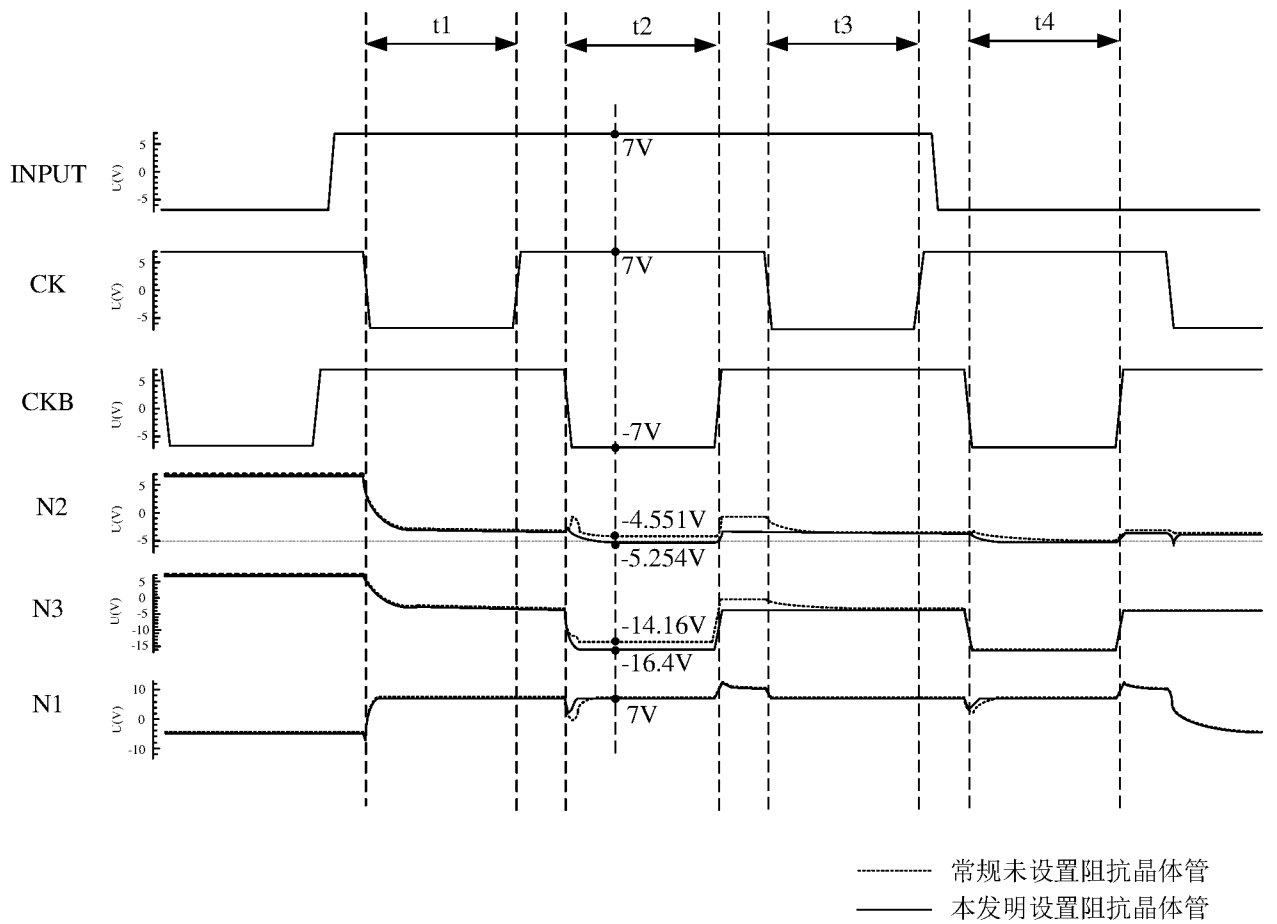


图 8

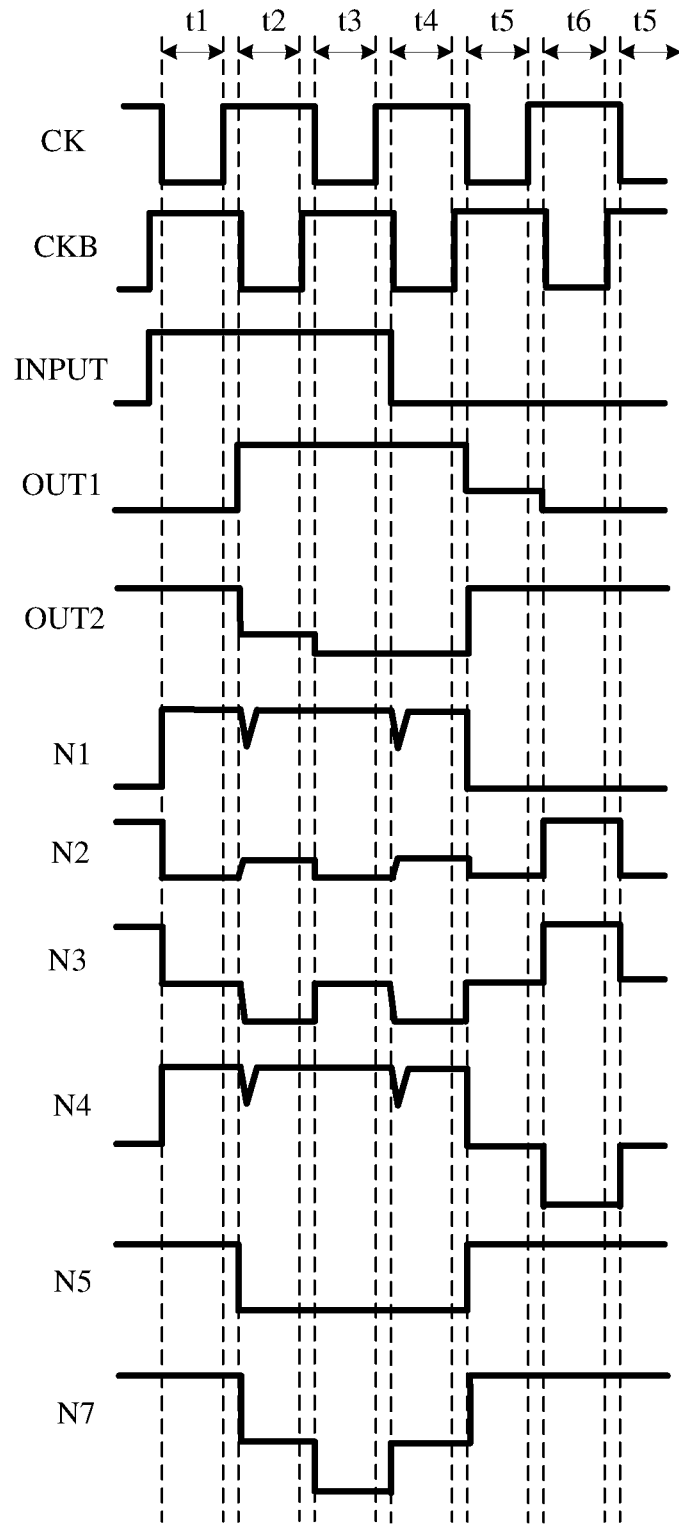


图 10

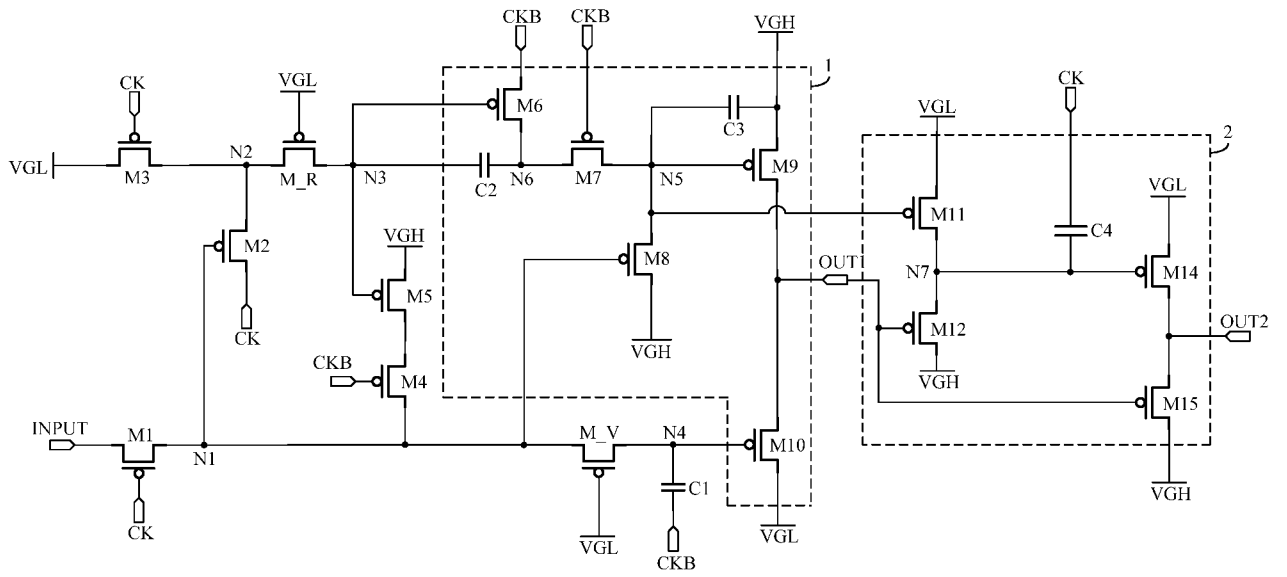


图 11

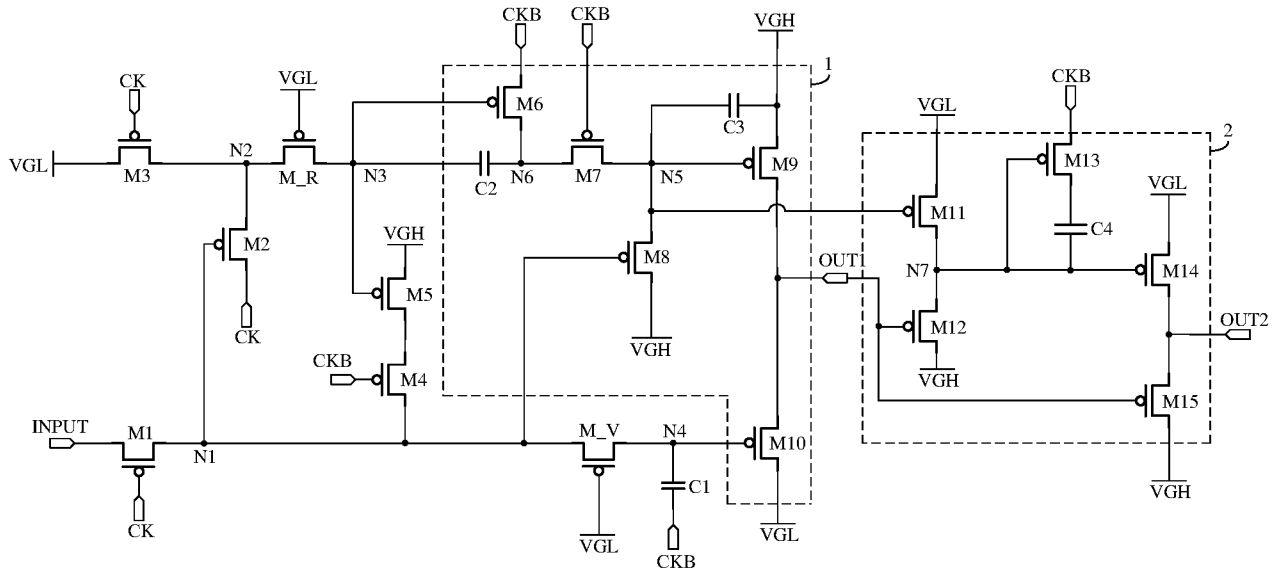


图 12

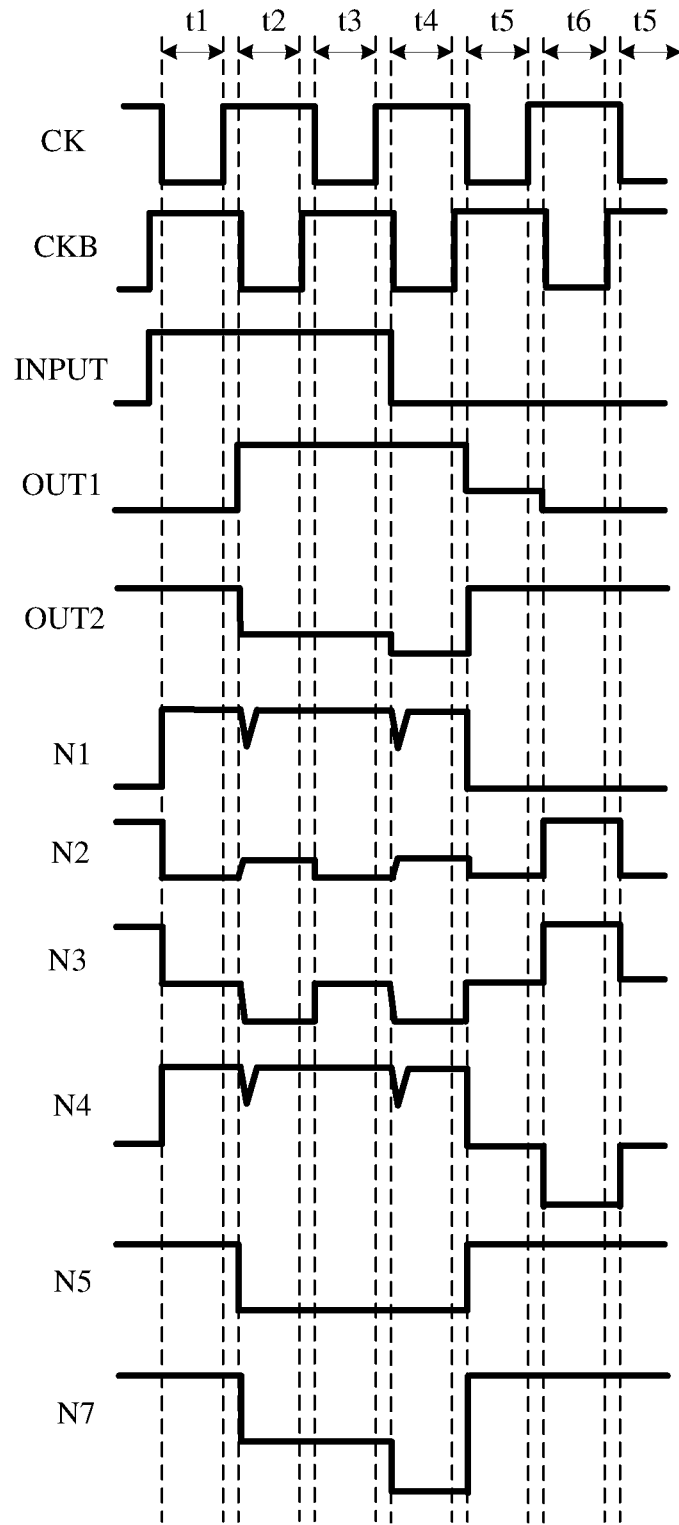


图 13

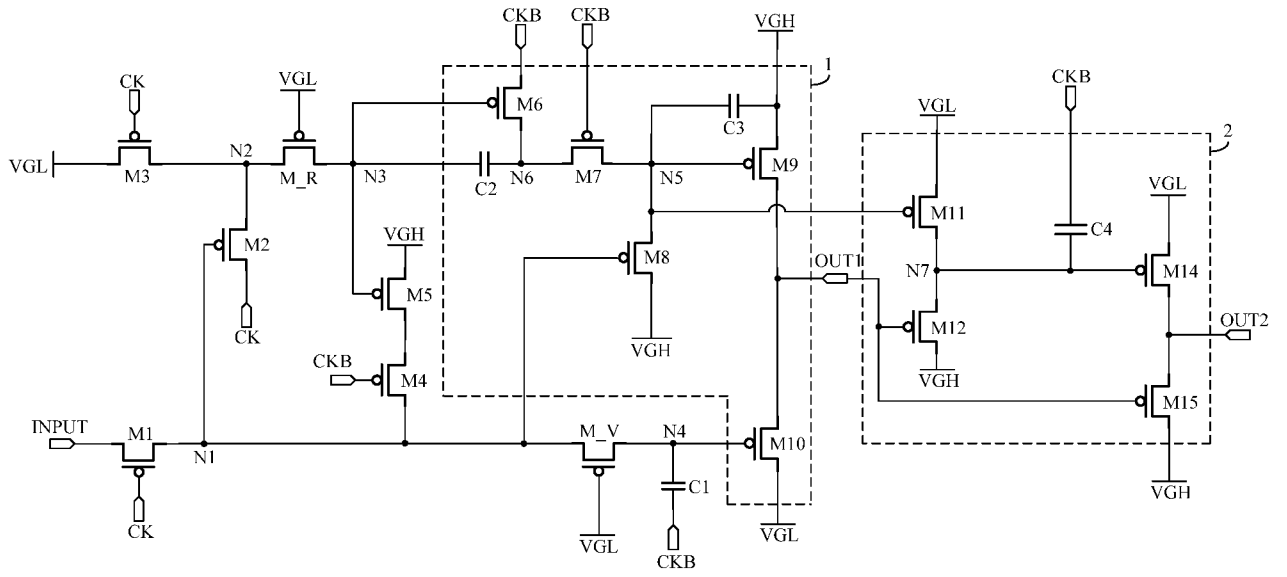


图 14

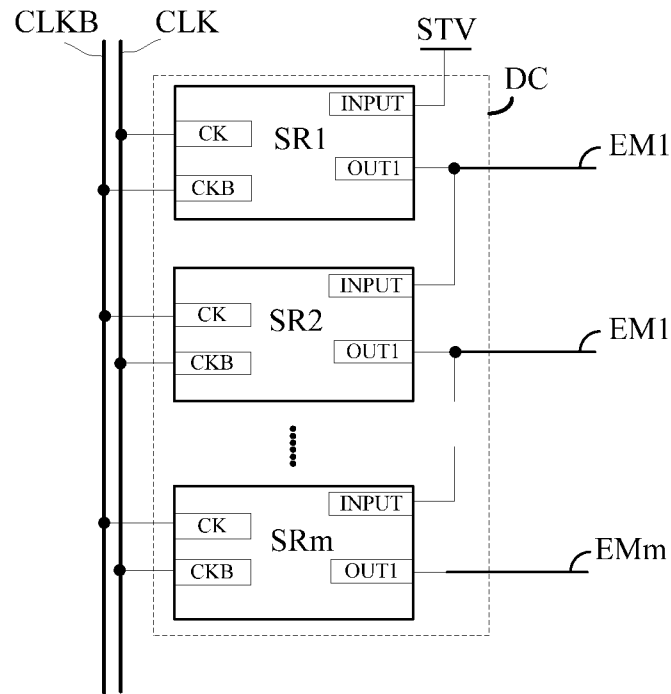


图 15

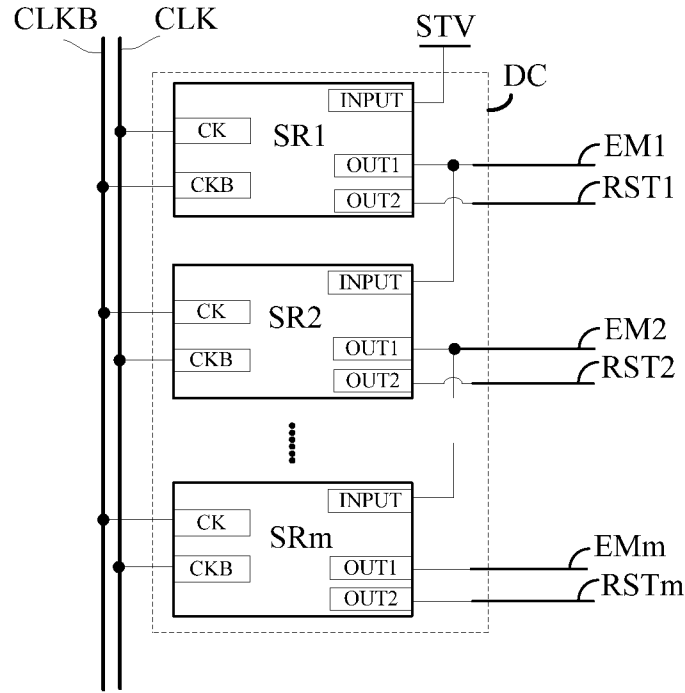


图 16

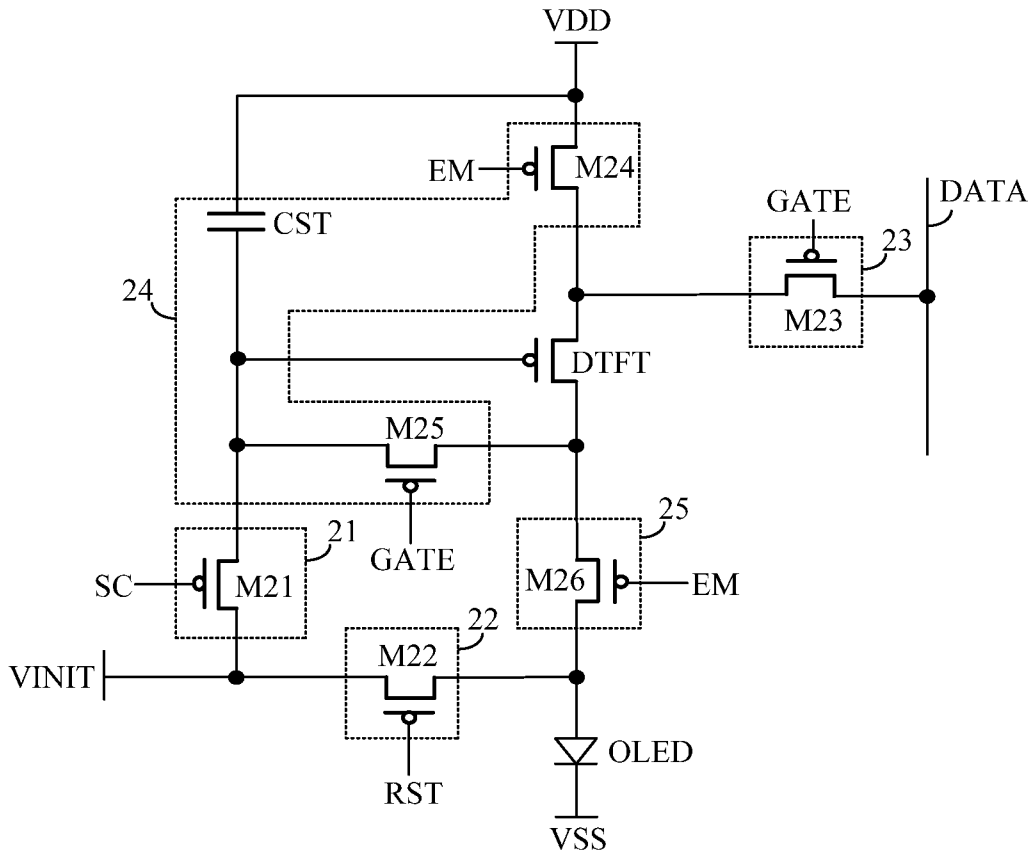


图 17

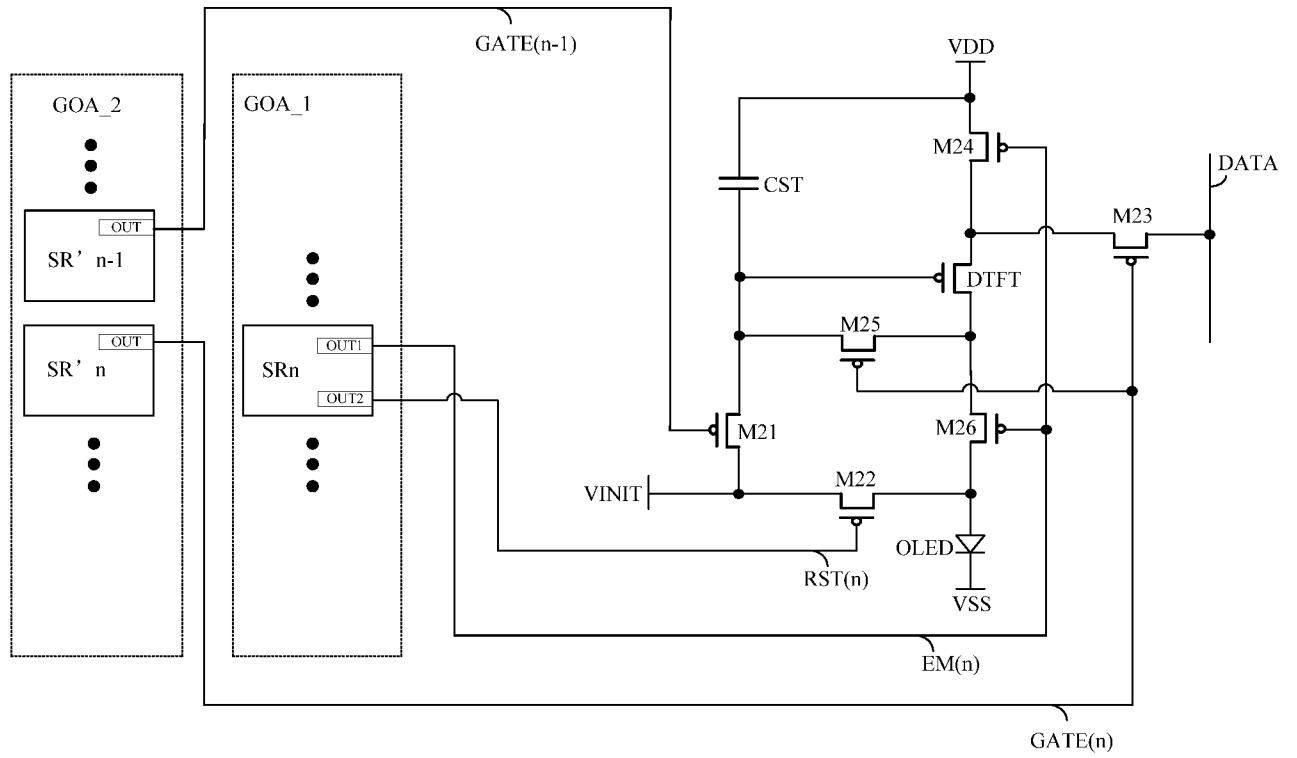


图 18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/079682

A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/20(2006.01)i; G11C 19/28(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G09G3/-;G11C19/-;CPC:G09G2310/0286;G09G3/3266;G09G2310/0264		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPABSC; WPABS; ENTXT; DWPI; ENTXTC; VEN; CNABS; CNTXT: 京东方, 肖云升, 青海刚, 移位寄存, 移位缓存, 阻抗, 电阻, 节点, 稳定, 变化, 异常, 电压, 电平, 拉升, 上拉, 节点, 误导通, 误开启, 误打开, 误操作, 误动作, 误充电, shift, register, resist+, imped+, node?, stab+, chang+, abnormal+, voltage, pull up, fault, mistak+, error, open+, conduct+, breakover+.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106448540 A (SHANGHAI TIANMA AMOLED CO., LTD. et al.) 22 February 2017 (2017-02-22) description, paragraphs 4, and 25-53, and figures 2-7	1-16
A	CN 110992871 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 10 April 2020 (2020-04-10) entire document	1-16
A	WO 2016123968 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 August 2016 (2016-08-11) entire document	1-16
A	US 2012182050 A1 (YANG, J. W. et al.) 19 July 2012 (2012-07-19) entire document	1-16
A	US 2007008270 A1 (NORIO, M. et al.) 11 January 2007 (2007-01-11) entire document	1-16
A	CN 104021769 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 September 2014 (2014-09-03) entire document	1-16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
02 November 2021		06 December 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/079682

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 110808012 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 18 February 2020 (2020-02-18) entire document	1-16
A	CN 106997755 A (BOE TECHNOLOGY GROUP CO., LTD.) 01 August 2017 (2017-08-01) entire document	1-16
A	KR 20190069182 A (LG DISPLAY CO., LTD.) 19 June 2019 (2019-06-19) entire document	1-16
A	US 2014022228 A1 (SAMSUNG DISPLAY CO., LTD.) 23 January 2014 (2014-01-23) entire document	1-16
A	US 2014104153 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 17 April 2014 (2014-04-17) entire document	1-16
A	CN 112154497 A (BOE TECHNOLOGY GROUP CO., LTD.) 29 December 2020 (2020-12-29) entire document	1-16
A	CN 109427277 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 05 March 2019 (2019-03-05) entire document	1-16
A	WO 2015027600 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 05 March 2015 (2015-03-05) entire document	1-16
A	CN 102651186 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 29 August 2012 (2012-08-29) entire document	1-16
A	CN 101783124 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL et al.) 21 July 2010 (2010-07-21) entire document	1-16
A	US 2020211435 A1 (HEFEI BOE OPTOELECTRONICS TECH. et al.) 02 July 2020 (2020-07-02) entire document	1-16
A	CN 104485086 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 April 2015 (2015-04-01) entire document	1-16
A	US 2019073948 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 07 March 2019 (2019-03-07) entire document	1-16
A	CN 105051826 A (SHARP CORP.) 11 November 2015 (2015-11-11) entire document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/079682

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106448540	A	22 February 2017	DE	102017118657	A1	24 May 2018
				US	2017287413	A1	05 October 2017
				CN	106448540	B	17 November 2020
				IN	201724025863	A	28 July 2017
CN	110992871	A	10 April 2020	None			
WO	2016123968	A1	11 August 2016	CN	104575436	A	29 April 2015
				US	2016372070	A1	22 December 2016
				US	10417983	B2	17 September 2019
US	2012182050	A1	19 July 2012	US	8797251	B2	05 August 2014
				KR	20120082209	A	23 July 2012
				KR	101794267	B1	08 November 2017
US	2007008270	A1	11 January 2007	CN	1873759	A	06 December 2006
				CN	1873759	B	23 November 2011
				JP	2007011278	A	18 January 2007
				JP	4866623	B2	01 February 2012
				US	7796109	B2	14 September 2010
CN	104021769	A	03 September 2014	EP	3151235	A1	05 April 2017
				EP	3151235	A4	27 December 2017
				EP	3151235	B1	11 March 2020
				US	2016266699	A1	15 September 2016
				US	9766741	B2	19 September 2017
				WO	2015180420	A1	03 December 2015
				CN	104021769	B	15 June 2016
CN	110808012	A	18 February 2020	US	2021166630	A1	03 June 2021
				CN	110808012	B	26 February 2021
CN	106997755	A	01 August 2017	US	2018330685	A1	15 November 2018
				US	10937380	B2	02 March 2021
				CN	106997755	B	04 June 2019
KR	20190069182	A	19 June 2019	None			
US	2014022228	A1	23 January 2014	US	9455698	B2	27 September 2016
				KR	20140011661	A	29 January 2014
				KR	102055328	B1	13 December 2019
US	2014104153	A1	17 April 2014	WO	2013143316	A1	03 October 2013
				CN	102629463	A	08 August 2012
				CN	102629463	B	09 October 2013
				US	9019192	B2	28 April 2015
CN	112154497	A	29 December 2020	US	2021150970	A1	20 May 2021
				WO	2020191511	A1	01 October 2020
				IN	202047047188	A	06 November 2020
CN	109427277	A	05 March 2019	EP	3678118	A1	08 July 2020
				EP	3678118	A4	14 April 2021
				WO	2019042189	A1	07 March 2019
				US	2019272884	A1	05 September 2019
				US	10658061	B2	19 May 2020
				CN	109427277	B	03 November 2020
WO	2015027600	A1	05 March 2015	US	9691312	B2	27 June 2017
				EP	3041000	A4	12 April 2017
				CN	104425035	A	18 March 2015

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/079682

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
				CN	104425035	B	28 July 2017
				EP	3041000	A1	06 July 2016
				US	2016275834	A1	22 September 2016
CN	102651186	A	29 August 2012	EP	2509077	A2	10 October 2012
				EP	2509077	A3	17 October 2012
				EP	2509077	B1	09 May 2018
				CN	102651186	B	01 April 2015
				KR	20120115126	A	17 October 2012
				KR	101399592	B1	27 May 2014
				JP	2012221551	A	12 November 2012
				US	2012256817	A1	11 October 2012
				US	8842061	B2	23 September 2014
CN	101783124	A	21 July 2010	US	2012188210	A1	26 July 2012
				US	8766958	B2	01 July 2014
				CN	101783124	B	08 May 2013
				WO	2011095099	A1	11 August 2011
US	2020211435	A1	02 July 2020	CN	109658888	A	19 April 2019
				US	11030931	B2	08 June 2021
CN	104485086	A	01 April 2015	US	2016372063	A1	22 December 2016
				WO	2016107096	A1	07 July 2016
				EP	3242289	A1	08 November 2017
				EP	3242289	A4	08 August 2018
US	2019073948	A1	07 March 2019	US	10424242	B2	24 September 2019
				WO	2018161528	A1	13 September 2018
				CN	106601190	A	26 April 2017
				CN	106601190	B	21 December 2018
CN	105051826	A	11 November 2015	JP	WO2014148170	A1	16 February 2017
				US	2016027527	A1	28 January 2016
				JP	6116664	B2	19 April 2017
				CN	105051826	B	02 February 2018
				WO	2014148170	A1	25 September 2014
				US	9715940	B2	25 July 2017

<p>A. 主题的分类</p> <p>G09G 3/20(2006.01)i; G11C 19/28(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																										
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G3/-;G11C19/-;CPC:G09G2310/0286;G09G3/3266;G09G2310/0264</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPABSC;WPABS;ENTXT;DWPI;ENTXTC;VEN;CNABS;CNTXT:京东方, 肖云升, 青海刚, 移位寄存, 移位缓存, 阻抗, 电阻, 节点, 稳定, 变化, 异常, 电压, 电平, 拉升, 上拉, 节点, 误导通, 误开启, 误打开, 误操作, 误动作, 误充电, shift, register, resist+, imped+, node?, stab+, chang+, abnormal+, voltage, pull up, fault, mistak+, error, open+, conduct+, breakover+.</p>																										
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 106448540 A (上海天马有机发光显示技术有限公司等) 2017年2月22日 (2017 - 02 - 22) 说明书第4、25-53段及附图2-7</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 110992871 A (昆山国显光电有限公司) 2020年4月10日 (2020 - 04 - 10) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>WO 2016123968 A1 (京东方科技集团股份有限公司等) 2016年8月11日 (2016 - 08 - 11) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2012182050 A1 (YANG Jinwook等) 2012年7月19日 (2012 - 07 - 19) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2007008270 A1 (MAMBA Norio等) 2007年1月11日 (2007 - 01 - 11) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 104021769 A (京东方科技集团股份有限公司等) 2014年9月3日 (2014 - 09 - 03) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 110808012 A (京东方科技集团股份有限公司等) 2020年2月18日 (2020 - 02 - 18) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 106448540 A (上海天马有机发光显示技术有限公司等) 2017年2月22日 (2017 - 02 - 22) 说明书第4、25-53段及附图2-7	1-16	A	CN 110992871 A (昆山国显光电有限公司) 2020年4月10日 (2020 - 04 - 10) 全文	1-16	A	WO 2016123968 A1 (京东方科技集团股份有限公司等) 2016年8月11日 (2016 - 08 - 11) 全文	1-16	A	US 2012182050 A1 (YANG Jinwook等) 2012年7月19日 (2012 - 07 - 19) 全文	1-16	A	US 2007008270 A1 (MAMBA Norio等) 2007年1月11日 (2007 - 01 - 11) 全文	1-16	A	CN 104021769 A (京东方科技集团股份有限公司等) 2014年9月3日 (2014 - 09 - 03) 全文	1-16	A	CN 110808012 A (京东方科技集团股份有限公司等) 2020年2月18日 (2020 - 02 - 18) 全文	1-16
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
A	CN 106448540 A (上海天马有机发光显示技术有限公司等) 2017年2月22日 (2017 - 02 - 22) 说明书第4、25-53段及附图2-7	1-16																								
A	CN 110992871 A (昆山国显光电有限公司) 2020年4月10日 (2020 - 04 - 10) 全文	1-16																								
A	WO 2016123968 A1 (京东方科技集团股份有限公司等) 2016年8月11日 (2016 - 08 - 11) 全文	1-16																								
A	US 2012182050 A1 (YANG Jinwook等) 2012年7月19日 (2012 - 07 - 19) 全文	1-16																								
A	US 2007008270 A1 (MAMBA Norio等) 2007年1月11日 (2007 - 01 - 11) 全文	1-16																								
A	CN 104021769 A (京东方科技集团股份有限公司等) 2014年9月3日 (2014 - 09 - 03) 全文	1-16																								
A	CN 110808012 A (京东方科技集团股份有限公司等) 2020年2月18日 (2020 - 02 - 18) 全文	1-16																								
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>																										
国际检索实际完成的日期	国际检索报告邮寄日期																									
2021年11月2日	2021年12月6日																									
ISA/CN的名称和邮寄地址	授权官员																									
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	吕雪霜																									
传真号 (86-10)62019451	电话号码 (86-28)62967985																									

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 106997755 A (京东方科技集团股份有限公司) 2017年8月1日 (2017 - 08 - 01) 全文	1-16
A	KR 20190069182 A (LG DISPLAY CO. LTD.) 2019年6月19日 (2019 - 06 - 19) 全文	1-16
A	US 2014022228 A1 (SAMSUNG DISPLAY CO. LTD.) 2014年1月23日 (2014 - 01 - 23) 全文	1-16
A	US 2014104153 A1 (BOE TECHNOLOGY GROUP CO. LTD.) 2014年4月17日 (2014 - 04 - 17) 全文	1-16
A	CN 112154497 A (京东方科技集团股份有限公司) 2020年12月29日 (2020 - 12 - 29) 全文	1-16
A	CN 109427277 A (京东方科技集团股份有限公司等) 2019年3月5日 (2019 - 03 - 05) 全文	1-16
A	WO 2015027600 A1 (BOE TECHNOLOGY GROUP CO. LTD. 等) 2015年3月5日 (2015 - 03 - 05) 全文	1-16
A	CN 102651186 A (北京京东方光电科技有限公司) 2012年8月29日 (2012 - 08 - 29) 全文	1-16
A	CN 101783124 A (北京大学深圳研究生院等) 2010年7月21日 (2010 - 07 - 21) 全文	1-16
A	US 2020211435 A1 (HEFEI BOE OPTOELECTRONICS TECH. 等) 2020年7月2日 (2020 - 07 - 02) 全文	1-16
A	CN 104485086 A (京东方科技集团股份有限公司等) 2015年4月1日 (2015 - 04 - 01) 全文	1-16
A	US 2019073948 A1 (BOE TECHNOLOGY GROUP CO. LTD. 等) 2019年3月7日 (2019 - 03 - 07) 全文	1-16
A	CN 105051826 A (夏普株式会社) 2015年11月11日 (2015 - 11 - 11) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/079682

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)			
CN	106448540	A	2017年2月22日	DE	102017118657	A1	2018年5月24日			
				US	2017287413	A1	2017年10月5日			
				CN	106448540	B	2020年11月17日			
				IN	201724025863	A	2017年7月28日			

CN	110992871	A	2020年4月10日	无						

WO	2016123968	A1	2016年8月11日	CN	104575436	A	2015年4月29日			
				US	2016372070	A1	2016年12月22日			
				US	10417983	B2	2019年9月17日			

US	2012182050	A1	2012年7月19日	US	8797251	B2	2014年8月5日			
				KR	20120082209	A	2012年7月23日			
				KR	101794267	B1	2017年11月8日			

US	2007008270	A1	2007年1月11日	CN	1873759	A	2006年12月6日			
				CN	1873759	B	2011年11月23日			
				JP	2007011278	A	2007年1月18日			
				JP	4866623	B2	2012年2月1日			
				US	7796109	B2	2010年9月14日			

CN	104021769	A	2014年9月3日	EP	3151235	A1	2017年4月5日			
				EP	3151235	A4	2017年12月27日			
				EP	3151235	B1	2020年3月11日			
				US	2016266699	A1	2016年9月15日			
				US	9766741	B2	2017年9月19日			
				WO	2015180420	A1	2015年12月3日			
				CN	104021769	B	2016年6月15日			

				CN	110808012	A	2020年2月18日	US	2021166630	A1
CN	110808012	B	2021年2月26日							

CN	106997755	A	2017年8月1日	US	2018330685	A1	2018年11月15日			
				US	10937380	B2	2021年3月2日			
				CN	106997755	B	2019年6月4日			

KR	20190069182	A	2019年6月19日	无						

US	2014022228	A1	2014年1月23日	US	9455698	B2	2016年9月27日			
				KR	20140011661	A	2014年1月29日			
				KR	102055328	B1	2019年12月13日			

US	2014104153	A1	2014年4月17日	WO	2013143316	A1	2013年10月3日			
				CN	102629463	A	2012年8月8日			
				CN	102629463	B	2013年10月9日			
				US	9019192	B2	2015年4月28日			

CN	112154497	A	2020年12月29日	US	2021150970	A1	2021年5月20日			
				WO	2020191511	A1	2020年10月1日			
				IN	202047047188	A	2020年11月6日			

CN	109427277	A	2019年3月5日	EP	3678118	A1	2020年7月8日			
				EP	3678118	A4	2021年4月14日			
				WO	2019042189	A1	2019年3月7日			
				US	2019272884	A1	2019年9月5日			
				US	10658061	B2	2020年5月19日			
				CN	109427277	B	2020年11月3日			

WO	2015027600	A1	2015年3月5日	US	9691312	B2	2017年6月27日			
				EP	3041000	A4	2017年4月12日			
				CN	104425035	A	2015年3月18日			

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/079682

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
				CN	104425035	B	2017年7月28日
				EP	3041000	A1	2016年7月6日
				US	2016275834	A1	2016年9月22日
CN	102651186	A	2012年8月29日	EP	2509077	A2	2012年10月10日
				EP	2509077	A3	2012年10月17日
				EP	2509077	B1	2018年5月9日
				CN	102651186	B	2015年4月1日
				KR	20120115126	A	2012年10月17日
				KR	101399592	B1	2014年5月27日
				JP	2012221551	A	2012年11月12日
				US	2012256817	A1	2012年10月11日
				US	8842061	B2	2014年9月23日
CN	101783124	A	2010年7月21日	US	2012188210	A1	2012年7月26日
				US	8766958	B2	2014年7月1日
				CN	101783124	B	2013年5月8日
				WO	2011095099	A1	2011年8月11日
US	2020211435	A1	2020年7月2日	CN	109658888	A	2019年4月19日
				US	11030931	B2	2021年6月8日
CN	104485086	A	2015年4月1日	US	2016372063	A1	2016年12月22日
				WO	2016107096	A1	2016年7月7日
				EP	3242289	A1	2017年11月8日
				EP	3242289	A4	2018年8月8日
US	2019073948	A1	2019年3月7日	US	10424242	B2	2019年9月24日
				WO	2018161528	A1	2018年9月13日
				CN	106601190	A	2017年4月26日
				CN	106601190	B	2018年12月21日
CN	105051826	A	2015年11月11日	JP	W02014148170	A1	2017年2月16日
				US	2016027527	A1	2016年1月28日
				JP	6116664	B2	2017年4月19日
				CN	105051826	B	2018年2月2日
				WO	2014148170	A1	2014年9月25日
				US	9715940	B2	2017年7月25日