



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0052216
(43) 공개일자 2013년05월22일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2011-0117539

(22) 출원일자 2011년11월11일

심사청구일자 없음

(71) 출원인

한국전자통신연구원

대전광역시 유성구 가정로 218 (가정동)

(72) 발명자

임상철

대전광역시 유성구 유성대로 1741, 107동 805호
(전민동, 세종아파트)

오지영

대전광역시 중구 보문로30번길 51 (문창동)
(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

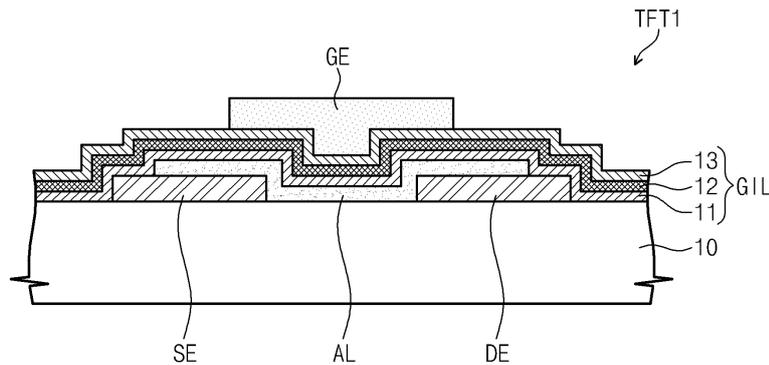
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 박막 트랜지스터 및 그 제조방법

(57) 요약

박막 트랜지스터는 드레인 전극, 소스 전극, 액티브층, 게이트 전극 및 게이트 절연막을 포함한다. 상기 게이트 절연막은 수직면 상에서 상기 액티브 층과 상기 게이트 전극 사이에 배치되고, 순차적으로 적층된 제1 무기막, 유기막, 및 제2 무기막을 포함한다. 상기 박막 트랜지스터의 제조방법은 상기 게이트 절연막을 액티브 층을 형성하는 단계와 제2 전극층을 형성하는 단계 사이에 형성하거나, 제1 전극층을 형성하는 단계와 제2 전극층을 형성하는 단계 사이에 형성한다.

대표도 - 도1



(72) 발명자

강승열

대전 유성구 도룡동 타운하우스 6-106

김희욱

대전광역시 동구 백룡로5번길 102, 다동 302호 (자양동, 대원빌라)

조경익

대전광역시 유성구 상대동 462 한라비발디 306-202

안성덕

대전광역시 유성구 엑스포로 448, 205동 1005호 (전민동, 엑스포아파트)

특허청구의 범위

청구항 1

베이스 부재의 상에 배치된 소스 전극;
 평면상에서 상기 소스 전극과 이격되어 배치된 드레인 전극;
 평면상에서 상기 소스 전극 및 상기 드레인 전극과 적어도 일부가 중첩하는 액티브 층;
 평면상에서 상기 액티브 층과 적어도 일부가 중첩하는 게이트 전극; 및
 수직면 상에서 상기 액티브 층과 상기 게이트 전극 사이에 배치되며, 순차적으로 적층된 제1 무기막, 유기막, 및 제2 무기막을 포함하는 게이트 절연막을 포함하는 박막 트랜지스터.

청구항 2

제1 항에 있어서,
 상기 액티브 층은 수직면 상에서 상기 소스 전극 및 상기 드레인 전극과 상기 게이트 전극 사이에 배치된 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제2 항에 있어서,
 상기 액티브 층은 상기 베이스 부재의 일면으로부터 상기 소스 전극, 상기 드레인 전극 상으로 연장되고,
 상기 게이트 전극은 상기 액티브 층 상에 배치된 것을 특징으로 하는 박막 트랜지스터.

청구항 4

제2 항에 있어서,
 상기 액티브 층은 상기 베이스 부재의 일면으로부터 상기 게이트 전극 상으로 연장되고,
 상기 소스 전극 및 상기 드레인 전극은 상기 액티브 층 상에 배치된 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제1 항에 있어서,
 상기 액티브 층은 수직면 상에서 상기 소스 전극, 상기 드레인 전극, 및 상기 게이트 전극의 일측에 배치된 것을 특징으로 하는 박막 트랜지스터.

청구항 6

제5 항에 있어서,
 상기 소스 전극 및 상기 드레인 전극 각각은 적어도 일부가 상기 베이스 부재의 일면으로부터 상기 액티브 층 상에 배치되고,
 상기 게이트 절연막은 상기 소스 전극, 상기 드레인 전극, 및 상기 액티브 층을 커버하는 것을 특징으로 하는 박막 트랜지스터.

청구항 7

제5 항에 있어서,
 상기 소스 전극 및 상기 드레인 전극은 상기 베이스 부재의 일면으로부터 상기 게이트 전극 및 상기 게이트 절연막 상에 배치되고,
 상기 액티브 층은 상기 소스 전극 및 상기 드레인 전극 상에 배치된 것을 특징으로 하는 박막 트랜지스터.

청구항 8

제1 항에 있어서,
수직면 상에서 상기 베이스 부재의 일면 상에 배치된 버퍼층을 더 포함하는 박막 트랜지스터.

청구항 9

제1 항에 있어서,
수직면 상에서 상기 액티브 층과 상기 게이트 절연막 사이에 배치된 보호층을 더 포함하는 박막 트랜지스터.

청구항 10

베이스 부재의 일면 상에 제1 전극층을 형성하는 단계;
상기 베이스 부재 상에 상기 제1 전극층과 적어도 일부가 중첩하는 액티브 층을 형성하는 단계;
상기 베이스 부재 상에 상기 액티브 층과 적어도 일부가 중첩하는 제2 전극층을 형성하는 단계; 및
상기 액티브 층을 형성하는 단계와 상기 제2 전극층을 형성하는 단계 사이에 제1 무기막, 유기막, 제2 무기막을 연속적으로 상기 베이스 부재의 상에 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

청구항 11

제10 항에 있어서,
상기 제1 전극층은 서로 이격되어 배치된 소스 전극 및 드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 12

제10 항에 있어서,
상기 제2 전극층은 서로 이격되어 배치된 소스 전극 및 드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 13

베이스 부재의 상에 액티브 층을 형성하는 단계;
상기 베이스 부재의 상에 상기 액티브 층과 적어도 일부가 중첩하는 제1 전극층을 형성하는 단계;
상기 베이스 부재의 상에 상기 액티브 층 및 상기 제1 전극층과 적어도 일부가 중첩하는 제2 전극층을 형성하는 단계; 및
상기 제1 전극층을 형성하는 단계와 상기 제2 전극층을 형성하는 단계 사이에 제1 무기막, 유기막, 제2 무기막을 연속적으로 상기 베이스 부재의 상에 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

청구항 14

제13 항에 있어서,
상기 제1 전극층은 서로 이격되어 배치된 소스 전극 및 드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 15

제13 항에 있어서,
상기 제2 전극층은 서로 이격되어 배치된 소스 전극 및 드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

명세서

기술분야

[0001] 본 발명은 박막 트랜지스터 및 그 제조방법에 관한 것이다.

배경기술

[0002] 정보화 사회의 발달로 인해, 정보를 표시할 수 있는 표시장치가 활발히 개발되고 있다. 상기 표시장치는 액정표시장치(liquid crystal display device), 유기전계발광 표시장치(organic electro-luminescence display device), 플라즈마 표시장치(plasma display panel) 및 전계 방출 표시장치(field emission display device)를 포함한다.

[0003] 이러한 표시장치들은 모바일 폰, 네비게이션, 모니터, 텔레비전에 널리 적용되고 있다. 표시장치들은 매트릭스로 배열된 화소들과, 각 화소를 스위칭 온/오프시키는 박막 트랜지스터를 포함한다. 박막 트랜지스터의 스위칭 온/오프에 의해 각 화소가 제어된다.

[0004] 좀더 구체적으로 상기 박막 트랜지스터는 게이트 신호를 수신하는 게이트 전극과 데이터 전압을 수신하는 소스 전극, 및 상기 데이터 전압을 출력하는 드레인 전극을 포함한다. 또한, 상기 박막 트랜지스터는 채널을 형성하는 액티브 층을 포함한다.

[0005] 일반적으로 상기 박막 트랜지스터는 상기 소스 전극 및 상기 드레인 전극과 상기 게이트 전극을 절연하는 게이트 절연막을 더 포함한다. 최근 박막 트랜지스터의 기능 및 성능과 관련하여 게이트 절연막의 중요성이 강조되고 있고, 게이트 절연막에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 신뢰성이 향상된 박막 트랜지스터를 제공하는 것을 목적으로 한다.

[0007] 또한, 본 발명은 상기 박막 트랜지스터를 제조하는 방법을 제공하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 박막 트랜지스터는 드레인 전극, 소스 전극, 액티브층, 게이트 전극 및 게이트 절연막을 포함한다. 상기 드레인 전극은 베이스 부재의 상에 배치되고, 상기 드레인 전극은 평면상에서 상기 소스 전극과 이격되어 배치된다. 상기 액티브 층은 평면상에서 상기 소스 전극 및 상기 드레인 전극과 적어도 일부가 중첩한다. 상기 게이트 전극은 평면상에서 상기 액티브 층과 적어도 일부가 중첩한다. 상기 게이트 절연막은 수직면 상에서 상기 액티브 층과 상기 게이트 전극 사이에 배치되고, 순차적으로 적층된 제1 무기막, 유기막, 및 제2 무기막을 포함한다.

[0009] 상기 액티브 층은 수직면 상에서 상기 소스 전극 및 상기 드레인 전극과 상기 게이트 전극 사이에 배치될 수 있다. 이때, 상기 액티브 층은 상기 베이스 부재의 일면으로부터 상기 소스 전극, 상기 드레인 전극 상으로 연장되고, 상기 게이트 전극은 상기 액티브 층 상에 배치될 수 있다. 또한, 상기 액티브 층은 상기 베이스 부재의 일면으로부터 상기 게이트 전극 상으로 연장되고, 상기 소스 전극 및 상기 드레인 전극은 상기 액티브 층 상에 배치될 수 있다.

[0010] 본 발명의 다른 실시예에 따른 박막 트랜지스터는 상기 액티브 층이 수직면 상에서 상기 소스 전극, 상기 드레인 전극, 및 상기 게이트 전극의 일측에 배치될 수 있다. 이때, 상기 소스 전극 및 상기 드레인 전극 각각은 적어도 일부가 상기 베이스 부재의 일면으로부터 상기 액티브 층 상에 배치되고, 상기 게이트 절연막은 상기 소스 전극, 상기 드레인 전극, 및 상기 액티브 층을 커버할 수 있다. 또한, 상기 소스 전극 및 상기 드레인 전극은 상기 베이스 부재의 일면으로부터 상기 게이트 전극 및 상기 게이트 절연막 상에 배치되고, 상기 액티브 층은 상기 소스 전극 및 상기 드레인 전극 상에 배치될 수 있다.

[0011] 본 발명의 다른 실시예에 따른 박막 트랜지스터는 수직면 상에서 상기 베이스 부재의 일면 상에 배치된 버퍼층을 더 포함할 수 있다.

[0012] 본 발명의 다른 실시예에 따른 박막 트랜지스터는 수직면 상에서 상기 액티브 층과 상기 게이트 절연막 사이에 배치된 보호층을 더 포함할 수 있다.

- [0013] 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조방법은 베이스 부재의 일면 상에 제1 전극층을 형성하는 단계, 상기 베이스 부재 상에 상기 제1 전극층과 적어도 일부가 중첩하는 액티브 층을 형성하는 단계, 상기 베이스 부재 상에 상기 액티브 층과 적어도 일부가 중첩하는 제2 전극층을 형성하는 단계, 및 게이트 절연막을 형성하는 단계를 포함한다.
- [0014] 이때, 상기 게이트 절연막을 형성하는 단계는 상기 액티브 층을 형성하는 단계와 상기 제2 전극층을 형성하는 단계 사이에 수행된다. 상기 게이트 절연막을 형성하는 단계는 구체적으로 상기 베이스 부재의 상에 상기 제1 무기막, 유기막, 제2 무기막을 연속적으로 형성한다.
- [0015] 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조방법은 베이스 부재의 상에 액티브 층을 형성하는 단계, 상기 베이스 부재의 상에 상기 액티브 층과 적어도 일부가 중첩하는 제1 전극층을 형성하는 단계, 상기 베이스 부재의 상에 상기 액티브 층 및 상기 제1 전극층과 적어도 일부가 중첩하는 제2 전극층을 형성하는 단계, 및 게이트 절연막을 형성하는 단계를 포함한다.
- [0016] 이때, 상기 게이트 절연막을 형성하는 단계는 상기 제1 전극층을 형성하는 단계와 상기 제2 전극층을 형성하는 단계 사이에 수행된다. 상기 게이트 절연막을 형성하는 단계는 구체적으로 상기 베이스 부재의 상에 상기 제1 무기막, 유기막, 제2 무기막을 연속적으로 형성한다.

발명의 효과

- [0017] 상기 박막 트랜지스터는 상기 제1 무기막, 상기 유기막, 및 상기 제2 무기막을 포함하는 상기 게이트 절연막을 구비하여 수명이 연장된다.
- [0018] 상기 표시패널은 상기 박막 트랜지스터를 포함하여 불량률이 감소하고, 표시품질이 향상된다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 단면도이다.
- 도 2a 내지 도 2d는 본 발명의 다른 실시예들에 따른 박막 트랜지스터들의 단면도이다.
- 도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조방법을 도시한 단면도이다.
- 도 4a 내지 도 4d는 본 발명의 다른 실시예에 따른 박막 트랜지스터의 제조방법을 도시한 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 표시패널의 평면도이다.
- 도 6은 도 5의 화소를 확대하여 도시한 평면도이다.
- 도 7은 도 6의 I-I'을 따라 절단한 단면도이다.
- 도 8은 다른 실시예에 따른 화소의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 단면도이다. 이하, 도 1을 참조하여 본 실시예에 따른 박막 트랜지스터(TFT1)를 설명한다.
- [0022] 도 1에 도시된 것과 같이, 본 발명의 일 실시예에 따른 박막 트랜지스터(TFT1)는 소스 전극(SE), 드레인 전극(DE), 액티브 층(AL), 게이트 전극(GE), 및 게이트 절연막(GIL)을 포함한다.
- [0023] 상기 박막 트랜지스터(TFT1)는 베이스 부재(10) 상에 구비된다. 상기 베이스 부재(10)는 폴리에테르술폰(polyethersulphone:PES), 폴리에틸렌테레프탈레이트(polyethyleneterephthalate:PET), 폴리카보나이트(polycarbonate:PC), 폴리이미드(polyimide:PI), 폴리에틸렌테레프탈레이트(polyethyleneaphthalate:PEN), 폴리아크릴레이트(polyacrylate:PAR) 등과 같은 플라스틱 기판, 금속 기판, 유리 기판, 또는 반도체 웨이퍼가 채용될 수 있다.
- [0024] 상기 베이스 부재(10) 상에 배치된 상기 소스 전극(SE)은 일 함수(work function)가 높은 백금(Pt)부터 금(Au), 인듐 주석 산화물(Indium Tin Oxide:ITO), 산화 아연(Zinc Oxide:ZnO), 아연 주석 산화물(Zinc Tin Oxide:ZTO), 탄소 나노 튜브(Carbon Nano Tube:CNT), 티타늄-알루미늄 합금(Ti/Al/Ti), 몰리브덴(Mo) 등의 물

질로 구성될 수 있다.

- [0025] 상기 드레인 전극(DE)은 평면상에서 상기 소스 전극(SE)과 이격되어 배치된다. 여기서 "평면"이란 상기 베이스 부재(10)의 일면과 실질적으로 평행한 면으로 정의된다. 상기 드레인 전극(DE)은 상기 소스 전극(SE)과 동일한 물질로 구성될 수 있다. 또한, 상기 드레인 전극(DE)은 상기 소스 전극(SE)이 배치된 면과 동일한 면에 배치될 수 있다.
- [0026] 상기 액티브 층(AL)은 평면상에서 상기 소스 전극(SE) 및 상기 드레인 전극(DE)과 적어도 일부가 중첩한다. 상기 액티브 층(AL)은 통상의 반도체 물질로 구성될 수 있다. 특히, 상기 액티브 층(AL)은 산화물 반도체 물질로, 예를 들어, 아연 산화물, 아연 주석 산화물, 아연 인듐 산화물, 아연 갈륨 산화물, 또는 아연 인듐 갈륨 산화물 중에서 적어도 어느 하나를 포함할 수 있다. 상기 산화물 반도체 물질을 포함하는 상기 박막 트랜지스터(TFT1)는 그 밖의 반도체 물질을 포함하는 박막 트랜지스터보다 응답속도가 빠르다.
- [0027] 상기 액티브 층(AL)은 도 1에 도시된 것과 같이, 수직면 상에서 상기 소스 전극(SE) 및 상기 드레인 전극(DE)과 상기 게이트 전극(GE) 사이에 배치될 수 있다. 여기서 "수직면"이란 상기 베이스 부재(10)의 일면에 실질적으로 수직인 가상면 또는 절단면으로 정의된다. 다시 말해, 상기 액티브 층(AL)은 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 배치된 면과 상기 게이트 전극(GE)이 배치된 면 사이에 배치된다.
- [0028] 상기 게이트 전극(GE)은 평면상에서 상기 액티브 층(AL)과 적어도 일부가 중첩한다. 상기 게이트 전극(GE)은 상기 소스 전극(SE)과 동일한 물질로 구성될 수 있다.
- [0029] 상기 게이트 절연막(GIL)은 수직면 상에서 상기 액티브 층(AL)과 상기 게이트 전극(GE) 사이에 배치된다. 또한, 상기 게이트 절연막(GIL)은 순차적으로 적층된 제1 무기막(11), 유기막(12), 및 제2 무기막(13)을 포함한다.
- [0030] 도 1에 도시된 박막 트랜지스터(TFT)의 층 구조를 좀 더 상세히 검토하면, 상기 액티브 층(AL)이 상기 베이스 부재(10)의 일면으로부터 상기 소스 전극(SE), 상기 드레인 전극(DE) 상에 배치되고, 상기 게이트 전극(GE)은 상기 액티브 층(AL) 상에 배치된다. 상기 액티브 층(AL)은 상기 소스 전극(SE)과 상기 드레인 전극(DE)이 노출하는 상기 베이스 부재(10)의 일면과 상기 소스 전극(SE) 및 상기 드레인 전극(DE)을 커버한다.
- [0031] 상기 게이트 절연막(GIL)의 상기 제1 무기막(11)은 상기 액티브 층(AL)에 접촉하고, 상기 게이트 절연막(GIL)의 상기 제2 무기막(13)은 상기 게이트 전극(GE)에 접촉한다.
- [0032] 상기 제1 무기막(11)은 상기 액티브 층(AL)을 보호하며, 상기 액티브 층(AL)으로부터 노출된 상기 소스 전극(SE)의 일부 및 상기 드레인 전극(DE)의 일부를 보호한다. 상기 제2 무기막(13)은 상기 게이트 전극(GE)의 접촉 저항을 줄인다.
- [0033] 상기 제1 무기막(11)과 상기 제2 무기막(13) 사이에 배치된 상기 유기막(12)은 상기 액티브 층(AL)과 상기 게이트 전극(GE)을 실질적으로 절연시킨다.
- [0034] 다시 말해, 상기 박막 트랜지스터(TFT1)의 상기 게이트 절연막(GIL)은 상기 액티브 층(AL)을 보호하는 동시에 상기 게이트 전극(GE)의 접촉저항을 감소시킨다. 따라서, 상기 박막 트랜지스터(TFT1)의 수명이 연장되고, 신뢰성이 향상된다.
- [0035] 도 2a 내지 도 2d는 본 발명의 다른 실시예들에 따른 박막 트랜지스터들의 단면도이다. 이하, 도 2a 내지 도 2d를 참조하여 본 발명의 다른 실시예들에 따른 박막 트랜지스터들을 설명한다. 다만, 도 1을 참조하여 설명한 박막 트랜지스터와 동일한 구성에 대해 동일한 참조번호를 부여하고 상세한 설명은 생략한다.
- [0036] 도 2a에 도시된 것과 같이, 박막 트랜지스터(TFT2)는 버퍼층(BL)과 보호층(PL) 중 어느 하나 이상을 더 포함할 수 있다. 도 2a에서 상기 버퍼층(BL)과 상기 보호층(PL)을 모두 포함하는 박막 트랜지스터를 예시적으로 도시하였다.
- [0037] 상기 버퍼층(BL)은 수직면 상에서 상기 베이스 부재(10)의 일면 상에 배치된다. 그에 따라 상기 소스 전극(SE)과 상기 드레인 전극(DE)은 상기 버퍼층(BL) 상에 배치된다. 상기 버퍼층(BL)은 상기 베이스 부재(10)의 열처리 과정에서 상기 소스 전극(SE)과 상기 드레인 전극(DE)이 박리되거나 균열이 발생하는 것을 방지한다. 또한, 상기 베이스 부재(10)가 금속으로 구성된 경우, 상기 버퍼층(BL)은 상기 베이스 부재(10)와 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 단락되는 것을 방지한다. 상기 버퍼층(BL)은 유기물 또는 무기물 중 어느 하나 이상을 포함할 수 있다. 예컨대, 상기 버퍼층(BL)은 유기막과 무기막이 적층된 다층구조를 가질 수 있다.
- [0038] 상기 보호층(PL)은 수직면 상에서 상기 액티브 층(AL)과 상기 게이트 절연막(GIL) 사이에 배치된다. 상기 보호

층(PL)은 상기 액티브 층(AL)의 변형되는 것을 방지한다. 상기 보호층(PL)은 무기물을 포함할 수 있다.

- [0039] 도 2b에 도시된 박막 트랜지스터(TFT3)는 도 1에 도시된 박막 트랜지스터(TFT1)와 층구조가 상이하다. 통상적으로, 도 1에 도시된 박막 트랜지스터(TFT1)는 스테거 구조(staggered structure)로 명명되고, 도 2b에 도시된 박막 트랜지스터(TFT3)는 역 스테거 구조(inverted staggered structure)로 명명된다.
- [0040] 상기 박막 트랜지스터(TFT3)는 상기 액티브 층(AL)이 상기 베이스 부재(10)의 일면으로부터 상기 게이트 전극(GE) 상에 배치되고, 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 상기 액티브 층(AL) 상에 배치된다. 상기 게이트 절연막(GIL)은 제1 무기막(21), 유기막(22), 및 제2 무기막(23)을 포함한다. 상기 게이트 절연막(GIL)은 상기 게이트 전극(GE)과 상기 액티브 층(AL) 사이에 구비되고, 도 1에 도시된 게이트 절연막(GIL)과 동일한 기능을 수행한다.
- [0041] 도 2c 및 도 2d에 도시된 박막 트랜지스터들(TFT4, TFT5)은 도 1에 도시된 박막 트랜지스터(TFT1)와 달리 상기 액티브 층(AL)이 수직면 상에서 상기 소스 전극(SE), 상기 드레인 전극(DE), 및 상기 게이트 전극(GE)의 일측에 배치된다.
- [0042] 도 2c에 도시된 것과 같이, 상기 박막 트랜지스터(TFT4)의 상기 액티브 층(AL)은 상기 베이스 부재(10)의 일면 상에 배치된다. 또한, 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 적어도 일부가 상기 액티브 층(AL) 상에 배치된다. 도 2c에 도시된 것과 같이, 상기 소스 전극(SE) 및 상기 드레인 전극(DE) 각각은 전부가 상기 액티브 층(AL) 상에 배치될 수 있다.
- [0043] 상기 게이트 절연막(GIL)은 상기 소스 전극(SE), 상기 드레인 전극(DE), 및 상기 액티브 층(AL)을 커버하고, 상기 게이트 전극(GE)은 상기 게이트 절연막(GIL) 상에 배치된다.
- [0044] 그에 따라 상기 액티브 층(AL)은 수직면 상에서 상기 소스 전극(SE), 상기 드레인 전극(DE), 및 상기 게이트 전극(GE)의 하측에 배치된다. 도 2c에 도시된 것과 같이, 상기 액티브 층(AL)은 상기 베이스 부재(10)의 일면 상에 배치될 수 있다.
- [0045] 또한, 도 2d에 도시된 것과 같이, 상기 박막 트랜지스터(TFT5)의 상기 게이트 전극(GE)은 상기 베이스 부재(10)의 일면 상에 배치된다. 상기 게이트 절연막(GIL)은 상기 게이트 전극(GE)을 커버하며 상기 베이스 부재(10) 상에 배치된다.
- [0046] 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 상기 베이스 부재(10)의 일면으로부터 상기 게이트 전극(GE) 및 상기 게이트 절연막(GIL) 상에 배치된다.
- [0047] 또한, 상기 액티브 층(AL)은 상기 소스 전극(SE) 및 상기 드레인 전극(DE) 상에 배치된다. 도 2d에 도시된 것과 같이 상기 액티브 층(AL)은 상기 게이트 절연막(GIL)의 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 노출하는 면(GIL-10) 상에도 배치될 수 있다.
- [0048] 그에 따라 상기 액티브 층(AL)은 수직면 상에서 상기 소스 전극(SE), 상기 드레인 전극(DE), 및 상기 게이트 전극(GE)의 상측에 배치된다.
- [0049] 도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조방법을 도시한 단면도이다. 이하, 도 3a 내지 도 3d를 참조하여 일 실시예에 따른 박막 트랜지스터의 제조방법을 설명한다.
- [0050] 먼저, 도 3a에 도시된 것과 같이, 베이스 부재(10)의 일면 상에 제1 전극층(EL1)을 형성한다. 상기 제1 전극층(EL1)은 서로 이격되어 배치된 소스 전극(SE)과 드레인 전극(DE)을 포함한다.
- [0051] 좀 더 구체적으로, 도전층을 상기 베이스 부재(10)의 일면 상에 형성한 후 상기 도전층을 패터닝한다. 예컨대, 반도체 공정의 금속박막공정(Metallization)을 통해 상기 도전층을 형성하거나, 전자빔 증착기를 사용하여 상기 도전층을 형성할 수 있다. 이후, 포토리소그래피 공정을 통해 상기 도전층을 패터닝하여 소스 전극(SE)과 드레인 전극(DE)을 형성한다.
- [0052] 한편, 도 2a에 도시된 박막 트랜지스터(TFT2)를 형성하기 위해, 상기 베이스 부재(10)의 일면 상에 상기 제1 전극층(EL1)보다 버퍼층(BL)을 먼저 형성할 수 있다. 상기 버퍼층(BL)은 증착, 코팅 방식으로 형성할 수 있고, 특히, 원자층 증착법(Atomic Layer Deposition:ALD)을 사용하여 형성할 수 있다.
- [0053] 다음, 도 3b에 도시된 것과 같이, 상기 베이스 부재(10)의 일면 상에 상기 제1 전극층(EL1)과 적어도 일부가 중첩하는 액티브 층(AL)을 형성한다. 상기 액티브 층(AL)은 상기 소스 전극(SE)과 드레인 전극(DE) 각각에 중첩하

고, 상기 베이스 부재(10)의 일면 상에도 형성될 수 있다.

- [0054] 상기 액티브 층(AL)은 원자층 증착법(Atomic Layer Deposition:ALD)을 사용하여 형성될 수 있다. 증착조건은 압력이 약 3 mmTorr 이며, 파워가 약 100W 내지 약 300W이다. 또한, 포토리소그래피 공정을 통해 상기 액티브 층(AL)을 패터닝 할 수 있다.
- [0055] 상기 액티브 층(AL)이 형성된 후, 도 3c에 도시된 것과 같이 게이트 절연막(GIL)을 형성하고, 도 3d에 도시된 것과 같이, 제2 전극층(EL2)을 형성한다. 즉, 상기 게이트 절연막(GIL)을 형성하는 단계는 상기 액티브 층(AL)을 형성하는 단계와 상기 제2 전극층(EL2)을 형성하는 단계 사이에 수행된다.
- [0056] 도 3c에 도시된 것과 같이, 제1 무기막(11), 유기막(12), 제2 무기막(13)을 연속적으로 상기 베이스 부재(10)의 일면 상에 형성하여 상기 게이트 절연막(GIL)을 형성한다.
- [0057] 상기 제1 무기막(11)은 원자층 증착법(Atomic Layer Deposition:ALD)을 통해 형성할 수 있다. 예컨대, 원자층 증착법(Atomic Layer Deposition:ALD)으로 산화 알루미늄을 증착하여 상기 제1 무기막(11)을 형성할 수 있다. 상기 제1 무기막(11)은 약 90Å 내지 약 120Å의 두께를 가질 수 있다.
- [0058] 상기 제1 무기막(11) 상에 상기 유기막(12)을 형성한다. 예컨대, 스펀 코팅 방식으로 상기 유기막(12)을 형성할 수 있다. 2500 ~ 3000 rpm에서 약 50 초 내지 60 초 동안 유기물질을 코팅 한 후, 150℃에서 약 3시간 열처리(annealing) 하여 상기 유기막(12)을 형성할 수 있다. 상기 유기막(12)은 약 2500Å 내지 약 3000Å의 두께를 가질 수 있다.
- [0059] 상기 유기막(12) 상에 상기 제2 무기막(13)을 형성한다. 상기 제2 무기막(13)은 상기 제1 무기막(11)과 같은 방식으로 형성한다.
- [0060] 상기 게이트 절연막(GIL)은 소정의 형상으로 패터닝 될 수 있다. 상기 제1 및 제2 무기막(11, 13)은 습식 에칭 방식으로, 상기 유기막(12)은 건식 에칭방식으로 패터닝 될 수 있다. 상기 유기막(12)은 ECR(Electron Cyclotron Resonance) 방식의 플라즈마 건식장치를 사용하여 패터닝 될 수 있다.
- [0061] 한편, 도 2a에 도시된 박막 트랜지스터(TFT2)를 형성하기 위해, 상기 게이트 절연막(GIL)을 형성하기 이전에 상기 액티브 층(AL) 상에 상기 보호층(PL)을 더 형성할 수 있다.
- [0062] 도 3d에 도시된 것과 같이, 상기 게이트 절연막(GIL)을 형성한 후 제2 전극층(EL2)을 형성한다. 본 실시예에서 상기 제2 전극층(EL2)은 도 1에 도시된 박막 트랜지스터(TFT1)의 게이트 전극(GE)이 될 수 있다. 상기 게이트 절연막(GIL) 상에 도전층을 형성한 후, 상기 도전층을 패터닝하여 상기 게이트 전극(GE)을 형성한다. 상기 게이트 전극(GE)은 상기 소스 전극(SE)과 상기 드레인 전극(DE)을 형성하는 공정과 동일한 방식으로 형성할 수 있다. 도 3a 내지 도 3d를 참조하여 설명한 제조방법에 따르면 도 1 및 도 2 a에 도시된 박막 트랜지스터(TFT1, TFT2)가 제조된다.
- [0063] 한편, 도 2b에 도시된 박막 트랜지스터(TFT3) 역시 도 3a 내지 도 3d를 참조하여 설명한 제조방법과 유사한 방법으로 제조된다. 도 1 및 도 2 a에 도시된 박막 트랜지스터(TFT1, TFT2)처럼 상기 게이트 절연막(GIL)을 형성하는 단계가 상기 액티브 층(AL)을 형성하는 단계와 상기 제2 전극층(EL2)을 형성하는 단계 사이에 수행된다.
- [0064] 다만, 상기 제1 전극층(EL1)은 게이트 전극을 포함하고, 상기 제2 전극층(EL2)은 상기 소스 전극과 상기 드레인 전극을 포함한다.
- [0065] 도 4a 내지 도 4d는 본 발명의 다른 실시예에 따른 박막 트랜지스터의 제조방법을 도시한 단면도이다. 이하, 도 4a 내지 도 4d를 참조하여 본 발명의 다른 실시예들에 따른 박막 트랜지스터들을 설명한다. 다만, 도 3a 내지 도 3d를 참조하여 설명한 박막 트랜지스터의 제조방법과 동일한 구성에 대해 동일한 참조번호를 부여하고 상세한 설명은 생략한다.
- [0066] 본 실시예에 따른 박막 트랜지스터의 제조방법은 도 3a 내지 도 3d를 참조하여 설명한 박막 트랜지스터의 제조방법과 단계들의 순서가 상이하다. 다만, 각 단계들은 동일한 방식으로 수행되므로 각 단계에 대한 상세한 설명은 생략한다.
- [0067] 먼저, 도 4a에 도시된 것과 같이, 상기 베이스 부재(10)의 일면 상에 액티브 층(AL)을 형성한다.
- [0068] 다음, 도 4b에 도시된 것과 같이, 상기 베이스 부재(10)의 일면 상에 상기 액티브 층(AL)과 적어도 일부가 중첩하는 제1 전극층(EL1)을 형성한다. 상기 제1 전극층(EL1)은 상기 소스 전극(SE)과 상기 드레인 전극(DE)을 포함

한다.

- [0069] 그 후, 도 4c에 도시된 것과 같이 상기 게이트 절연막(GIL)을 형성하고, 도 4d에 도시된 것과 같이 제2 전극층(EL2)을 형성한다. 즉, 상기 게이트 절연막(GIL)을 형성하는 단계는 상기 제1 전극층(EL1)을 형성하는 단계와 상기 제2 전극층(EL2)을 형성하는 단계 사이에 수행된다.
- [0070] 상기 베이스 부재(10)의 일면 상에 상기 제1 무기막(11), 유기막(12), 제2 무기막(13)을 연속적으로 형성한 후, 상기 제2 전극층(EL2)을 형성한다. 상기 제2 전극층(EL2)은 게이트 전극을 포함할 수 있다.
- [0071] 도 4a 내지 도 4d를 참조하여 설명한 제조방법에 따르면 도 2 c에 도시된 박막 트랜지스터(TFT4)가 제조된다. 한편, 도 2d에 도시된 박막 트랜지스터(TFT5) 역시 도 4a 내지 도 4d를 참조하여 설명한 제조방법과 유사한 방법으로 제조된다. 즉, 상기 게이트 절연막(GIL)을 형성하는 단계가 상기 제1 전극층(EL1)을 형성하는 단계와 상기 제2 전극층(EL2)을 형성하는 단계 사이에 수행된다.
- [0072] 다만, 상기 베이스 부재(10)의 일면 상에 상기 게이트 전극을 포함하는 상기 제1 전극층(EL1)을 먼저 형성하고, 상기 액티브 층(AL)은 상기 소스 전극과 상기 드레인 전극을 포함하는 제2 전극층(EL2) 상에 형성한다.
- [0073] 도 5는 본 발명의 일 실시예에 따른 표시패널의 평면도이고, 도 6은 도 5의 화소를 확대하여 도시한 평면도이며, 도 7은 도 6의 I-I'을 따라 절단한 단면도이다. 이하, 도 5 내지 도 7을 참조하여 본 실시예에 따른 표시패널을 설명한다.
- [0074] 도 5 내지 도 7에 도시된 것과 같이, 상기 표시패널(DP)은 베이스 부재(10), 적어도 하나의 게이트 라인(GL1-GLn), 적어도 하나의 데이터 라인(DL1-DLm), 및 적어도 하나의 박막 트랜지스터(TFT) 및 화소전극(PE)을 포함한다.
- [0075] 상기 게이트 라인(GL1-GLn)은 상기 베이스 부재(10) 상에 구비되고, 게이트 신호를 수신한다. 도 5에는 n개의 게이트 라인들이 예시적으로 도시되어 있다.
- [0076] 상기 데이터 라인(DL1-DLm)은 상기 게이트 라인(GL1-GLn)과 절연되게 교차하고, 데이터 전압을 수신한다. 상기 데이터 라인(DL1-DLm)과 상기 게이트 라인(GL1-GLn)은 서로 다른 층에 구비될 수 있다. 도 5에는 m개의 게이트 라인들이 예시적으로 도시되어 있다.
- [0077] 상기 게이트 라인들(GL1-GLn)은 행 방향으로 연장되고, 열 방향으로 배열될 수 있으며, 상기 데이터 라인들(DL1-DLm)은 열 방향으로 연장되고, 행 방향으로 배열될 수 있다.
- [0078] 상기 박막 트랜지스터(TFT)는 상기 게이트 신호에 응답하여 상기 데이터 전압을 출력한다. 또한, 상기 화소전극(PE)은 상기 박막 트랜지스터(TFT)로부터 상기 데이터 전압을 수신한다. 상기 박막 트랜지스터(TFT)는 도 1 내지 도 2d에 도시된 박막 트랜지스터들 중 어느 하나가 채용될 수 있다.
- [0079] 상기 표시패널(DP)은 매트릭스 형태로 배열된 다수의 화소(PX)를 포함할 수 있다. 각 화소(PX)는 상기 박막 트랜지스터(TFT)와 상기 화소전극(PE)를 하나씩 구비할 수 있다. 또한, 각 화소(PX)는 표시장치의 종류에 따라 액정층(미 도시), 전자 잉크층(미 도시), 또는 유기발광층(미 도시) 등을 더 포함할 수 있다.
- [0080] 도 6 및 도 7은 상기 복수 개의 화소들(PX) 중 하나를 예시적으로 도시하고 있다. 이하, 도 6 및 도 7을 참조하여 상기 화소(PX)에 대해 상세히 검토한다. 도 6에는 도 1에 도시된 박막 트랜지스터가 예시적으로 도시되어 있다.
- [0081] 상기 박막 트랜지스터(TFT)는 상기 게이트 라인들(GL1-GLn) 중 어느 하나(GLi)에 연결되고, 상기 데이터 라인들(DL1-DLm) 중 어느 하나(DLj)에 각각 연결된다.
- [0082] 상기 박막 트랜지스터(TFT)의 소스 전극(SE)은 상기 데이터 라인(DLj)으로부터 분기된다. 또한, 상기 박막 트랜지스터(TFT)의 드레인 전극(DE)은 상기 소스 전극과 이격되어 배치된다.
- [0083] 상기 박막 트랜지스터(TFT)의 액티브 층(AL)은 평면상에서 적어도 일부가 상기 소스 전극(SE) 및 상기 드레인 전극(DE)과 중첩한다.
- [0084] 상기 베이스 부재(10) 상에는 상기 액티브 층(AL), 노출된 상기 소스 전극(SE) 및 상기 드레인 전극(DE)을 커버하는 게이트 절연막(GIL)이 구비된다.
- [0085] 평면상에서 상기 액티브 층(AL), 상기 소스 전극(SE) 및 상기 드레인 전극(DE)에 적어도 일부가 중첩하는 상기 박막 트랜지스터(TFT)의 게이트 전극(GE)이 상기 게이트 절연막(GIL) 상에 배치된다. 상기 게이트 전극(GE)은

상기 게이트 라인(GLi)으로부터 분기된다.

[0086] 상기 화소전극(PE)은 상기 게이트 절연막(GIL) 상에 구비된다. 상기 화소전극(PE)은 상기 게이트 절연막(GIL)에 구비된 콘택홀(CTH1)을 통해 상기 드레인 전극(DE)에 연결된다.

[0087] 한편, 도 8에 도시된 것과 같이, 다른 실시예에 따른 표시패널은 평탄화 층(14)을 더 포함할 수 있다. 상기 평탄화 층(14)은 상기 게이트 전극(GE)과 상기 게이트 절연막(GIL)을 커버하며, 베이스 부재(10) 상에 평탄면을 제공한다.

[0088] 상기 평탄화 층(14)의 일면 상에는 상기 화소전극(PE)이 구비된다. 상기 화소전극(PE)은 상기 평탄화 층(14)과 상기 게이트 절연막(GIL)을 관통하는 콘택홀(CTH2)을 통해 상기 드레인 전극(DE)과 연결될 수 있다.

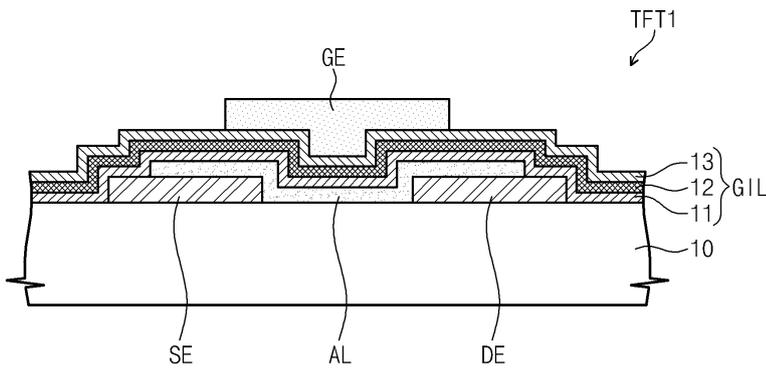
[0089] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

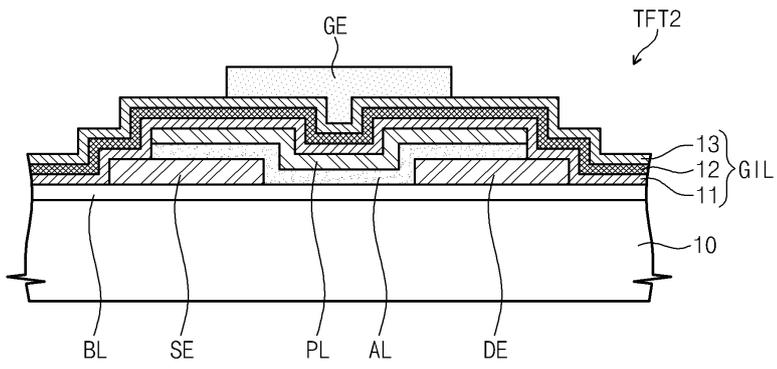
- | | |
|-------------------|-------------------------|
| [0090] 10: 베이스 부재 | TFT1 내지 TFT 5: 박막 트랜지스터 |
| GE: 게이트 전극 | SE: 소스 전극 |
| DE: 드레인 전극 | GIL: 게이트 절연막 |
| AL: 액티브 층 | 11: 제1 무기막 |
| 12: 유기막 | 13: 제2 무기막 |
| DP: 표시패널 | PX: 화소 |

도면

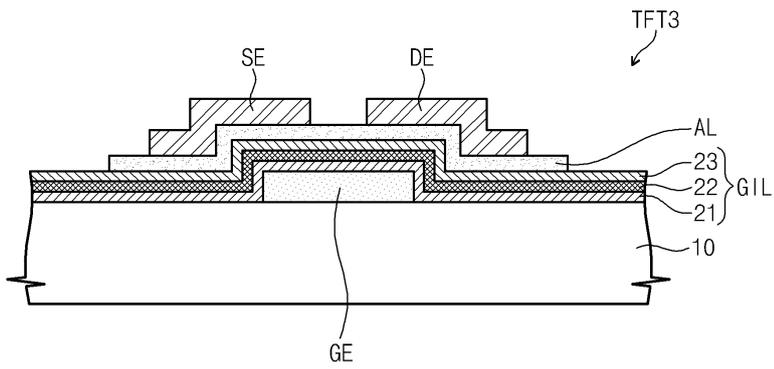
도면1



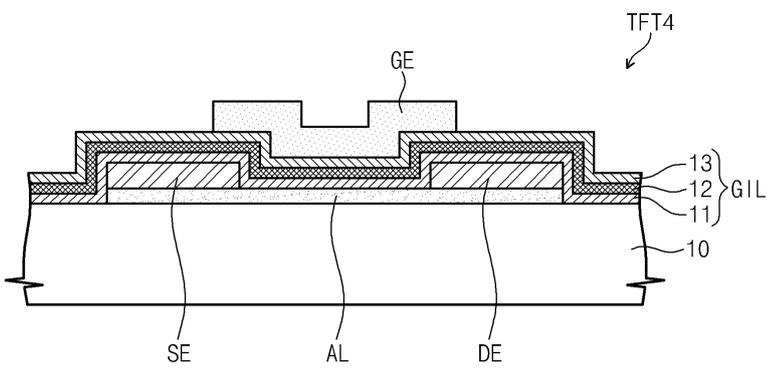
도면2a



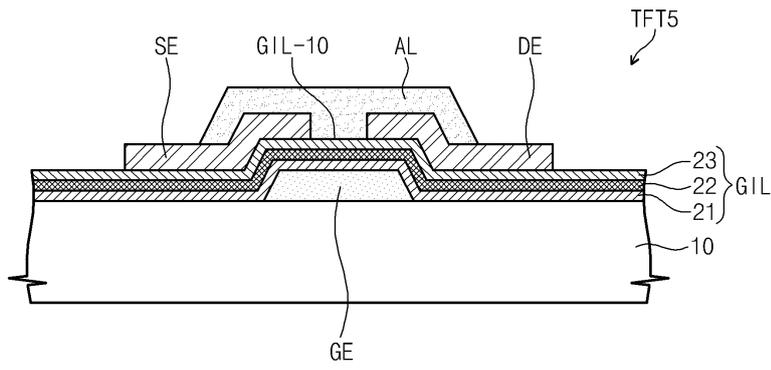
도면2b



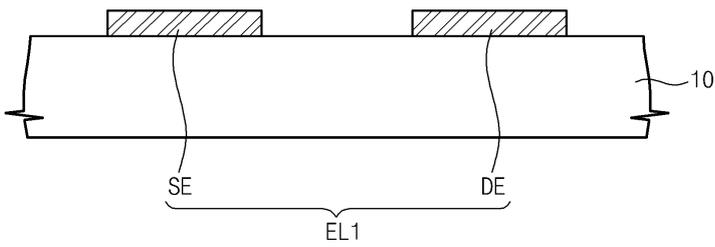
도면2c



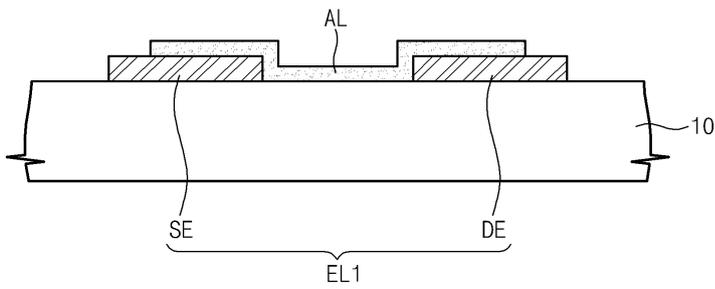
도면2d



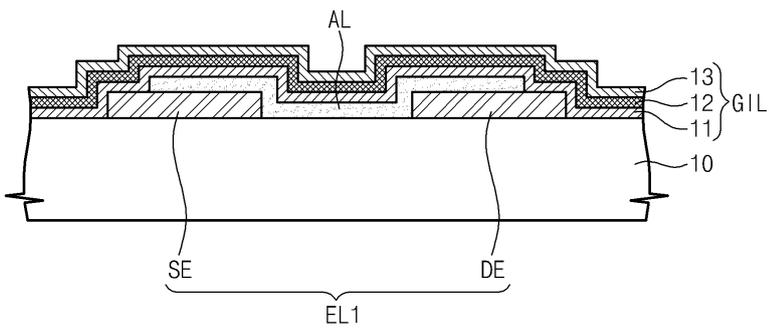
도면3a



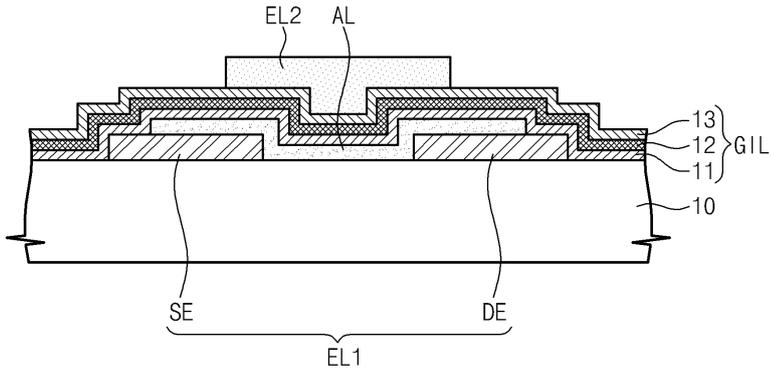
도면3b



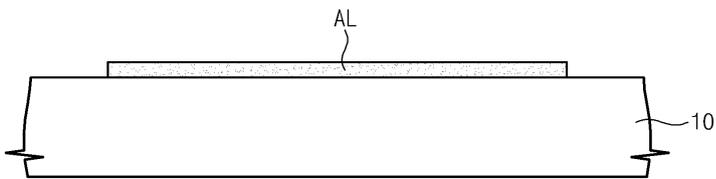
도면3c



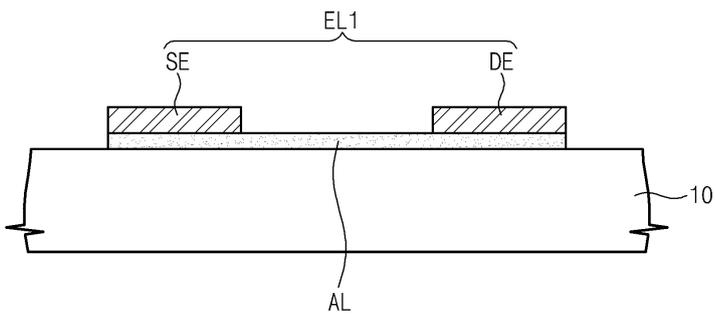
도면3d



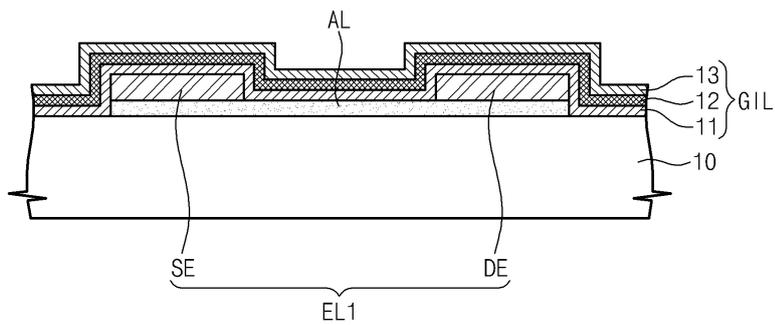
도면4a



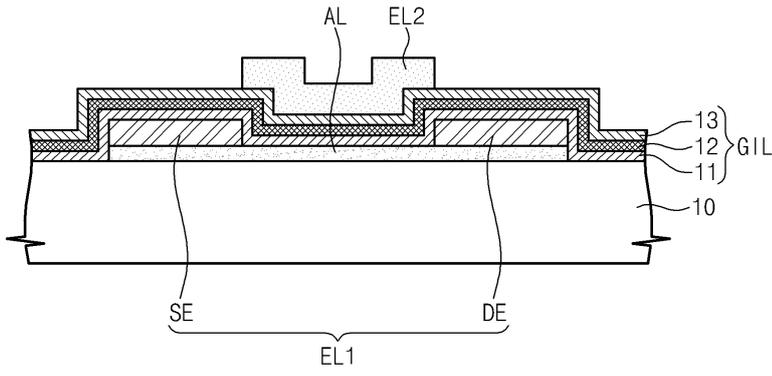
도면4b



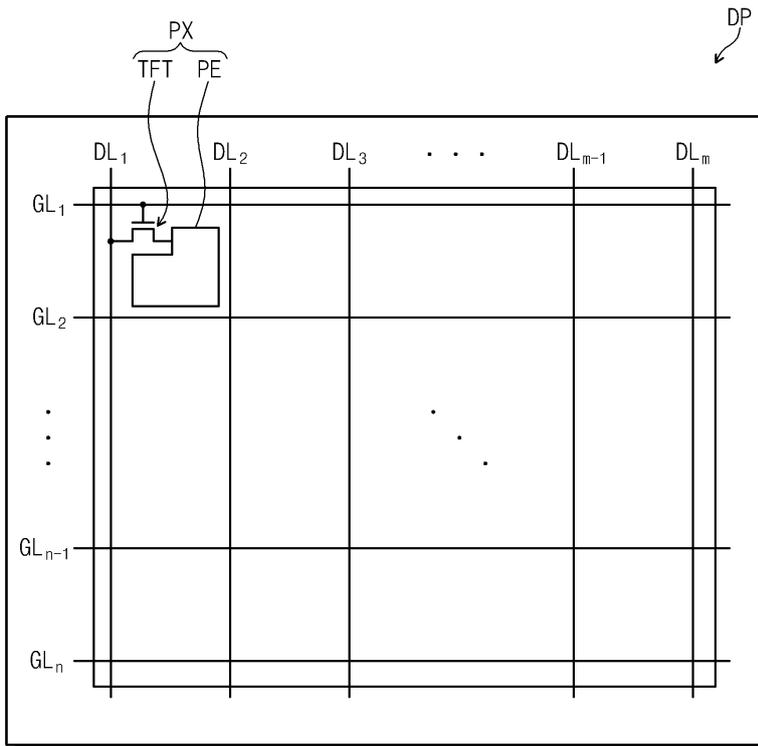
도면4c



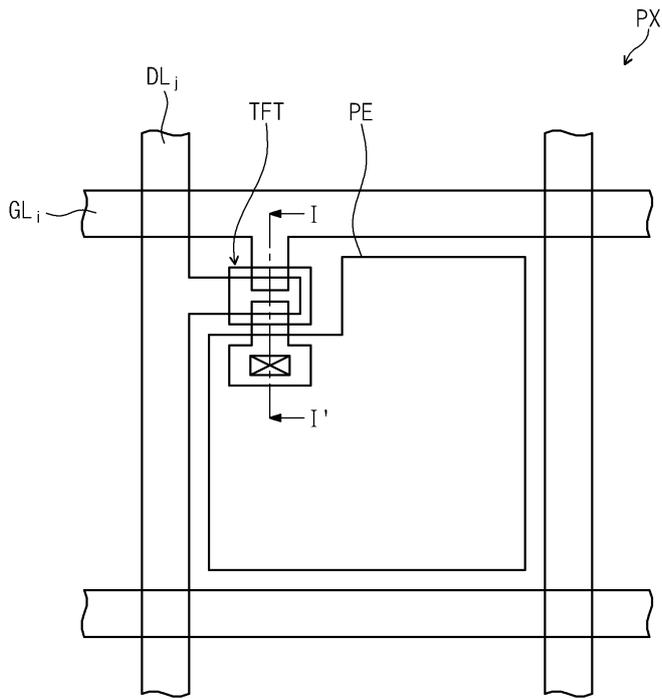
도면4d



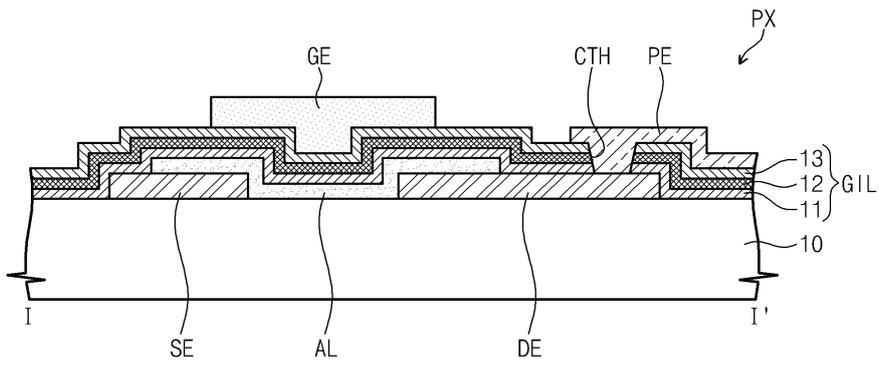
도면5



도면6



도면7



도면8

