

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 31/3185 (2006.01)

G09G 5/395 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480024580.2

[45] 授权公告日 2009年7月29日

[11] 授权公告号 CN 100520429C

[22] 申请日 2004.8.26

[21] 申请号 200480024580.2

[30] 优先权

[32] 2003.9.1 [33] EP [31] 03300105.8

[86] 国际申请 PCT/IB2004/002833 2004.8.26

[87] 国际公布 WO2005/022181 英 2005.3.10

[85] 进入国家阶段日期 2006.2.27

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 S·布里埃 J·-M·扬诺

D·里瓦索

[56] 参考文献

CN1076580A 1993.9.22

US5862150A 1999.1.19

SIGNATURE GENERATOR AND MONITOR
FORMICROPROCESSOR SYSTEM. BEAL D S
ET AL. IBM TECHNICAL DISCLOSURE BULLE-
TIN, Vol. 24 No. 9. 1982

审查员 周亚沛

[74] 专利代理机构 中科专利商标代理有限责任公
司

代理人 王波波

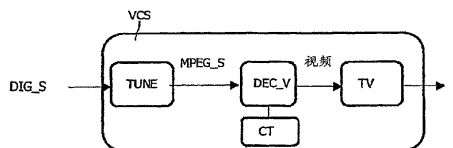
权利要求书2页 说明书13页 附图4页

[54] 发明名称

具有特征计算的集成电路

[57] 摘要

本发明涉及用于处理数据信号(I)的多个数据样值的集成电路(DEC_V),其中所述集成电路与计数器(CT)相关联并包括用于输出特征的装置(SIGN_M),所述计数器(CT)适合于起动和停止所述信号(I)的特征计算,所述特征每次根据由所述集成电路(DEC_V)输出的数据信号的数据样值(P)重算。应用:机顶盒中的视频译码器。



1. 一种用于处理数据信号 (I) 的多个数据样值 (P) 的集成电路 (DEC_V), 其中所述集成电路与计数器 (CT) 相关联并包括用于计算特征的装置 (SIGN_M), 所述计数器 (CT) 适用于起动和停止所述数据信号 (I) 的特征计算, 所述特征每次根据由所述集成电路 (DEC_V) 输出的所述数据信号的数据样值 (P) 重算。

2. 如权利要求 1 所述的集成电路 (DEC_V), 其中所述计数器 (CT) 基于所述集成电路的内部时钟 (CLK) 和所述数据信号 (I) 的垂直同步信号 (VS), 所述内部时钟 (CLK) 规定特征计算的顺序, 而所述垂直同步信号 (VS) 规定每一个特征计算的结束。

3. 如权利要求 2 所述的集成电路 (DEC_V), 其中还包括至少一个数模转换器 (DAC), 所述数模转换器包括所述内部时钟 (CLK), 由所述集成电路 (DEC_V) 在所述内部时钟 (CLK) 的每一个时钟周期内输出数据信号 (I) 的所述数据样值 (P)。

4. 如权利要求 1 所述的集成电路 (DEC_V), 其中数据信号 (I) 包括有效区 (Z1) 和无效区 (Z2), 对于特征计算来说, 要考虑所述有效区 (Z1) 和所述无效区 (Z2) 两者。

5. 如权利要求 1 所述的集成电路 (DEC_V), 其中还包括:

- 起动输入端 (ENABL), 用于输出规定所述集成电路是否处于测试方式的信号,

- 时钟引脚 (TCK), 用于接收数据测试系统 (AFTE) 的时钟信号 (CLOCK2),

- 标记 (TDI), 用于通过数据测试系统 (AFTB) 读出特征, 以及

- 串行输出端 (TDO), 用于把所述特征的比特输出到所述数据测试系统 (AFTE)。

6. 如权利要求 2 所述的集成电路 (DEC_V), 其中还包括用于把所述垂直同步信号 (VS) 输出到数据测试系统 (AFTE) 的第二输出端 (TVS)。

7. 如权利要求 1 所述的集成电路 (DEC_V), 其中还包括用于规定

时间窗口的激活/去激活装置，在所述时间窗口期间，能够执行把由所述计算装置 (SIGN_M) 计算的特征与参考特征进行比较的步骤。

8. 如权利要求 1 所述的集成电路 (DEC_V)，其中还包括用于把所述用于计算特征的装置 (SIGN_M) 初始化的延迟线。

9. 一种用于产生包括多个数据样值 (P) 的数据信号 (I) 的数据测试系统 (AFTE)，其中所述数据测试系统包括用于处理权利要求 1 中要求保护的所述数据样值的集成电路 (DEC_V)。

10. 一种用于产生包括多个数据样值 (P) 的数据信号 (I) 的视频处理装置 (VCS)，其中所述视频处理装置包括用于处理权利要求 1 中要求保护的所述数据样值的集成电路 (DEC_V)。

11. 一种测试用于处理数据信号 (I) 的多个数据样值 (P) 的集成电路 (DEC_V) 的方法，所述集成电路与计数器 (CT) 相关联，其中所述方法包括以下步骤：

- 将所述集成电路插入数据测试系统 (AFTE)，
- 借助于所述计数器 (CT) 计算由所述集成电路 (DEC_V) 产生的所有数据信号 (I)，所述计数器 (CT) 适合于起动和停止信号的特征的计算，每次由所述集成电路输出所述数据信号的数据样值时重算所述特征，并且每一次计算特征时实时地将所述计算的特征与参考集成电路 (DEC_RF) 的一些寄存的特征进行比较。

12. 如权利要求 11 所述的方法，其中所述计数器 (CT) 基于所述集成电路内的内部时钟 (CLK) 和所述数据信号的垂直同步信号 (VS)，所述内部时钟规定特征计算的顺序，而所述垂直同步信号规定每次特征计算的结束。

具有特征计算的集成电路

发明领域

本发明涉及用于处理数据信号的多个数据样值的集成电路和相应的测试方法。

这样的集成电路可以用于，例如计算机中。

发明背景

计算机中的集成电路用于在所述计算机的屏幕上显示一些数据信号，例如图像，所述数据信号包括数据样值，即所显示图像的像素。一幅图像通常包括 1280*1024 个像素，而一个像素通常由 32 比特确定。这就使一幅图像约有 4 千万比特的数据传递到屏幕上。为了避免传递这样多的数据，在美国专利 5,862,150，标题为《视频帧的特征获取》中建议并描述了一种解决方案。

所述解决方案的要点是使用随机存取存储器数模转换器（也称 RAMDAC），RAMDAC 包括特征（signature）发生器、中央处理器 CPU 和数字总线。所述计算机包括帧缓冲区，后者保存准备显示在屏幕上的图像。RAMDAC 允许借助于特征发生器、中央处理器 CPU 和数字总线计算帧缓冲区的图像上的特征，并把计算结果与“良好特征”进行比较。

这种解决方案的一个缺点是不能实时测试图像，的确，RAMDAC 从帧缓冲区取得像素，所述像素描述了在计算机屏幕上显示的固定图像。这样，当计算机屏幕上显示的图像为电视影片的图像时，人们不能在其操作环境（即电视影片的图像）中一旦电视影片的图像在计算机屏幕上显示时就测试集成电路。此外，中央处理器 CPU 需要计算特征，并且所述解决方案仅仅对于 RAMDAC 有特效。中央处理器 CPU 导致高的功耗和使用软件。

发明概述

因此，本发明的一个目的是提供一种用于处理数据信号的多个

数据样值的集成电路和相应的测试方法，所述测试方法允许在不使用中央处理器 CPU 的情况下实时测试数据信号。

为此，提供一种用于处理数据信号的多个数据样值的集成电路，其中所述集成电路与计数器相关联并包括计算特征的装置，所述计数器适合于起动和停止所述数据信号的特征计算，每次根据由所述集成电路输出的所述数据信号的数据样值重算所述特征。

此外，提供一种用于测试处理数据信号的多个数据样值的集成电路的测试方法，所述集成电路与计数器相关联，其中所述方法包括以下步骤：

- 把所述集成电路插入数据测试系统，
- 借助于所述计数器计算由所述集成电路产生的所有数据信号的特征，所述计数器适合于起动和停止信号的特征计算，每次根据由所述集成电路输出的所述数据信号的数据样值重算所述特征，以及
- 每次计算特征时把所述计算的特征与参考集成电路的一些寄存的特征进行实时比较。

正如我们将在下文中更详细看到的，由于每次都根据由所述集成电路输出的数据信号的数据样值，借助于计数器重算特征，因而允许在不需要任何中央处理器的情况下，借助于计数器实时测试集成电路。

有利的是，在非限制性实施例中，所述计数器基于内部电路的内部时钟和数据信号的垂直同步信号，所述内部时钟确定特征计算的顺序，而所述垂直同步信号确定每一次特征计算的结束。

在非限制性实施例中，集成电路最好包括至少一个数模转换器，所述数模转换器包括所述内部时钟、数据信号的数据样值，所述数据样值是由所述集成电路在所述内部时钟的每一个时钟周期内输出的。

在非限制性实施例中，数据信号最好包括有效区和无效区，在

特征计算中需要考虑它们两者。

有利的是，在非限制性实施例中，集成电路还包括：

- 初始化输入端，用于输出确定所述集成电路是否处于测试方式的信号，

- 时钟引脚，用于接收数据测试系统的时钟信号，

- 标记，用于启动由数据测试系统读出特征的操作，以及

- 串行输出端，用于把特征的比特输出到数据测试系统。

在非限制性实施例中，集成电路最好还包括用于把垂直同步信号输出到数据测试系统的第二输出端。

有利的是，在非限制性实施例中，集成电路还包括用于限定时间窗口的激活/去激活装置，在所述时间窗口期间可以执行把由所述计算装置计算的特征与参考特征进行比较的操作。

在非限制性实施例中，集成电路最好还包括延迟线，用于将特征计算块初始化。

附图的简要说明

参照附图阅读以下详细说明，本发明的其他目的、特征和优点将变得更加明显，附图中：

- 图 1 说明根据本发明的集成电路和计数器，

- 图 2 是由视频处理系统给图 1 的所述集成电路产生的数据信号，

- 图 3 更详细地说明图 1 的集成电路，

- 图 4 是表示借助于图 1 的计数器的特征计算的时间安排的简图，以及

- 图 5 说明图 3 所示的集成电路中特征计算装置的示意图。

发明的详细说明

在以下说明中，不详细说明对本专业的技术人员来说是众所周知的功能和结构，因为它们会以不必要的细节模糊本发明。

本发明涉及用于处理数据信号的多个数据样值的集成电路。

把视频应用方面的例子用于进一步的说明。当然，不排除其它应用中(例如计算机中)的其它应用例子。

这样的集成电路可以在图 1 所示的视频处理装置 VCS 中找到。视频处理系统 VCS 包括用于对表示电视影片 VIDEO 的 MPEG 信号解码的信道卫星解码器 DEC_V，所述解码器为集成电路，所述电视影片包括数据信号，例如具有数据样值(例如像素)的图像 I。

在作为例子给出的应用中，机顶盒被看做这样的视频处理装置的例子，所述例子不局限于这样的机顶盒或解码器。

一般地说，机顶盒还包括用于接收来自抛物面反射器的数字信号 DIG_S 的调谐器 TUNE，所述调谐器适合于对数字信号进行解调并输出 MPEG 信号 MPEG_S。这样的机顶盒通常与具有屏幕的电视机 TV 相关联，在屏幕上显示电视影片 VIDEO 的图像 I。

应当指出，有两种主要的图像格式：称为 PAL/SECAM 的欧洲图像格式和称为 NTSC 的美国图像格式，分别规定 50 幅图像/秒或 60 幅图像/秒。

图 2 中说明电视影片的图像 I。这种图像 I 包括多个像素 P。这种图像 I 通常包括 L0 至 LN 行像素 P。如本专业的技术人员众所周知的，水平同步信号 HS 和垂直同步信号 VS 分别用于确定图像 I 中行的开始和图像 I 的开始，一幅图像包括有效区 Z1 和无效区 Z2。电视影片的图像(因而所述图像的像素)由信道卫星解码器 DEC_V 产生。

图 3 说明一种集成电路，例如信道卫星解码器 DEC_V。它包括用于将输入的 MPEG 信号解码并产生构成所述电视影片图像的中央处理器 CPU1。本专业的技术人员众所周知，所述集成电路还包括用于 RGB、YC 和 CVBS 视频格式的 6 个数模转换器 DAC，每一个数模转换器 DAC 都包括一个内部时钟 CLK 和数据总线。

关于不同的视频格式，CVBS 格式与可以记录在录像机上的图像对应，而 RGB 格式与可以在 TV 屏幕上显示的图像对应，YC 格式与家庭视频图像对应。

为了在其操作环境中测试信道卫星解码器 DEC-V, 要计算电视影片的每一幅图像的特征, 然后往后与每一幅图像的参考特征比较。所述特征最好是本专业的技术人员众所周知的 CRC, 也称为循环冗余校验和。

如同下述那样处理图像 I 的所述特征。

当图像 I 的第一像素由数模转换器 DAC, 例如与 R 格式对应的第一数模转换器 DAC1 输出时, 起动图像 I 的特征计算。所述起动是由相关联的计数器 CT 执行的。在非限制性实施例中, 集成电路 DEC-V 最好包括计数器 CT, 而计数器 CT 基于数模转换器 DAC1 的内部时钟 CLK1 和图像 I 的垂直同步信号 VS。内部时钟 CLK1 确定特征计算的顺序, 而垂直同步信号 VS 确定特征计算的开始和结束。

应当指出, 垂直同步信号 VS 与 TV 屏幕大小, 即 720*576 行对应, 并且对于 PAL/SECAM 格式持续 20ms。在 VS 的每一个上升沿, 起动图像 I 的特征。然后在内部时钟 CLK1 的每一个时钟周期重新计算特征, 并在数模转换器 DAC1 的每一个时钟周期输出像素。应当指出, 像素是与数模转换器 DAC 输出的模拟信号对应的数字值。实际上, 在所考虑的例子中, 这意味着每一次在 TV 屏幕上显示所述图像 I 的像素时都要重新计算特征。

然后, 在 20ms 结束时停止计算所述图像 I 的特征。

当另一个信号 VS 到达时, 就是说另一幅图像 I 被数模转换器 DAC1 处理时, 就计算所述第二幅图像的特征。对于电视影片 VIDEO 的所有图像都是如此处理。

应当指出, 所述特征计算是用所有 6 个数模转换器 DAC 并行执行的, 对于与数模转换器 DAC 对应的每一个特征最好分配 10 比特, 这样整个特征就得到 60 比特。因而这 60 比特(而不是通常 1 兆字节的整幅图像 I)将用于了解译码器是处于如下所述的完好状态还是故障状态。

如同下述那样, 上述特征计算用来在其操作环境中测试信道卫

星译码器 DEC-V。

有一个也称为测试板 AFTE 的数据测试系统，待测试的集成电路（例如，译码器）置于测试板上。测试板包括中央处理器 CPU2 和运行在 10MHz 频率上的时钟 CLK2（未示出）。

为了测试集成电路，要执行以下步骤。

不过在测试前要如以下所述那样执行学习步骤。把参考集成电路 DEC_RF（也称为黄金装置）插入测试板 AFTE，计算由所述集成电路 DEC_RF 产生的电视影片的所有图像的特征并寄存在存储器中，最好是与测试板 AFTE 相关联的只读存储器 ROM 中。通过测试板的控制器由测试板把集成电路 DEC-V 置于测试方式下。

然后执行测试。把待测试的集成电路 DEC-V 插入测试板 AFTE，借助于计数器 CT 计算由所述集成电路产生的电视影片的所有图像的特征。应当指出，为了测试，通常由机顶盒（这里由测试板 AFTE 自己）产生 MPEG 信号 MPEG-S。

为此，如图 3 所示，集成电路 DEC-V 还包括：

- 特征计算块 SIGN-M，它包括触发器和存储特征的存储器（触发器和存储器未示出），
- 初始化输入端 ENABL，它适合于输出确定集成电路是否处于测试方式的信号，并连接到特征计算块 SIGN-M，
- 第一时钟引脚 CL，它适合于接收确定图像 I 的像素频率的采样时钟 VCP 的信号，
- 第二时钟引脚 TCK，它适合于接收测试板 AFTE 的时钟 CLK2 的信号，并且连接到所述测试板，
- 标记 TDI，它是连接到特征计算块 SIGN-M 和测试板的引脚，适合于起动由所述测试板读出特征的操作，
- 串行输出端 TDO，它适合于把特征位输出到测试板 AFTE，所述串行输出端使用第一多路复用器 MUX1 并连接到测试板，
- 第二输出端 TVS，它适合于把垂直同步信号 VS 输出到测试板

AFTE, 所述第二输出使用第二多路复用器 MUX2 并连接到测试板,

- 延迟线, 它包括 4 个寄存器(也称为触发器)FF1 至 FF4 和逻辑”与”门, 所述触发器连接到第二时钟输入端 TCK 和特征计算块 SIGN_M, 并以采样时钟 VCP 的频率运行, 以及

- 初始化引脚 INIT, 它适合于接收来自延迟线的信号。

应当指出, 集成电路 DEC_V 包括总线 JTAG, 后者在标准参考 IEEE 1149.1 中作了说明。所述总线包括 3 个引脚 TDI、TDO 和 TCK。

这样, 为了测试集成电路 DEC_V, 人们应用一些标准引脚。这避免了把更多的引脚加到这样的集成电路 DEC_V 中。

应当指出, 在引用的视频例子中, 对于视频传输标准 CCIR6.5.6 而言, 图像 I 的像素的采样频率 VCP 为 27MHz。

应当指出, 在通常的集成电路中存在已经使用的 4 个引脚 TCK、TDI、TDO、TVS。只有它们的功能随测试方式的不同而变化。的确, 例如在集成电路处于其操作环境的通用方式中, TVS 引脚输出称为通用目的 IO 的另一个信号 GPIO, 而不是 VS 信号, 所述串行输出端 TDO 输出通常测试数据输出信号。

因此, 不能给测试的集成电路, 例如译码器增加额外的引脚。应当指出, 多路复用器 MUX1 和 MUX2 的功能是根据测试方式或集成电路通常的方式在相应的引脚 TDO、TVS 上输出正确信号。

当译码器 DEC_V 开始产生第一图像 I 时, 就可以开始实时特征计算和比较。这些计算和比较在由译码器 DEC_V 自身控制的时间窗口期间持续进行。为了激活比较窗口, 译码器 DEC_V 通过中断引脚 PIOX 把第一窗口信号 WS 发送到测试板 AFTE。然后, 当产生最后的图像 I 时, 译码器 DEC_V 发送去激活比较窗口的第二窗口信号。第一窗口信号 WS 和第二窗口信号之间的称为比较时间窗口的时间可以持续 10 秒。

在这样的比较窗口期间, 当如上所述计算了图像 I 的特征(就是说每 20 毫秒)时, 集成电路 DEC_V 输出与第二输出 TVS 处理的图像 I

相关联的垂直同步信号 VS。所述垂直同步信号 VS 处于图 4 所述的上升沿中。在每一个上升沿中，计算的特征由特征计算块 SIGN_M 和 TCK 后的两个时钟周期存储在触发器中，特征计算块 SIGN_M 的触发器被重新起动。最好用 60 个触发器来存储与 6 个数模转换器 DAC 对应的 6 个计算的特征的 60 个比特的信息。因此并行地计算 6 个 CRC。

应当指出，借助于具有 4 个触发器 FF1 至 FF4 的延迟线可以获得 2 个时钟周期 TCK 的延迟。这样，延迟线允许正确起动特征计算块 SIGN_M，即所述计算特征。

然后测试板 AFTE 借助于标记 TDI 读出计算的特征。所述标记设置为 1。应当指出，读出计算的特征可以由测试板在任何时候 (20ms 内，即在垂直同步信号 VS 的两个上升沿范围内) 执行。

当启动标记 TDI 时，测试板 AFTE 在第二个时间引脚上发送 60 个时钟周期，以便读出与串行输出 TDO 上的 6 个数模转换器 DAC 对应的计算特征，10 比特用于一个特征。在串行输出上，测试板 AFTE 捕获 60 比特的特征。

应当指出，在图 4 的例子中，CRC0 表示与第一图像 I0 的 6 个数模转换器 DAC 对应的串联的 6 个 CRC。而 CRC1 表示与第二图像 I1 的 6 个数模转换器 DAC 对应的串联的 6 个 CRC。

图 5 中描述了特征计算块 SIGN_M。在非限制性实施例中，为了计算 60 比特的特征，计算模块 SIGN_M 包括：

- 第一组 60 个触发器 FFA_i，编号为 0 至 59 ($i=0, \dots, 59$)，与 60 个“异”门和 60 个“与”门相关联，第一多路复用器 MUXA_i ($i=0, \dots, 59$) 与每一个第一触发器 FFA_i 相关联。

- 第二组 60 个触发器 FFB_i，编号为 0 至 59 ($i=0, \dots, 59$)，第二多路复用器 MUXB_i ($i=0, \dots, 59$) 与每一个第二触发器 FFB_i 相关联。

第一组的每一个触发器 FFA_i 通过第一时钟引脚 CL 由采样时钟 VCP 计时，而第二组的每一个触发器 FFB_i 通过第二时钟引脚 TCK 由测试板 AFTE 的时钟 CLK2 计时。

如图 5 所示，计算模块 SIGN_M 被分成 60 个子块 SBi , $i=0, \dots, 59$ ，每一个子块包括：

- 具有其相关联的“异”门、“与”门及第一多路复用器 $MUXAi$ 的第一触发器 $FFAi$ ，以及

- 具有相关联的第二多路复用器 $MUXBi$ 的第二触发器 $FFBi$ 。

在时间 t ，子块计算结果值 $NEWi$ (所述结果值 $NEWi$ 是数据样值 Pi 和先前时间 $t-1$ 计算的下一个子块 $SBi+1$ 的寄存器值 $REGi+1$ 之间的“异”的结果) 并将其存储在下一个子块 $SBi+1$ 的第一触发器 $FFAi+1$ 中。这样， $NEWi(t) = Pi(t) XOR REGi+1(t)$ [1]。

子块 $SB4$ 被包括在图 5 的例子中。

实际上，如以下所述那样处理结果值。

当初始化引脚复位时，标记 TDI 被设置为 0，就可以根据上述公式 [1] 计算每一个子块 SBi 。在时钟引脚 CL 的每一个采样时钟周期 VCP 中，在与子块 SBi 对应的“异”门中输入新像素 Pi 。这样，结果值 $NEWi(t)$ 在每一个时钟周期 VCP 中都变化。从而在采样时钟 VCP 的每一个上升沿上，结果值 $NEWi(t)$ 被存储在第一触发器 $FFAi$ 中，并在下一个时刻 $t+1$ 用于前一个子模块 $SBi-1$ 中作为寄存器值 $REGi$ 。应当指出，当初始化引脚设置为 1 时，结果值 $NEWi$ 为空值 (null)。

应当指出，最后子块 $SB59$ 没有任何寄存器值 $REG59$ ，而且它的结果值 $NEW59$ 不同于其它结果值 $NEWi$ ，因此，

$$REGi(t) = NEWi(t-1) = Pi(t-1) XOR REGi+1(t-1), i=0 \text{ 至 } 58 \text{ 及}$$

$$REG59(t) = P59(t-1) XOR REG0(t-1) XOR REG57(t-1)。$$

当对所有结果值 $NEWi(t)$ 都进行了计算并存储在对应的第一触发器 $FFAi$ 时，这就意味着图像 I 的特征计算结束。图像 I 计算的结束由上述垂直同步信号 VS 确定。

然后如上所述，测试板 $AFTE$ 把标记 TDI 设置成 1，时钟 $CLK2$ 的时钟周期开始。在第一时钟周期，所有子块 SBi 的寄存器值 $REGi$ 都通过第二多路复用器 $MUXBi$ 的控制存储在第二触发器 SBi 中，得到存

储值 B_i 。然后在接着的时钟周期中，存储的最后值 B_{59} 在串行输出端 TDO 输出。这样，在下一个时钟周期，在串行输出 TDO 上输出存储的前一个值 B_{58} ，等等，一直到把所有寄存器值 B_i 全部输出为止。因此，在串行输出端 TDO 上输出所述特征。因此，应当指出，在时钟引脚 TCK 上有 61 个时钟周期：来自垂直同步信号 VS 的第一个时钟周期和来自测试板 AFTE (即来自时钟 CLK2，如图 3 中所示) 的接着的 60 个时钟周期。

应当指出，当在引脚 TCK 上产生第三个时钟周期(即刚刚由延迟线重新起动后的时钟周期)时，由于这些特征值已经保存在第二触发器 FFB_i 中，前一个特征值没有被丢失，因此就可以开始计算另一个特征。这样可以通过初始化引脚 INIT 来将第一个触发器 FFA_i ，在 VS 被插入后的 2 个时钟周期，初始化引脚 INIT 通过延迟线被设置为 1。两个触发器用于初始化引脚 INIT 的初始化，而另外两个引脚用于复位。

应当指出，如上所述，每一次计算特征都要把所述第二次计算的特征与寄存的特征比较。由测试板 AFTE 通过其通用串行总线 USB 或通用异步接收机发射机的 UART 端口读出参考特征。

这样，测试板 AFTE 的中央处理器 CPU2 管理比较结果、计算返回率和故障率。为了使这些比率具有一些好的统计结果，人们最好保存其格式有故障的那些特征以及它们出现故障的次数。

应当指出，对于测试板 AFTE，没有增加引脚来测试译码器 DEC-V。测试板 AFTE 通常具有与译码器 DEC-V 的 4 个引脚 TCK、TDO、TDI 相关联的 4 个引脚。

还应当指出，参考特征存储在测试板 AFTE 的只读存储器 ROM 中，所述参考特征或者直接来自参考电路 DEC-RF 或者来自其中已经存储参考特征的外部 PC 机。所述最后的解决方案允许运行多个测试板 AFTE，并避免每一次都要在测试板中插入参考电路。

这样，根据本发明，由于当译码器 DEC-V 在其操作环境中运行

时计算图像特征，就是说，当译码器 DEC-V 产生电视影片时，实时地测试所述译码器。

因此译码器是在它的操作环境中测试，就好像运行在客户环境中一样，这样的客户是积分器，它把客户设备(例如机顶盒)售给广播电台。机顶盒处于视频处理装置的机壳中，并包括译码器、调谐器和 LCD 屏幕。这样就避免有太多的有故障的集成电路被客户退回。关于用户的质量方面，与仅仅测试所述集成电路的每个部件的逻辑电路的结构测试相比，测试集成电路功能(例如所述译码功能)的功能测试比较优越。这样，用户就知道他的完整的消费设备能否正常工作。确实，例如如果他的调谐器不能工作，其误差将影响译码器，所述译码器将输出错误特征。

本发明的另一个优点是，建议的解决方案不仅仅专用于特殊结构，例如 RAMDAC，而且可以用于集成电路的其它结构。

而且，如在其操作环境中测试译码器一样，它允许把通常的存储器用于所述译码器中以其通常的数据总线频率 166MHz 或 133MHz 工作的译码应用，如本专业的技术人员众所周知的，这对于在一些其它先有技术中描述的自动测试设备 ATE 来说是不可能的，因为这样的 ATE 会承受这样高的频率。的确，如果数据总线的频率太高，在所述总线上就会出现太多的噪声，使 ATE 中断。

应当指出，译码器的通用存储器一般是同步动态随机存取存储器(SDRAM)，用于存储数据，例如数据样值。

另一个优点是，用于测试译码器的测试板是特征计算的主要部件。它与译码器完全同步。的确，测试板究竟何时在接收的两幅图像(对于欧洲格式的 50Hz 在 20ms 内，即在比较时间窗口内)中开始特征计算，而在上述先有技术中，特征计算取决于帧缓冲区，即刷新集成电路自身的随机存取存储器 RAM，也取决于它的中央处理器 CPU 的第 i 次比较速度。的确，在先有技术中图像存储在帧缓冲区，集成电路的中央处理器 CPU 必须在另一幅图像存入帧缓冲区之前非常

快速地计算图像特征，然后擦除已处理的图像。由于中央处理器 CPU 也要花一些时间在下一幅图像的数据样值上，如果中央处理器 CPU 的速度太慢，特征将成为故障。在一些情况下，先有技术使用双帧缓冲区解决这一问题，但是这种双帧缓冲区要占据集成电路硅片的许多空间。

本发明的集成电路的第五个优点是，借助于只使用触发器的计算装置计算特征。不需要中央处理器，因而降低了译码器的功耗。不使用随机存取存储器。这避免了要占用译码器硅片上太多的空间。

第六个优点是实现本发明不需要在译码器上或测试板本身上增加额外的引脚。因此本发明可以在集成电路和现有测试板上方便地实现。

第七个优点是，本发明的测试方法不需要如在一些其它先有技术中可见到的那样在测试板上并行使用两块集成电路。这就避免了在测试板上寻找空间的问题，所述测试板是标准化的，通常没有太多的空间。这也避免了测试板上两块集成电路的同步问题。

第八个优点是，使用特征(而不是图像本身)测试译码器可以减小用于测试的存储器。的确，不需要几兆的存储器或寄存器(一幅图像用大约 1 兆字节)，使用几比特的存储器或寄存器就够了。

最后，如在特征计算中考虑图像的所有像素那样，图像的无效区也被测试。所述无效区与通常称为“报文”的字符对应，它出现在由 TV 用户看到的视觉图像上面。

显然，本发明没有局限于上述实施例，在不脱离后附的权利要求书确定的本发明的精神和范围的情况下可以进行各种变化和修改。在这方面下面给出几点密切的评论。

显然，本发明没有局限于上述视频应用。它可以用于视频编码器。

它可以用于使用带数字电路的系统的任何应用中。例如，它可以用于用作 MPEG 压缩的集成电路。在这种 MPEG 应用中，计数器 CT

基于同步引脚、时钟引脚和有效引脚，所述同步引脚、时钟引脚和有效引脚分别用于起动/停止特征读出的开始、特征位的顺序读出和确认图像 I 的压缩。在这种情况下，特征包括 188 或 204 个字节。计数器 CT 可以在集成电路的外部或内部。

另一个例子可以是用于声频应用的集成电路。在这种情况下，数据信号通常称为帧。

显然，本发明的方法没有局限于上述实现方案。

只要单一硬件能够实现几种功能，那么就有许多路径可以用来借助于硬件实现本发明方法的功能。它没有排除硬件的组合实现某种功能，因此根据本发明，可以在不修改测试集成电路的方法的情况下构成单一功能。可以用几种方式实现所述硬件，例如通过有线电子电路实现。

以下权利要求书中任何参考标志都不应该构成对权利要求书的限制。很显然，使用动词“包括”及其配合都没有排除出现任何其它步骤或在任何权利要求书中确定的单元外的单元。单元或步骤的前面的冠词“a”或“an”没有排除出现多个这样的单元或步骤。

图 1

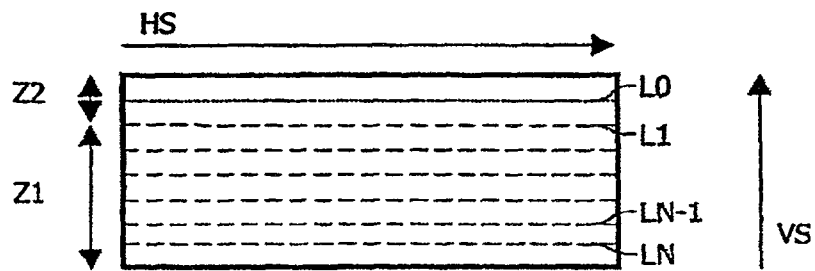
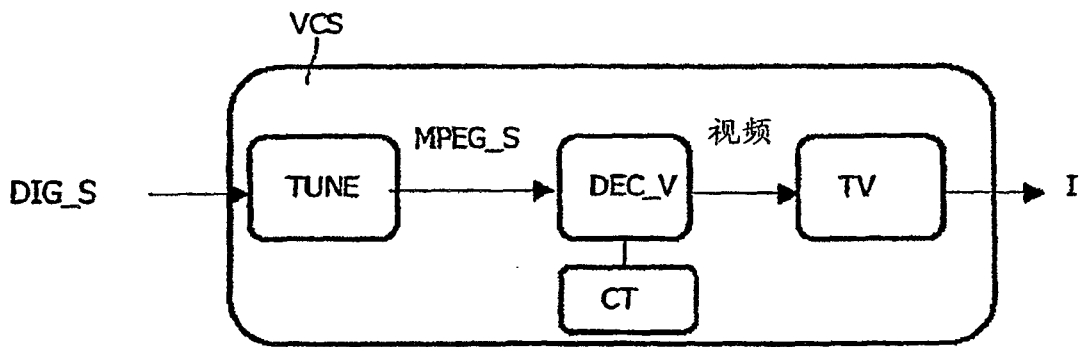


图 2

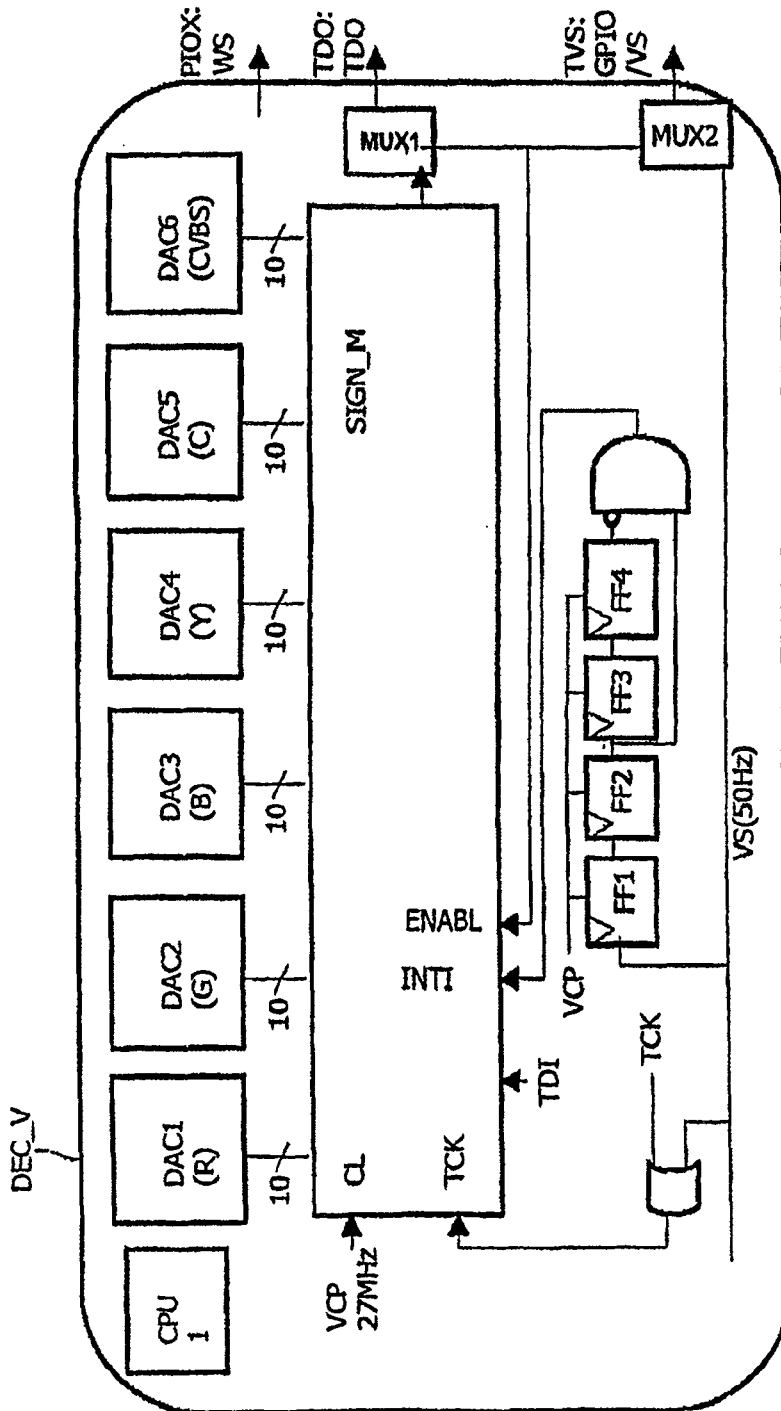


图 3

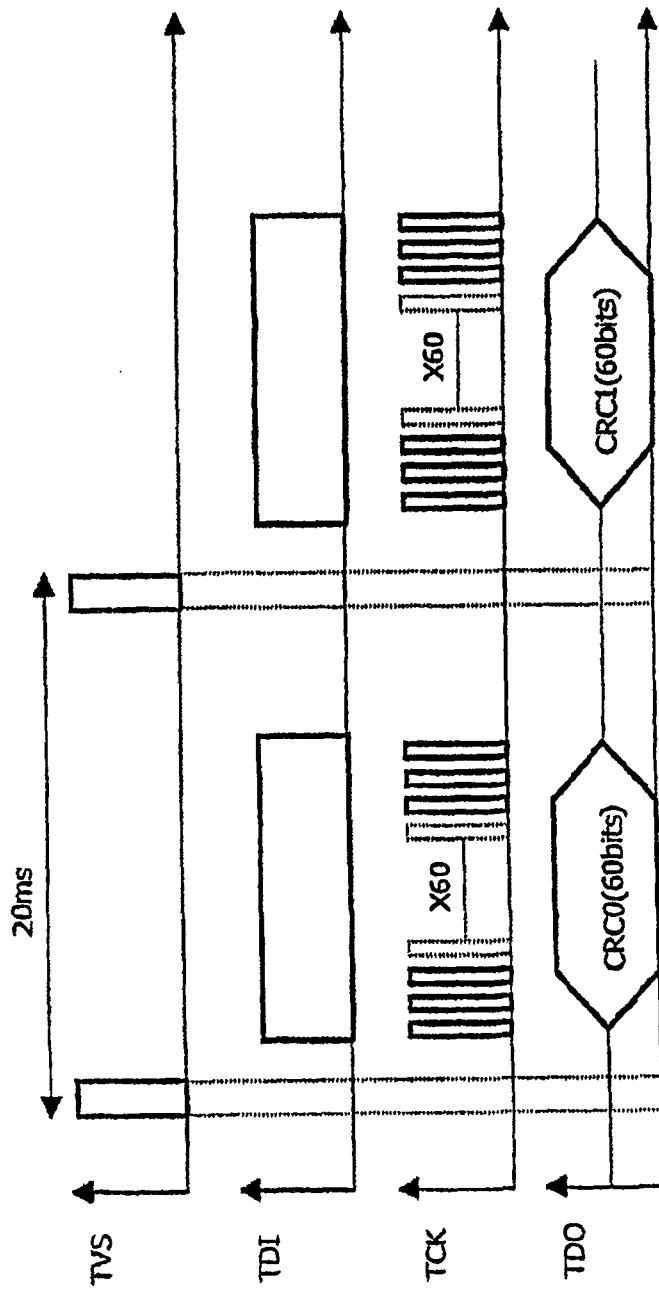


图 4

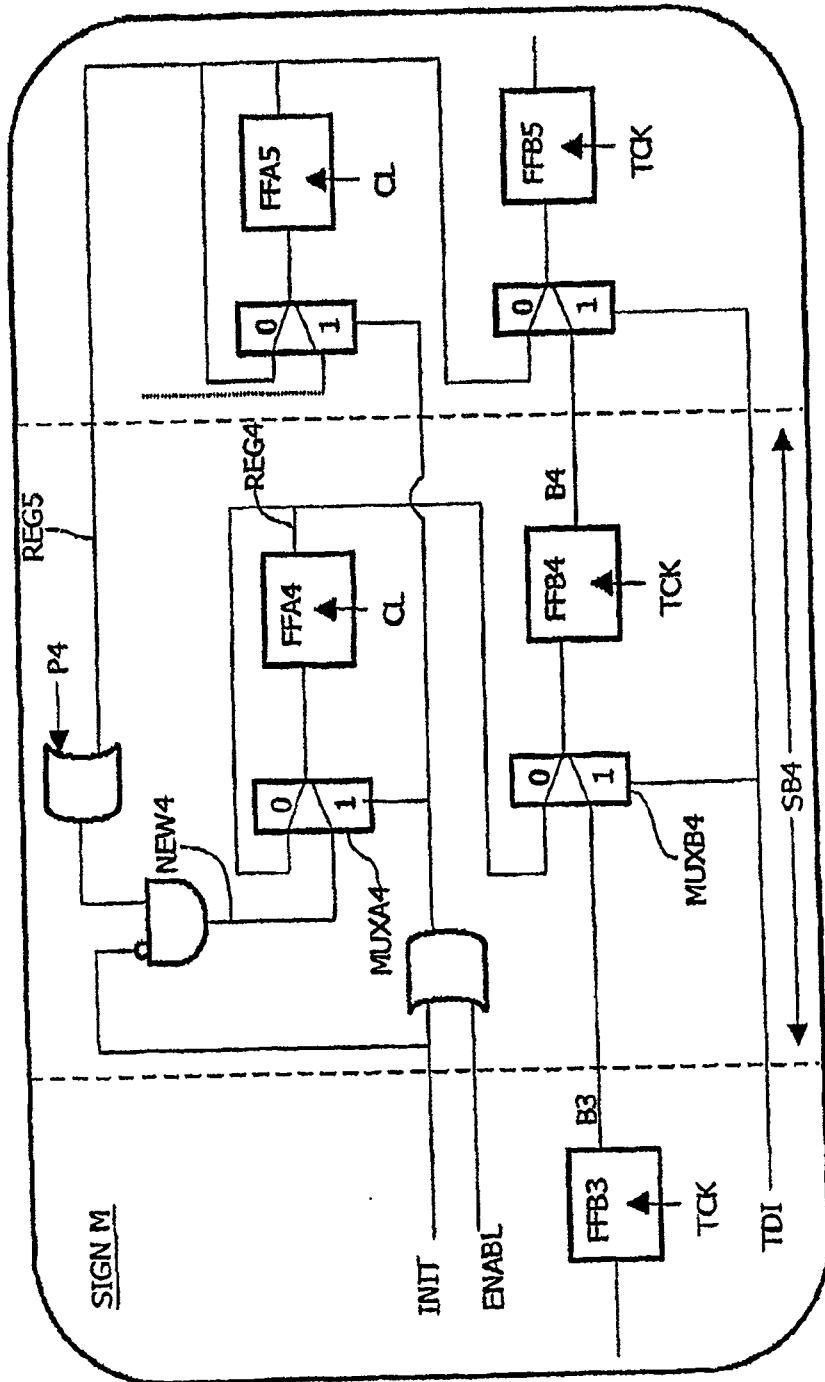


图 5