



(12)发明专利

(10)授权公告号 CN 105453043 B

(45)授权公告日 2019.12.13

(21)申请号 201480041360.4

(22)申请日 2014.07.23

(65)同一申请的已公布的文献号
申请公布号 CN 105453043 A

(43)申请公布日 2016.03.30

(30)优先权数据
61/857,570 2013.07.23 US
14/338,235 2014.07.22 US

(85)PCT国际申请进入国家阶段日
2016.01.21

(86)PCT国际申请的申请数据
PCT/US2014/047906 2014.07.23

(87)PCT国际申请的公布数据
W02015/013458 EN 2015.01.29

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 A·沙哈姆 I·莱那尔 M·海姆

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 周敏

(51)Int.Cl.
G06F 9/48(2006.01)
G06F 9/52(2006.01)

(56)对比文件
US 2006225074 A1,2006.10.05,
US 6643718 B1,2003.11.04,
CN 102736949 A,2012.10.17,
US 6079012 A,2000.06.20,
CN 102725734 A,2012.10.10,

审查员 彭莉

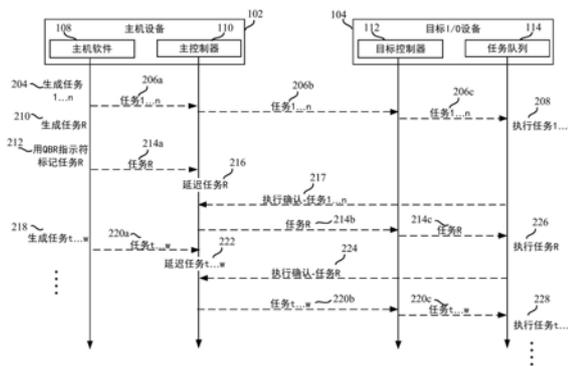
权利要求书3页 说明书8页 附图11页

(54)发明名称

在不受I/O协议或目标设备支持时提供队列屏障

(57)摘要

提供了单方地支持队列屏障功能性的主控制器。主控制器可接收用队列屏障指示符标记的第一任务。结果,主控制器延迟第一任务到目标设备的传输。另外,主控制器还延迟发生在第一任务之后的任何任务到目标设备的传输。主控制器仅在从所述目标设备接收到所有先前发送的任务已被处理的指示之际,才将第一任务发送到目标设备。主控制器仅在从目标设备接收到关于第一任务已被处理的指示之际,才将发生在第一任务之后的任何任务发送到目标设备。



1. 一种主控制器,包括:
与外部目标设备通信的通信接口;以及
耦合至所述通信接口的处理电路,所述处理电路被适配成:
从任务队列顺序地获得多个任务,其中所述多个任务中的一些而非全部被用队列屏障指示符选择性地且单独地作了标记;
从所述多个任务当中获得用第一队列屏障指示符标记的第一任务;
一旦检测到所述第一队列屏障指示符,就延迟所述第一任务到所述目标设备的传输;
以及
一旦从所述目标设备接收到关于所有先前发送的任务已被处理的指示,就将所述第一任务发送到所述目标设备,
其中所述主控制器和所述目标设备使用不支持队列屏障功能性的协议进行通信。
2. 如权利要求1所述的主控制器,其特征在於,所述处理电路被进一步适配成:
查明每一任务是否用队列屏障指示符作了标记;以及
确定所述第一任务被用所述第一队列屏障指示符作了标记。
3. 如权利要求1所述的主控制器,其特征在於,所述处理电路被进一步适配成:
延迟发生在所述第一任务之后的任何任务到所述目标设备的传输,直至从所述目标设备接收到关于所有先前发送的任务已被处理的指示。
4. 如权利要求3所述的主控制器,其特征在於,所述处理电路被进一步适配成:
一旦从所述目标设备接收到关于所述第一任务已被处理的指示,就将发生在所述第一任务之后的任何任务发送到所述目标设备。
5. 如权利要求1所述的主控制器,其特征在於,在所述目标设备中不支持单独的队列屏障功能性。
6. 如权利要求1所述的主控制器,其特征在於,所述队列屏障指示符与所述目标设备中或所述主控制器和目标设备之间的输入/输出通信协议中支持的单独的队列屏障功能性不同。
7. 如权利要求1所述的主控制器,其特征在於,所述主控制器是与所述目标设备分开的设备。
8. 如权利要求1所述的主控制器,其特征在於,所述主控制器与所述目标设备一起集成在单个半导体器件中。
9. 如权利要求1所述的主控制器,其特征在於,所述目标设备是存储设备且所述任务包括读和/或写操作。
10. 如权利要求1所述的主控制器,其特征在於,所述第一任务不带所述队列屏障指示符地发送到所述目标设备。
11. 如权利要求1所述的主控制器,其特征在於,所述第一任务和其他任务由所述处理电路从任务队列获得,且所述第一任务和其他任务中的每一者由所述处理电路按每一任务相对于用队列屏障指示符标记的其他任务被置于所述任务队列中的次序来处理。
12. 一种在主控制器上操作以与目标设备通信的方法,包括:
从任务队列顺序地获得多个任务,其中所述多个任务中的一些而非全部被用队列屏障指示符选择性地且单独地作了标记;

从所述多个任务当中获得用第一队列屏障指示符标记的第一任务；

一旦检测到所述第一队列屏障指示符，就延迟所述第一任务到所述目标设备的传输；
以及

一旦从所述目标设备接收到关于所有先前发送的任务已被处理的指示，就将所述第一任务发送到所述目标设备，

其中所述主控制器和所述目标设备使用不支持队列屏障指示符功能性的协议进行通信。

13. 如权利要求12所述的方法，其特征在于，进一步包括：

查明每一任务是否用队列屏障指示符作了标记；以及
确定所述第一任务被用所述第一队列屏障指示符作了标记。

14. 如权利要求13所述的方法，其特征在于，进一步包括：

延迟发生在所述第一任务之后的任何任务到所述目标设备的传输，直至从所述目标设备接收到关于所有先前发送的任务已被处理的指示。

15. 如权利要求14所述的方法，其特征在于，进一步包括：

一旦从所述目标设备接收到关于所述第一任务已被处理的指示，就将发生在所述第一任务之后的任何任务发送到所述目标设备。

16. 如权利要求12所述的方法，其特征在于，所述队列屏障指示符与所述目标设备中或所述主控制器和目标设备之间的输入/输出通信协议中支持的单独的队列屏障功能性不同。

17. 如权利要求12所述的方法，其特征在于，在所述目标设备中不支持队列屏障功能性。

18. 一种具有一条或多条指令的非瞬态处理器可读存储介质，所述指令在由主控制器上的至少一个处理电路执行以与目标设备进行通信时使所述至少一个处理电路：

从任务队列顺序地获得多个任务，其中所述多个任务中的一些而非全部被用队列屏障指示符选择性地且单独地作了标记；

从所述多个任务当中获得用第一队列屏障指示符标记的第一任务；

一旦检测到所述第一队列屏障指示符，就延迟所述第一任务到所述目标设备的传输；
以及

一旦从所述目标设备接收到关于所有先前发送的任务已被处理的指示，就将所述第一任务发送到所述目标设备，

其中所述主控制器和所述目标设备使用不支持队列屏障指示符功能性的协议进行通信。

19. 如权利要求18所述的非瞬态处理器可读存储介质，其特征在于，进一步具有在由至少一个处理电路执行时使所述至少一个处理电路执行以下操作的一条或多条指令：

查明每一任务是否用队列屏障指示符作了标记；以及
确定所述第一任务被用所述第一队列屏障指示符作了标记。

20. 如权利要求18所述的非瞬态处理器可读存储介质，其特征在于，进一步具有在由至少一个处理电路执行时使所述至少一个处理电路执行以下操作的一条或多条指令：

延迟发生在所述第一任务之后的任何任务到所述目标设备的传输，直至从所述目标设

备接收到关于所有先前发送的任务已被处理的指示。

21. 如权利要求18所述的非瞬态处理器可读存储介质,其特征在于,进一步具有在由至少一个处理电路执行时使所述至少一个处理电路执行以下操作的一条或多条指令:

一旦从所述目标设备接收到关于所述第一任务已被处理的指示,就将发生在所述第一任务之后的任何任务发送到所述目标设备。

在不受I/O协议或目标设备支持时提供队列屏障

[0001] 根据35 U.S.C. §119的优先权要求

[0002] 本专利申请要求2013年7月23日提交的题为“Providing Queue Barriers When Unsupported By An I/O Protocol or Target Device (在不受I/O协议或目标设备支持时提供队列屏障)”的美国临时专利申请No. 61/857,570的优先权,它被转让给本专利申请的受让人并且因此通过援引明确纳入于此。

[0003] 领域

[0004] 以下一般涉及队列内的任务执行,且更具体地涉及用于在队列屏障不受使用中的输入/输出(I/O)协议支持时提供或促成此类队列屏障的方法和设备。

[0005] 背景

[0006] 在主机设备中的I/O主控制器内操作的软件可将由I/O主控制器发送到目标I/O设备以供排队和执行的数个任务排入队列。在一些情况下,执行的次序可由接收方目标I/O设备确定,这在主机设备的控制之外。所以,接收方目标I/O设备可改变任务的执行次序。

[0007] 在一些情况下,主机设备上的软件想要保证发送到目标I/O设备的任务的特定执行次序。例如,一些I/O通信协议提供用于指示任务是否不能被乱序处理的队列屏障。在其他情况下,目标I/O设备和/或I/O通信协议(在主机设备和目标I/O设备之间使用的I/O通信协议)可能没有提供用于实施这样的执行次序的挂钩。

[0008] 因此,需要提供一种队列屏障功能性,其准许主机设备在此类功能性不受目标I/O设备或I/O通信协议支持的情况下控制目标I/O设备处的执行次序。

[0009] 概述

[0010] 提供了一种主控制器,包括:与目标设备通信的通信接口;以及耦合到该通信接口的处理电路。处理电路可被适配成:(a)获得用队列屏障指示符标记的第一任务;(b)延迟第一任务到目标设备的传输;和/或(c)一旦从目标设备接收到关于所有先前发送的任务已被处理的指示,就将第一任务发送到目标设备。

[0011] 在一个示例中,处理电路可被进一步适配成:(a)从任务队列顺序地获得多个任务,其中第一任务在该多个任务当中;(b)查明每一任务是否用队列屏障指示符作了标记;和/或(c)确定第一任务被用队列屏障指示符作了标记。

[0012] 另外,处理电路可被进一步适配成延迟发生在第一任务之后的任何任务到目标设备的传输,直至从目标设备接收到关于所有先前发送的任务已被处理的指示。处理电路可随后一旦从目标设备接收到关于第一任务已被处理的指示,就将发生在第一任务之后的任何任务发送到目标设备。

[0013] 在一个实现中,主控制器和目标设备可使用不支持队列屏障指示符功能性的协议进行通信。根据一个方面,在目标设备中不支持单独的队列屏障指示符功能性。根据另一方面,队列屏障指示符可与目标设备中或主控制器和目标设备之间的输入/输出通信协议中支持的单独的队列屏障功能性不同。

[0014] 在一个实现中,主控制器可以是与目标设备分开的设备。在另一实现中,主控制器可与目标设备一起集成在单个半导体器件中。在一个示例中,目标设备可以是存储设备且

任务包括读和/或写操作。

[0015] 第一任务可不带队列屏障指示符地发送到目标设备。第一任务和其他任务可由处理电路从任务队列获得,且第一任务和其他任务中的每一者由处理电路按每一任务相对于用队列屏障指示符标记的其他任务被置于任务队列中的次序来处理。

[0016] 还提供了一种在主控制器上操作以与目标设备通信的方法,包括:(a)获得用队列屏障指示符标记的第一任务;(b)延迟(例如,挂起、临时停止)第一任务到目标设备的传输;(c)一旦从目标设备接收到关于所有先前发送的任务已被处理的指示,就将第一任务发送到目标设备。

[0017] 该方法可进一步包括:(a)从任务队列顺序地获得多个任务,其中第一任务在该多个任务当中;(b)查明每一任务是否用队列屏障指示符作了标记;(c)确定第一任务被用队列屏障指示符作了标记;和/或(d)延迟发生在第一任务之后的任何任务到目标设备的传输,直至从目标设备接收到关于所有先前发送的任务已被处理的指示。一旦从目标设备接收到第一任务已被处理的指示,就可将发生在第一任务之后的任何任务发送到目标设备。

[0018] 在一个示例中,主控制器和目标设备可使用不支持队列屏障指示符功能性的协议进行通信。在另一示例中,队列屏障指示符可与目标设备中或主控制器和目标设备之间的输入/输出通信协议中支持的单独的队列屏障功能性不同。在又一示例中,在目标设备中不支持队列屏障指示符功能性。

[0019] 提供了一种具有一条或多条指令的非瞬态处理器可读存储介质,该指令在由至少一个处理电路执行时使该至少一个处理电路:(a)获得用队列屏障指示符标记的第一任务;(b)延迟第一任务到目标设备的传输;(c)一旦从目标设备接收到关于所有先前发送的任务已被处理的指示,就将第一任务发送到目标设备;和/或(d)延迟发生在第一任务之后的任何任务到目标设备的传输,直至从目标设备接收到关于所有先前发送的任务已被处理的指示。

[0020] 非瞬态处理器可读存储介质还可包括在由至少一个处理电路执行时使该至少一个处理电路执行以下操作的一条或多条指令:(a)从任务队列顺序地获得多个任务,其中第一任务在该多个任务当中;(b)查明每一任务是否用队列屏障指示符作了标记;和/或(c)确定第一任务被用队列屏障指示符作了标记。一旦从目标设备接收到关于第一任务已被处理的指示,就可将发生在第一任务之后的任何任务发送到目标设备。

[0021] 附图

[0022] 图1是包括经由总线耦合到目标I/O设备且被适配成实现队列屏障功能性的主机设备的系统的框图。

[0023] 图2是解说队列屏障功能可被如何实现的流程图。

[0024] 图3(包括图3A、3B和3C)图形化地解说主机设备上的队列屏障指示符的示例性实现的处理。

[0025] 图4是解说由主控制器操作以实现任务的队列屏障的方法的流程图。

[0026] 图5是解说实现主机控制的队列屏障功能性的主机设备的示例的框图。

[0027] 图6是解说在主机设备处操作的用于实现队列屏障功能性的示例性方法的流程图。

[0028] 图7是解说被适配成促成队列屏障功能性的示例性主控制器的框图。

[0029] 图8是解说由被适配成促成队列屏障功能性的主控制器操作的示例性方法的流程图。

[0030] 图9是解说由被适配成促成队列屏障功能性的主控制器操作的示例性方法的另一流程图。

[0031] 详细描述

[0032] 以下结合附图所阐述的描述旨在作为各种配置的描述,而无意代表可实践本文中所述的概念和特征的仅有的配置。以下描述包括具体细节来提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的电路、结构、技术和组件以免湮没所描述的概念和特征。

[0033] 本公开中通篇给出的各种概念可跨种类繁多的电信系统、网络架构、电子设备、移动设备、计算设备和通信标准来实现。本公开的某些方面在下文参考具体协议、系统以及技术来描述。然而,本领域普通技术人员将认识到,本公开的一个或多个方面可被用在和包括在一个或多个其他无线通信协议、系统和技术中。

[0034] 总览

[0035] 本公开的各特征和方面涉及保证任务按特定排序执行,甚至在接收方目标设备或接口协议不提供对这样的队列排序的支持的情况下亦如此。在主机设备上操作的主机软件可以用队列屏障(QBR)指示符(例如,标签或标记)来标记特定任务。然而,主机设备与其通信的目标I/O设备和/或所使用的I/O通信协议可能不支持这样的QBR指示符。因此,在主机I/O控制器处理用QBR指示符加标签/标记的任务时,它直至(在目标I/O设备处)先前排入队列的所有任务都已被执行才将该任务发送到目标I/O设备。目标I/O设备可以在每一任务被执行或处理时向主机I/O控制器发送执行确认。主机设备处的主机I/O控制器也可延迟/抑制在标记QBR的任务之后排入队列的所有任务并且只有在标记QBR的任务被执行之后才将它们传递给目标I/O设备。因而,队列屏障可作为I/O接口的一部分被实现在主机设备的主机I/O控制器中。例如,在队列屏障不由I/O通信协议和/或目标I/O设备原生支持的情况下,主机I/O控制器处的这样的队列屏障可以是有用的。在其他实例中,即使在I/O通信协议支持队列屏障的情况下,主机I/O控制器处的这样的队列屏障也可以是有用的。例如,可能存在以下情况:即使I/O通信协议支持队列屏障,它也可能仍然期望允许主机I/O控制器实现队列屏障,诸如在I/O通信协议可能不允许在其他任务仍然在进行中的同时发送队列屏障命令时。这一概念构想了在队列中一个或多个标记/加标签为QBR的任务在任何一个时刻(即,同时)被使用。

[0036] 示例性操作环境

[0037] 图1是包括经由总线106耦合到目标I/O设备104且被适配成实现队列屏障功能性的主机设备102的系统的框图。主机设备102可包括主机软件108、任务队列109、以及主控制器110。目标I/O设备104可包括控制器112、任务队列、以及存储设备116。主机任务队列109可以抑制正被发送给目标I/O设备104的任务。例如,这样的主机任务队列109可由主机软件108用来向主控制器110提供任务且可被用来抑制任务直至它们被发送给目标I/O设备104。

[0038] 在各实施例中,目标I/O设备104可以是与主机设备不同或分开的组件,或者目标I/O设备104可以连同主机设备102一起被集成为单个半导体芯片的一部分。例如,目标I/O

设备104可以是顺应联合电子器件工程联合委员会 (JEDEC) 的嵌入式多媒体控制器 (eMMC) 标准的闪存设备。队列屏障有时被各协议定义为允许为一任务定义相对于其他任务的执行次序。然而,这只在目标I/O设备识别并遵循这样的屏障标签/标记所定义的执行次序时才起作用。

[0039] 根据一种办法,主机软件108可以生成应当按相对于其他任务的特定次序来执行的任务。例如,第一任务必须在所有后续任务之前执行。因此,主机软件108可以用队列屏障 (QBR) 指示符 (例如,标签、标记、或位) 来标记第一任务以指示第一任务应当按相对于其他任务的特定次序来执行 (例如,第一任务必须在先于它发出的所有任务之后执行和/或第一任务必须在晚于它发出的所有任务之前执行,等等)。主控制器110可以识别第一任务被用QBR指示符作了标记。因此,主控制器110可以延迟或抑制第一任务,而非将它发送到目标I/O设备104,直至接收到所有先前任务已被目标I/O设备104执行的确认或指示。同样,主控制器110可延迟或抑制所有后续任务,而非将它们发送到目标I/O设备104。一旦主控制器110接收到关于所有在先任务都已被目标I/O设备104执行的指示,它就将第一任务发送到目标I/O设备104。主控制器110随后在将后续任务发送到目标I/O设备104之前等待接收第一任务已被目标I/O设备104执行的指示。注意,本文所公开的“任务”可以是数据和/或非数据任务 (例如,命令、指令,等等)。在一个示例中,任务可包括读和/或写操作。

[0040] 图2是示出队列屏障功能可被如何实现的流程图。主机软件108可以生成任务1...n 204并将它们提供给主控制器110。主控制器110随后将任务1...n发送到目标控制器112,目标控制器112将它们提供给任务队列114,从任务队列114中它们可被执行或处理208。

[0041] 主机软件108还可生成用队列屏障指示符212 (例如,标记或标签) 标记的任务R 210。任务R被提供给主控制器110。然而,因为任务R被加标签/标记为QBR,所以主控制器110延迟或抑制任务R 216。主控制器110等待来自目标I/O设备104的关于所有先前发送的任务已被执行或处理的确认。一旦接收到关于任务1...n已被目标I/O设备104执行或处理的确认217,主控制器110就将任务R发送给目标控制器112。注意,在一些实现中,关于任务1...n已被执行或处理的确认可以在最后一个任务 (即,任务n) 正被处理但这样的处理尚未完成时发送。从目标控制器112,任务R被传递给任务队列114,从任务队列114它被处理或执行226。

[0042] 同时,主控制器110延迟或抑制222在任务R之后生成的任何任务t...w218,直至它接收到关于任务R已被目标I/O设备104执行或处理的确认。一旦接收到关于任务R已被目标I/O设备104执行或处理的确认224,主控制器110就将任务t...w发送到目标控制器112,目标控制器112将它传递给任务队列114,从任务队列114它们被处理或执行228。

[0043] 以此方式,主控制器110能够单方地为任务实现队列屏障,即使在目标I/O控制器和/或I/O协议不支持队列屏障时。因此,任务执行排序可由主控制器110实现。

[0044] 注意,一个或多个标记/加标签为QBR的任务可在任务队列中在任何一个时刻 (即,同时) 使用。因此,多个加标签/标记为QBR的任务可被置于主机设备队列中,每一标记/加标签为QBR的任务以它被置于主机设备任务队列中的次序被发送给目标I/O设备。

[0045] 图3 (包括图3A、3B和3C) 图形化地解说主机设备上的队列屏障指示符的示例性实现的处理。主机设备102可以实现任务被放置在其中以供主控制器110处理的第一任务队列302。目标设备104可类似地实现目标控制器112所接收到的任务被放置在其中以供目标设

备104处理的第二任务队列304。

[0046] 第一任务队列302中的任务可以用队列屏障指示符来加标签或标记。例如,队列屏障指示符=“0”指示没有队列屏障,而队列屏障指示符=“1”指示队列屏障。主控制器110可以在执行或处理每一任务之前检查每一任务的队列屏障指示符。如果特定任务的队列屏障指示符=“0”,则主控制器处理该任务。否则,如果特定任务的队列屏障指示符=“1”,则主控制器延迟或停止处理该任务(以及可能地所有后续任务),直至它接收到关于所有先前发送的任务已被目标设备104处理的指示或确认为止。

[0047] 在时间k,主控制器110可以通过将任务n发送到目标设备104来执行或处理任务n,在目标设备104处任务n被置于第二任务队列304中。在目标设备104处理每一任务时,它可以每一任务的执行确认发送给主机设备102。

[0048] 在时间k+i,主控制器110可以通过将任务n+i发送到目标设备104来执行或处理任务n+i,在目标设备104处任务n+i被置于第二任务队列304中。

[0049] 在时间k+i+1,主控制器110可准备好执行或处理任务p。在检查任务p的队列屏障指示符之际,主控制器检测到它被启用或设为“1”,从而指示任务p的队列屏障被断言。因此,主控制器110停止或延迟任务p(以及所有后续任务)的处理,直至它接收到关于发送到目标设备104的所有先前任务已被处理的确认或指示。

[0050] 到时间k+i+j,主控制器110可接收到了关于所有先前任务(包括任务n+i)已被目标设备104执行或处理的确认。因此,在时间k+i+j+1,主控制器110可处理任务p。主控制器110可延迟所有后续任务,直至任务p(即,具有队列屏障指示符的任务)已被目标设备处理的指示或确收。在时间k+i+j+2,主控制器110可接收到任务p的执行确认。随后,在时间k+i+j+3,主控制器110可处理后续任务p+1,以此类推。

[0051] 注意,在一个示例中,队列屏障指示符可以是附加到每一任务的位。在另一示例中,每一任务的队列屏障指示符可以在分开的存储器片段中维护。

[0052] 图4是解说由主控制器操作以实现任务的队列屏障的方法的流程图。这一方法可以例如由图1、2和3中解说的主控制器110实现。主控制器可包括它与目标设备进行通信的通信接口。主控制器内的处理电路可被适配成:(a)获得用队列屏障指示符标记的第一任务402;(b)延迟第一任务到目标设备的传输404;(c)延迟发生在第一任务之后的任何任务到目标设备的传输406;(d)一旦从目标设备接收到所有先前发送的任务已被处理的指示408,就将第一任务发送到目标设备410;和/或(e)一旦从目标设备接收到第一任务已被处理的指示414,就将发生在第一任务之后的任何任务发送到目标设备416。否则,发生在第一任务之后的任何任务被延迟412,直至接收到这样的指示。注意,在一些实现中,队列屏障指示符没有被发送到目标设备。

[0053] 在一些实现中,主控制器和目标设备可使用不支持队列屏障指示符功能性的协议进行通信。另外,在目标设备中也可不支持队列屏障指示符功能性。主控制器可与目标设备一起集成在单个半导体器件中。在一个示例中,目标设备可以是存储设备(例如,非易失性存储、易失性存储、闪存,等等)。

[0054] 示例性主机设备

[0055] 图5是解说实现主机控制的队列屏障功能性的主机设备的示例的框图。主机设备502可包括处理电路504、主控制器506、处理器可读存储介质/识别508、存储器设备530、收

发机电路512、以及总线510。

[0056] 处理电路504可包括被适配成生成一个或多个任务并将任务置于共享存储器设备530内的任务队列522中的任务生成器模块/电路514。处理电路504还可包括被适配成用如由操作系统、主机软件或编译器指示的队列屏障指示符标记一个或多个任务的队列屏障标记模块/电路516。在一个示例中,处理器可读存储介质/设备508可包括任务生成器指令524和队列屏障标记指令526,以准许在处理电路504上操作的主机软件执行这样的功能。

[0057] 主控制器506可以从存储器设备530内的任务队列522获得任务。队列屏障指示符检查器520可以在执行之前检查每一任务以查明是否为该特定任务设置了队列屏障指示符。如果没有为该任务设置队列屏障指示符,则主控制器506可以处理该任务,例如经由收发机电路512将该任务(例如,数据和命令)发送到目标设备。如果为该任务设置了队列屏障指示(例如,“1”),则主控制器506可以延迟、挂起、或停止该任务以及所有后续任务的执行或处理。在一个示例中,任务可包括要在目标设备上执行的读和/或写操作。

[0058] 主控制器506可以维持正被处理的任務的状态信息。目标设备可以向主控制器506发送对目标设备已处理的每一任务的确认。一旦接收到所有先前任务已被处理的指示,主控制器506就可以处理(例如,发送)挂起或停止的任务以及所有后续任务。

[0059] 图6是解说在主机设备处操作的用于实现队列屏障功能性的示例性方法的流程图。在主机设备上操作的主机软件可以获得或生成一个或多个任务602。对于每一任务,主机软件可以查明该任务是否应当用队列屏障指示符来标记604。如果是,则该任务的屏障队列指示符被设置或启用606。每一任务随后被存储在与主控制器共享的任务队列中608。

[0060] 示例性主控制器

[0061] 图7是解说被适配成促成队列屏障功能性的示例性主控制器的框图。在该示例中,主控制器702可包括耦合到一个或多个寄存器708和/或输入/输出通信接口或电路710的控制器处理电路704。控制器处理电路704可包括任务处理模块/电路711、队列屏障指示符检测模块/电路712、任务停止模块/电路714、和/或任务恢复模块/电路716。

[0062] 任务处理模块/电路711可以从任务队列726检索任务,处理检索到的任务,并随后处理任务队列726中的下一任务。这样的任务可包括例如执行从外部目标设备的读操作/向外部目标设备的写操作。队列屏障指示符检测模块/电路712可以在特定任务的处理之前查明该任务是否用队列屏障指示符标记或加标签。如果检测到特定任务的队列屏障指示符,则任务停止模块/电路714可以冻结、停止或挂起该任务及后续任务的处理(例如,停止当前任务及在任务队列中待决的任何后续任务的处理)。任务恢复模块/电路716可以监视目标设备处先前任务的完成,并且在接收到关于所有先前任务已被目标设备处理的指示之际,恢复任务队列中的任务的處理。

[0063] 在一个示例中,主控制器702可以耦合到存储设备706(例如,经由I/O接口电路710)以获得一个或多个操作指令。例如,存储设备706可包括处理来自任务队列726的任务的任务处理指令719、检测屏障指示符的存在或出现的队列屏障指示符检测指令720、在检测到屏障指示符时停止对来自任务队列的任务的處理的任务停止指令722、和/或一旦屏障指示符已被清除就恢复任务的處理的任务恢复指令724。

[0064] 在一个示例中,输入/输出通信接口或电路710可以用于将控制器处理电路704通信地耦合到总线,它通过总线耦合到去往/来自目标设备的收发机电路。替换地,输入/输出

通信接口或电路710可以将控制器处理电路704直接耦合到目标设备。

[0065] 图8是解说由被适配成促成队列屏障功能性的主控制器操作的示例性方法的流程图。主控制器可以从任务队列获得任务802。主控制器随后查明该任务是否被用队列屏障指示符作了标记804。如果是，则主控制器延迟该任务到目标设备的传输806。一旦主控制器接收到目标设备已完成所有先前发送的任务的处理808的指示，主控制器就将该任务发送到目标设备810。这一过程可针对任务队列中的每一任务重复。

[0066] 图9是解说由被适配成促成队列屏障功能性的主控制器操作的示例性方法的另一流程图。主控制器可从任务队列顺序地获得多个任务，其中第一任务在该多个任务当中902。在获得或检索每一任务时，主控制器可以查明每一任务是否被用队列屏障指示符作了标记904。例如，可以确定第一任务被用队列屏障指示符作了标记906。因此，主控制器延迟第一任务到目标设备的传输908。同样，主控制器还可延迟发生在第一任务之后的任何任务到目标设备的传输，直至从目标设备接收到关于所有先前发送的任务已被处理的指示910。一旦从目标设备接收到关于所有先前发送的任务已被处理的指示，就将第一任务发送到目标设备912。一旦从目标设备接收到关于第一任务已被处理的指示，就可将发生在第一任务之后的任何任务发送到目标设备914。

[0067] 在一个示例中，主控制器和目标设备使用不支持队列屏障指示符功能性的协议进行通信。在另一示例中，在目标设备中不支持队列屏障指示符功能性。在又一示例中，队列屏障指示符可与目标设备中或主控制器和目标设备之间的输入/输出通信协议中支持的单独的队列屏障功能性不同。

[0068] 在一个实现中，主控制器可以是与目标设备分开的设备。在另一实现中，主控制器可与目标设备一起集成在单个半导体器件中。在又一实现中，目标设备是存储设备且任务包括读和/或写操作。根据一个方面，第一任务不带队列屏障指示符地发送到目标设备。

[0069] 虽然以具体详情和细节讨论了上述方面、安排和实施例，但图1、2、3、4、5、6、7和/或8中解说的一个或多个组件、步骤、特征和/或功能可以被重新编排和/或组合成单个组件、步骤、特征或功能，或实施在数个组件、步骤、或功能中。附加的元件、组件、步骤、和/或功能也可被添加或不被利用，而不会脱离本公开。图1、2、3、5和/或图7中解说的装置、设备和/或组件可以被配置成执行或采用图2、3、4、6和/或8所描述的一个或多个方法、特征、参数和/或步骤。本文中描述的新颖算法还可以高效地实现在软件中和/或嵌入在硬件中。

[0070] 另外，注意到至少一些实现是作为被描绘为流图、流程图、结构图、或框图的过程来描述的。尽管流程图可能会把诸操作描述为顺序过程，但是这些操作中有许多操作能够并行或并发地执行。另外，这些操作的次序可以被重新安排。过程在其操作完成时终止。过程可对应于方法、函数、规程、子例程、子程序等。当过程对应于函数时，它的终止对应于该函数返回调用方函数或主函数。因此，本文中描述的各种方法可部分地或全部地由可存储的非瞬态机器可读、计算机可读和/或处理器可读存储介质中并由一个或多个处理器、机器和/或设备执行的编程（例如，指令和/或数据）来实现。

[0071] 本领域技术人员将可进一步领会，结合本文中公开的实施例描述的各种解说性逻辑框、模块、电路、和算法步骤可被实现为硬件、软件、固件、中间件、微代码、或其任何组合。为清楚地解说这一可互换性，以上已经以其功能性的形式一般地描述了各种解说性组件、框、模块、电路和步骤。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体

系统的设计约束。

[0072] 与本文中所描述的和附图中所示的示例相关联的各种特征可实现在不同示例和实现中而不会脱离本公开的范围。因此,尽管某些具体构造和安排已被描述并在附图中示出,但此类实施例仅是解说性的并且不限制本公开的范围,因为对所描述的这些实施例的各种其他添加和修改、以及删除对于本领域普通技术人员而言将是明显的。因此,本公开的范围仅由所附权利要求的字面语言及其法律等效来确定。

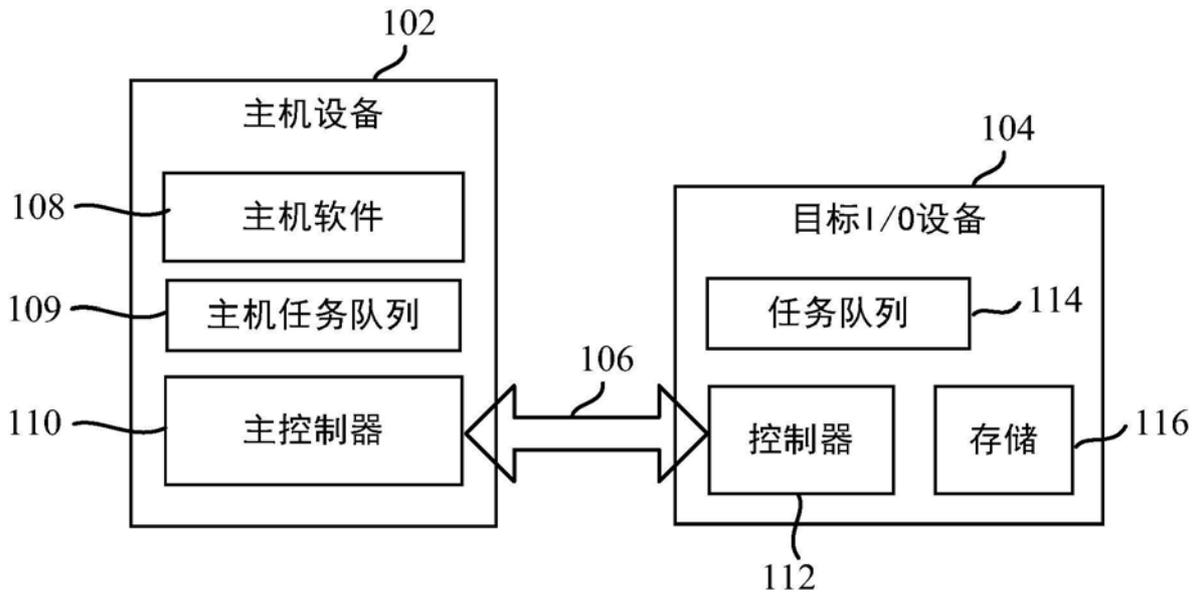


图1

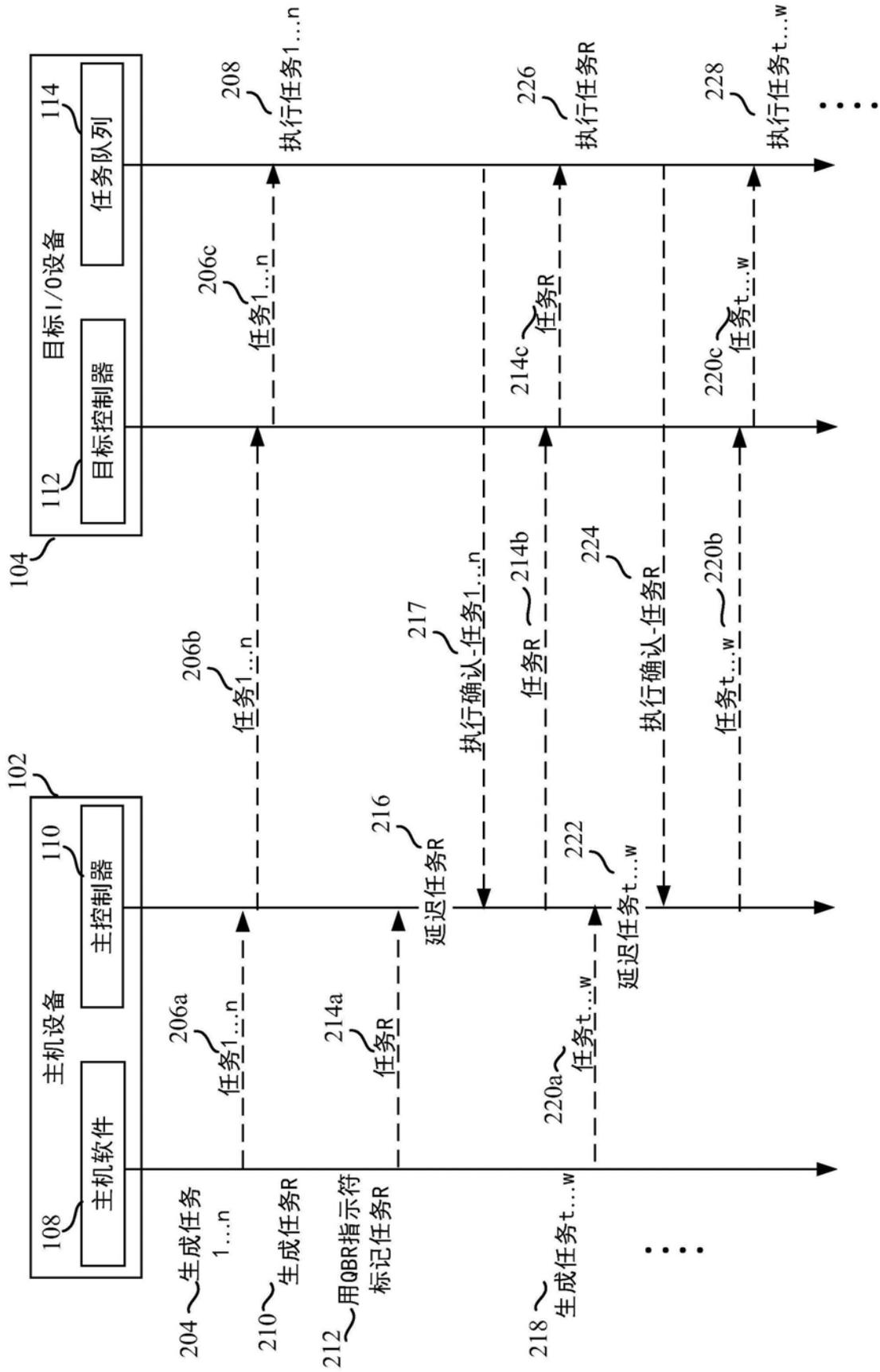


图2

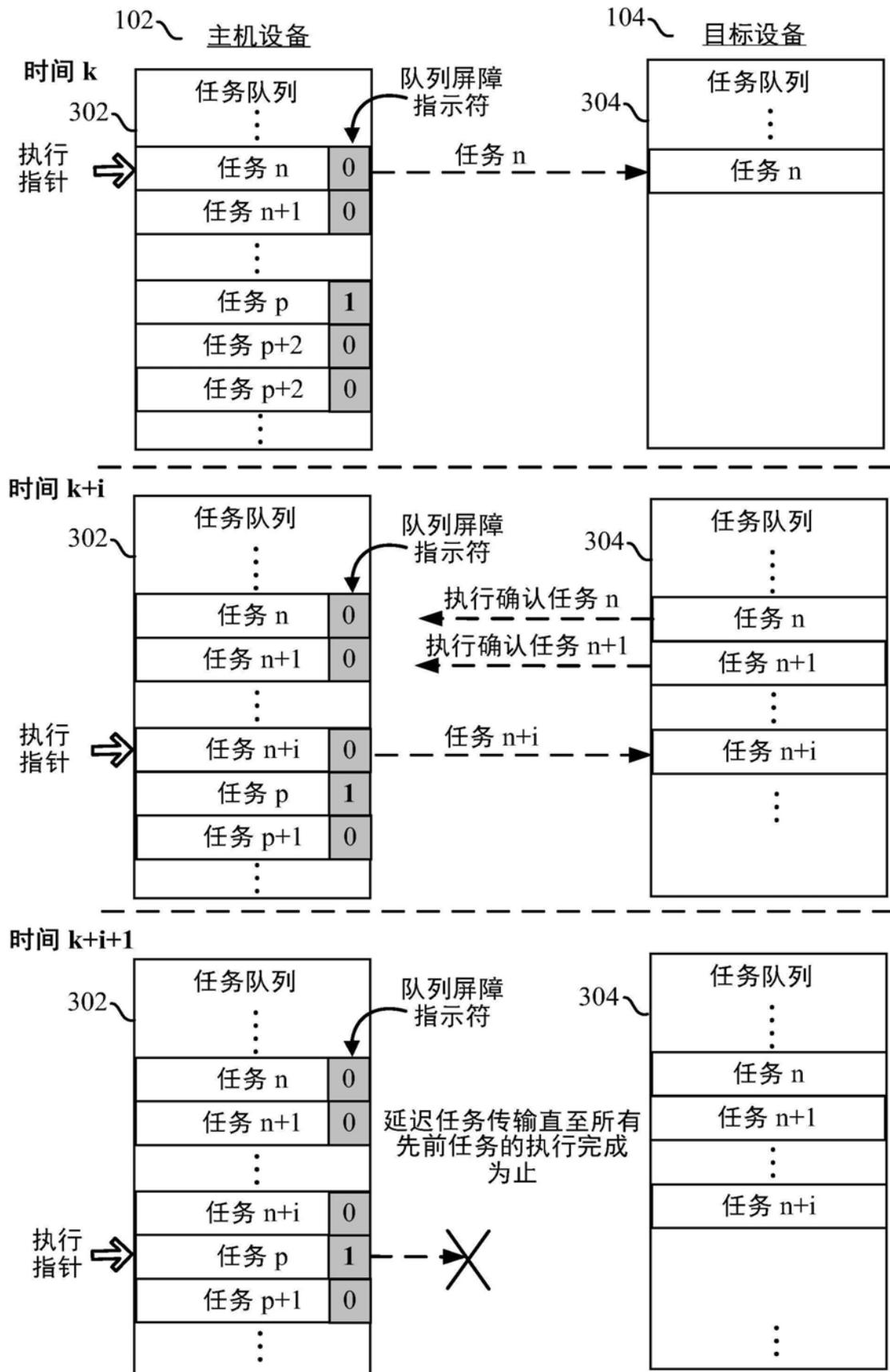


图3A

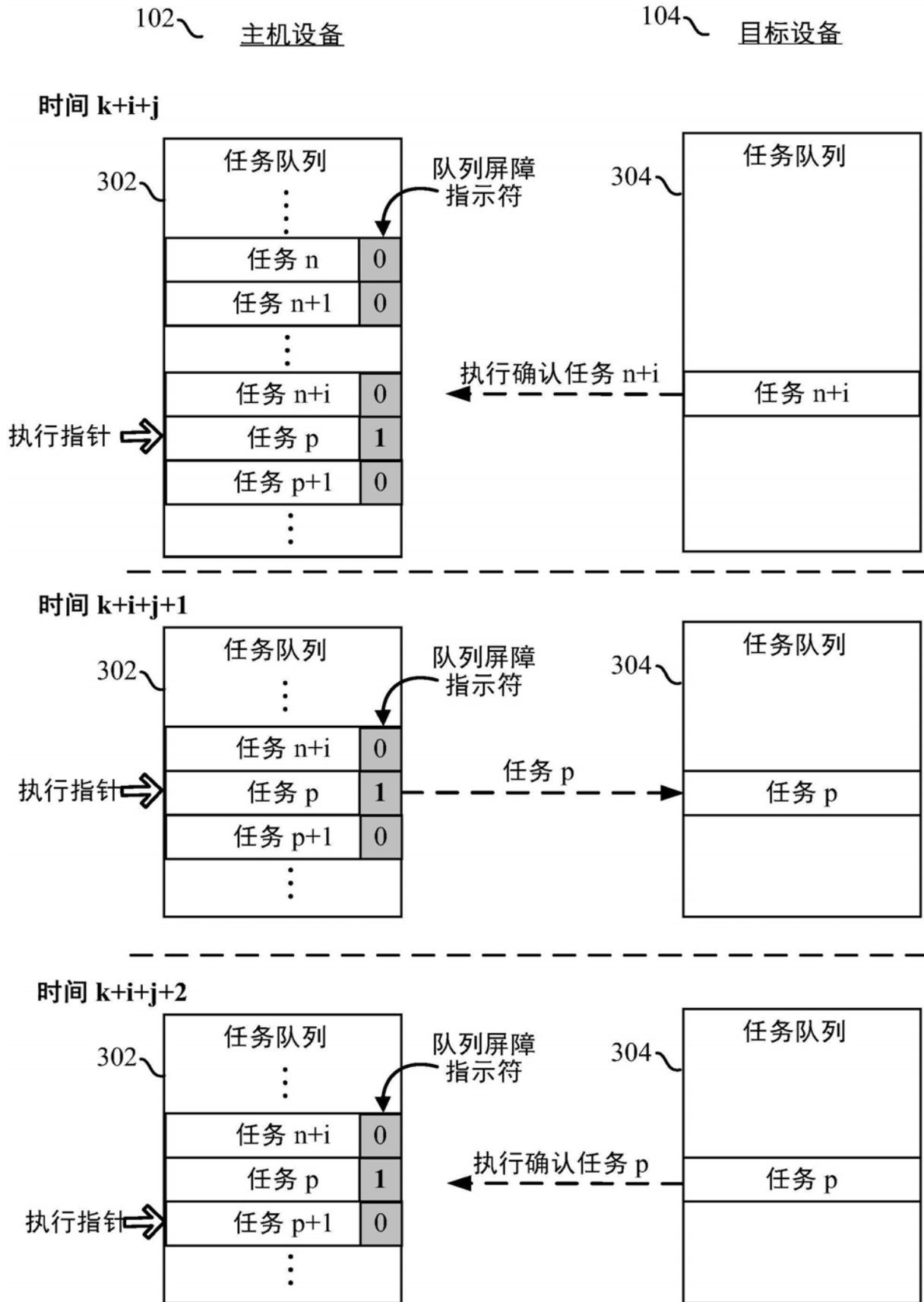


图3B

时间 $k+i+j+3$

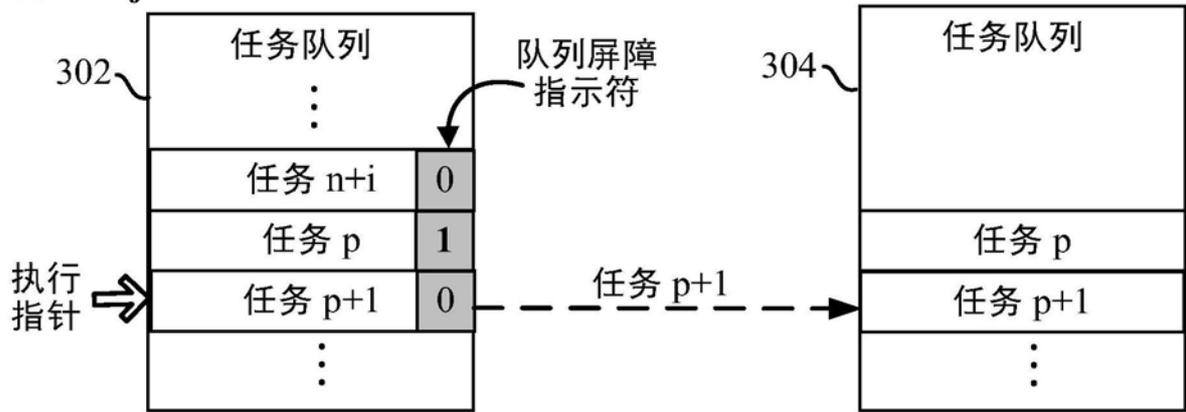


图3C

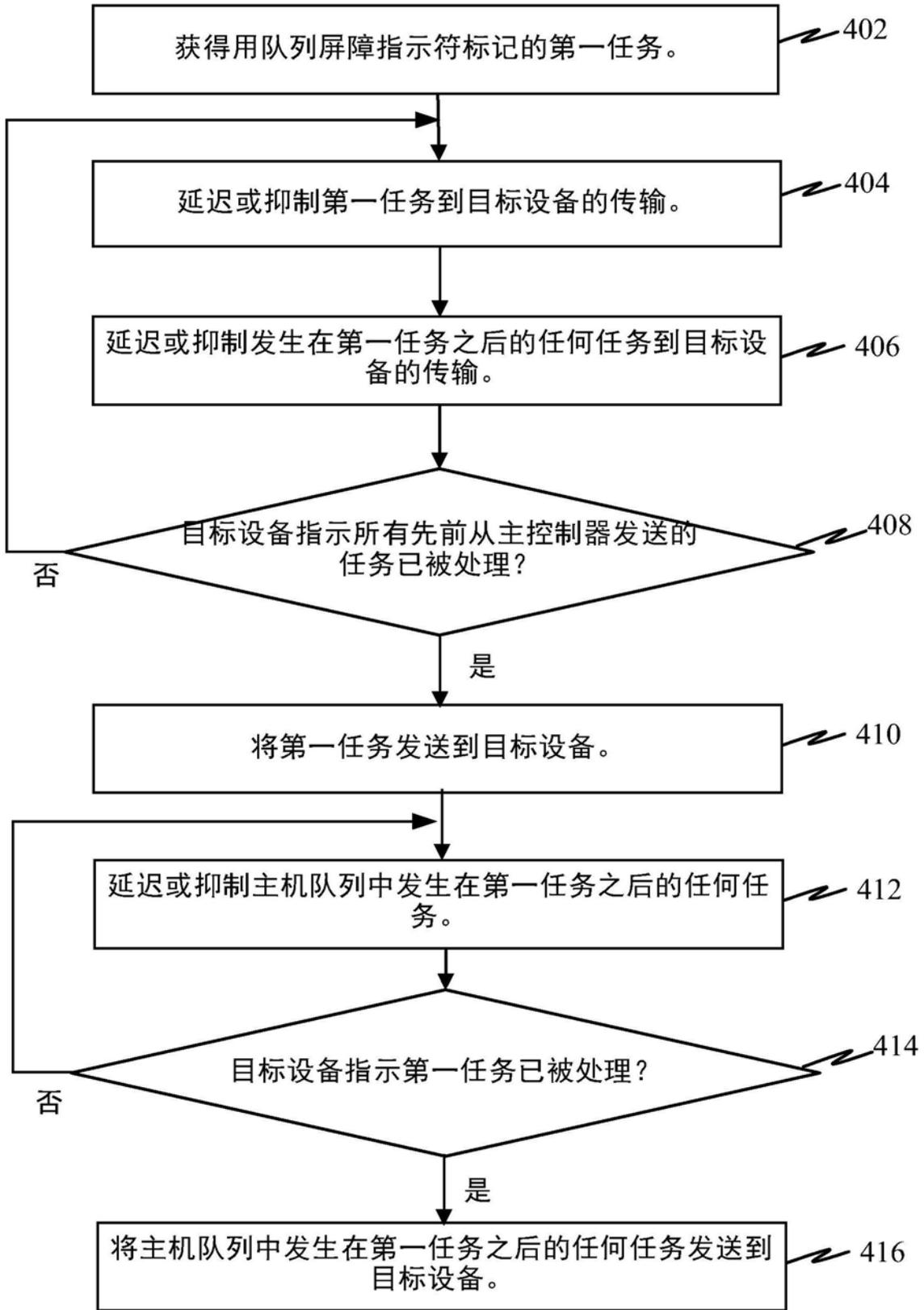


图4

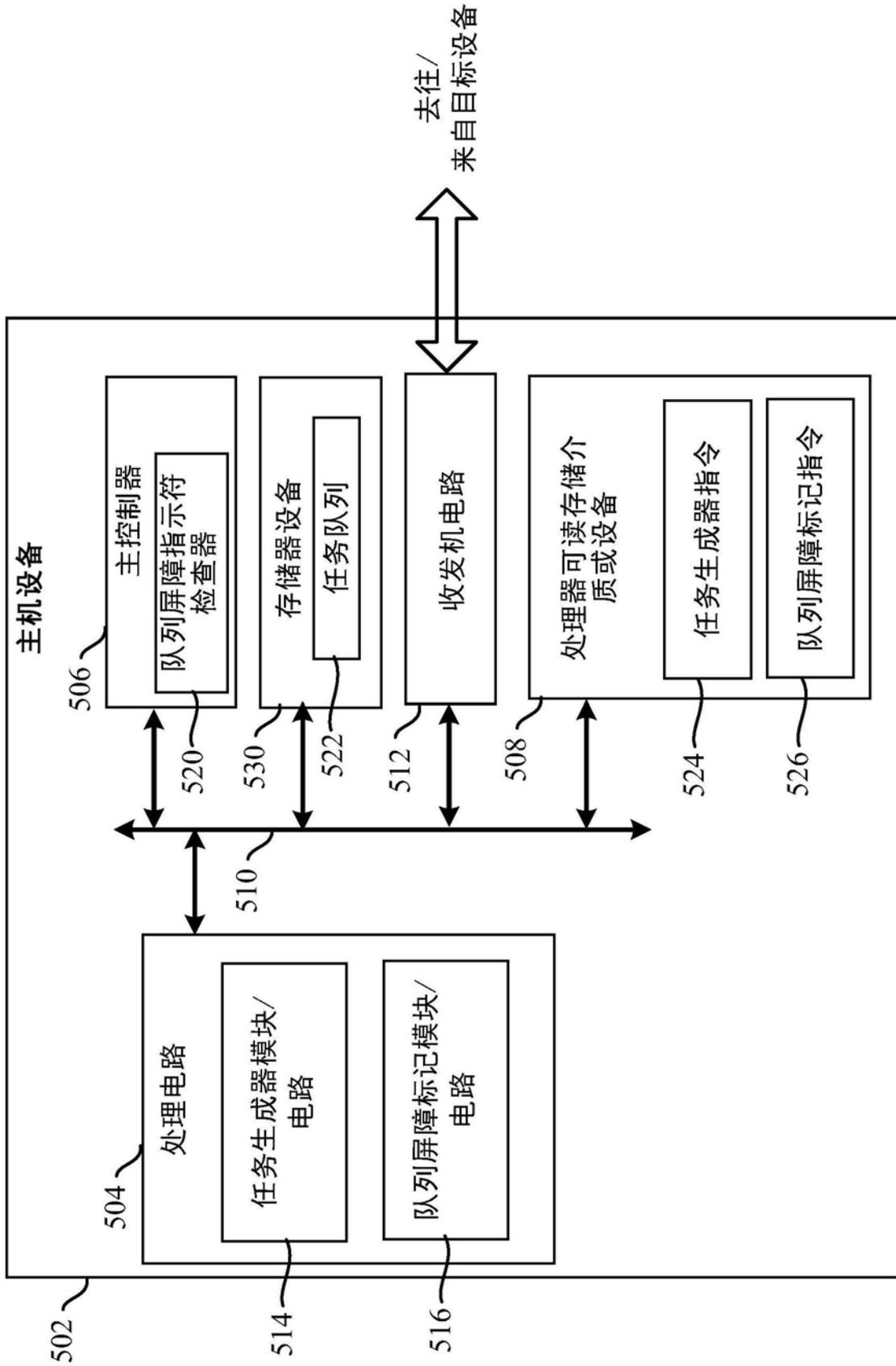


图5

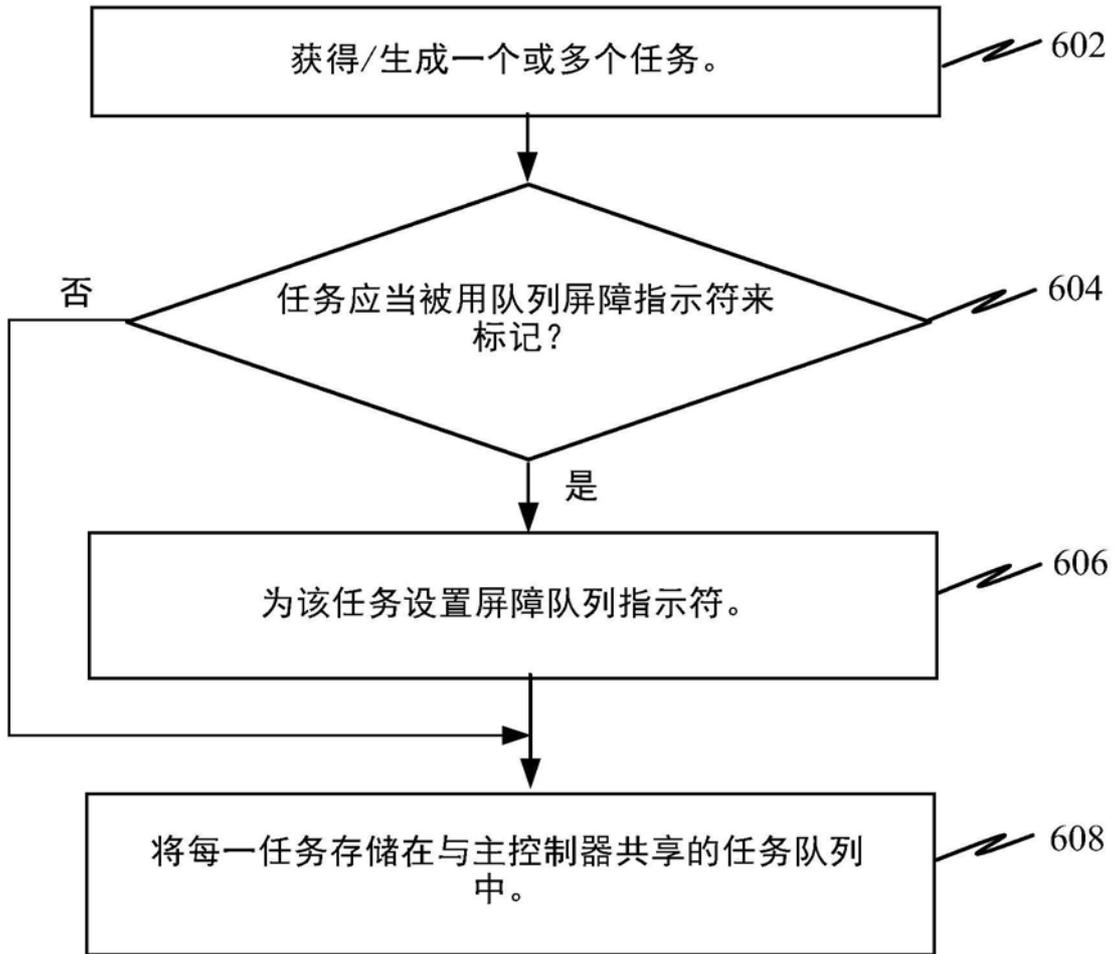


图6

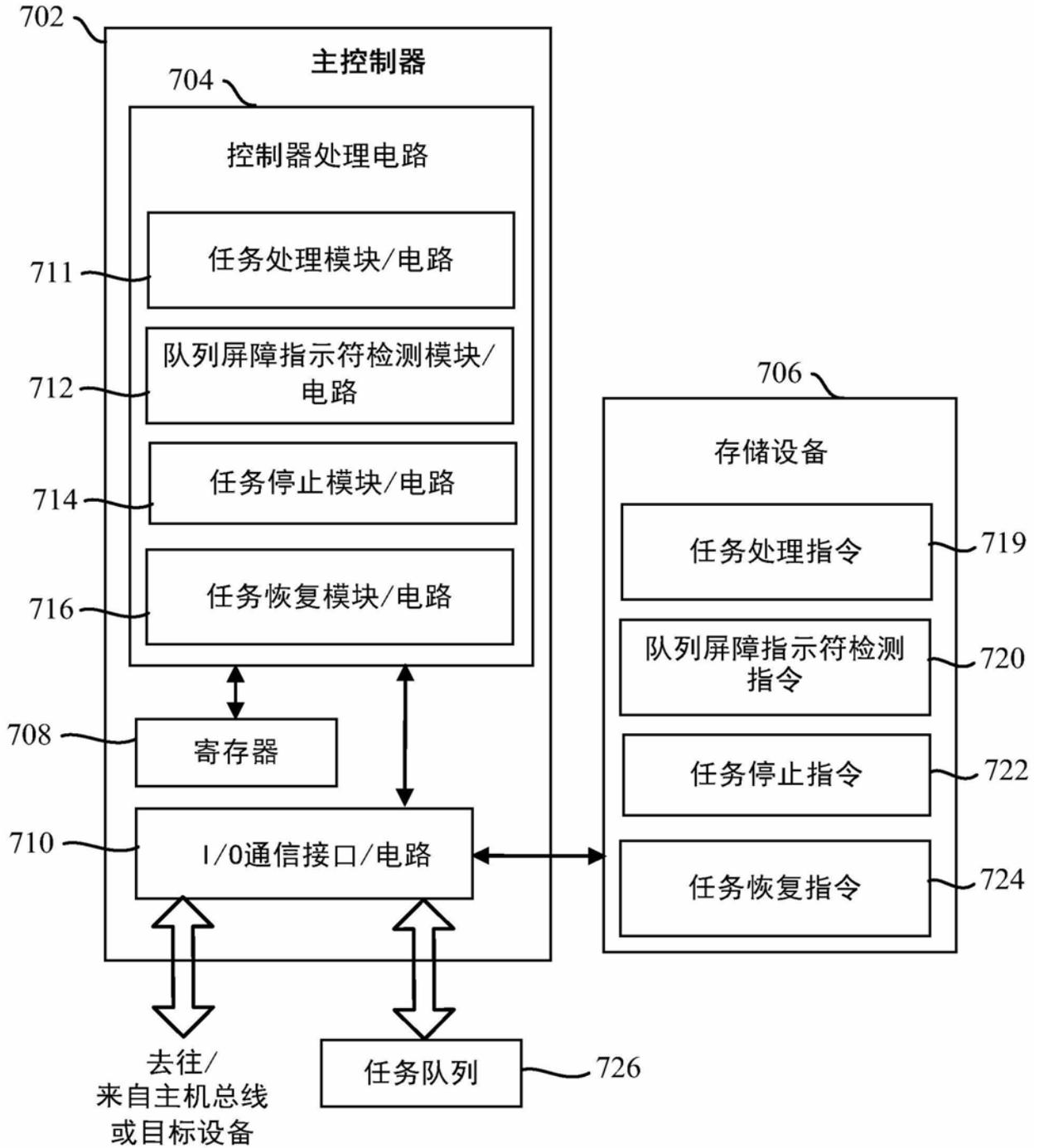


图7

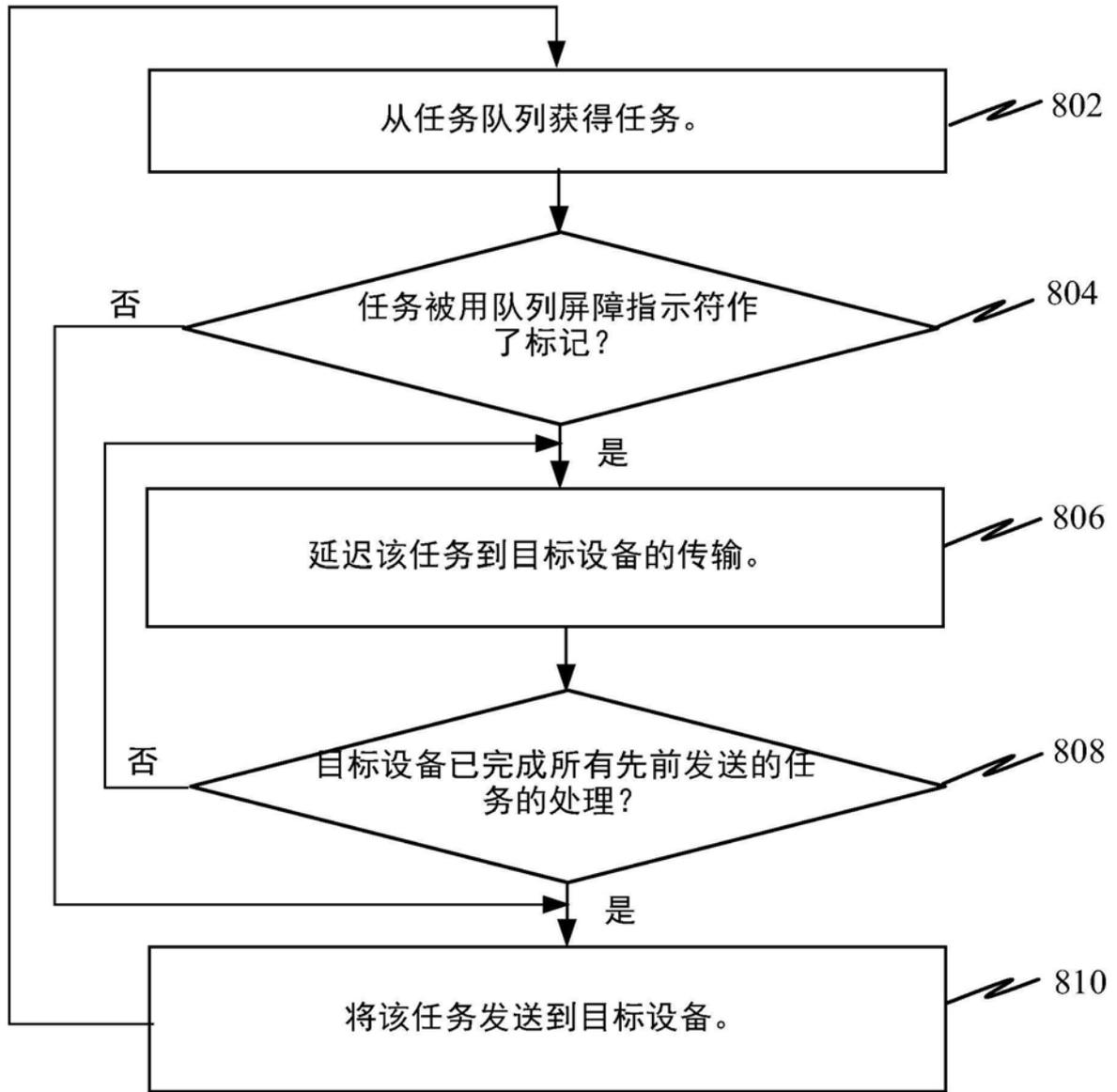


图8

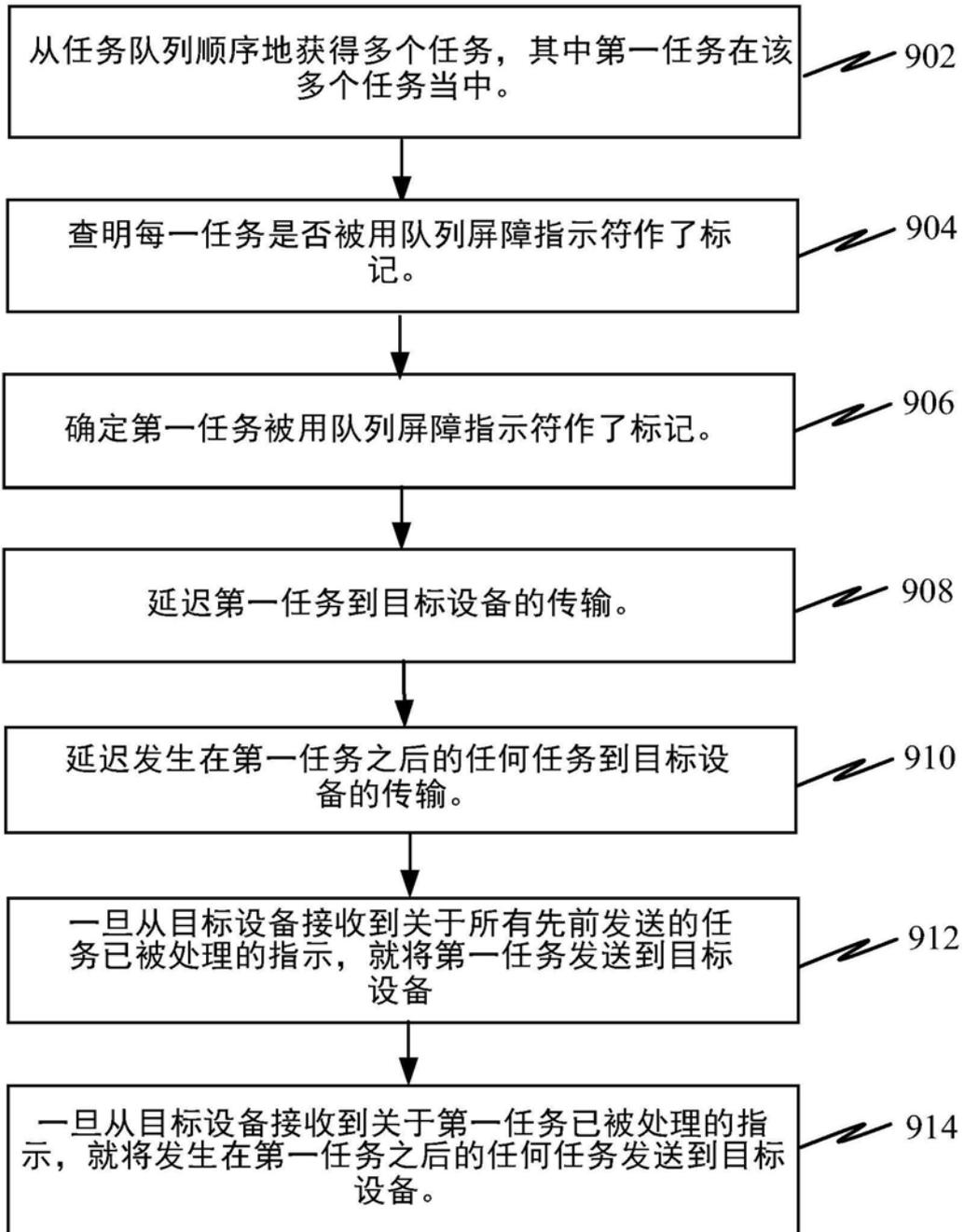


图9