



(12) 发明专利

(10) 授权公告号 CN 109450435 B

(45) 授权公告日 2024.02.13

(21) 申请号 201811388791.4

CN 104124957 A, 2014.10.29

(22) 申请日 2018.11.21

CN 104135272 A, 2014.11.05

(65) 同一申请的已公布的文献号

EP 1353484 A2, 2003.10.15

申请公布号 CN 109450435 A

JP 2006060416 A, 2006.03.02

(43) 申请公布日 2019.03.08

KR 20130011173 A, 2013.01.30

(73) 专利权人 灿芯半导体(上海)股份有限公司

KR 20170057917 A, 2017.05.26

地址 201203 上海市浦东新区自由贸易试

US 2003085737 A1, 2003.05.08

验区张东路1158号礼德国际2号楼6楼

US 2004178832 A1, 2004.09.16

(72) 发明人 孔亮 刘亚东 庄志青

US 2007115034 A1, 2007.05.24

(74) 专利代理机构 上海湾谷知识产权代理事务

US 6288581 B1, 2001.09.11

所(普通合伙) 31289

WO 2006117860 A1, 2006.11.09

专利代理师 倪继祖

Mingdeng Chen等.Low-Voltage Low-Power LVDS Drivers.《IEEE JOURNAL OF SOLID-STATE CIRCUITS》.2005,第40卷(第2期),472-479.

(51) Int. Cl.

黄晓敏.LVDS驱动器电路设计及硬件实现.《中国优秀博硕士学位论文全文数据库(硕士)信息科技辑》.2005,(第02(2005)期),I135-181.

H03K 19/0185 (2006.01)

H03K 19/094 (2006.01)

张旭光.高速LVDS接口电路关键技术研究.《中国优秀硕士学位论文全文数据库信息科技辑》.2011,(第05(2011)期),I135-58.

(56) 对比文件

CN 101060324 A, 2007.10.24

CN 101132174 A, 2008.02.27

CN 101394377 A, 2009.03.25

CN 101674072 A, 2010.03.17

审查员 都成

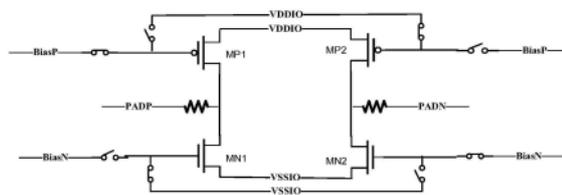
权利要求书1页 说明书2页 附图2页

(54) 发明名称

一种LVDS接口电路

(57) 摘要

本发明公开了一种LVDS接口电路,包括第一PMOS管、第二PMOS管、第一NMOS管和第二NMOS管,所述第一PMOS管和第二PMOS管各自的源极接电源VDDIO;所述第一PMOS管和第二PMOS管各自的栅极通过开关接收控制信号BiasP;所述第一PMOS管和第二PMOS管各自的栅极通过开关连接电源VDDIO;所述第一NMOS管和第二NMOS管各自的源极接地VSSIO;所述第一NMOS管和第二NMOS管各自的栅极通过开关接收控制信号BiasN;所述第一NMOS管和第二NMOS管各自的栅极通过开关连接地VSSIO。本发明实现了PADP/PADN上升下降沿上50欧姆阻抗,与传输线阻抗匹配,减小反射。



CN 109450435 B

1. 一种LVDS接口电路,其特征在于,包括第一PMOS管、第二PMOS管、第一NMOS管和第二NMOS管,其中,

所述第一PMOS管和第二PMOS管各自的源极接电源VDDIO;

所述第一PMOS管和第二PMOS管各自的栅极通过开关接收控制信号BiasP;

所述第一PMOS管和第二PMOS管各自的栅极通过开关连接电源VDDIO;

所述第一NMOS管和第二NMOS管各自的源极接地VSSIO;

所述第一NMOS管和第二NMOS管各自的栅极通过开关接收控制信号BiasN;

所述第一NMOS管和第二NMOS管各自的栅极通过开关接地VSSIO;

所述第一PMOS管的漏极和所述第一NMOS管的漏极相接,形成输出端PADP;

所述第二PMOS管的漏极和所述第二NMOS管的漏极相接,形成输出端PADN;

所述第一PMOS管、第二PMOS管、第一NMOS管或第二NMOS管接通电源VDDIO或者地VSSIO时,关闭;

所述第一PMOS管、第二PMOS管、第一NMOS管或第二NMOS管接通控制信号BiasP或控制信号BiasN时,打开;

控制信号BiasP经由两个传输门由电源VDDIO信号和BiasP\_pre信号叠加而成;

控制信号BiasN经由两个传输门由电源VDDIO信号和BiasN\_pre信号叠加而成;

接收电源VDDIO信号的传输门的控制信号为cnt 1A,cnt 1A在输出端PADP的下降沿或输出端PADN的上升沿时为1,此时输出端PADP的下降沿或输出端PADN的上升沿上产生50欧姆阻抗。

2. 根据权利要求1所述的LVDS接口电路,其特征在于,BiasP\_pre信号或BiasN\_pre信号为3.5ma。

## 一种LVDS接口电路

### 技术领域

[0001] 本发明涉及LVDS接口电路。

### 背景技术

[0002] LVDS (Low Voltage Differential Signaling) 是一种低压差分信号技术接口。在LVDS接口电路中,因为信号传输的速度越高,电缆越长,信号完整性问题成为需要解决的重要问题。如图2所示,传统结构的高速LVDS接口电路中,上下分别为信号BiasP、BiasN控制的恒流源E、F,中间为信号DIN、DINB控制的开关对ABCD,AB/CD交替打开,产生差分信号对PADP/PADN,AB打开时,从输出端PADP看进去输出阻抗为AE串联而成,恒流源E被BiasP控制在饱和区,为高阻。同理,从输出端PADN看进去的输出阻抗也为高阻,与线缆50欧姆特征阻抗不匹配,反射严重。

### 发明内容

[0003] 本发明的目的在于提供一种LVDS接口电路,实现了PADP/PADN上升下降沿上50欧姆阻抗,与传输线阻抗匹配,减小反射。

[0004] 实现上述目的的技术方案是:

[0005] 一种LVDS接口电路,包括第一PMOS管(P型金属氧化物半导体场效应管)、第二PMOS管、第一NMOS管(N型金属氧化物半导体场效应管)和第二NMOS管,其中,

[0006] 所述第一PMOS管和第二PMOS管各自的源极接电源VDDIO;

[0007] 所述第一PMOS管和第二PMOS管各自的栅极通过开关接收控制信号BiasP;

[0008] 所述第一PMOS管和第二PMOS管各自的栅极通过开关连接电源VDDIO;

[0009] 所述第一NMOS管和第二NMOS管各自的源极接地VSSIO;

[0010] 所述第一NMOS管和第二NMOS管各自的栅极通过开关接收控制信号BiasN;

[0011] 所述第一NMOS管和第二NMOS管各自的栅极通过开关连接地VSSIO;

[0012] 所述第一PMOS管的漏极和所述第一NMOS管的漏极相接,形成输出端PADP;

[0013] 所述第二PMOS管的漏极和所述第二NMOS管的漏极相接,形成输出端PADN。

[0014] 优选的,所述第一PMOS管、第二PMOS管、第一NMOS管或第二NMOS管接通电源VDDIO或者地VSSIO时,关闭;

[0015] 所述第一PMOS管、第二PMOS管、第一NMOS管或第二NMOS管接通控制信号BiasP或控制信号BiasN时,打开。

[0016] 优选的,控制信号BiasP经由两个传输门由电源VDDIO信号和BiasP\_pre信号叠加而成;

[0017] 控制信号BiasN经由两个传输门由电源VDDIO信号和BiasN\_pre信号叠加而成。

[0018] 优选的,接收电源VDDIO信号的传输门的控制信号为cnt1A,cnt1A在输出端PADP的下降沿或输出端PADN的上升沿时为1,此时输出端PADP的下降沿或输出端PADN的上升沿上产生50欧姆阻抗。

[0019] 优选的,BiasP\_pre信号或BiasN\_pre信号为3.5ma。

[0020] 本发明的有益效果是:本发明通过有效的结构设计,针对高速lvds接口中的信号完整性等问题,实现了PADP/PADN上升下降沿上50欧姆阻抗,与传输线阻抗匹配,减小反射,同时实现了预加重功能。

### 附图说明

[0021] 图1是本发明的LVDS接口电路的电路图;

[0022] 图2是传统结构的高速LVDS接口电路的电路图;

[0023] 图3是本发明中控制信号BiasN生成的电路示意图;

[0024] 图4是本发明中控制信号BiasN的波形示意图。

### 具体实施方式

[0025] 下面将结合附图对本发明作进一步说明。

[0026] 请参阅图1,本发明的LVDS接口电路,包括第一PMOS管MP1、第二PMOS管MP2、第一NMOS管MN1和第二NMOS管MN2。

[0027] 第一PMOS管MP1和第二PMOS管MP2各自的源极接电源VDDIO。第一PMOS管MP1和第二PMOS管MP2各自的栅极通过开关接收控制信号BiasP。第一PMOS管MP1和第二PMOS管MP2各自的栅极通过开关连接电源VDDIO。

[0028] 第一NMOS管MN1和第二NMOS管MN2各自的源极接地VSSIO。第一NMOS管MN1和第二NMOS管MN2各自的栅极通过开关接收控制信号BiasN。第一NMOS管MN1和第二NMOS管MN2各自的栅极通过开关接地VSSIO。

[0029] 第一PMOS管MP1的漏极和第一NMOS管MN1的漏极相接,形成输出端PADP。

[0030] 第二PMOS管MP2的漏极和第二NMOS管MN2的漏极相接,形成输出端PADN。

[0031] 第一PMOS管MP1、第二PMOS管MP2、第一NMOS管MN1或第二NMOS管MN2接通电源VDDIO或者地VSSIO时,关闭。第一PMOS管MP1、第二PMOS管MP2、第一NMOS管MN1或第二NMOS管MN2接通控制信号BiasP或控制信号BiasN时,打开。如图1所示,第一PMOS管MP1和第二NMOS管MN2打开,第二PMOS管MP2和第一NMOS管MN1关闭。

[0032] 控制信号BiasP经由两个传输门由电源VDDIO信号和BiasP\_pre信号叠加而成。控制信号BiasN经由两个传输门由电源VDDIO信号和BiasN\_pre信号叠加而成。以BiasN为例,如图3所示,接收电源VDDIO信号的传输门的控制信号为cnt1A,cnt1A在输出端PADP的下降沿或输出端PADN的上升沿时为1,控制信号BiasN产生图4中BiasN波形中areaA的区域,而后cnt1A关闭,BiasN稳定至BiasN\_pre,第二NMOS管MN2因此先在areaA的线性区域产生需要的50欧姆阻抗,即为PADP、PADN上升下降沿的50欧姆阻抗,且形成预加重波形,而后稳定产生BiasN\_pre的3.5mA。预加重波形用以增加信号高频分量。

[0033] 图3中,cnt1A、cnt1AB为差分信号对,DIN、DINB为差分信号对。

[0034] 以上实施例仅供说明本发明之用,而非对本发明的限制,有关技术领域的技术人员,在不脱离本发明的精神和范围的情况下,还可以作出各种变换或变型,因此所有等同的技术方案也应该属于本发明的范畴,应由各权利要求所限定。

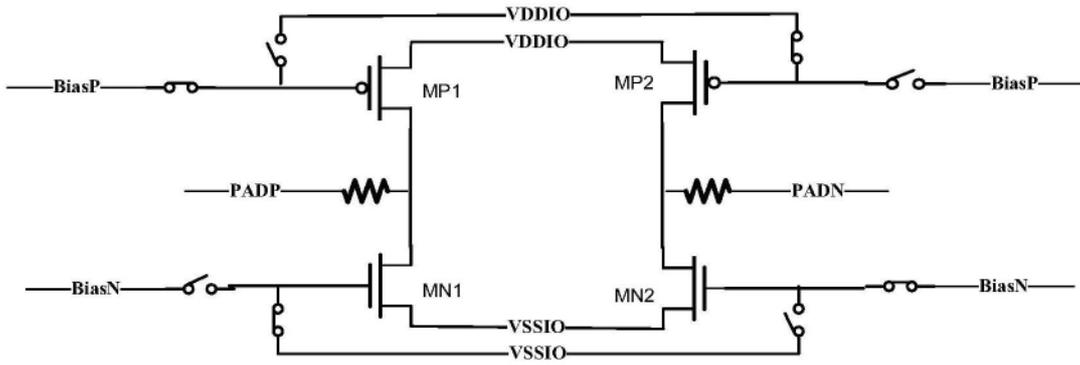


图1

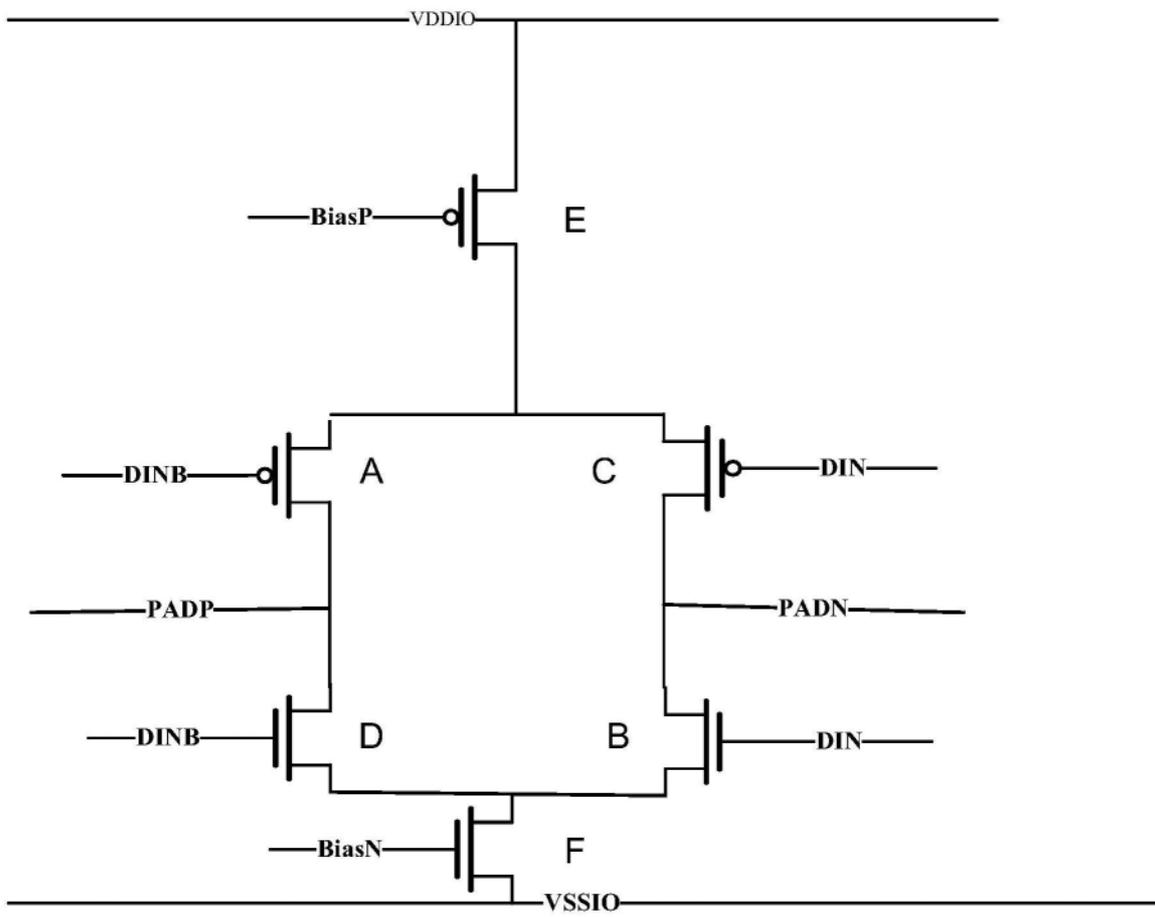


图2

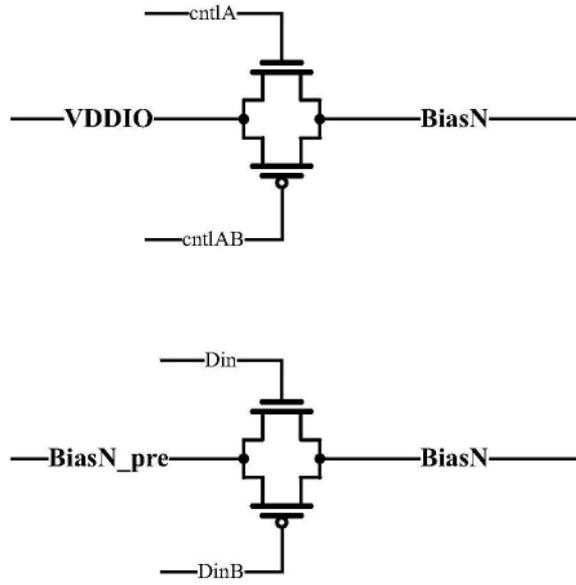


图3

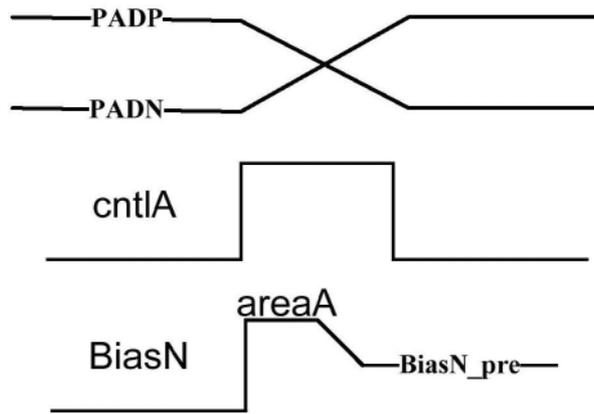


图4