

(12) 发明专利

(10) 授权公告号 CN 101854177 B

(45) 授权公告日 2013. 01. 02

(21) 申请号 200910081094. 9

第 59-61 页.

(22) 申请日 2009. 04. 01

张金贵 等. 一种提高 LDPC 译码器吞吐率的译码算法. 《无线电工程》. 2008, 第 38 卷 (第 6 期), 第 49-51 页.

(73) 专利权人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3 号

审查员 金霞

(72) 发明人 郭琨 黑勇 周玉梅 乔树山

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 周国城

(51) Int. Cl.

H03M 13/11 (2006. 01)

(56) 对比文件

CN 101047392 A, 2007. 10. 03, 全文.

CN 1822510 A, 2006. 08. 23, 全文.

CN 101350625 A, 2009. 01. 21, 全文.

李刚等. WiMAX 中多码率 LDPC 解码器的设计与实现. 《宽带网络》. 2008, 第 32 卷 (第 2 期),

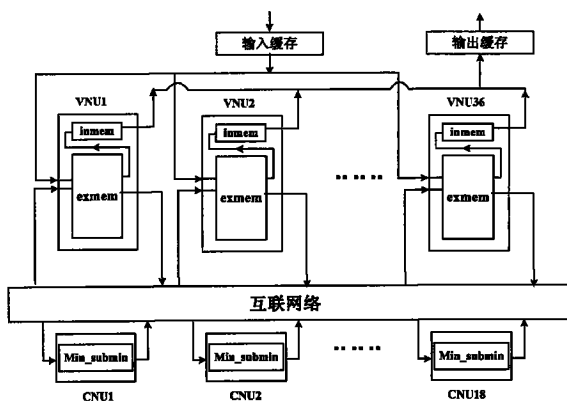
权利要求书 2 页 说明书 4 页 附图 3 页

(54) 发明名称

一种高吞吐率的 LDPC 译码器

(57) 摘要

本发明公开了一种高吞吐率低密度奇偶校验码译码器,该译码器包括输入缓存、校验节点运算单元、变量节点运算单元、输出缓存、控制逻辑单元和互连网络,其中:该译码器采用部分并行译码结构,使用 x 个变量节点运算单元、y 个校验节点运算单元,x 和 y 分别为 H 的基础矩阵的列数和行数,1 个输入缓存、1 个输出缓存;每个变量节点运算单元由信道信息存取器和外信息存储器构成,每个校验节点运算单元由 1 个计算输入最小值和输入次小值的运算单元构成。本发明在不增加硬件消耗的基础上,实现译码输入输出的同时进行,从而大大提高了译码器的吞吐率。该译码器可以适用于规则 / 非规则 LDPC 码;尤其对码长较长的码字,吞吐率的提高作用更明显。



1. 一种低密度奇偶校验码译码器,其特征在于,该译码器包括输入缓存、校验节点运算单元、变量节点运算单元、输出缓存、控制逻辑单元和互连网络,其中:

该译码器采用部分并行译码结构,使用 x 个变量节点运算单元、 y 个校验节点运算单元, x 和 y 分别为 H 的基础矩阵的列数和行数,1 个输入缓存、1 个输出缓存;每个变量节点运算单元由信道信息存取器和外信息存储器构成,每个校验节点运算单元由 1 个计算输入最小值和输入次小值的运算单元构成;

所述变量节点运算单元由 1 个信道信息存储器和 1 个外信息存储器构成,由所述输入缓存输出的信道信息不是直接进入所述信道信息存取器,而是进入所述外信息存储器作为外信息的初始值;当迭代开始时,所述外信息存储器通过互连网络向所述校验节点运算单元传递信息,并同时信道信息存入所述信道信息存取器中,之后再通过互连网络接收经过所述校验节点运算单元校验的信息,并通过一定的运算更新外信息,从而完成一次迭代译码。

2. 根据权利要求 1 所述的低密度奇偶校验码译码器,其特征在于,所述校验节点运算单元采用最小和算法,由 1 个计算输入最小值和输入次小值的运算单元构成,每次运算有多个输入并行输入,校验节点运算单元将计算出每个输入在不包括本身的情况下的最小输入,并通过互连网络将校验信息传递给所述变量节点运算单元。

3. 根据权利要求 1 所述的低密度奇偶校验码译码器,其特征在于,所述输入缓存和所述输出缓存用于完成串行和并行的互相转换,均由若干个寄存器构成。

4. 根据权利要求 1 所述的低密度奇偶校验码译码器,其特征在于,所述控制逻辑单元用于实现整个解码器运算控制,通过状态机实现,其译码过程具体包括:

步骤 1、开始输入码字;

步骤 2、当码字输入完成之后,进入迭代译码环节;

步骤 3、校验节点运算单元和变量节点运算单元交替运算;

步骤 4、当译码结束时开始输出译码结果;

步骤 5、当译码输出完成之后,整个低密度奇偶校验码译码器进入空闲状态时输入新的码字,进行新一轮的译码。

5. 根据权利要求 1 所述的低密度奇偶校验码译码器,其特征在于,所述输入缓存输入的信道信息不仅存储在所述信道信息存取器中,同时也作为外信息的初始值存储在所述外信息存储器中;而经过迭代译码由所述输出缓存输出各比特的硬判决信息存储在所述信道信息存取器中,在最终完成译码时,将由所述信道信息存取器通过所述输出缓存输出译码结果。

6. 根据权利要求 1 所述的低密度奇偶校验码译码器,其特征在于,在当前一个码字开始译码输出时,下一个待译码字可输入信道信息,将其仅存储在外信息存储器中,当译码输出的同时能够读入新的一组码字;由于译码输出的信息位码长一定比总码长短,所以当新的码字输入结束时,旧码字一定完成了输出,从而能够进行新一轮的迭代译码。

7. 根据权利要求 1 所述的低密度奇偶校验码译码器,其特征在于,该译码器的译码过程具体包括:

步骤 1:开始输入码字;

步骤 2:当码字输入完成之后,进入迭代译码环节;

- 步骤 3:校验节点运算单元和变量节点运算单元交替运算；
- 步骤 4:当译码结束时开始输出译码结果；
- 步骤 5:当输出进行时,如果有新的输入码字,则将同时进行输入和输出；
- 步骤 6:当输入完成时,旧码字输出早已结束,则进入校验节点运算单元和变量节点运算单元交替运算；
- 步骤 7:当输出进行时,如果没有新的输入码字直至输出结束,则返回空闲状态。

一种高吞吐率的 LDPC 译码器

技术领域

[0001] 本发明涉及高速无线数字通信、光纤通信技术领域,具体涉及一种高吞吐率的低密度奇偶校验码 (LDPC) 译码器。

背景技术

[0002] 数据在传输及存储的过程中,总是会引入各种各样的噪声,例如随机噪声、解调过程中的同步丢失,以及无线传输中的多径效应等。由于这些噪声的存在,大大限制了一定带宽下的数据传输速率和传输质量。

[0003] 随着现代通信技术的不断进步,通信系统逐渐向吞吐率更高、容量更大及可靠性更高的方向发展,差错控制编码也因而得到了广泛的应用。低密度奇偶校验码 (LDPC) 是差错控制码中非常重要的一类码,于 1963 年由罗伯特·加拉格 (Robert·Gallager) 在【R. G. Gallager, Low-Density Parity-Check Codes. Cambridge, MA :MIT Press, 1963.】提出。经验证, LDPC 码可以达到距离香农限 0.0045dB 的误码性能,同时 LDPC 译码器由于校验矩阵的结构性,而具有固有的译码并行性,可以满足高速高吞吐率的要求。因而在扩展新一代无线通信系统服务范围、提高视频广播系统吞吐率等方面, LDPC 码表现出了优异的性能和应用前景。

[0004] LDPC 译码器是根据校验矩阵 H 的结构,通过迭代译码算法完成译码的。由于 H 矩阵通常巨大而稀疏,因而 LDPC 译码的结构通常较复杂,硬件消耗较大。而迭代算法的译码延时也较大,所以提高 LDPC 译码的吞吐率一直都是研究的重点。

[0005] 为提高吞吐率,【Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems Amendment for Physical and Medium Access Control Layers for Combined Fixed and Mobile Operation in Licensed Bands, IEEE P802.16e-2005, 2005】曾使用全并行结构使吞吐率达到 1Gb/s,但这种方法的硬件消耗极大;同时布线相对复杂,对于码长较大的码字常会造成布线 congestion 的问题。

[0006] 而著名的分层算法 (也称为 TDMP 算法,参考 M. M. Mansour and N. R. Shanbhag, "High-throughput LDPC decoders," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 11, no. 6, pp. 976-996, Dec. 2003.), 虽然很好降低了存储器的使用,总迭代次数也有所减少,但把传统的一次迭代分割为若干次小迭代,因而使译码延时随分割的小迭代的次数的增加而成倍增加,同时由于其译码过程中是以基础矩阵的扩展因子作为并行度,因而译码的吞吐率的提高是以增大硬件开销作为代价的。

发明内容

[0007] (一) 要解决的技术问题

[0008] 有鉴于此,本发明的主要目的在于提供一种 LDPC 译码器,以实现在几乎不增加任何硬件开销的基础上,提高 LDPC 译码器的吞吐率。

[0009] (二) 技术方案

[0010] 为达到上述目的,本发明提供了一种低密度奇偶校验码译码器,该译码器包括输入缓存、校验节点运算单元、变量节点运算单元、输出缓存、控制逻辑单元和互连网络,其中:该译码器采用部分并行译码结构,使用 x 个变量节点运算单元、 y 个校验节点运算单元, x 和 y 分别为 H 的基础矩阵的列数和行数,1 个输入缓存、1 个输出缓存;每个变量节点运算单元由信道信息存取器和外信息存储器构成,每个校验节点运算单元由 1 个计算输入最小值和输入次小值的运算单元构成。

[0011] 上述方案中,所述校验节点运算单元采用最小和算法,由 1 个计算输入最小值和输入次小值的运算单元构成,每次运算有多个输入并行输入,校验节点运算单元将计算出每个输入在不包括本身的情况下的最小输入,并通过互连网络将校验信息传递给所述变量节点运算单元。

[0012] 上述方案中,所述变量节点运算单元由 1 个信道信息存储器和 1 个外信息存储器构成,由所述输入缓存输出的信道信息不是直接进入所述信道信息存取器,而是进入所述外信息存储器作为外信息的初始值;当迭代开始时,所述外信息存储器通过互连网络向所述校验节点运算单元传递信息,并同时信道信息存入所述信道信息存取器中,之后再通过互连网络接收经过所述校验节点运算单元校验的信息,并通过一定的运算更新外信息,从而完成一次迭代译码。

[0013] 上述方案中,所述输入缓存和所述输出缓存用于完成串行和并行的互相转换,均由若干个寄存器构成。

[0014] 上述方案中,所述控制逻辑单元用于实现整个解码器运算控制,通过状态机实现,其译码过程具体包括:

[0015] 步骤 1、开始输入码字;

[0016] 步骤 2、当码字输入完成之后,进入迭代译码环节;

[0017] 步骤 3、校验节点运算单元和变量节点运算单元交替运算;

[0018] 步骤 4、当译码结束时开始输出译码结果;

[0019] 步骤 5、当译码输出完成之后,整个低密度奇偶校验码译码器进入空闲状态时输入新的码字,进行新一轮的译码。

[0020] 上述方案中,所述输入缓存输入的信道信息不仅存储在所述信道信息存取器中,同时也作为外信息的初始值存储在所述外信息存储器中;而经过迭代译码由所述输出缓存输出各比特的硬判决信息存储在所述信道信息存取器中,在最终完成译码时,将由所述信道信息存取器通过所述输出缓存输出译码结果。

[0021] 上述方案中,在当前一个码字开始译码输出时,下一个待译码字可输入信道信息,将其仅存储在外信息存储器中,当译码输出的同时能够读入新的一组码字;由于译码输出的信息位码长一定比总码长短,所以当新的码字输入结束时,旧码字一定完成了输出,从而能够进行新一轮的迭代译码。

[0022] 上述方案中,该译码器的译码过程具体包括:

[0023] 步骤 1:开始输入码字;

[0024] 步骤 2:当码字输入完成之后,进入迭代译码环节;

[0025] 步骤 3:校验节点运算单元和变量节点运算单元交替运算;

[0026] 步骤 4:当译码结束时开始输出译码结果;

- [0027] 步骤 5 :当输出进行时,如果有新的输入码字,则将同时进行输入和输出 ;
- [0028] 步骤 6 :当输入完成时,旧码字输出早已结束,则进入校验节点运算单元和变量节点运算单元交替运算 ;
- [0029] 步骤 7 :当输出进行时,如果没有新的输入码字直至输出结束,则返回空闲状态。

[0030] (三) 有益效果

[0031] 从上述技术方案可以看出,本发明具有以下有益效果 :

[0032] 1、本发明提出这种高吞吐率 LDPC 译码器,改进以往的 LDPC 译码器只能在一个码字译码输出完成之后,才可以进行下一个码字输入的时序限制,在几乎不添加任何硬件复杂度的同时完成译码输入和输出的时间复用,使整个译码过程完全将译码输出时间“隐藏”起来,从而大大的提高了译码器的吞吐率。

[0033] 2、本发明提出的这种 LDPC 译码器结构,应用于吞吐率一定的系统中时,传统的译码器,可以通过增加最大迭代次数等方法,得到更好的误码性能。

[0034] 3、本发明提供的 LDPC 译码器,在不增加硬件消耗的基础上,实现译码输入输出的同时进行,从而大大提高了译码器的吞吐率。该译码器可以适用于规则 / 非规则 LDPC 码 ;尤其对码长较长的码字,吞吐率的提高作用更明显。

附图说明

[0035] 下面结合附图和实施例对本发明进一步说明 :

[0036] 图 1 是依照本发明实施例提供的高吞吐率 LDPC 译码器的结构示意图 ;

[0037] 图 2 是依照本发明实施例提供的高吞吐率 LDPC 译码器中的变量节点运算单元 VNU 的结构示意图 ;

[0038] 图 3 是输入输出不能同时进行的传统 LDPC 译码器的控制状态转换的示意图 ;

[0039] 图 4 是本发明提供的高吞吐率 LDPC 译码器的控制状态转换图,可实现输入输出的并行性 ;

[0040] 图 5 是输入输出不能同时进行的传统 LDPC 译码器的输入、迭代译码和输出的时序图 ;

[0041] 图 6 是本发明提供的高吞吐率 LDPC 译码器的输入、迭代译码和输出的时序图。

具体实施方式

[0042] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

[0043] 图 1 所示是依照本发明的实施例提供的 (9216, 4608) 规则的 LDPC 译码器,其中校验矩阵的行重为 6,列重为 3。该译码器由输入缓存、校验节点运算单元 (CNU)、变量节点运算单元 (VNU)、输出缓存、控制逻辑和互连网络构成。本实施例采用部分并行译码结构,共使用 36 个 VNU、18 个 CNU,1 个输出缓存、1 个输出缓存。每个 VNU 由信道信息存取器 (in_mem) 和外信息存储器 (ex_mem) 构成 ;每个 CNU 由 1 个计算输入最小值和输入次小值的运算单元构成。

[0044] 图 2 所示是本实施例的变量节点运算单元 (VNU) 的基本结构,由信道信息存储器 and 外信息存储器构成。为满足高吞吐率的需要,实现译码输入译码输出同时进行,当一次译

码过程中的迭代运算结束,将由 in_mem 向输出缓存输出译码结果;而此如果同时输入一个新的待译码字的信道信息时,该输入信道信息不是直接进入 in_mem,而是进入 ex_mem 作为外信息的初始值。当迭代开始时,ex_mem 将通过互连网络向 CNU 传递信息,并同时 will 将信道信息存入 in_mem,这样 in_mem 中也存储了必要的信道信息。当 ex_mem 完成一次校验节点的更新运算之后,恰好可以与 in_mem 中的信道信息一起进行变量节点的更新运算,从而完成一次迭代译码。

[0045] 图 3 所示的未使用译码输入输出同时进行的 LDPC 译码器的状态转移图,其译码器的译码过程如下:

[0046] 步骤 1、开始输入码字;

[0047] 步骤 2、当码字输入完成之后,进入迭代译码环节;

[0048] 步骤 3、校验节点运算单元和变量节点运算单元交替运算;

[0049] 步骤 4、当译码结束时开始输出译码结果;

[0050] 步骤 5、当译码输出完成之后,整个低密度奇偶校验码译码器进入空闲状态时输入新的码字,进行新一轮的译码。

[0051] 为达到提高数据吞吐率的要求,实现译码输入与输出的同时进行,本实施例对图 3 进行了改进,如图 4 所示是本实施例的控制单元在电路实现时采用的状态转移图,从图中可以看出,本实施例的 LDPC 译码器的译码过程:

[0052] 步骤 1:开始输入码字;

[0053] 步骤 2:当码字输入完成之后,进入迭代译码环节;

[0054] 步骤 3:校验节点运算单元和变量节点运算单元交替运算;

[0055] 步骤 4:当译码结束时开始输出译码结果;

[0056] 步骤 5:当输出进行时,如果有新的输入码字,则将同时进行输入和输出;

[0057] 步骤 6:当输入完成时,旧码字输出早已结束,则进入校验节点运算单元和变量节点运算单元交替运算;

[0058] 步骤 7:当输出进行时,如果没有新的输入码字直至输出结束,则返回空闲状态。

[0059] 图 5 和图 6 分别表示的是输入输出不能同时进行的传统 LDPC 译码器的输入、迭代译码和输出的时序图和依据本发明的实施例 LDPC 译码器的输入、迭代译码和输出的时序图。其中由于本实施例采用 (9126, 4608) 的 1/2 码率,所有输出时间是输入时间的一半,因而在图 6 中,译码输入输出同时进行,当新的码字输入结束时,上一个码字的输出早已结束,可以进行新的码字的迭代译码运算了。

[0060] 将图 5 和图 6 进行比较可知,本实施例可以将译码时间大大压缩,只有最后一个码字的输出占用了译码时间,而其它码字的译码输出完全被隐藏起来。使得在一定的时间内,较图 5 所示方式可以完成更多码字的译码,从而大大的提高了译码器的吞吐率。

[0061] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

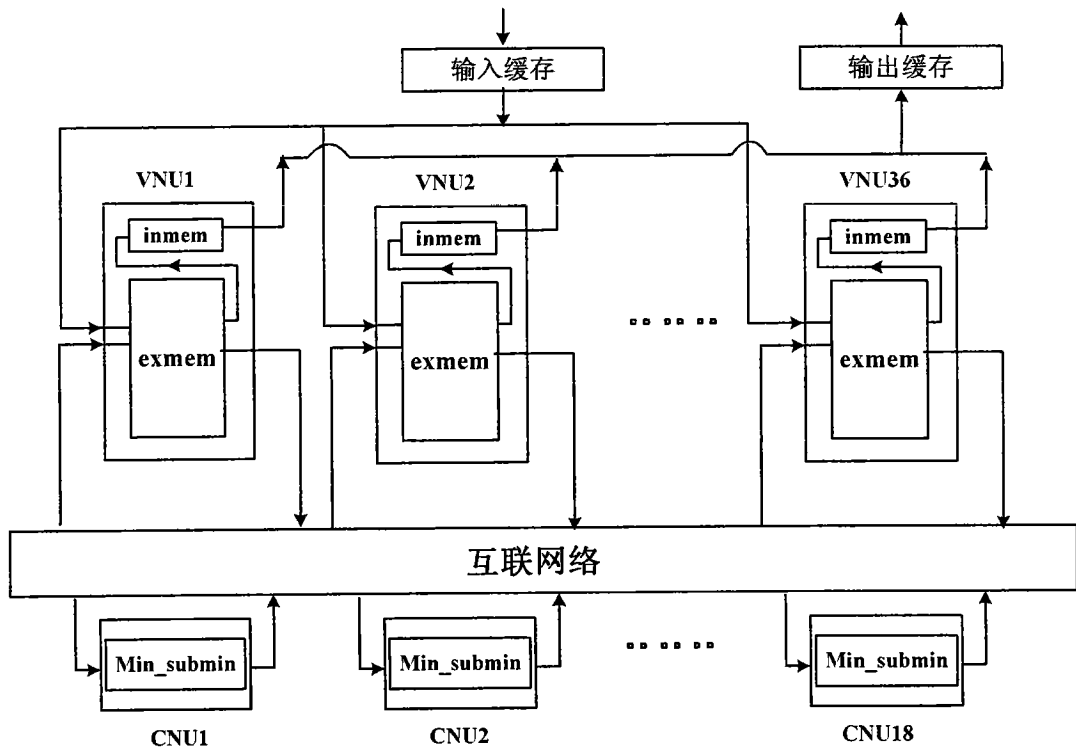


图 1

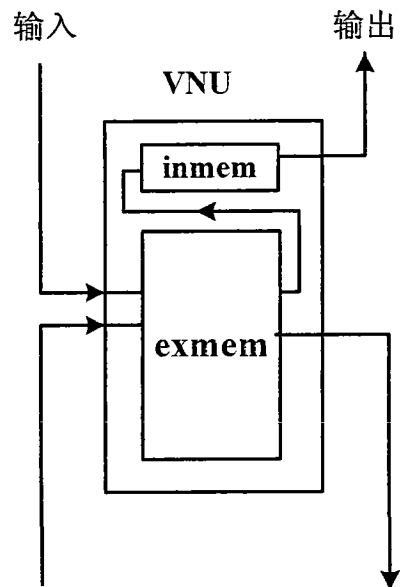


图 2

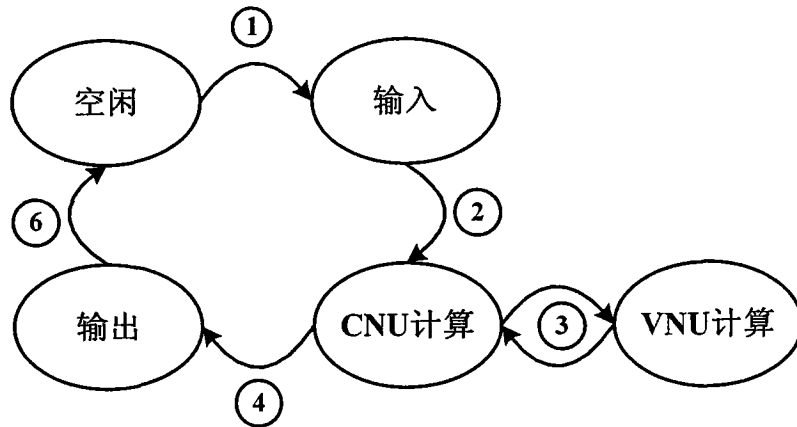


图 3

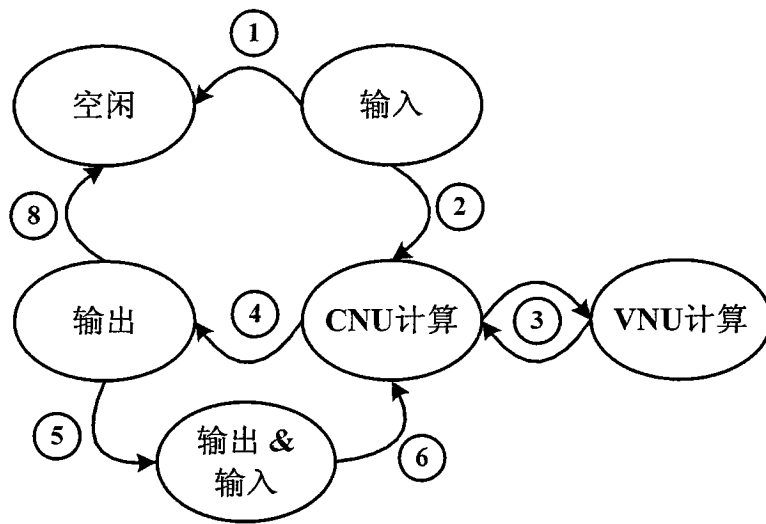


图 4

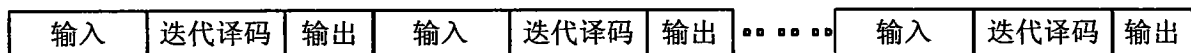


图 5

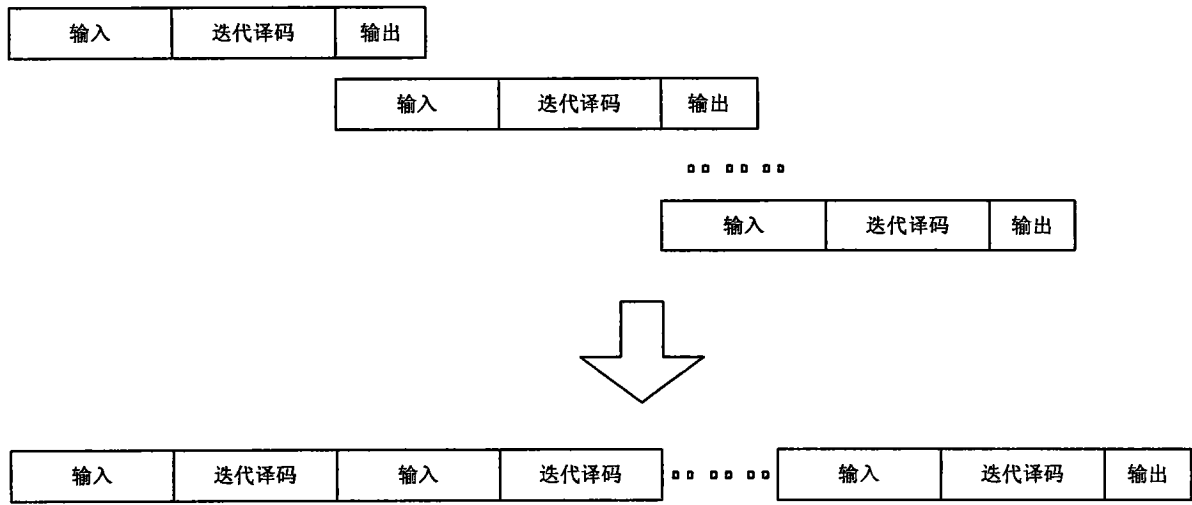


图 6