

(12) 发明专利申请

(10) 申请公布号 CN 102456623 A

(43) 申请公布日 2012. 05. 16

(21) 申请号 201110346013. 0

(22) 申请日 2011. 11. 02

(30) 优先权数据

10-2010-0107956 2010. 11. 02 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 崔熙东 曹基述 徐诚模

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国 钟强

(51) Int. Cl.

H01L 21/77(2006. 01)

H01L 27/32(2006. 01)

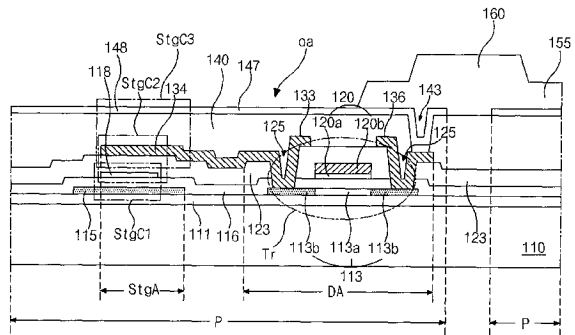
权利要求书 3 页 说明书 6 页 附图 8 页

(54) 发明名称

有机电致发光设备的阵列基板及其制造方法

(57) 摘要

一种有机电致发光设备的阵列基板及其制造方法,所述方法包括在基板上的形成有薄膜晶体管的元件区域形成多晶硅半导体层,在存储区域形成多晶硅半导体图案;形成栅绝缘层;形成与半导体层的中心部分对应的多层栅极和与半导体图案对应的第一存储电极;执行掺杂处理,使半导体层的没有被栅极覆盖的部分成为欧姆接触层,使半导体图案成为第二存储电极;形成露出欧姆接触层的层间绝缘膜;形成源极和漏极,以及形成与第一存储电极对应的第三存储电极;形成露出漏极的钝化层;形成与漏极接触的第一电极和与第三存储电极对应的第四存储电极;沿着像素区域的边界形成堤,选择性地沿着像素区域的边界形成衬垫料。



1. 一种制造有机电致发光设备的阵列基板的方法,所述方法包括:

在基板上形成多晶硅半导体层和多晶硅半导体图案,所述多晶硅半导体层位于形成有薄膜晶体管的元件区域中,所述多晶硅半导体图案位于存储区域中,其中所述元件区域和所述存储区域位于彼此交叉的栅线 and 数据线所限定的像素区域内;

在所述半导体层和所述半导体图案上形成栅绝缘层;

在所述栅绝缘层上形成多层栅极和第一存储电极,所述多层栅极与所述半导体层的中心部分对应,所述第一存储电极与所述半导体图案对应;

执行掺杂处理,使所述半导体层的没有被栅极覆盖的部分成为欧姆接触层,使所述半导体图案成为第二存储电极;

形成层间绝缘膜,所述层间绝缘膜位于栅极和第一存储电极上并且露出所述欧姆接触层;

在所述层间绝缘膜上形成源极、漏极以及第三存储电极,所述源极和漏极彼此隔开且均与欧姆接触层接触,所述第三存储电极与第一存储电极对应;

形成钝化层,所述钝化层位于源极、漏极和第三存储电极上并且露出所述漏极;

在所述钝化层上形成第一电极和第四存储电极,所述第一电极与所述漏极接触,所述第四存储电极与所述第三存储电极对应;以及

形成堤和衬垫料,所述堤沿着所述像素区域的边界形成,所述衬垫料选择性地沿着所述像素区域的边界形成,其中所述衬垫料的高度高于所述堤的高度。

2. 权利要求 1 所述的方法,其中形成所述半导体层和所述半导体图案包括:

在所述基板上形成非晶硅层;

使所述非晶硅层结晶成多晶硅层;以及

对所述多晶硅层构图。

3. 权利要求 1 所述的方法,其中形成所述栅极和所述第一存储电极包括:

在所述栅绝缘层上形成透明导电材料层和金属层;

在所述金属层上形成第一光刻胶图案和第二光刻胶图案,所述第一光刻胶图案具有第一厚度且和存储区域对应,所述第二光刻胶图案具有第二厚度且和元件区域对应,其中所述第二厚度大于所述第一厚度;

利用第一和第二光刻胶图案除去金属层和透明导电材料层,从而形成顺序置于存储区域中的第一存储电极和虚拟金属图案,和形成位于元件区域中的栅极,所述栅极包括透明导电材料的下层和金属的上层;

执行灰化处理,以移除第一光刻胶图案和露出虚拟金属图案;

移除虚拟金属图案,以露出第一存储电极;以及

移除第二光刻胶图案。

4. 权利要求 1 所述的方法,其中所述漏极和所述第三存储电极彼此连接。

5. 权利要求 1 所述的方法,其中所述第一电极和所述第四存储电极彼此连接。

6. 权利要求 1 所述的方法,其中所述钝化层的表面基本平坦。

7. 权利要求 1 所述的方法,其中形成所述堤和所述衬垫料包括:

在所述第一电极上沉积光敏有机绝缘材料,以形成有机绝缘层;

利用包括透射部、阻挡部和半透射部的掩模曝光所述有机绝缘层;以及

使曝光后的有机绝缘层显影,以形成堤和衬垫料。

8. 权利要求 1 所述的方法,其中形成所述栅极包括在所述栅绝缘层上沿着一方向形成栅线,其中形成所述源极和漏极包括在所述层间绝缘层上形成和栅线交叉的数据线、以及形成和数据线隔开并且和数据线平行的电源线。

9. 权利要求 1 所述的方法,还包括在形成半导体层和半导体图案之前在所述基板上形成缓冲层。

10. 权利要求 1 所述的方法,其中形成所述第一电极包括:

在所述钝化层上沉积具有高反射效率的金属,以形成下金属层;在所述下金属层上沉积透明导电材料,以形成上导电层;以及对所述上导电层和所述下金属层连续构图,以形成具有双层结构的第一电极;或者

在所述钝化层上形成透明导电材料层和对所述透明导电材料层构图,以形成具有单层结构的第一电极。

11. 一种有机电致发光设备的阵列基板,所述基板包括:

在基板上的多晶硅的半导体层和掺有杂质的多晶硅的第一存储电极,所述半导体层位于形成有薄膜晶体管的元件区域中,所述第一存储电极位于存储区域中,其中所述元件区域和所述存储区域位于彼此交叉的栅线 and 数据线所限定的像素区域内;

位于所述半导体层和所述第一存储电极上的栅绝缘层;

位于所述栅绝缘层上的多层栅极和第二存储电极,所述多层栅极与半导体层的中心部分对应,所述第二存储电极与第一存储电极对应;

覆盖所述栅极和第二存储电极并且暴露半导体层的两侧的层间绝缘膜;

位于所述层间绝缘膜上的源极、漏极和第三存储电极,所述源极和漏极分别与半导体层的两侧接触并且彼此隔开,所述第三存储电极与第二存储电极对应;

覆盖所述源极、漏极和第三存储电极并且露出所述漏极的钝化层;

位于所述钝化层上的第一电极和第四存储电极,所述第一电极位于每一像素区域中并且与漏极接触,所述第四存储电极与第三存储电极对应;以及

位于所述钝化层上的堤和衬垫料,所述堤覆盖第一电极的边缘部分且沿着像素区域的边界形成,所述衬垫料由和堤相同的材料制成并且选择性地沿着像素区域的边界形成,其中所述衬垫料的高度高于所述堤的高度。

12. 权利要求 11 所述的基板,其中所述漏极和所述第三存储电极在同一层由相同材料形成并且彼此连接,其中所述第一电极和所述第四存储电极在同一层由相同材料形成并且彼此连接。

13. 权利要求 11 所述的基板,其中所述第二存储电极具有约 100\AA 到约 500\AA 的厚度且由透明导电材料制成,其中所述栅极的下层和所述第二存储电极由相同的材料制成并且具有相同的厚度,所述栅极的上层由至少一种金属制成。

14. 权利要求 11 所述的基板,其中所述第一存储电极、第二存储电极和它们之间的栅绝缘层形成第一存储电容,其中所述第二存储电极、第三存储电极和它们之间的层间绝缘膜形成第二存储电容,其中所述第三存储电极、第四存储电极和它们之间的钝化层形成第三存储电容,其中所述第一到第三存储电容并联连接。

15. 权利要求 11 所述的基板,还包括与数据线隔开并且和数据线平行的电源线,其中

所述栅线和所述栅极形成在同一层,其中所述数据线和所述源极、漏极形成在同一层。

16. 权利要求 11 所述的基板,其中所述半导体层包括掺杂的多晶硅欧姆接触层和本征的多晶硅有源层,所述欧姆接触层位于半导体层两侧中的每一侧上,所述有源层与所述栅极对应。

17. 权利要求 11 所述的基板,还包括缓冲层,所述缓冲层位于基板上且位于半导体层和第一存储电极下方。

有机电致发光设备的阵列基板及其制造方法

[0001] 本发明要求 2010 年 11 月 2 日在韩国提交的韩国专利申请 10-2010-0107956 的优先权,在此通过引用的方式包含该专利申请的全部内容。

技术领域

[0002] 本发明涉及有机电致发光设备的阵列基板,尤其涉及有机电致发光设备的阵列基板及其制造方法。

背景技术

[0003] 直到最近,显示设备一般采用阴极射线管(CRT)。目前,正在进行许多努力和研究,以开发作为 CRT 替代品的各种类型的平板显示器,例如液晶显示器(LCD)、等离子体显示板(PDP)、场致发射显示器、和有机电致发光设备(OELD)。在这些平板显示器中,OELD 具有很多优点,例如高对比度、低电源、纤薄外形、宽视角、重量轻、低温稳定性好、制造简单、以及容易设计和制造驱动电路。

[0004] OELD 包括阵列基板,该阵列基板包括控制像素区域的打开 / 关闭操作的薄膜晶体管。

[0005] 阵列基板的薄膜晶体管包括由具有高迁移率特性的多晶硅制成的半导体层。

[0006] 由约 9 个或 10 个掩模工序制造所述包括多晶硅薄膜晶体管的阵列基板。

[0007] 换言之,在形成有机发光层之前,对阵列基板执行 9 个掩模工序,这 9 个掩模工序是:形成半导体层;形成第一存储电极;形成栅极;形成包含半导体接触孔的层间绝缘膜;形成源极和漏极;形成第一和第二钝化层;形成阳极;形成堤(bank);和形成衬垫料。

[0008] 掩模工序指的是光刻工艺,光刻工艺包含很多步骤:在基板上形成将要被构图的材料层,在材料层上形成光刻胶层,利用包含透射部和阻挡部的掩模给光刻胶层曝光,使曝光的光刻胶层显影以形成光刻胶图案,利用光刻胶图案蚀刻材料层,剥离光刻胶图案等等。

[0009] 因此,一个掩模工序需要用于上述各个步骤的多种设备、材料和时间。

[0010] 因此,为了降低生产成本和提高生产效率,正在努力减少阵列基板的掩模工序。

[0011] 此外,为了图像显示的稳定性,阵列基板被设计为包含大容量的存储电容。为了增加每单位面积的存储容量,采用了重叠的配置。

[0012] 但是,由于显示领域朝高分辨率发展的最新趋势,像素区域的面积减小。因此,即使通过双重重叠实现存储电容,对于稳定的图像显示来说该存储容量也是不够的。

[0013] 为了确保存储容量而增加的存储电容面积导致了孔径比的降低。

发明内容

[0014] 因此,本发明涉及一种有机电致发光设备的阵列基板及其制造方法,其基本克服了现有技术的局限和缺点导致的一个或者多个问题。

[0015] 本发明的优点是提供一种能增加单位面积的存储容量且减少掩模工序的有机电致发光设备的阵列基板及其制造方法。

[0016] 本发明的其它特征和优点将在随后的描述中进行说明,一部分特征和优点会从描述的内容明显看出,或者在实施本发明时得知。本发明的这些和其它优点由说明书、权利要求和附图特别指出的结构实现和获得。

[0017] 为了实现这些和其它优点,根据本发明的目的,如本文具体和概括说明的,一种制造有机电致发光设备的阵列基板的方法,包括:在基板上形成多晶硅半导体层和多晶硅半导体图案,所述多晶硅半导体层位于形成有薄膜晶体管的元件区域中,所述多晶硅半导体图案位于存储区域中,其中所述元件区域和所述存储区域位于彼此交叉的栅线 and 数据线所限定的像素区域内;在所述半导体层和所述半导体图案上形成栅绝缘层;在所述栅绝缘层上形成多层栅极和第一存储电极,所述多层栅极与所述半导体层的中心部分对应,所述第一存储电极与所述半导体图案对应;执行掺杂处理,使所述半导体层的没有被栅极覆盖的部分成为欧姆接触层,使所述半导体图案成为第二存储电极;形成层间绝缘膜,所述层间绝缘膜位于栅极和第一存储电极上并且露出所述欧姆接触层;在所述层间绝缘膜上形成源极、漏极以及第三存储电极,所述源极和漏极彼此隔开且均与欧姆接触层接触,所述第三存储电极与第一存储电极对应;形成钝化层,所述钝化层位于源极、漏极和第三存储电极上并且露出所述漏极;在所述钝化层上形成第一电极和第四存储电极,所述第一电极与所述漏极接触,所述第四存储电极与所述第三存储电极对应;以及形成堤和衬垫料,所述堤沿着所述像素区域的边界形成,所述衬垫料选择性地沿着所述像素区域的边界形成,其中所述衬垫料的高度高于所述堤的高度。

[0018] 另一方面,一种有机电致发光设备的阵列基板,包括:在基板上的多晶硅的半导体层和掺有杂质的多晶硅的第一存储电极,所述半导体层位于形成有薄膜晶体管的元件区域中,所述第一存储电极位于存储区域中,其中所述元件区域和所述存储区域位于彼此交叉的栅线 and 数据线所限定的像素区域内;位于所述半导体层和所述第一存储电极上的栅绝缘层;位于所述栅绝缘层上的多层栅极和第二存储电极,所述多层栅极与半导体层的中心部分对应,所述第二存储电极与第一存储电极对应;覆盖所述栅极和第二存储电极并且暴露半导体层的两侧的层间绝缘膜;位于所述层间绝缘膜上的源极、漏极和第三存储电极,所述源极和漏极分别与半导体层的两侧接触并且彼此隔开,所述第三存储电极与第二存储电极对应;覆盖所述源极、漏极和第三存储电极并且露出所述漏极的钝化层;位于所述钝化层上的第一电极和第四存储电极,所述第一电极位于每一像素区域中并且与漏极接触,所述第四存储电极与第三存储电极对应;以及位于所述钝化层上的堤和衬垫料,所述堤覆盖第一电极的边缘部分且沿着像素区域的边界形成,所述衬垫料由和堤相同的材料制成并且选择性地沿着像素区域的边界形成,其中所述衬垫料的高度高于所述堤的高度。

[0019] 应该理解的是,上述概括说明和接下来的详细说明都是例示性的和解释性的,对要求保护的发明提供进一步的解释。

附图说明

[0020] 附图提供对本发明的进一步的理解,附图包含在说明书中并构成说明书的一部分,举例说明本发明的实施例并且和说明书一起用于解释本发明的原理。

[0021] 在附图中:

[0022] 图 1A 到 10 是截面图,图示了根据本发明实施方式的 OLED 阵列基板的制造方法。

具体实施方式

[0023] 现在详细说明附图中给出的本发明的实施例。

[0024] 图 1A 到 10 是截面图, 图示了根据本发明实施方式的 OLED 阵列基板的制造方法。为了说明目的, 在每个像素区域中形成薄膜晶体管的区域被定义为元件区域 DA, 形成存储电容的区域被定义为存储区域 StgA。此外, 元件区域 DA 中的薄膜晶体管是和有机发光二极管连接的驱动薄膜晶体管, 连接到栅线和数据线的开关薄膜晶体管具有相同的结构且因此没有图示出。此外, 在下面的解释中, 开关薄膜晶体管和驱动薄膜晶体管不做区分, 都被称为薄膜晶体管。

[0025] 参考图 1A, 在基板 110 上沉积诸如氮化硅 (SiN_x) 或者氧化硅 (SiO_2) 的无机绝缘材料, 以形成缓冲层 111。当使非晶硅层 108 结晶成多晶硅层 (图 1B 中的 109) 时, 由于用于结晶的激光照射或者热处理, 基板 110 中存在的诸如钾离子 (K^+)、钠离子 (Na^+) 等碱离子从基板 110 中散发出来。碱离子可能会使多晶硅层 109 的性能劣化。为了防止该劣化, 在形成多晶硅层 109 之前形成缓冲层 111。但是, 取决于基板 111 的材料, 可能不需要缓冲层 111。

[0026] 在缓冲层 111 上形成非晶硅层 108。

[0027] 参考图 1B, 为了改善本征非晶硅层 108 的迁移率, 执行结晶化处理以形成本征多晶硅层 109。该结晶化处理可以是固相结晶 (SPC) 或者利用激光的结晶。

[0028] SPC 可以是在约 600 摄氏度到约 800 摄氏度的条件下执行热处理的热结晶, 或者是在约 600 摄氏度到约 700 摄氏度的条件下利用交变磁场结晶装置的交变磁场结晶。利用激光的结晶可以是准分子激光退火 (ELA) 结晶或者连续横向固化 (SLS) 结晶。

[0029] 参考图 1C, 通过掩模工序对多晶硅层 109 实施构图, 该掩模工序包括: 在多晶硅层 109 上沉积光刻胶层, 使该光刻胶层曝光, 使曝光后的光刻胶层显影以形成光刻胶图案, 利用光刻胶图案蚀刻多晶硅层 109, 以及剥离光刻胶图案。因此, 在元件区域 DA 中形成多晶硅半导体层 113, 在存储区域 StgA 中形成多晶硅半导体图案 114。通过给半导体图案 114 掺杂杂质, 半导体图案 114 将成为第一存储电极。

[0030] 参考图 1D, 在具有半导体层 113 和半导体图案 114 的基板 110 上沉积诸如氮化硅 (SiN_x) 或者氧化硅 (SiO_2) 的无机绝缘材料, 以形成栅绝缘层 116。

[0031] 然后, 在栅绝缘层 116 上沉积诸如氧化铟锡 (ITO)、氧化铟锌 (IZO) 或氧化铟锡锌 (ITZO) 的透明导电材料, 以形成厚度约 100\AA 到约 500\AA 的透明导电层 117。然后, 在透明导电层 117 上形成栅金属层 119。栅金属层可以是单层或者多层结构, 所述单层或者多层结构采用一种或者多种低电阻金属材料, 例如铝 (Al)、铝合金 (如 AlNd)、铜 (Cu)、铜合金、钼 (Mo) 和钼钛 (MoTi)。在附图中, 示出的是单层的栅金属层 119。

[0032] 然后, 在栅金属层 119 上形成光刻胶层, 利用包括透射部、阻挡部和半透射部的掩模对光刻胶层曝光。半透射部可以采用光衍射狭缝或者多重涂膜, 以使半透射部的透射率低于透射部并且高于阻挡部。

[0033] 使曝光后的光刻胶层显影, 以形成与透射部对应的第一光刻胶图案 181a 和与半透射部对应的第二光刻胶图案 181b。第一光刻胶图案 181a 的第一厚度大于第二光刻胶图案 181b 的第二厚度。将与阻挡部对应的光刻胶层移除, 以露出下方的栅金属层 119。

[0034] 第二光刻胶图案 181b 被形成为与存储区域 (StgA) 对应, 第一光刻胶图案 181a 被形成为与元件区域 DA 的半导体层 113 的中心部分对应。

[0035] 参考图 1E, 利用第一和第二光刻胶图案 181a 和 181b 顺序蚀刻栅金属层 119 和透明导电层 117。因此, 对应于元件区域 DA 的半导体层 113 的中心部分, 形成包括透明导电材料的下层 120a 和低电阻金属的上层 120b 的多层结构的栅极 120, 并且对应于存储区域 StgA, 形成透明导电材料的第二存储电极 118 和虚拟 (dummy) 金属图案 121。

[0036] 尽管在附图中未示出, 但是在栅绝缘层 116 上沿着像素区域 P 的边界形成了多层结构的栅线。栅线和开关薄膜晶体管的栅极相连接。

[0037] 参考图 1F, 执行灰化工序, 以除去具有第二厚度的第二光刻胶图案 181b, 并露出下方的虚拟金属图案 121。

[0038] 尽管第一光刻胶图案 181a 的厚度减小, 但是仍保留在栅极 120 和栅线上。

[0039] 然后, 参考图 1G, 除去虚拟金属图案 121, 因而露出第二存储电极 118。

[0040] 参考图 1H, 执行剥离工序, 以除去第一光刻胶图案 181a, 因而露出栅极 120 和栅线。

[0041] 参考图 1I, 在露出栅极 120 和栅线的状态下, 用诸如硼 (B)、铟 (In) 或镓 (Ga) 的 p 型杂质或者诸如磷 (P)、砷 (As) 或锑 (Sb) 的 n 型杂质执行掺杂工序。

[0042] 通过掺杂处理, 对半导体图案 114 掺杂且改善了迁移率特性。因此, 半导体图案 114 能够用作电极, 从而成为第一存储电极 115。

[0043] 在存储区域 StgA 中形成透明导电材料的第二存储电极 118。但是, 因为第二存储电极 118 的厚度为约 100\AA 到约 500\AA , 通过调节掺杂的能量密度, 杂质离子能够穿过第二存储电极 118 并到达半导体图案 114 内部。因此, 第二存储电极 118 对于掺杂不会构成问题。

[0044] 此外, 对于元件区域 DA, 在掺杂时, 半导体层 113 的没有被栅极 120 覆盖的部分被掺杂, 而半导体层 113 的中央部分被其上方的栅极 120 阻挡, 仍然是本征多晶硅。

[0045] 因此, 在掺杂完成之后, 半导体层 113 包括位于中心部分两侧的每一侧并且掺杂有杂质的欧姆接触层 113b、以及没有掺杂的本征多晶硅的有源层 113a。

[0046] 第一存储电极 115 和第二存储电极 118 与它们之间的栅绝缘层 116 一起形成第一存储电容 StgC1。

[0047] 参考图 1J, 在具有栅极 120、栅线和第二存储电极 118 的基板 111 上沉积诸如氮化硅 (SiN_x) 或者氧化硅 (SiO_2) 的无机绝缘材料或诸如苯并环丁烯 (BCB) 或者光学丙烯酸有机绝缘材料, 以形成层间绝缘膜 123。

[0048] 对层间绝缘膜 123 和栅绝缘层 116 执行掩模工序, 以形成露出欧姆接触层 113b 的半导体孔 125。

[0049] 参考图 1K, 在层间绝缘膜 123 上形成第二金属层。可以通过沉积铝 (Al)、铝合金 (如 AlNd)、铜 (Cu)、铜合金、钼 (Mo) 和钼钛 (MoTi) 中的至少一种来形成该第二金属层。

[0050] 然后, 对第二金属层实施掩模工序, 以形成数据线 (未示出) 和电源线, 数据线位于像素区域 P 的边界, 并且和栅线交叉以限定该像素区域 P, 电源线与数据线隔开且平行于数据线。

[0051] 而且, 通过该掩模工序, 形成源极 133 和漏极 136, 源极 133 和漏极 136 中的每一个

都通过对应的半导体接触孔 125 和欧姆接触层 113b 接触。特别是,漏极 136 延伸到存储区域 StgA,使得漏极 136 的延伸部分用作第三存储电极 134。

[0052] 通过上述配置,在存储区域 StgA 中,第二存储电极 118 和第三存储电极 134 与它们之间的层间绝缘膜 123 一起形成第二存储电容 StgC2,第一和第二存储电容 StgC1 和 StgC2 借助于第二存储电极 118 彼此并联,从而使总存储容量增加。

[0053] 参考图 1L,在具有源极 133 和漏极 136 的基板 111 上沉积诸如苯并环丁烯 (BCB) 或者光学丙烯酸有机绝缘材料,以形成钝化层 140,钝化层 140 使具有源极 133 和漏极 136 的基板 111 表面基本平坦。对钝化层 140 执行掩模工序,以形成使薄膜晶体管 Tr 的漏极 136 露出的漏极接触孔 143。

[0054] 漏极接触孔 143 实质用于使驱动薄膜晶体管的漏极 136 和在钝化层 140 上形成的有机发光二极管的第一电极(图 10 中的 147)接触。

[0055] 参考图 1M,在钝化层 140 上沉积诸如氧化铟锡 (ITO)、氧化铟锌 (IZO) 或氧化铟锡锌 (ITZO) 的透明导电材料,且对该透明导电材料层执行掩模工序。因此,形成了通过漏极接触孔 143 和漏极 136 接触的第一电极 147。

[0056] 为了增加有机发光二极管的发光效率,首先在钝化层 140 上沉积具有高反射特性的金属,例如铝 (Al)、铝合金(如 AlNd) 或者银 (Ag),然后将透明导电材料沉积到该金属层上,从而第一电极 147 具有双层结构,该双层结构包括高反射性金属的下层和透明导电材料的上层。当第一电极被形成为包括高反射性层时,阵列基板 110 适合用作顶部发光型 OLED 的阵列基板。

[0057] 第一电极 147 延伸到存储区域 StgA,第一电极 147 的延伸部分用作第四存储电极 148。

[0058] 第四存储电极 148 和第三存储电极 134 与它们之间的钝化层 140 一起形成第三存储电容 StgC3,第三存储电容 StgC3 和第二存储电容 StgC2 借助于第三存储电极 134 并联连接。因此,能够进一步增加总存储容量。

[0059] 在该实施例中,因为在存储区域 StgA 中形成并联连接的第一到第三存储电容,所以和两个存储电容重叠的现有技术相比,该实施例具有进一步增加存储容量的优点。

[0060] 参考图 1N,在第一电极 147 上沉积诸如光学丙烯酸、苯并环丁烯 (BCB) 或者聚酰亚胺的光敏有机绝缘材料,以形成有机绝缘层 153。

[0061] 将包括透射部 TA、阻挡部 BA 和半透射部 HTA 的光掩模 197 放置到有机绝缘层 153 上方,并执行曝光处理。因为采用了半透射部 HTA,该曝光处理可以称为半色调曝光或者衍射曝光。

[0062] 参考图 10,当将曝光后的有机绝缘层 153 显影时,在像素区域 P 边界的和光掩模 197 的透射部 TA 对应的部分上形成第一高度的衬垫料 160,在像素区域 P 边界的和光掩模 197 的半透射部 HTA 对应的部分上形成堤 155。堤 155 的厚度比衬垫料 160 的第一厚度小,并且堤 155 和第一电极 147 重叠。

[0063] 在显影工序中移除有机绝缘层 153 的和光掩模 197 的阻挡部 BA 对应的部分,并露出下方的第一电极 147。

[0064] 如上所述,到形成第一电极的工序为止,执行了 7 个掩模工序。因此和到形成第一电极的工序为止执行 9 个掩模工序的现有技术相比,可以减少 2 个掩模工序。因此,减少了

生产时间和成本。

[0065] 尽管图中未示出,但是在形成衬垫料 160 和堤 155 之后,顺序形成有机发光层和第二电极。例如,通过在衬垫料 160 上放置具有和像素区域 P 对应的开口的遮罩 (shadow mask),且使遮罩和衬垫料 160 接触,然后实施热沉积,在堤 155 所包围的第一电极 147 上形成有机发光层。接下来,通过沉积具有低功函数的金属,例如铝 (Al)、铝钕合金 (AlNd)、铝镁合金 (AlMg)、镁银合金 (MgAg) 或者银 (Ag),在具有有机发光层的基板 111 上形成第二电极。第一电极 147、有机发光层和第二电极形成有机发光二极管。

[0066] 通过以上工序,可以制造阵列基板 110。

[0067] 此外,通过放置彼此相对的反向 (opposing) 基板和阵列基板 110,在惰性气体或者真空条件下沿着阵列基板 110 和反向基板中至少一个的边缘部分形成密封图案,从而粘结阵列基板 110 和反向基板,或者在阵列基板 110 和反向基板之间插入面密封剂,从而粘结阵列基板 110 和反向基板,可以制造出 OLED。

[0068] 如上所述,阵列基板包括彼此重叠的三个存储电容。因此,可以增加单位面积上的存储容量。

[0069] 而且,到形成第一电极的工序为止,执行了 7 个掩模工序。因此和现有技术相比,可减少 2 个掩模工序,因此减少了生产成本和时间。

[0070] 显然对本领域技术人员来说,在不脱离本发明的精神或范围的情况下,能够对本发明做出各种各样的修改和变更。因此,本发明覆盖在权利要求及其等价物的范围内对本发明做出的各种修改和变更。

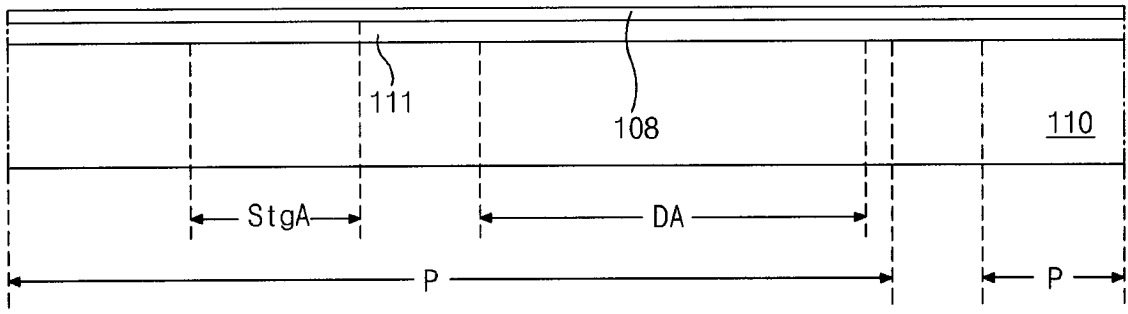


图 1A

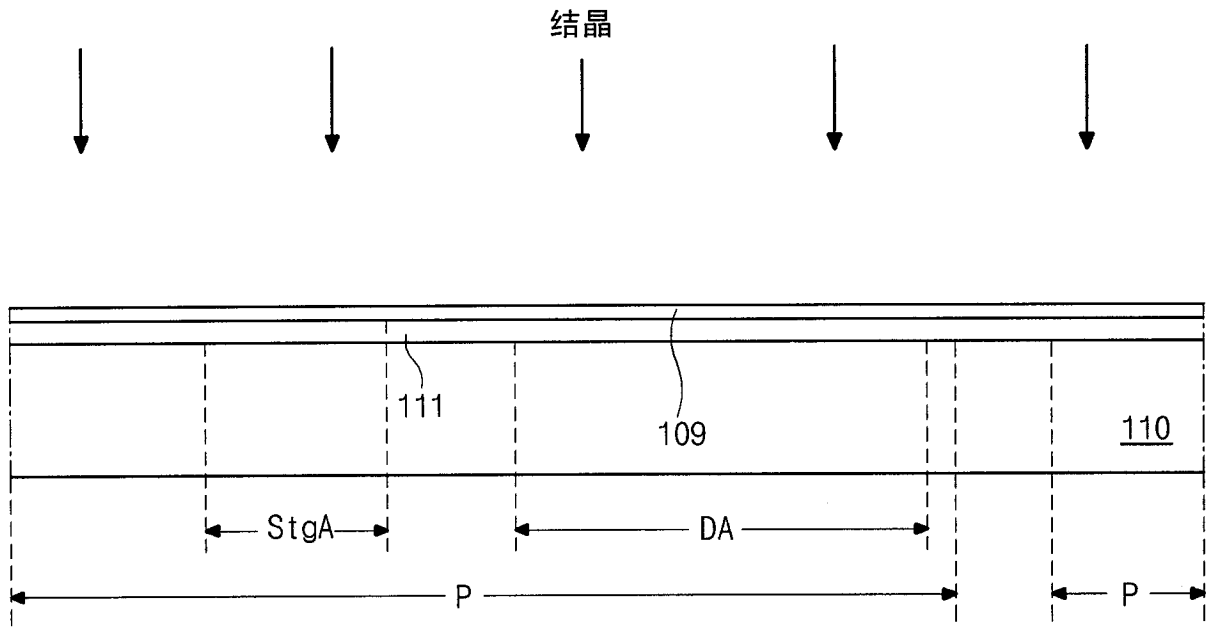


图 1B

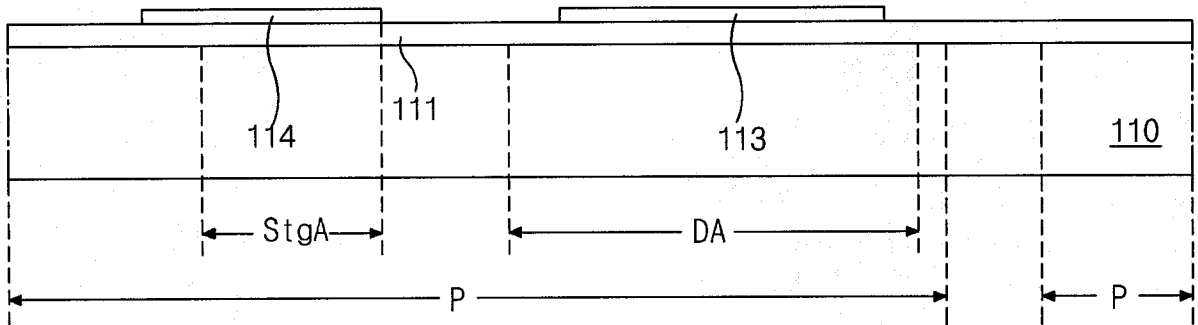


图 1C

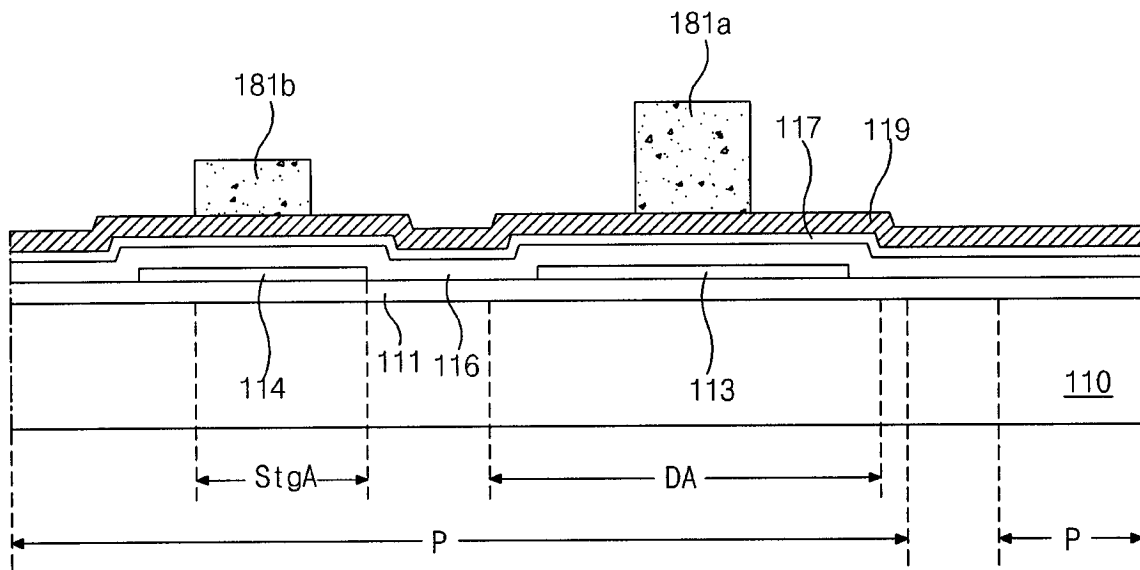


图 1D

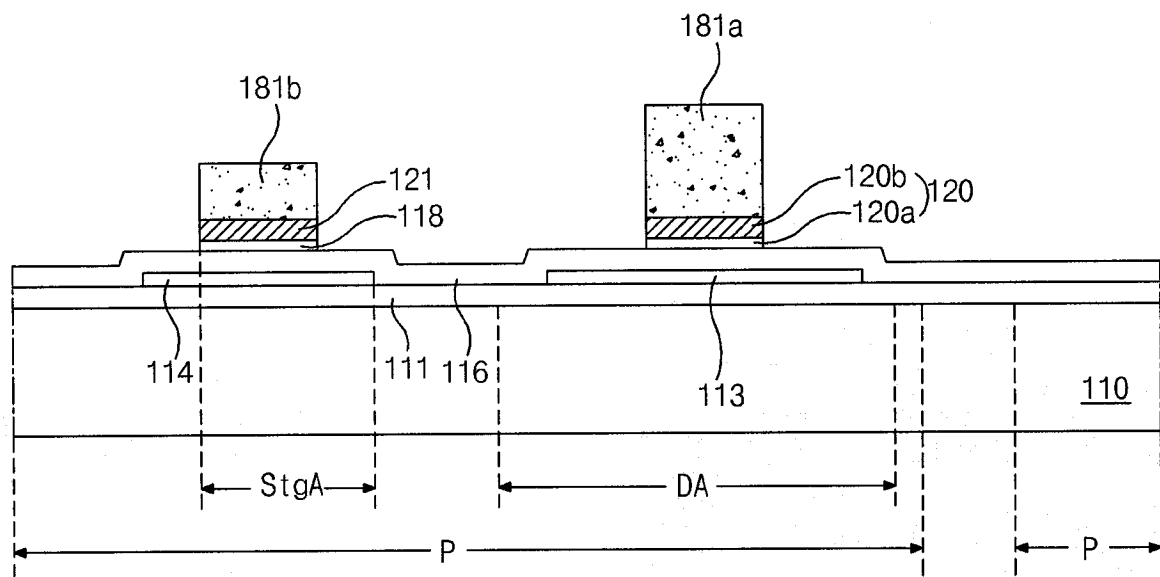


图 1E

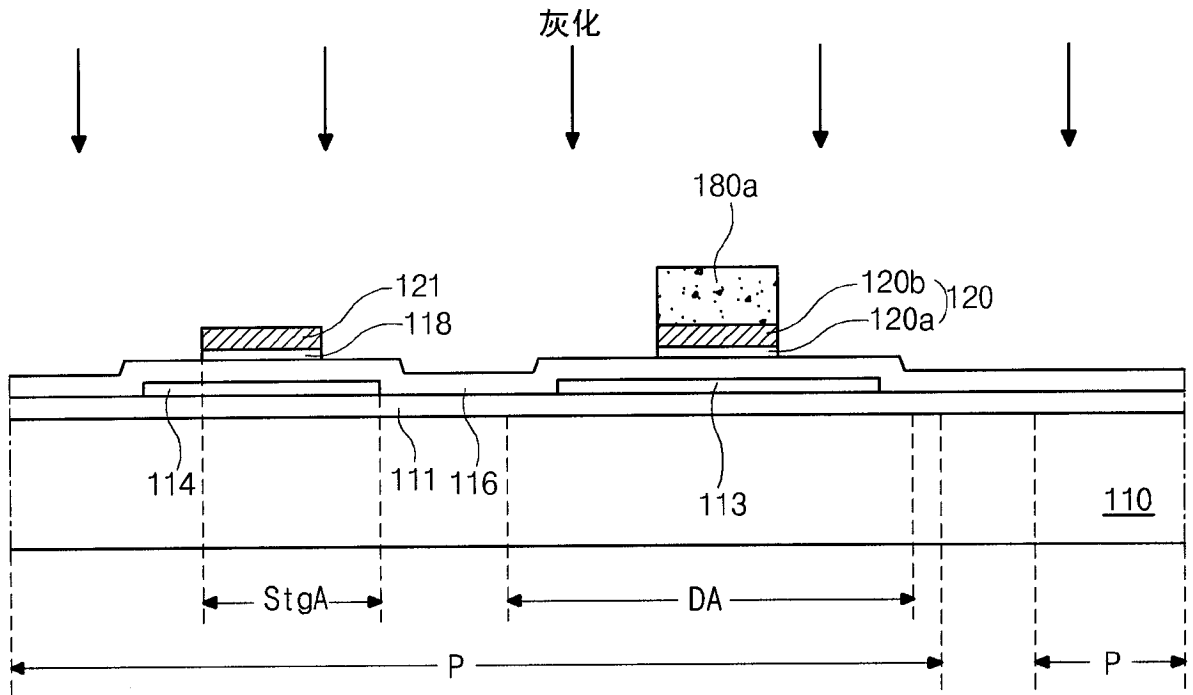


图 1F

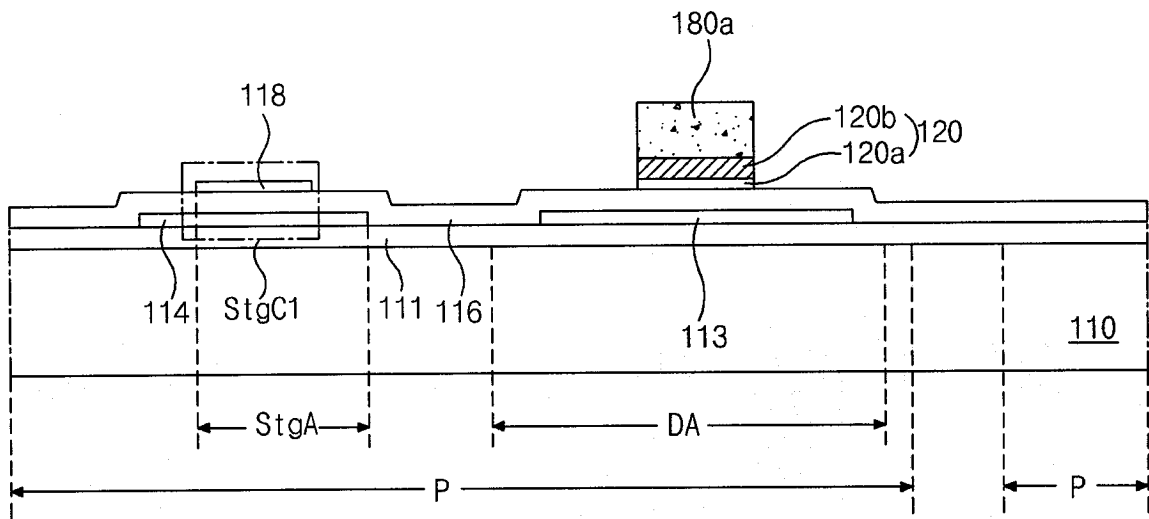


图 1G

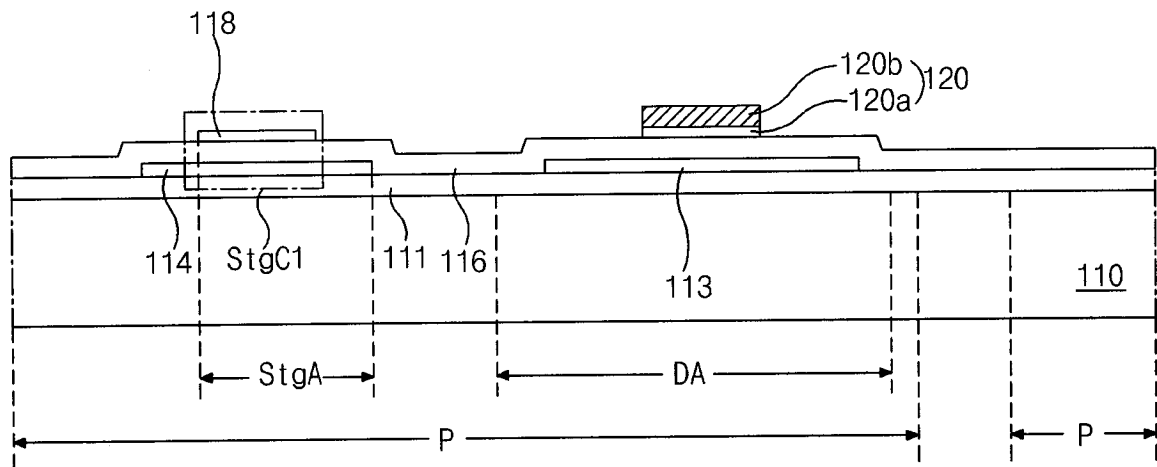


图 1H

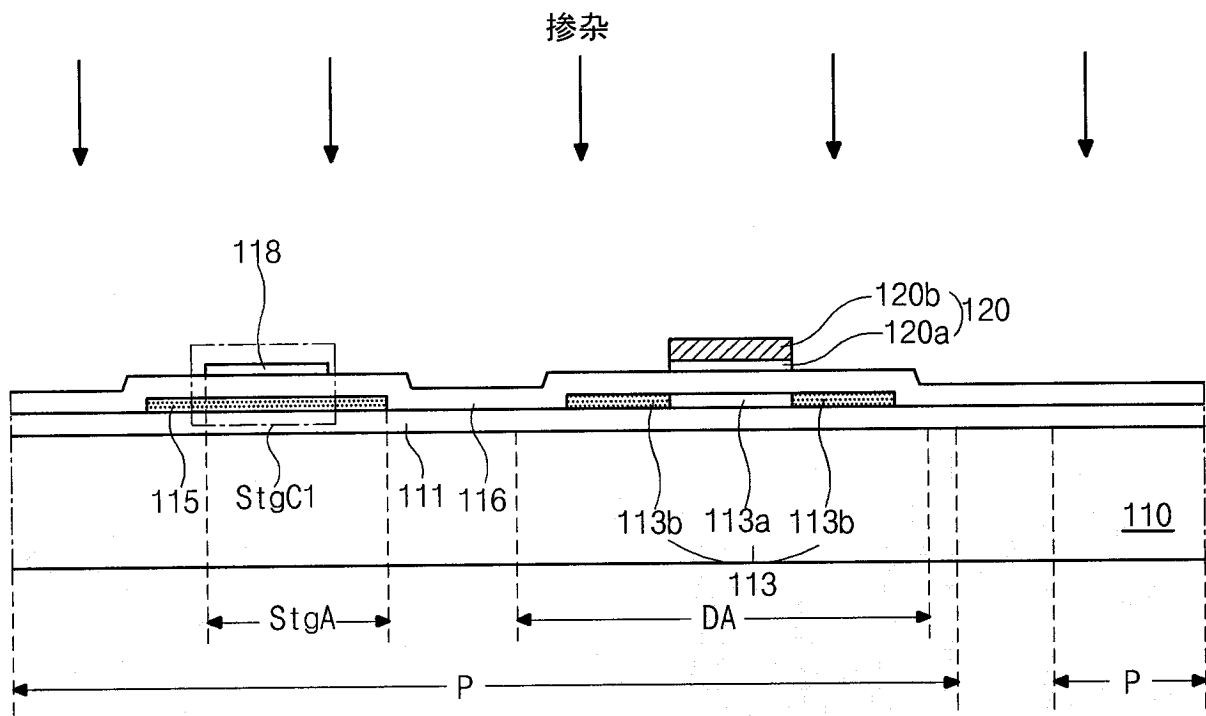


图 1I

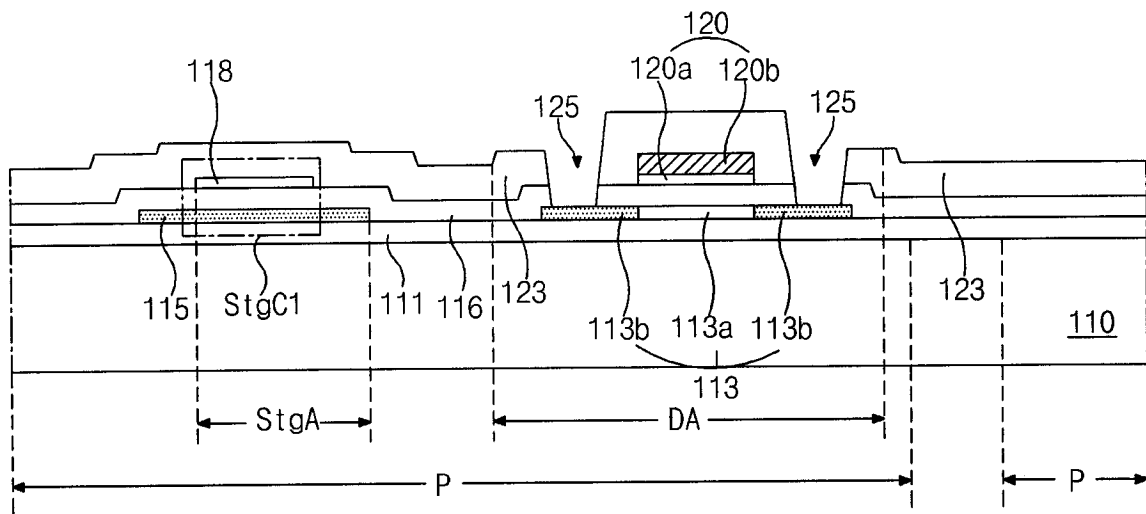


图 1J

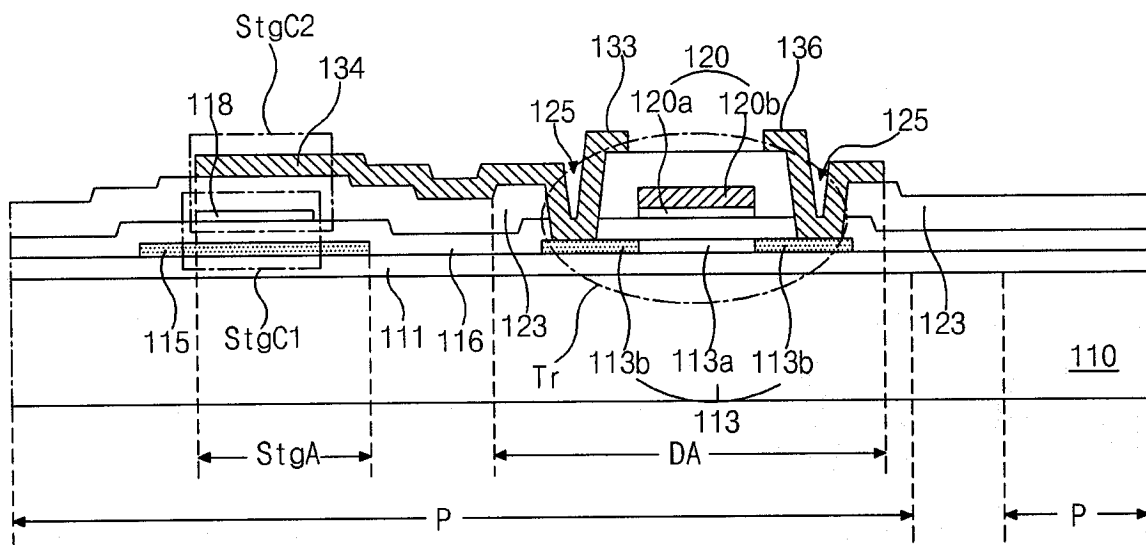


图 1K

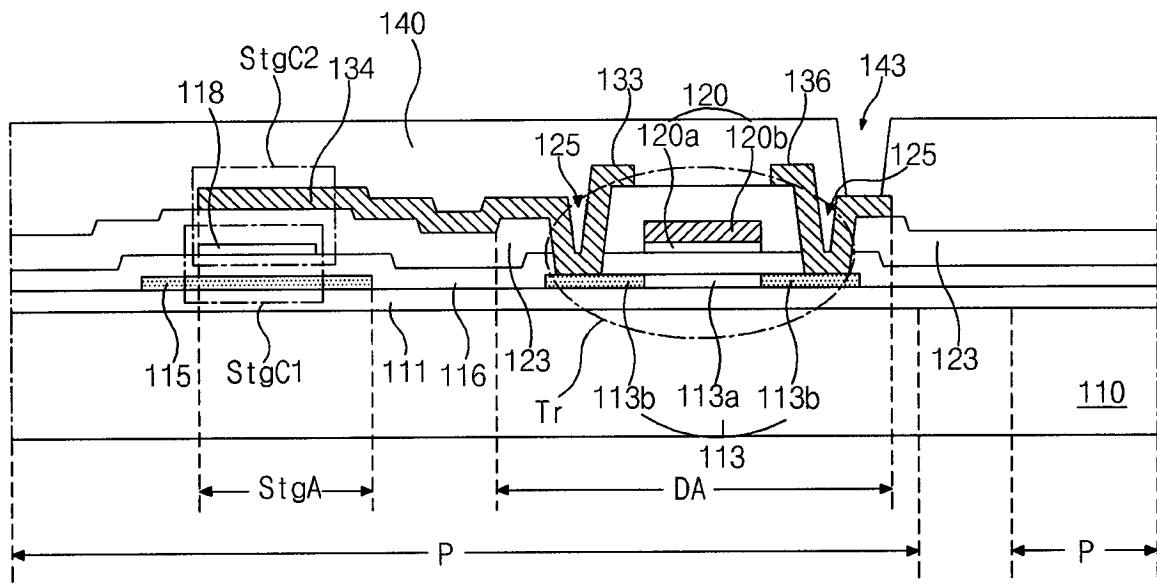


图 1L

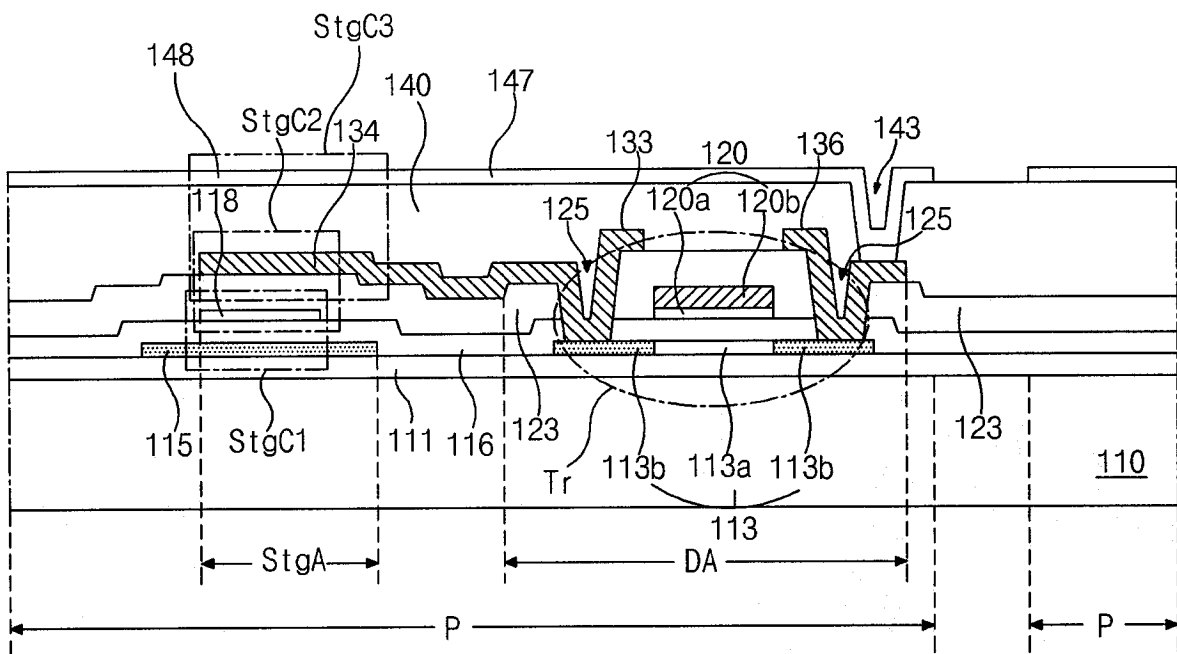


图 1M

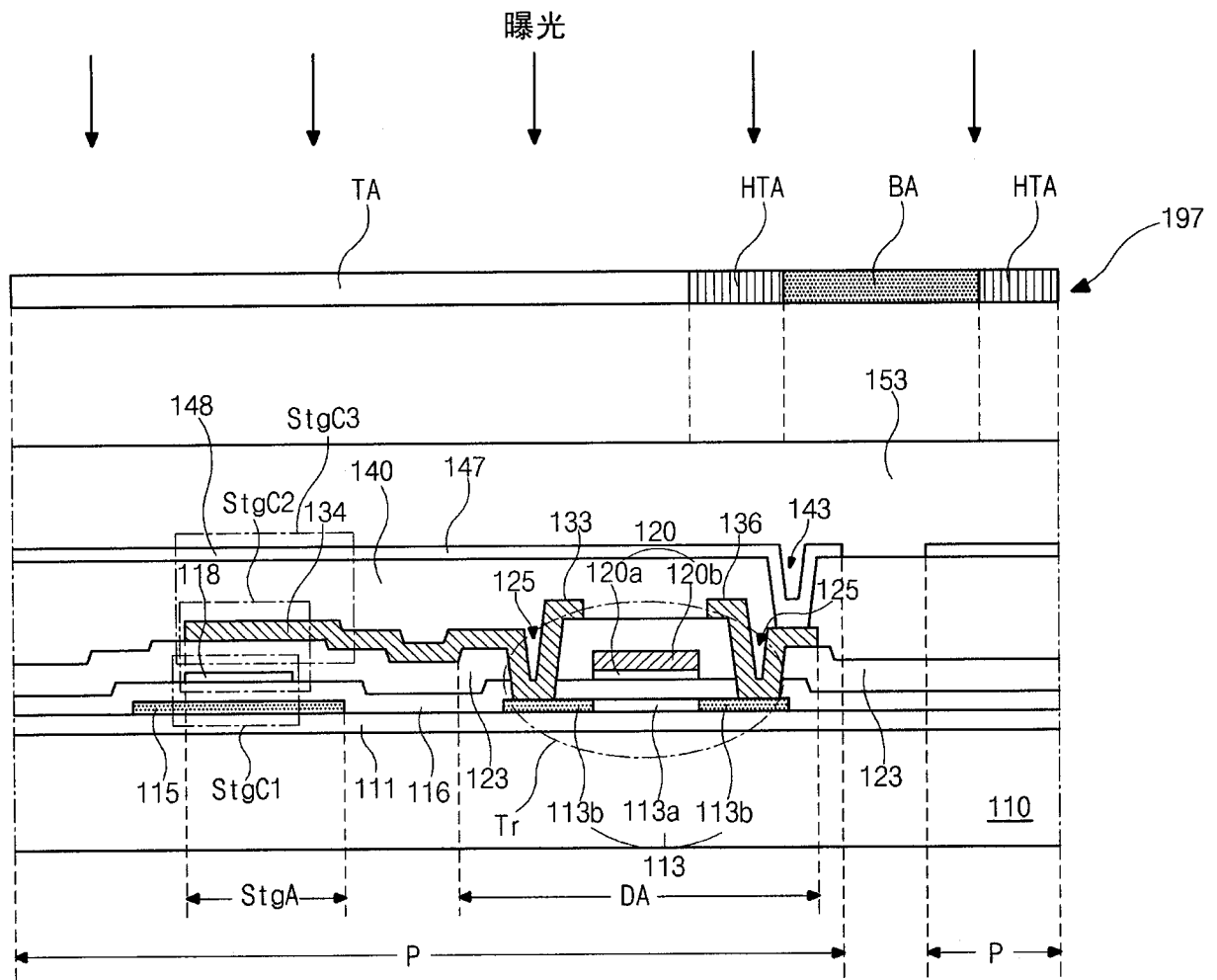


图 1N

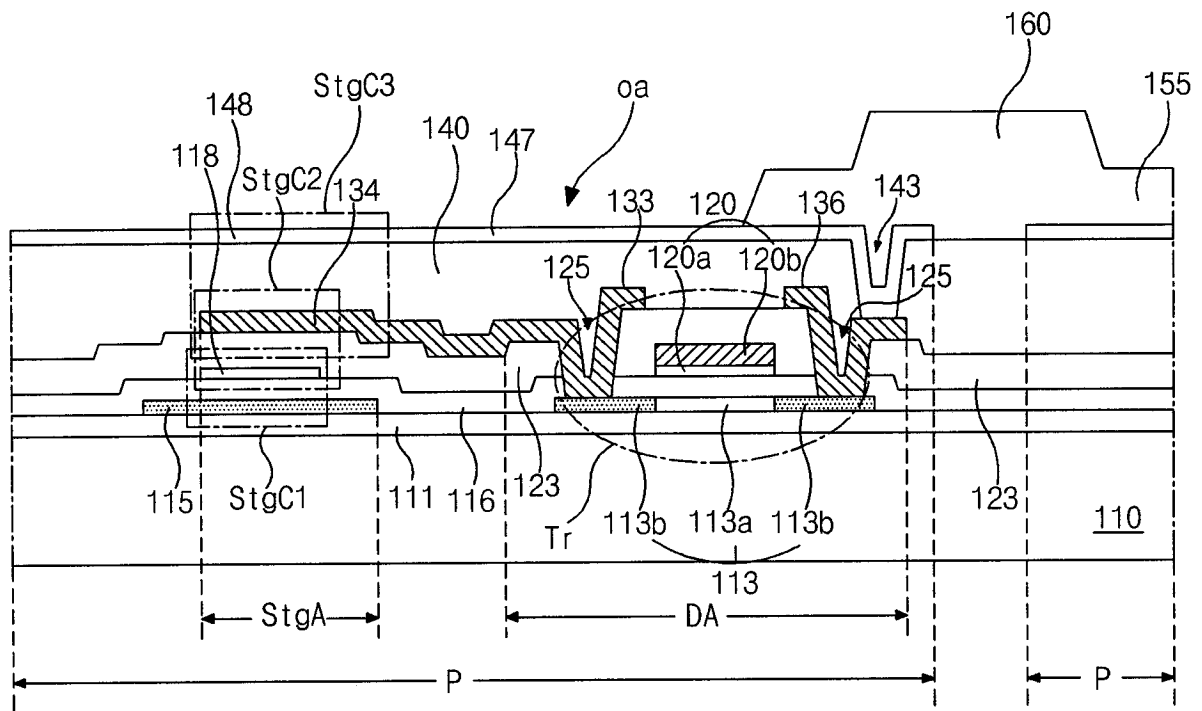


图 10