



(12) 发明专利

(10) 授权公告号 CN 113014270 B

(45) 授权公告日 2022. 08. 05

(21) 申请号 202110199970.9

CN 101692611 A, 2010.04.07

(22) 申请日 2021.02.22

CN 102064835 A, 2011.05.18

(65) 同一申请的已公布的文献号

CN 111313913 A, 2020.06.19

申请公布号 CN 113014270 A

CN 101908894 A, 2010.12.08

(43) 申请公布日 2021.06.22

CN 101432968 A, 2009.05.13

(73) 专利权人 上海大学

US 2015333775 A1, 2015.11.19

地址 200444 上海市宝山区上大路99号

US 2020059249 A1, 2020.02.20

(72) 发明人 江立旻 曹姗 姜之源 张舜卿

范学升.极化码串行抵消列表译码算法研究与FPGA实现.《中国优秀硕士学位论文全文数据库(信息科技辑)》.2018,

徐树公

Shan Cao等.An Unfolded Pipelined

(74) 专利代理机构 上海交大专利事务所 31201

Polar Decoder With Hybrid Number

专利代理师 王毓理 王锡麟

Representations for Multi-User MIMO

(51) Int. Cl.

Systems.《IEEE》.2020,

H03M 13/13 (2006.01)

审查员 刘晴晴

(56) 对比文件

CN 110620587 A, 2019.12.27

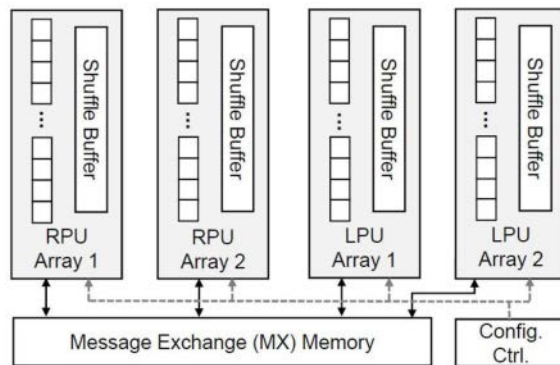
权利要求书2页 说明书5页 附图6页

(54) 发明名称

码长可配置的部分折叠极化码译码器

(57) 摘要

一种码长可配置的部分折叠极化码译码器,包括:两个左信息处理单元阵列、两个右信息处理单元阵列、信息交换存储单元和码长配置控制单元,其中:每个信息处理单元阵列内部均设有多个信息处理单元,分别计算左信息计算公式或右信息计算公式,信息处理单元阵列中设有置换缓存以及两个选择器用于长码字的信息处理,信息交换存储单元存储信息处理单元阵列计算的中间信息用于下一次迭代,码长配置控制单元根据不同的码长配置四个信息处理单元阵列,并采用不同的移位寄存器以提高时钟频率。本发明能够实现不同码长配置下的极化码译码,能够支持不同码长的配置以及支持多用户同时译码,实现高吞吐率低时延的性能,满足5G的应用场景。



1. 一种码长可配置的部分折叠极化码译码器,其特征在于,包括:两个左信息处理单元阵列、两个右信息处理单元阵列、信息交换存储单元和码长配置控制单元,其中:每个信息处理单元阵列内部均设有多个信息处理单元,分别计算左信息计算公式或右信息计算公式,信息处理单元阵列中设有置换缓存以及两个选择器用于长码字的信息处理,信息交换存储单元存储信息处理单元阵列计算的中间信息用于下一次迭代,码长配置控制单元根据不同的码长配置四个信息处理单元阵列,并采用不同的移位寄存器以提高时钟频率;

所述的置换缓存以及两个选择器中,第一选择器对初始信息和来自同一方向的信息处理单元阵列以及置换缓存的输出进行选择,第二选择器对信息交换存储单元和来自相反方向的信息处理单元阵列以及置换缓存的输出进行选择,置换缓存用于接收来自各自信息处理单元阵列的接收结果,并输出完成信息索引排列的左信息或右信息至第一选择器。

2. 根据权利要求1所述的码长可配置的部分折叠极化码译码器,其特征是,所述的置换缓存所属的信息处理单元阵列分别接收来自第一选择器和第二选择器的左信息或右信息,

经BP译码计算得到结果,即: $L_{i,j}^{(t+1)} = g\left(L_{i+1,2j-1}^{(t)}, L_{i+1,2j}^{(t)} + R_{i,j+\frac{N}{2}}^{(t)}\right)$, $L_{i,j+N/2}^{(t+1)} = L_{i+1,2j}^{(t)} + g\left(L_{i+1,2j-1}^{(t)}, R_{i,j}^{(t)}\right)$, $R_{i+1,2j-1}^{(t+1)} = g\left(R_{i,j}^{(t)}, L_{i+1,2j}^{(t)} + R_{i,j+\frac{N}{2}}^{(t)}\right)$, $R_{i+1,2j}^{(t+1)} = R_{i,j+N/2}^{(t)} + g\left(L_{i+1,2j-1}^{(t)}, R_{i,j}^{(t)}\right)$, 其中: $g(a,b) = \text{sign}(a) \text{sign}(b) \min(|a|, |b|)$, L为从右向左传播的信息, R为从左向右传播的信息, 下标i, j分别为信息索引, 上标t为目前的迭代次数。

3. 根据权利要求1所述的码长可配置的部分折叠极化码译码器,其特征是,所述的信息处理单元阵列的输入端和内部加法器之后增设寄存器,采用两级流水设计架构以提高时钟频率。

4. 根据权利要求1所述的码长可配置的部分折叠极化码译码器,其特征是,所述的移位寄存器,其内部预存不同码长情况下对第一选择器、第二选择器和信息交换存储单元的控制信息,该控制信息直接输出至第一选择器、第二选择器进行控制,或作为门控信号控制地址寄存器的自增操作,且该寄存器信号输出至信息交换存储单元。

5. 根据权利要求1所述的码长可配置的部分折叠极化码译码器,其特征是,所述的移位寄存器两旁设有一对选择器,当任一时刻移位寄存器输出的比特为0,则输出选择器选择上侧的通路,即下一时刻地址保持不变;否则选择器选择下面的通路,即下一时刻的地址在该时刻的基础上进行自加或自减。

6. 根据权利要求4所述的码长可配置的部分折叠极化码译码器,其特征是,所述的移位寄存器两旁设有一对选择器,当任一时刻移位寄存器输出的比特为0,则输出选择器选择上侧的通路,即下一时刻地址保持不变;否则选择器选择下面的通路,即下一时刻的地址在该时刻的基础上进行自加或自减。

7. 一种根据权利要求1~6中任一所述的部分折叠极化码译码器的短码字译码方法,在码长为N的因子图两侧 of 初始信息排列为: $L^{(0)} = \{L_1^{(0)}, L_2^{(0)}, \dots, L_K^{(0)}\}$, $R^{(0)} = \{R_{(1,2)}, R_{(3,4)}, \dots, R_{(K-1,K)}\}$, 其中: $R_{(a,a+1)} = \{r_{1,a}, r_{1,a+1}, r_{2,a}, r_{2,a+1}, \dots, r_{K,a}, r_{K,a+1}\}$, 即将1024码长结构的部分折叠译码器可以同时处理8个码长为512的短码字。

8. 一种根据权利要求1~6中任一所述的部分折叠极化码译码器的长码字译码方法,将

码长为 N_{CW} 的因子图展开为 $\log_2 N_{CW}$ 个阶段(列),再将这些阶段分割成若干块,使得每个完整块内都是码长为 N 的因子图,在两个独立的阵列中计算 $\log_2 N$ 个阶段,再进行阵列之间的信息交互,此时1024码长结构的部分折叠译码器可以同时处理2个码长为2048的长码字。

码长可配置的部分折叠极化码译码器

技术领域

[0001] 本发明涉及的是一种无线通信领域的译码技术,具体是一种可应用于5G eMBB场景下控制信道的码长可配置的部分折叠极化码译码器。

背景技术

[0002] 极化码主要有两种译码算法:置信度传播(BP)算法和串行消除(SC)算法。两个算法有着相同复杂度,主要区别在于译码时延和硬件资源使用之间的取舍。前者有着极低的译码时延、高吞吐率、资源使用多;后者使用较少的硬件资源,但是译码时延长、吞吐率低。在今后5G高可靠低时延(URLLC)和多用户多输入输出(MU-MIMO)系统的环境下,BP算法具有一定的优势。但现有BP算法硬件实施结构复杂、占用硬件资源较高的同时利用率较低且对时钟频率的要求较高。

发明内容

[0003] 本发明针对现有技术存在的上述不足,提出一种码长可配置的部分折叠极化码译码器,通过控制器模块对处理单元阵列的输入以及信息交互存储进行数据流控制,从而实现不同码长配置下的极化码译码,能够支持不同码长的配置以及支持多用户同时译码,实现高吞吐率低时延的性能,满足5G的应用场景。

[0004] 本发明是通过以下技术方案实现的:

[0005] 本发明涉及一种码长可配置的部分折叠极化码译码器,包括:两个左信息处理单元阵列、两个右信息处理单元阵列、信息交换存储单元和码长配置控制单元,其中:每个信息处理单元阵列内部均设有多个信息处理单元,分别计算左信息计算公式或右信息计算公式,信息处理单元阵列中设有置换缓存以及两个选择器用于长码字的信息处理,信息交换存储单元存储信息处理单元阵列计算的中间信息用于下一次迭代,码长配置控制单元根据不同的码长配置四个信息处理单元阵列,并采用不同的移位寄存器以提高时钟频率。

[0006] 所述的置换缓存以及两个选择器中,第一选择器对初始信息和来自同一方向的信息处理单元阵列以及置换缓存的输出进行选择,第二选择器对信息交换存储单元和来自相反方向的信息处理单元阵列以及置换缓存的输出进行选择,置换缓存用于接收来自各自信息处理单元阵列的接收结果,并输出完成信息索引排列的左信息或右信息至第一选择器,该置换缓存所属的信息处理单元阵列分别接收来自第一选择器和第二选择器的左信息或右信息,经BP译码计算得到结果,即:

$$L_{ij}^{(t+1)} = g\left(L_{i+1,2j-1}^{(t)}, L_{i+1,2j}^{(t)} + R_{ij+\frac{N}{2}}^{(t)}\right), L_{ij+N/2}^{(t+1)} = L_{i+1,2j}^{(t)} + g\left(L_{i+1,2j-1}^{(t)}, R_{ij}^{(t)}\right), R_{i+1,2j-1}^{(t+1)} = g\left(R_{ij}^{(t)}, L_{i+1,2j}^{(t)} + R_{ij+\frac{N}{2}}^{(t)}\right), R_{i+1,2j}^{(t+1)} = R_{ij+N/2}^{(t)} + g\left(L_{i+1,2j-1}^{(t)}, R_{ij}^{(t)}\right), \text{其中: } g(a, b) = \text{sign}(a) \text{sign}(b) \min(|a|, |b|), L \text{ 为从右向左传播的信息, } R \text{ 为从左向右传播的信息, 下标 } i, j \text{ 分别为信息索引, 上标 } t \text{ 为目前的迭代次数。}$$

[0007] 所述的信息处理单元阵列的输入端和内部加法器之后增设寄存器,采用两级流水设计架构以提高时钟频率。

[0008] 所述的移位寄存器,其内部预存不同码长情况下对第一选择器、第二选择器和信息交换存储单元的控制信息,该控制信息直接输出至第一选择器、第二选择器进行控制,或作为门控信号控制地址寄存器的自增操作,且该寄存器信号输出至信息交换存储单元。

[0009] 技术效果

[0010] 本发明整体解决了现有技术无法对极化码译码器进行配置进行不同码长译码以及多用户译码的不足;与现有技术相比,本发明使得多个短码字能够在长码字的因子图中进行同时译码,长码字能够在短码字的因子图中进行译码,译码时间短,吞吐率高,芯片面积和功耗适中。

附图说明

[0011] 图1为本发明架构示意图;

[0012] 图2为实施例中长码字(右半)和短码字(左半)的时序图示意图;

[0013] 图3为极化码的编码因子图示意图;

[0014] 图4为极化码的BP译码因子图示意图;

[0015] 图5为BP译码结构中的处理单元(PE)示意图;

[0016] 图6为 $N=8$ 的因子图中译码两个 $N_{CW}=4$ 的短码示意图;

[0017] 图7为 $N=8$ 的因子图中译码一个 $N_{CW}=16$ 的长码示意图;

[0018] 图8为第一左信息处理单元阵列周围的数据流示意图;

[0019] 图9为码长配置控制单元中移位寄存器的实现示意图。

具体实施方式

[0020] 如图1所示,为本实施例涉及一种可应用于5G eMBB场景下控制信道的码长可配置的部分折叠极化码译码器,包括:两个左信息处理单元阵列LPU (Left-message Processing Unit) Array1、LPU Array2、两个右信息处理单元阵列RPU (Right-message Processing Unit) Array1、RPU Array2、信息交换存储单元MX (Message eXchange) 和码长配置控制单元Config Ctrl,其中:每个信息处理单元阵列内部均设有512个信息处理单元PE用于计算左信息计算公式或右信息计算公式,信息处理单元阵列采用两级流水设计以提高时钟频率的同时,设有置换缓存Shuffle Buffer用于长码字的信息处理,MX存储信息处理单元阵列计算的中间信息用于下一次迭代,码长配置控制单元Config Ctrl根据不同的码长配置四个信息处理单元阵列,并采用不同的移位寄存器Shift Register以提高时钟频率,如图8和图9所示。

[0021] 如图8所示,为第一左信息处理单元阵列以及设置于其周围的两个选择器,其中:第一选择器为左信息处理单元阵列提供左信息,该左信息来自初始信息或来自左信息处理单元阵列自身计算完毕的普通码字和短码字的左信息或来自完成索引排序的置换缓存的长码字的输出;第二选择器为左信息处理单元阵列提供右信息,该右信息来自上一次迭代完成后在信息交换存储单元存储的右信息或来自另一个右信息处理单元阵列计算完毕的普通码字和短码字的右信息或来自和右信息处理单元阵列对应的置换缓存的长码字的输

出。

[0022] 所述的第一选择器和第二选择器由码长配置控制单元内部的移位寄存器进行控制。

[0023] 如图9所示,为与所述移位寄存器相连的地址寄存器,移位寄存器中预存比特信息,不同的移位寄存器代表着不同码长下的配置。

[0024] 所述的移位寄存器两旁设有一对选择器,当任一时刻移位寄存器输出的比特为0,则输出选择器选择上侧的通路,即下一时刻地址保持不变;否则选择器选择下面的通路,即下一时刻的地址在该时刻的基础上进行自加或自减。

[0025] 所述的码长配置控制单元Config Ctrl采用半程调度方式,即初始信息从因子图的两侧同时向因子图的中心进行计算,到达中心后再向两侧进行计算,通过这种调度方式可以节省译码时间。

[0026] 所述的译码器,具体通过以下方式进行短码字译码:短码字 $N_{CW} = 2^k N$,其中: k 为缩放因子, N 为原因子图的码长, $k \in [1, n-1]$ 中的每个码字只需要 $N_{CW}/2$ 个PE,因此同时对 $K = \frac{N}{N_{CW}} = 2^k$ 个码字进行译码,不同码字的初始信息用 $\mathbf{L}_i^{(0)} = \{l_{ij}\}$ 和 $\mathbf{R}_i^{(0)} = \{r_{ij}\}$ 表示,其中: $i \in [1, K], j \in [1, N_{CW}]$,在码长为 N 的因子图两侧的初始信息排列为: $\mathbf{L}^{(0)} = \{\mathbf{L}_1^{(0)}, \mathbf{L}_2^{(0)}, \dots, \mathbf{L}_K^{(0)}\}, \mathbf{R}^{(0)} = \{\mathbf{R}_{(1,2)}, \mathbf{R}_{(3,4)}, \dots, \mathbf{R}_{(K-1,K)}\}$,其中: $\mathbf{R}_{(a,a+1)} = \{r_{1,a}, r_{1,a+1}, r_{2,a}, r_{2,a+1}, \dots, r_{K,a}, r_{K,a+1}\}$,即将1024码长结构的部分折叠译码器可以同时处理8个码长为512的短码字,如图2时序图的左半部分所示。

[0027] 以 $N=8, N_{CW}=4, K=2$ 为例,此时因子图如图6所示,因子图中码长为 N 的码字需要 $n = \log_2(N)$ 列的PE,所以对于短码字,图中虚线表示没有被使用的多余PE。

[0028] 所述的译码器,具体通过以下方式进行长码字译码:长码字 $N_{CW} = 2^k N, k \in N$,其中: k 为缩放因子, N 为原因子图的码长。由于可用PE数量为 $N/2$,因此将码长为 N_{CW} 的因子图展开为 $\log_2 N_{CW}$ 个阶段(列),再将这些阶段分割成若干块,使得每个完整块内都是码长为 N 的因子图,在两个独立的左、右信息处理单元阵列中计算 $\log_2 N$ 个阶段,再进行阵列之间的信息交互。此时1024码长结构的部分折叠译码器可以同时处理2个码长为2048的长码字,如图2时序图的右半部分。

[0029] 以 $N=8, N_{CW}=16$ 为例,此时的因子图如图7所示,长码字 N_{CW} 共有4个阶段,而可供译码的因子图只有3个阶段,所以需要进行分割,分割为一个完整的3阶段块和一个只有一个阶段的残余块。对应两列左、右信息处理单元阵列分别计算各自颜色的因子图,完成3阶段的计算后,两个阵列交互信息(虚线框所示),然后再各自计算一个阶段结束。如果有更长的码字,则两个阵列之间需要多次地交换信息。

[0030] 以码长为8的极化码的编码为例,如图3所示,其中:加号为二进制加法(异或),等号前后直通。设极化码编码前后的比特矩阵分别为 \mathbf{u} 和 \mathbf{x} ,这两个矩阵之间存在线性关系,用线性代数来表示为: $\mathbf{x} = \mathbf{u}\mathbf{F}^{\otimes(\log_2 N)}$,其中: $\mathbf{F} = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$, \otimes 符号为克罗内克积(张量积):

$$\mathbf{A}_{m \times n} \otimes \mathbf{B}_{r \times s} = \begin{bmatrix} A_{11}\mathbf{B}_{r \times s} & \cdots & A_{1n}\mathbf{B}_{r \times s} \\ \vdots & \ddots & \vdots \\ A_{m1}\mathbf{B}_{r \times s} & \cdots & A_{mn}\mathbf{B}_{r \times s} \end{bmatrix}_{mr \times rs}, \text{其中: } A_{ij} \text{ 为矩阵 } \mathbf{A}_{m \times n} \text{ 中的元素。故 } \mathbf{F}^{\otimes(\log_2 N)} \text{ 为将 } \mathbf{F} \text{ 重复 } \log_2 N \text{ 次张量积。}$$

做 $\log_2 N$ 次的克罗内克积,若码长 $N=8$,则: $\mathbf{F}^{\otimes 3} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix}$,对比图3可以

看出完全一致。

[0031] 如图3所示,对应上述极化码BP译码的结构和编码结构都有着处理单元PE,但PE前后所连接的节点不同,译码结构为了考虑到硬件资源复用对连接进行调整。如图4所示,三列PE前后所连接的节点索引是相同的。在编码步骤中,待编码的比特 u 在图3因子图的左边,比特从左到右进行计算到因子图的右侧,得到编码完成的比特 x 。经过信道后来到接收端,比特对应的软信息(对数似然比LLR)在图4因子图的右边,软信息通过若干个计算公式以先向右向左、再从左向右为一个迭代次数的方法进行反复迭代。经过指定的迭代次数(T)后,在因子图的左边将向左传播的软信息($L_{0,j}^{(T)}$)以一个门限进行硬判决,将软信息判决成硬比特,至此完成了译码流程。图4的因子图中有多个相同的PE,如图5所示,译码时PE内部的信息

通过以下方式计算: $L_{i,j}^{(t+1)} = g\left(L_{i+1,2j-1}^{(t)}, L_{i+1,2j}^{(t)} + R_{i,j+\frac{N}{2}}^{(t)}\right)$, $L_{i,j+N/2}^{(t+1)} = L_{i+1,2j}^{(t)} + g\left(L_{i+1,2j-1}^{(t)}, R_{i,j}^{(t)}\right)$, $R_{i+1,2j-1}^{(t+1)} = g\left(R_{i,j}^{(t)}, L_{i+1,2j}^{(t)} + R_{i,j+\frac{N}{2}}^{(t)}\right)$, $R_{i+1,2j}^{(t+1)} = R_{i,j+N/2}^{(t)} + g\left(L_{i+1,2j-1}^{(t)}, R_{i,j}^{(t)}\right)$, 其中: $g(a, b) = \text{sign}(a)$

$\text{sign}(b) \min(|a|, |b|)$, L 为从右向左传播的信息, R 为从左向右传播的信息,下标为图6中的节点索引,上标为目前的迭代次数。

[0032] 经过具体实际实验,在中芯国际55纳米工艺库,实现了码长为1024的部分折叠极化码译码器处理256、512、1024、2048、4096五种类型的码长。该译码器最高吞吐率速率为19.29Gbps。图片中从上至下的指标为:制程、芯片面积、时钟频率、功耗、码长、平均迭代次数、可以同时译码的用户数(即同时译码的个数)、吞吐率、面积效率(吞吐率与芯片面积的比值)、每比特能耗。如下表所示:

	Process (nm)	55				
	Core area (mm ²)	5.63				
	Frequency (MHz)	650				
	Power (mW)	494.5				
[0033]	Code length	256	512	1024	2048	4096
	Average iterations [†]	7.51	7.24	7.91	8.6	9.31
	Number of users	16	8	4	2	1
	Throughput (Gbps)	19.29	19.29	15.48	13.87	10.48
	Area Efficiency (Gbps/mm ²)	3.43	3.43	2.75	2.46	1.86
	EPB (pJ/bit)	25.63	25.63	31.95	71.32	94.36

[0034] 本实施例以码长1024参数启动上述装置,能够得到的实验数据是:在55纳米制程下,芯片面积5.63平方毫米,时钟频率达到650MHz,功耗为494.5mW。对码长1024的码字进行

译码平均需要7.91次迭代,能够同时对4为用户进行译码,吞吐率最高可达15.48Gbps。面积效率为每平方毫米2.75Gbps,每比特能耗为每比特31.95皮焦耳。

[0035] 综上,本发明通过两个左信息处理单元阵列和两个右信息处理单元阵列;对信息处理单元阵列内部采用流水设计,支持更高的频率和更多的用户同时译码;对因子图进行不同的分割已达到译长码和短码的功能;通过移位寄存器预存比特信息移位对第一选择器、第二选择器和信息交换存储单元进行控制。其与现有常规技术手段相比具有显著改进的技术细节具体为:通过在原因子图中对左初始信息和又初始信息进行排列可以实现对短码的译码;对长码的因子分割成若干个码长为N因子图,并间隔若干阶段小因子图之间进行交互可以实现对长码的译码。

[0036] 上述具体实施可由本领域技术人员在不背离本发明原理和宗旨的前提下以不同的方式对其进行局部调整,本发明的保护范围以权利要求书为准且不由上述具体实施所限,在其范围内的各个实现方案均受本发明之约束。

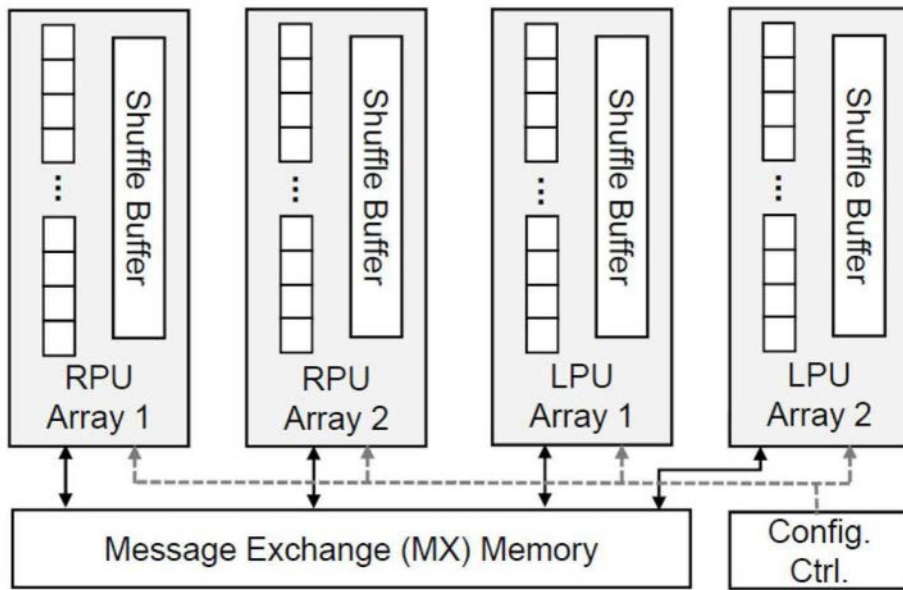


图1

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	...	110	111	112	113	114	115	116	117	118	119	120	121	122	123	...					
Cycles			
RPU A1			
LPU A1		
RPU A2	
LPU A2

图2

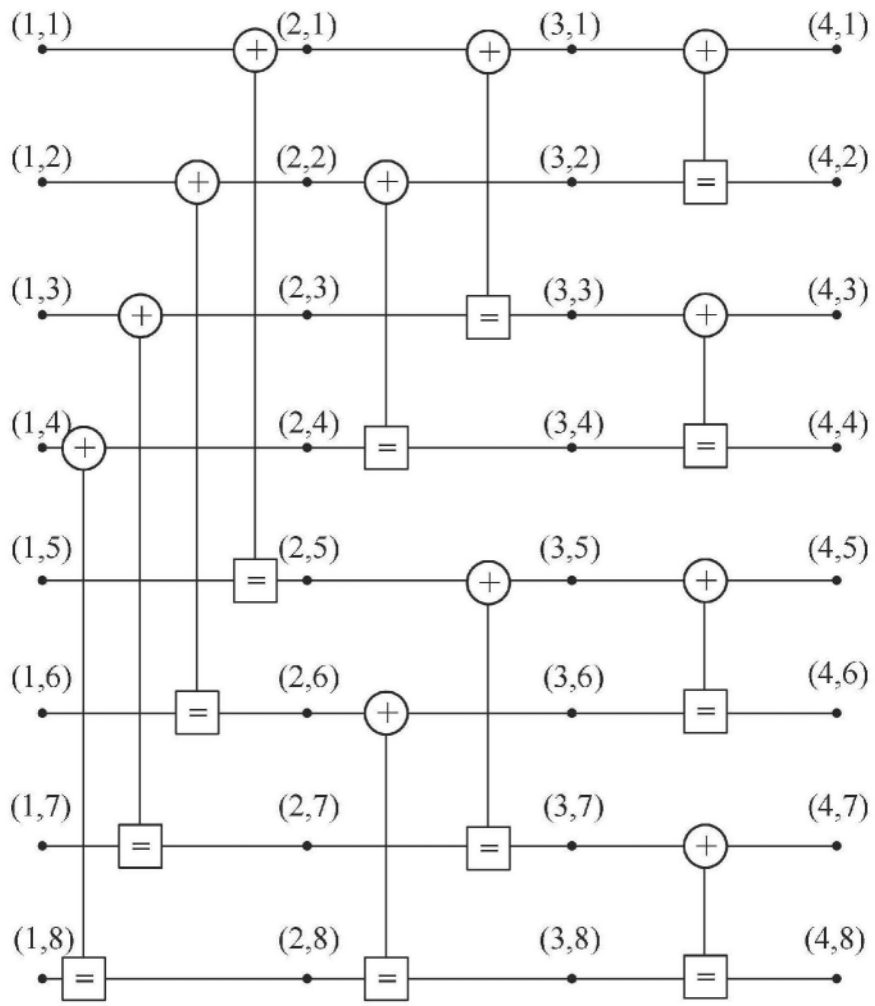


图3

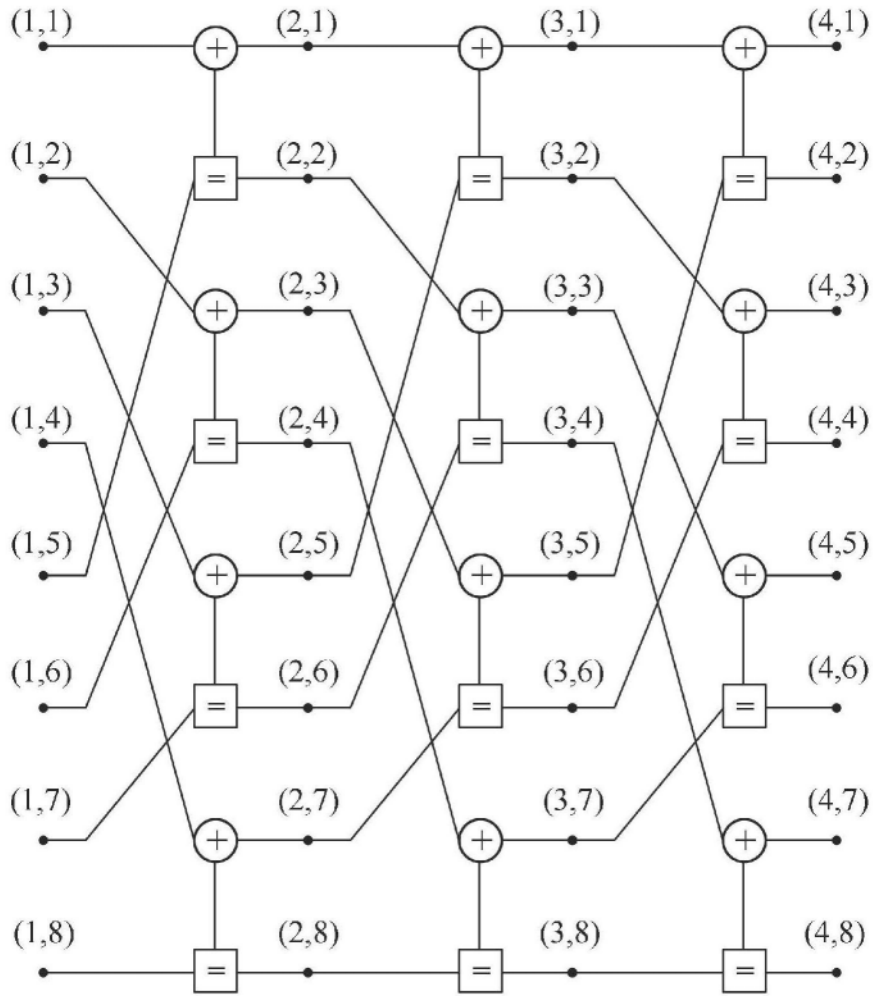


图4

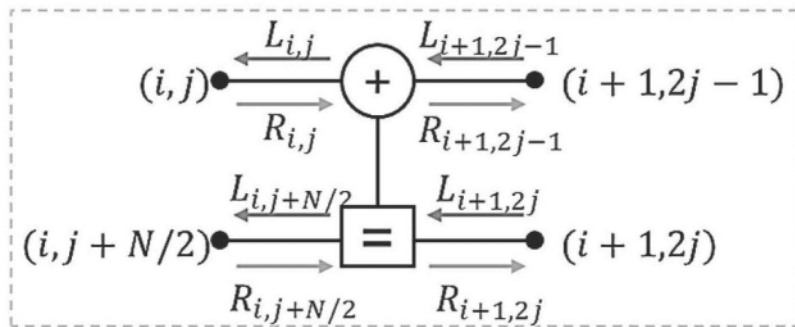


图5

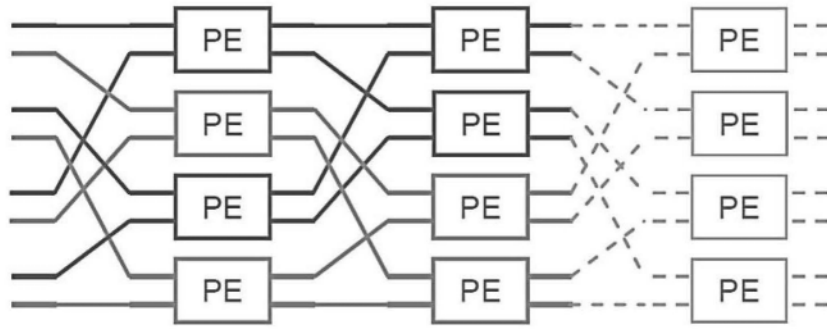


图6

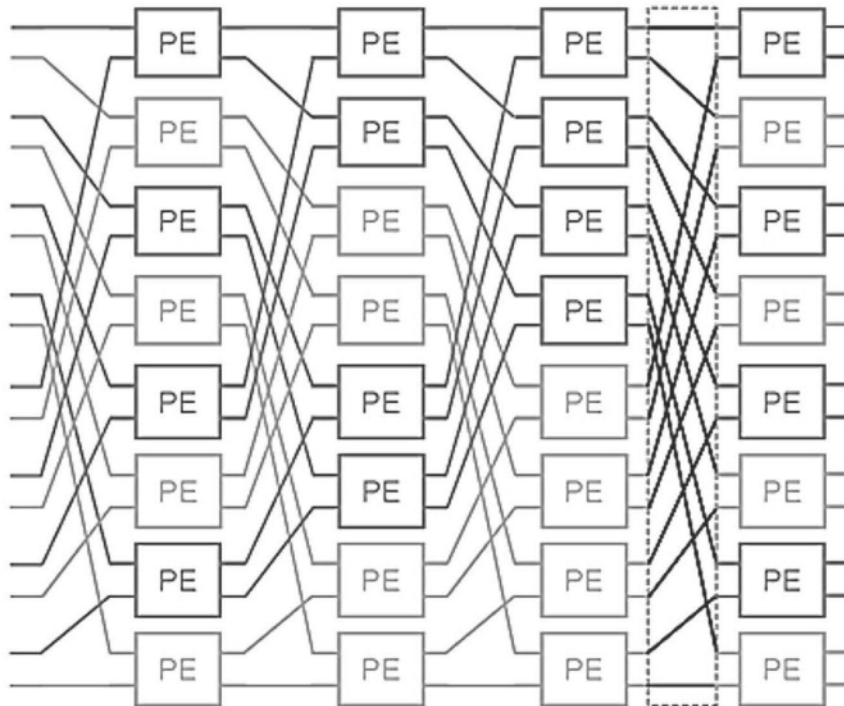


图7

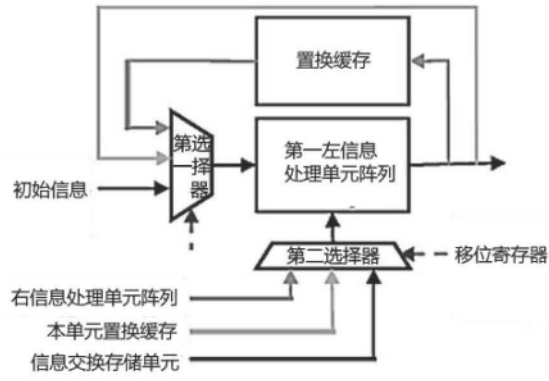


图8

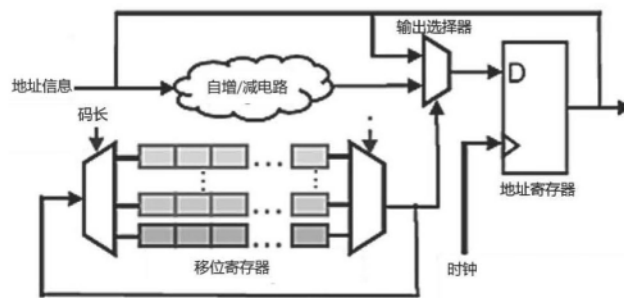


图9