



(12)发明专利

(10)授权公告号 CN 104821861 B

(45)授权公告日 2018.05.01

(21)申请号 201510103199.5

(22)申请日 2015.03.09

(65)同一申请的已公布的文献号
申请公布号 CN 104821861 A

(43)申请公布日 2015.08.05

(73)专利权人 大唐移动通信设备有限公司
地址 100083 北京市海淀区学院路29号

(72)发明人 熊军 苏进喜 段滔 李裕国
耿贵杰 程远杰

(74)专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51)Int.Cl.
H04L 1/00(2006.01)

(56)对比文件

CN 102316567 A,2012.01.11,
CN 101145813 A,2008.03.19,
CN 101316122 A,2008.12.03,
US 6292120 B1,2001.09.18,
CN 102340471 A,2012.02.01,

审查员 程晓青

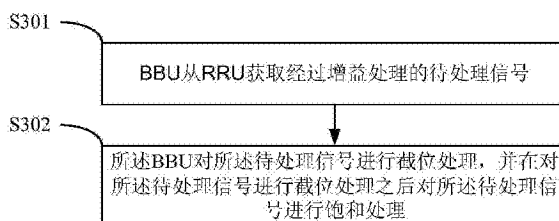
权利要求书2页 说明书8页 附图5页

(54)发明名称

一种信号处理方法及设备

(57)摘要

本发明公开了一种信号处理方法。BBU在从RRU获取经过增益处理的待处理信号后对待处理信号进行截位处理,并在对待处理信号进行截位处理之后再对待处理信号进行饱和处理。从而避免了信号在板卡之间由于传递导致的量化误差,在降低板卡之间传递的数据位宽的同时满足系统指标的要求,保证截位误差不会增加量化误差对接收机灵敏度的影响。同时本发明还根据ADC采集后的信号的平均功率对链路增益进行调整,在保证接收机灵敏度的精度的前提下防止信号过饱和。



1. 一种信号处理方法,其特征在于,包括:

基带处理单元BBU从射频拉远单元RRU获取经过增益处理的待处理信号;

所述BBU对所述待处理信号进行截位处理,并在对所述待处理信号进行截位处理之后对所述待处理信号进行饱和处理;

其中,所述BBU从RRU获取经过增益处理的待处理信号,具体为:

所述BBU从所述RRU的直接数字控制DDC输出口接收由所述RRU传递的已经过增益处理的待处理信号,所述DDC输出口增益被提高了指定的数值;

所述BBU对所述待处理信号进行截取处理,具体为:

所述BBU截取所述待处理信号的最低位2BIT;

所述BBU截取所述待处理信号的最高位1BIT;

在所述BBU截取所述待处理信号的最高位1BIT之后,还包括:

若所述待处理信号的最高位1BIT有信号,则按照所述待处理信号截位后的比特位所能传递的信号最大值输出所述待处理信号;

若所述待处理信号的最高位1BIT为1,则确认所述待处理信号的最高第二位为零值时,保持所述待处理信号的符号位,设置所述待处理信号的最低位为1以及除所述最低位的其他位数均为0;

若所述待处理信号的最高位1BIT为0,则确认所述待处理信号的最高第二位为1时,保持所述待处理信号的符号位,设置所述待处理信号的其他位数均为1。

2. 如权利要求1所述的方法,其特征在于,在所述BBU对所述待处理信号进行截位处理之后,对所述待处理信号进行饱和处理,具体包括:

判断模数转换器ADC采集的信号的平均输入功率是否大于或小于额定功率;

若所述平均输入功率大于所述额定功率,对相位载波PGC进行向下调整,并对补偿自动增益控制AGC进行向上调整;

若所述平均输入功率小于所述额定功率,对PGC进行向上调整。

3. 一种信号处理设备,其特征在于,包括:

获取模块,用于从射频拉远单元RRU获取经过增益处理的待处理信号;

处理模块,用于对所述待处理信号进行截位处理,并在对所述待处理信号进行截位处理之后对所述待处理信号进行饱和处理;

其中,所述获取模块具体用于:

从所述RRU的直接数字控制DDC输出口接收由所述RRU传递的已经过增益处理的待处理信号,所述DDC输出口增益被提高了指定的数值;

所述截位模块具体用于:

截取所述待处理信号的最低位2BIT,以及截取所述待处理信号的最高位1BIT;

还包括:

若所述待处理信号的最高位1BIT有信号,所述截位模块按照所述待处理信号截位后的比特位所能传递的信号最大值输出所述待处理信号;

若所述待处理信号的最高位1BIT为1,所述截位模块确认所述待处理信号的最高第二位为零值时,保持所述待处理信号的符号位,设置所述待处理信号的最低位为1以及除所述最低位的其他位数均为0;

若所述待处理信号的最高位1BIT为0,所述截位模块确认所述待处理信号的最高第二位为1时,保持所述待处理信号的符号位,设置所述待处理信号的其他位数均为1。

4.如权利要求3所述的设备,其特征在于,还包括:

调整模块,用于判断模数转换器ADC采集的信号的平均输入功率是否大于或小于额定功率,

若所述平均输入功率大于所述额定功率,所述调整模块对相位载波PGC进行向下调整,并对补偿自动增益控制AGC进行向上调整;

若所述平均输入功率小于所述额定功率,所述调整模块对PGC进行向上调整。

一种信号处理方法及设备

技术领域

[0001] 本发明涉及通信技术领域,特别涉及一种信号处理方法。本发明同时还设计一种信号处理设备。

背景技术

[0002] LTE-TDD (Long Term Evolution-Time Division Duplexing,长期演进-时分双工)的接收机灵敏度测量为接收机的一个重要指标,有时候可以通过SNR_{rx}(系统解调归一化信噪比要求)或者NF (Noise Figure,噪声系数)测试代替灵敏度的测试,一方面简化测试流程,另外一方面避免测试灵敏度时外界对测试的影响。

[0003] 如图1所示,为现有技术中手机灵敏度的检测示意图,理论上算法仿真可以通过以下两个方面完成:

[0004] 1) 先测试链路增益,后通过理论噪底和测量噪底计算NF;

[0005] 2) SNR (Signal to Noise Ratio,信噪比)测量,通过信道设置衰减和设置SNR来确定测量SNR的准确性。

[0006] 现有技术中,如果信号板卡之间由于量化失误,会引入较大的量化误差,相当于增加了NF数值。如图2所示,为现有技术中接收机的噪声分布图,接收机在接收带宽信号的过程中,低噪声放大器和模拟滤波器都会引入噪声。模拟通道的噪声会使得SNR下降,此时引入的噪声叫噪声系数NF,通常噪声系数小于4dBc,低噪声放大器能够抬升噪声。虽然模拟滤波器不会抬升噪声,但是会降低信号功率,故此等效于抬升了噪声,这些累加起来不会超过4dBc。但是如果后级的数字部分DDC (Digital Down Converter,数字下变频)的量化有误,就会引入较大的噪声。

[0007] 基于上述情况,为了保证接收板卡之间最大载波数据能够有效传递,例如6载波的TD-SCDMA (Time Division-Synchronous Code Division Multiple Access,时分同步码分多址)数据的传递,如果板卡之间仍然采用16BIT来传送的话,需要增加板卡的数量,这样一来就增加了产品的成本,为此需要降低板卡之间传递的信息位宽。而对于上行链路接收链路来说,当接收到的信号功率很低时,灵敏度的恶化严重,并且上行链路截位根据SNR和接收功率的不同,影响也不同。当接收信号的功率很低时,例如接收信号的功率接近灵敏度边界时,灵敏度恶化接近5dBc左右。如果接收的信号功率增加,那么影响一般在2dBc左右甚至更小。如果用户远离基站,这个时候基站接收到用户的信号功率本来就低,如果再把低位信息截掉,恶化的影响就显著增加,此时信号的SNR将会恶化3dBc以上。因此现有技术中无法对上行链路接收端进行截位处理。

[0008] 除了信号板间干扰影响信号的接收机灵敏度以外,阻塞信号也会影响接收信号的质量。例如现有的TD-LTE (Time Division Long Term Evolution,分时长期演进)的接收通道的带内阻塞都是按照-40dBm进行设计的,但是在实际现网运用的频段会受到小灵通、GSM (Global System for Mobile Communication,全球移动通信系统)、以及CDMA (Code Division Multiple Access,码分多址)等信号的干扰,并且取消了各运营商的保护带,可

能会造成LTE间交叉时隙的干扰。有的干扰是直接落入天线滤波器带内的,接收链路没有任何的抑制,干扰功率往往超过-40dBm,有的超过-25dBm。而有一些交叉时隙的干扰虽然是落在带外,天线滤波器有一定的带外抑制,但是最终干扰功率也可能会超过-40dBm,这样就会造成接收通道阻塞饱和,影响到频带内的所有频点的信号工作。如果是模拟的接收通道例如多频段(F频段和A频段)是共用模拟通道和模数转换器ADC的,F频段的阻塞信号也同时会影响到A频段的信号。

[0009] 由此可见,现有技术无法保证在板卡之间传递位宽降低后不影响接收机的灵敏度,以及避免强阻塞信号和其它频段或制式信号的干扰。因此如何在不增加板卡等额外设备开销的情况下,保证最大载波数据能够在上行链路有效传递,为本领域技术人员亟待解决的技术问题。

发明内容

[0010] 本发明提供了一种信号处理方法,用以在不增加板卡等额外设备开销的情况下,保证最大载波数据能够在上行链路有效传递,该方法包括:

[0011] BBU从RRU获取经过增益处理的待处理信号;

[0012] 所述BBU对所述待处理信号进行截位处理,并在对所述待处理信号进行截位处理之后对所述待处理信号进行饱和处理。

[0013] 优选地,所述BBU从RRU获取经过增益处理的待处理信号,具体为:

[0014] 所述BBU从所述RRU的DDC输出口接收由所述RRU传递的已经过增益处理的待处理信号,所述DDC输出口增益被提高了指定的数值。

[0015] 优选地,所述BBU对所述待处理信号进行截取处理,具体为:

[0016] 所述BBU截取所述待处理信号的最低位2BIT;

[0017] 所述BBU截取所述待处理信号的最高位1BIT。

[0018] 优选地,在所述BBU截取所述待处理信号的最高位1BIT之后,还包括:

[0019] 若所述待处理信号的最高位1BIT有信号,则按照所述待处理信号截位后的比特位所能传递的信号最大值输出所述待处理信号;

[0020] 若所述待处理信号的最高位1BIT为负数,则确认所述待处理信号的最高第二位为零值,保持所述待处理信号的符号位,所述待处理信号的最低位为1以及除所述最低位的其他位数均为0;

[0021] 若所述待处理信号的最高位1BIT为正数,则确认所述待处理信号的最高第二位为1,保持所述待处理信号的符号位,所述待处理信号的其他位数均为1。

[0022] 优选地,在所述BBU对所述待处理信号进行截位处理之后,还包括:

[0023] 判断ADC采集的信号的输入功率是否大于或小于额定功率;

[0024] 若所述平均输入功率大于所述额定功率,对PGC进行向下调整,并对补偿AGC进行向上调整;

[0025] 若所述平均输入功率小于所述额定功率,对PGC进行向上调整。

[0026] 相应地,本发明还提出了一种信号处理设备,包括:

[0027] 获取模块,用于从RRU获取经过增益处理的待处理信号;

[0028] 处理模块,用于对所述待处理信号进行截位处理,并在对所述待处理信号进行截

位处理之后对所述待处理信号进行饱和处理。

[0029] 优选地,所述获取模块具体用于:

[0030] 从所述RRU的DDC输出口接收由所述RRU传递的已经过增益处理的待处理信号,所述DDC输出口增益被提高了指定的数值。

[0031] 优选地,所述截位模块具体用于:

[0032] 截取所述待处理信号的最低位2BIT,以及截取所述待处理信号的最高位1BIT。

[0033] 优选地,还包括:

[0034] 若所述待处理信号的最高位1BIT有信号,所述截位模块按照所述待处理信号截位后的比特位所能传递的信号最大值输出所述待处理信号;

[0035] 若所述待处理信号的最高位1BIT为负数,所述截位模块确认所述待处理信号的最高第二位为零值,保持所述待处理信号的符号位,所述待处理信号的最低位为1以及除所述最低位的其他位数均为0;

[0036] 若所述待处理信号的最高位1BIT为正数,所述截位模块确认所述待处理信号的最高第二位为1,保持所述待处理信号的符号位,所述待处理信号的其他位数均为1。

[0037] 优选地,还包括:

[0038] 调整模块,用于判断ADC采集的信号的平均输入功率是否大于或小于额定功率,

[0039] 若所述平均输入功率大于所述额定功率,所述调整模块对PGC进行向下调整,并对补偿AGC进行向上调整;

[0040] 若所述平均输入功率小于所述额定功率,所述调整模块对PGC进行向上调整。

[0041] 由此可见,通过应用以上技术方案,BBU在从RRU获取经过增益处理的待处理信号后对待处理信号进行截位处理,避免了信号在板卡之间由于传递导致的量化误差,在降低板卡之间传递的数据位宽的同时满足系统指标的要求,保证截位误差不会增加量化误差对接收机灵敏度的影响。

附图说明

[0042] 图1为现有技术中接收机灵敏度的检测示意图;

[0043] 图2为现有技术中接收机的噪声分布图;

[0044] 图3为本发明提出的一种信号处理方法的流程示意图;

[0045] 图4为本发明具体实施例中接收工作路径示意图;

[0046] 图5为本发明具体实施例中BBU截位的处理示意图;

[0047] 图6为本发明具体实施例中带内(天线滤波器带内)强阻塞干扰缓解实现示意图;

[0048] 图7为本发明具体实施例中BBU的接收通道数字滤波器FIR整体效果图;

[0049] 图8为本发明提出的一种信号处理设备的结构示意图。

具体实施方式

[0050] 为了保证最大载波数据能够在上行链路有效传递,本发明提出了一种信号处理方法,通过在满足系统指标的的前提下降低板卡间传递的数据位宽,并且保证数据截位过程中不会造成增加量化误差的问题。

[0051] 如图3所示,该方法包括以下步骤:

[0052] S301,基带处理单元BBU从射频拉远单元RRU获取经过增益处理的待处理信号。

[0053] 在DDC滤波抽取之后,由于DDC最后一级的滤波器的抑制达到70dBc以上,故此带外的高阻塞信号被滤除。此时在DDC后级增加12dBc的增益,提高的增益就是带内的信号。因此,在本发明优选的实施例中,所述BBU从所述RRU的DDC输出口接收由所述RRU传递的已经过增益处理的待处理信号,所述DDC输出口增益被提高了指定的数值。以此实现对待处理信号的增益处理。

[0054] S302,所述BBU对所述待处理信号进行截位处理,并在对所述待处理信号进行截位处理之后对所述待处理信号进行饱和处理。

[0055] 基于S301中的增益处理方式,本发明优选实施例在板卡传递数据时截取最低位2BIT信号以及截取最高位1BIT信号,这样就可以降低板卡之间传递的数据位宽,同时满足系统指标的要求,保证截位误差不会增加量化误差对接收机灵敏度的影响,保证NF在合理范围。

[0056] 需要说明的是,本发明在截取最高位1BIT时,不是简单的硬截,而是采取饱和处理,对负数和正数的饱和处理不同,发送端截掉最低位1BIT以及截掉最高位2BIT。截取最高2BIT时需要考虑饱和处理,保证相位不变,如果最高2BIT有信号,就按照最大数值输出。在优选实施例中,处理方式如下:

[0057] 若所述待处理信号的最高位1BIT有信号,则按照所述待处理信号截位后的比特位所能传递的信号最大值输出所述待处理信号;

[0058] 若所述待处理信号的最高位1BIT为1,则确认所述待处理信号的最高第二位为零值时,保持所述待处理信号的符号位,设置所述待处理信号的最低位为1以及除所述最低位的其他位数均为0;

[0059] 若所述待处理信号的最高位1BIT为0,则确认所述待处理信号的最高第二位为1时,保持所述待处理信号的符号位,设置所述待处理信号的其他位数均为1。

[0060] 进一步地,本发明在避免了信号在板卡之间由于传递导致的量化误差基础上,还提出了对于接收信号功率过大(天线滤波器带宽内进入了强干扰),一种简化的自动增益控制方案。该方案根据ADC采集后的信号求取平均功率方式,如果平均功率大于定标功率,则调整PGC(增大衰减),降低模拟信号进入ADC防止饱和,同时提高补偿AGC功率,使得整体增益保持恒定。如果平均功率小于一定门限,则调整PGC(减少衰减),提高拟信号进入ADC的功率,保证有效信号更多的采集,提高接收机的灵敏度,从而一方面能够保证接收机灵敏度的精度又可以防止信号过饱和。具体过程如下:

[0061] 判断ADC采集的信号的输入功率是否大于或小于额定功率;

[0062] 若所述平均输入功率大于所述额定功率,对PGC进行向下调整,并对补偿AGC进行向上调整;

[0063] 若所述平均输入功率小于所述额定功率,对PGC进行向上调整。

[0064] 基于以上流程,使用13BIT来进行信息的传递和16BIT进行信息的传递,对于信号质量是没有任何影响的。就算一旦出现大信号,由于加入了饱和处理,使得损失降低最低,总体来说选择性的截取信号的位数相比截取最低3BIT能够对接收机灵敏度带来3dBc的增益。这样能够有效的保证系统的接收机灵敏度。更进一步通过一种自适应的自动增益控制一方面能够保证有效信号更多的采集,提高接收机的灵敏度,另外一方面又可以防止当有

强干扰信号进入天线滤波器频带内时信号过饱和的情况发生。

[0065] 为了进一步阐述本发明的技术思想,现结合具体的应用场景,对本发明的技术方案进行说明。为了解决板卡之间传递带宽降低的同时不影响接收机灵敏度,本发明将天线口接收到的最大信号根据阻塞信号定义,并根据阻塞信号定义ADC入口功率。如图4所示,模拟中频接收通路要求ADC入口最大电平为 $2V_{pp}$,ADC输入口的最大信号时带内的阻塞信号,要求阻塞信号的最大幅度不能超过这个信号电平。带内最大的阻塞信号为单码TD-CDMA信号,其峰均比为6dB。为了不使ADC饱和,留1dB的余量,即最大阻塞信号时的ADC的输出信号电平为-7dBFS。即天线口输入的信号为-40dBm是对应的ADC输出为-7dBFS。考虑到阻塞信号通过DDC后都被滤除了,为了保留使小信号的幅度尽可能大,以改善接收灵敏度,DDC有10dB的增益,即天线口输入-50dBm时,DDC输出-7dBFS。

[0066] 基于上述说明,接收通路定标如下:

[0067] 天线口接收定标功率: $P_{RF_RX} = -50\text{dBm}$

[0068] ADC输出信号幅度: $A_{ADC_RX} = -17\text{dBFS}$

[0069] TD-SCDMA的DDC增益:10dB

[0070] 接收定标基带幅度: $A_{IQ_RX} = (-7\text{dBFS})$

[0071] 本发明在DDC处理的最后一级调高增益是由于此时阻塞信号已经被滤除,此时接收信号功率要比阻塞信号低10dBc,所以此时在PFIR后级增加10dBc的增益,以下即为系统在BBU及RRU上的处理过程,如图5所示:

[0072] BBU接收到RRU传递过来的信号,BBU板卡之间为了降低传递的带宽,需要减少传递的位宽,如果直接截取最低3BIT,使得通信后级对接收信号直接截位,那么信号灵敏度将会恶化。因此本发明的该具体实施例中DDC输出口增益提高了12dBc,然后传递到BBU。BBU板卡之间传递时首先截取最低位2BIT,此时截取的最低位2BIT都是增益信息,没有任何有用信息,故此信号质量没有恶化,然后截取最高位1BIT,这样就使得16BIT的传递降低到13BIT来传送。

[0073] 此外,为了防止在截取最高位1BIT时产生溢出,本具体实施例采用了二进制补码的BIT数据值进行保护,说明如下:

[0074] 对于上行链路:RRU不变,发送端截掉最低位2BIT,最高位1BIT截掉,截取最高位1BIT时需要考虑饱和处理,保证相位不变,如果最高位1BIT有信号,就按照待处理信号截位后的比特位所能传递的信号的最大数值输出。

[0075] 饱和处理描述:

[0076] 最高位1BIT如果是1(为负数),判断最高第二位是零值(说明负数饱和,去最小负数),保持符号位,最低位是1,其余位数均是0。

[0077] 最高位1BIT如果是0(为正数),判断最高第二位是1(说明正数饱和,去最大正数),保持符号位,其余位数均是1。

[0078] 通过上述简单的处理之后,使用13BIT来进行信息的传递和16BIT进行信息的传递,对于信号质量是没有任何影响的。

[0079] 此外,为了解决带内强阻塞干扰信号,本发明还提出相应的自适应调整链路增益方案,使得接收链路在一般情况下不饱和,使得上行通路运行基本正常,缓解干扰影响,改善信号的接收质量。如图5所示,具体过程如下:

[0080] 一般模拟链路定标为接收链路的输入功率为-40dBm时ADC输出功率为-7dBFS, 7dB峰均比的信号ADC不饱和,当RRU输入功率大于-40dBm时,ADC饱和,造成信号阻塞,为了使ADC不饱和,在输入功率大于-40dBm时,需要调整PGC,使模拟链路增益降低下来,这样到ADC的输入功率就降低了,ADC不饱和,接收链工作正常。

[0081] PGC的增益控制范围为0-31dB,共32dB的范围。一般主要用于链路温度变化导致的增益误差补偿。链路设计默认PGC设置为-7dB。链路增益补偿为正负7dB,共14dB的范围用于链路增益补偿。至少还有15dB的增益衰减可以用于大信号输入的增益调整控制。所以定义抗阻塞PGC调整的范围为0-15dB,根据输入功率的不同进行调整。

[0082] FPGA对ADC输入进行功率统计,在上行时隙内每4096个(也可以是8192,16384等)采样点进行平均功率统计。每个保留最大的功率值。当统计功率大于额定功率时,FPGA给数字处理器过功率中断。有中断处理器读取FPGA统计的最大功率,根据统计功率与定标功率之间的差异,对PGC进行进行调整,同时对补偿AGC进行补偿使整个链路增益保持不变。为了不产生增益突变,对于LTE-TDD系统,PGC和AGC的调整时刻点都在下行时隙时进行。

[0083] 补偿AGC,对于LTE信号放在FIR滤波之后调整范围为-1到15dB,默认为-1dB。

[0084] 输出AGC为固定6dB增益,放在FIR滤波之后,由FIR滤波器后截位实现。

[0085] 当FPGA统计到输入功率超过定标功率时,FPGA产生中断,处理器接收到中断后进行链路增益调整。增益调整公式为:

[0086] $PGC_zs = PGC_zs + (P - P_0)$

[0087] PGC_zs 为PGC补偿值,范围为0-15dB,等号左边的为新补偿值,等号右边的为上次补偿值,初始值为0,大于15时为15。 P 为读取的FPGA平均功率值(4096个采样点的平均功率),需转换为dB值。 P_0 为定标功率值,为-7dBFS。

[0088] $PGC_{out} = PGC_zs + PGC_0$

[0089] 其中 PGC_{out} 为PGC实际设置值, PGC_zs 为上面计算的新的补偿值, PGC_0 为通过温补计算出来的PGC值。此时PGC的设置根据两个方面来决定:1,对于阻塞信号调整的最新PGC数值2.根据温补来决定。对于整个链路来说增益调整只能和温度有关, PGC_zs 为了防止饱和和特意设置的一个补偿数值,因此对于 PGC_zs 造成的增益波动需要AGC来补偿,下图中的“补偿AGC”就是完成这个工作。

[0090] $AGC_bc = PGC_zs + AGC_0$

[0091] 其中 AGC_bc 为补偿AGC设置值, PGC_zs 为上面计算的新的补偿值, AGC_0 为基础AGC值,例如LTE为-1db。

[0092] 上面介绍了当有强阻塞信号时PGC向下调整(模拟增益降低),补偿AGC(数字增益提高)向上调整。当FPGA统计的输入功率没有超过定标功率时,FPGA不产生中断。

[0093] 当随着阻塞信号消失,接收信号功率变小,此时模拟PGC需要向上调整(模拟增益提高),处理器在 PGC_zs 不等于0时,周期查询FPGA的输入统计功率 P 。查询周期为100ms,当 P 大于 $P_0 - 5dB$ ($P > -7 - 5 = -12DBFS$)时, PGC_zs 不做调整,PGC和AGC也都不做调整。当 P 小于 $P_0 - 5Db$ ($P < P_0 - 5Db = -12dbfs$)时重新调整PGC,说明接收信号只有相对定标功率 P_0 小5dB以上(也就是小于12DBFS以上),PGC模拟增益功率向上调整,并且此时调整公式如下

[0094] $PGC_zs = PGC_zs + (P - P_0) + 3$

[0095] 例如 $P = -14DBFS$, $P_0 = -7DBFS$,此时

- [0096] $PGC_zs = PGC_zs + (-14+7) + 3 = PGC_zs - 4DB$
- [0097] 说明此时模拟PGC衰减减少4DB,也就是增益提高4DBC。
- [0098] PGC_zs 小于0时, PGC_zs 取值为0,即不调整PGC。
- [0099] 这样有强干扰时会调整PGC,使ADC的输入功率保持在 P_0-5 与 P_0 之间,没有强干扰时,PGC不调整,ADC的输入功率小于 P_0 。这样就通过自适应功率调整保证接收信号不饱和,保证了接收信号质量。
- [0100] 为达到以上技术目的,本发明还提出了一种信号处理设备,如图8所示,包括:
- [0101] 获取模块810,用于从RRU获取经过增益处理的待处理信号;
- [0102] 处理模块820,用于对所述待处理信号进行截位处理,并在对所述待处理信号进行截位处理之后对所述待处理信号进行饱和处理。
- [0103] 在具体的应用场景中,所述获取模块具体用于:
- [0104] 从所述RRU的DDC输出口接收由所述RRU传递的已经过增益处理的待处理信号,所述DDC输出口增益被提高了指定的数值。
- [0105] 在具体的应用场景中,所述截位模块具体用于:
- [0106] 截取所述待处理信号的最低位2BIT,以及截取所述待处理信号的最高位1BIT。
- [0107] 在具体的应用场景中,还包括:
- [0108] 若所述待处理信号的最高位1BIT有信号,所述截位模块按照所述待处理信号截位后的比特位所能传递的信号最大值输出所述待处理信号;
- [0109] 若所述待处理信号的最高位1BIT为1,所述截位模块确认所述待处理信号的最高第二位为零值时,保持所述待处理信号的符号位,设置所述待处理信号的最低位为1以及除所述最低位的其他位数均为0;
- [0110] 若所述待处理信号的最高位1BIT为0,所述截位模块确认所述待处理信号的最高第二位为1时,保持所述待处理信号的符号位,设置所述待处理信号的其他位数均为1。
- [0111] 在具体的应用场景中,还包括:
- [0112] 调整模块,用于判断ADC采集的信号的平均输入功率是否大于或小于额定功率,
- [0113] 若所述平均输入功率大于所述额定功率,所述调整模块对PGC进行向下调整,并对补偿AGC进行向上调整;
- [0114] 若所述平均输入功率小于所述额定功率,所述调整模块对PGC进行向上调整。
- [0115] 通过以上的实施方式的描述,本领域的技术人员可以清楚地了解到本发明可以通过硬件实现,也可以借助软件加必要的通用硬件平台的方式来实现。基于这样的理解,本发明的技术方案可以以软件产品的形式体现出来,该软件产品可以存储在一个非易失性存储介质(可以是CD-ROM,U盘,移动硬盘等)中,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本发明各个实施场景所述的方法。
- [0116] 本领域技术人员可以理解附图只是一个优选实施场景的示意图,附图中的模块或流程并不一定是实施本发明所必须的。
- [0117] 本领域技术人员可以理解实施场景中的装置中的模块可以按照实施场景描述进行分布于实施场景的装置中,也可以进行相应变化位于不同于本实施场景的一个或多个装置中。上述实施场景的模块可以合并为一个模块,也可以进一步拆分成多个子模块。
- [0118] 上述本发明序号仅仅为了描述,不代表实施场景的优劣。

[0119] 以上公开的仅为本发明的几个具体实施场景,但是,本发明并非局限于此,任何本领域的技术人员能思之的变化都应落入本发明的保护范围。

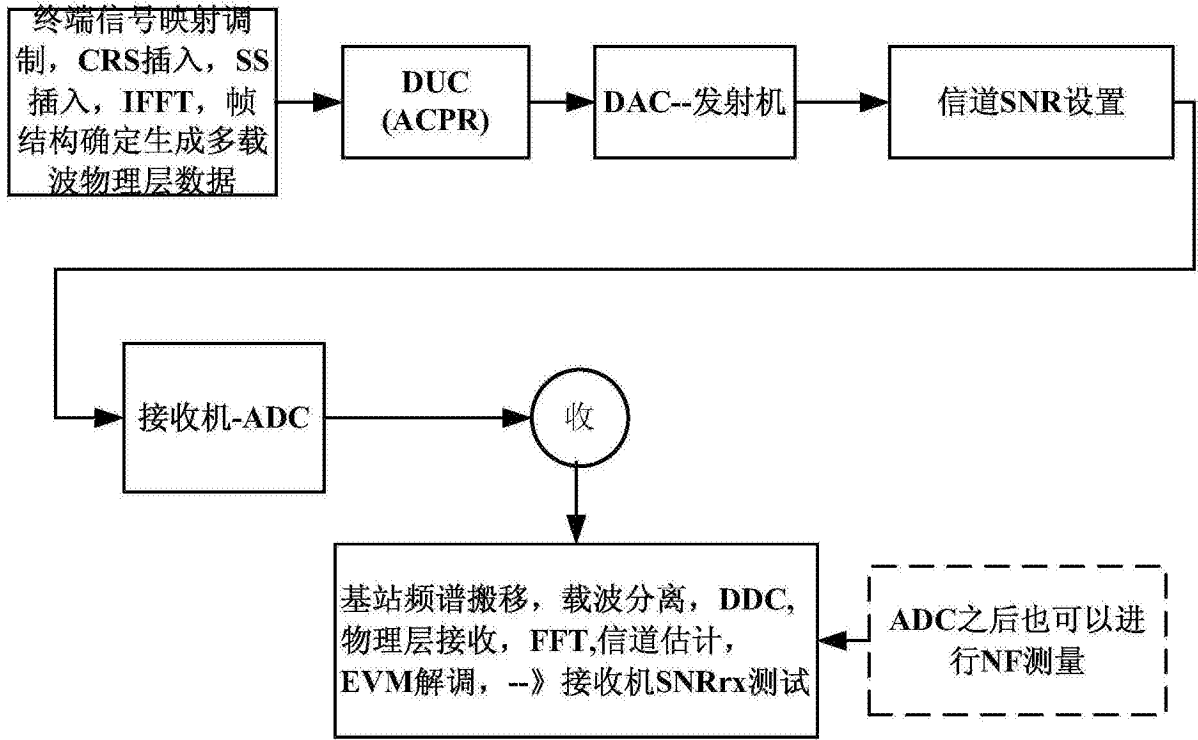


图1

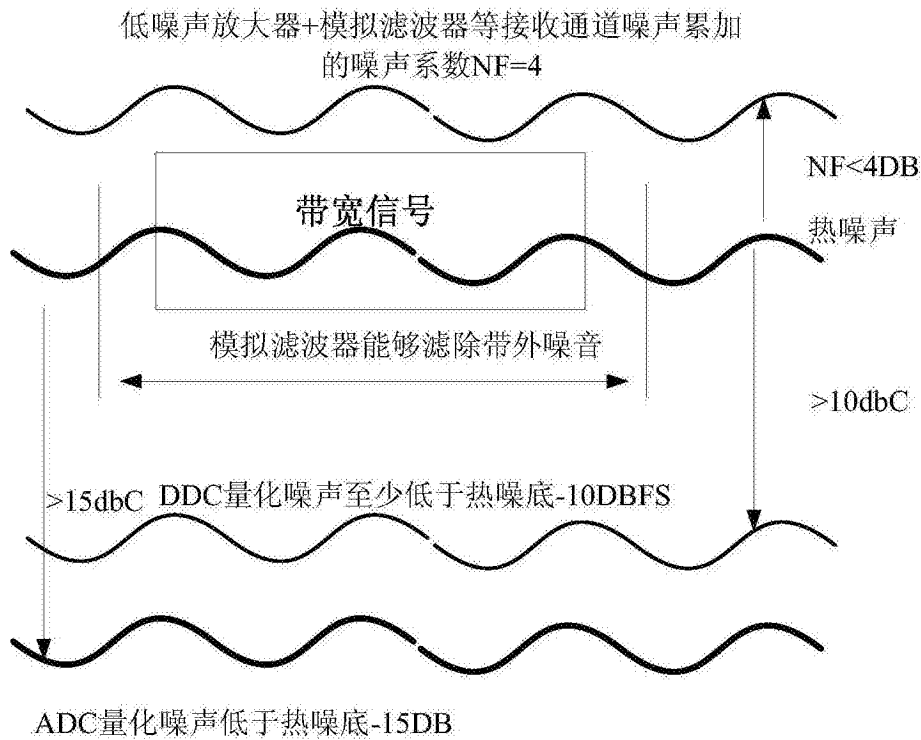


图2

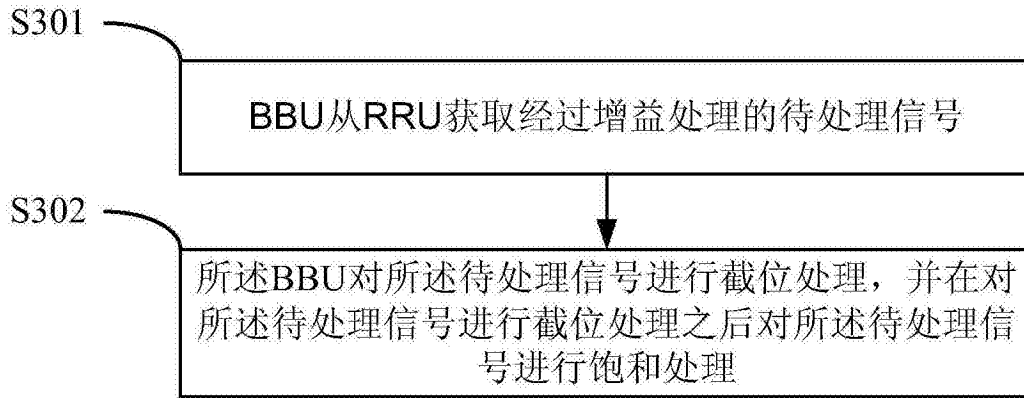


图3

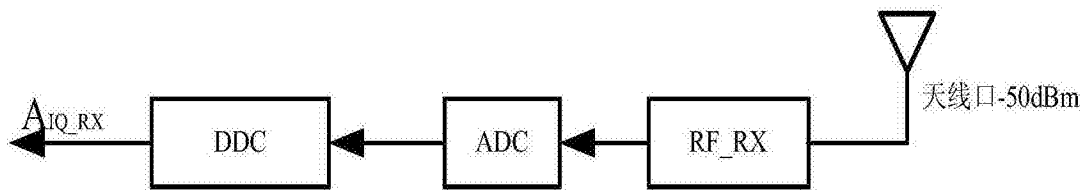


图4

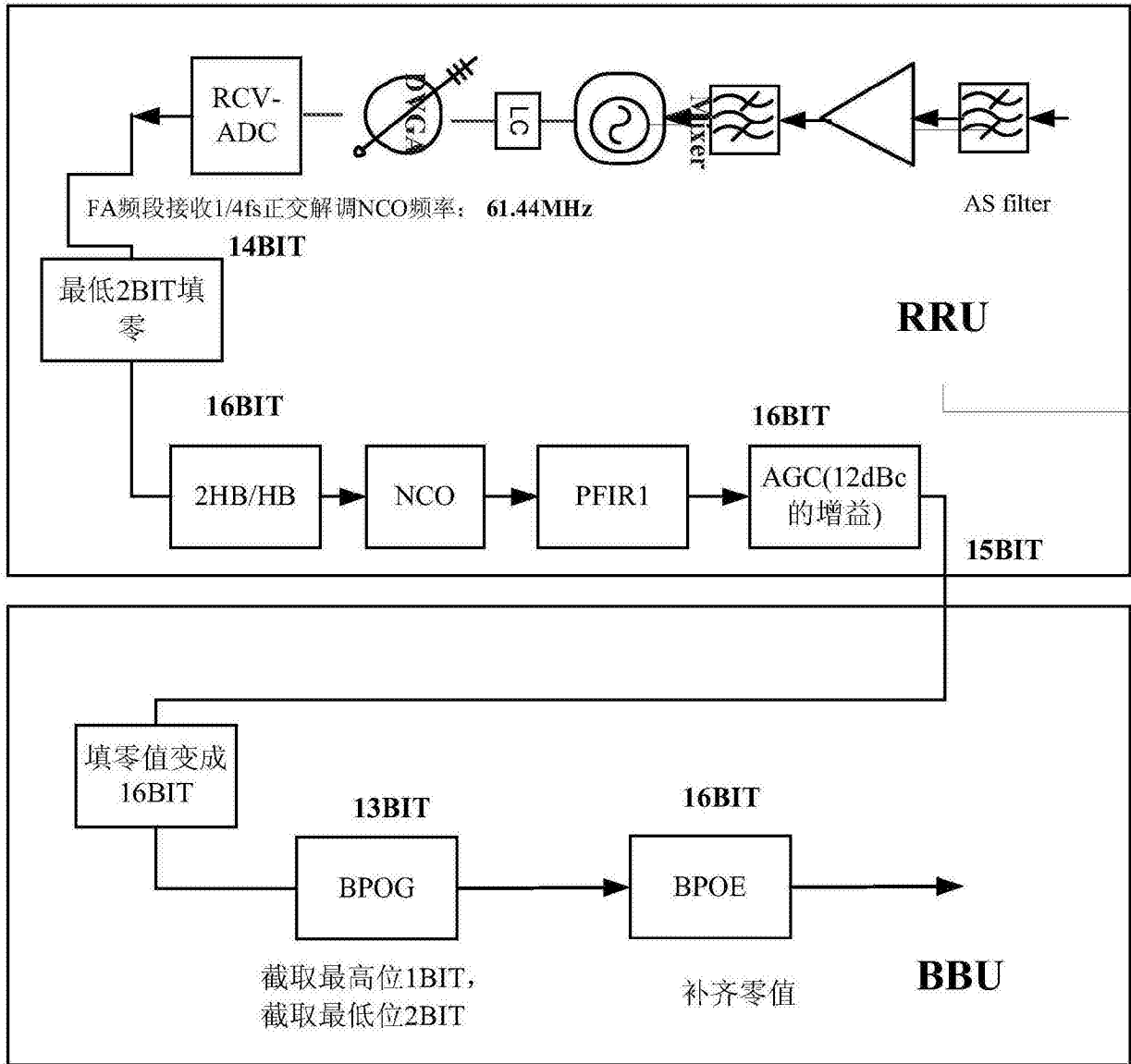


图5

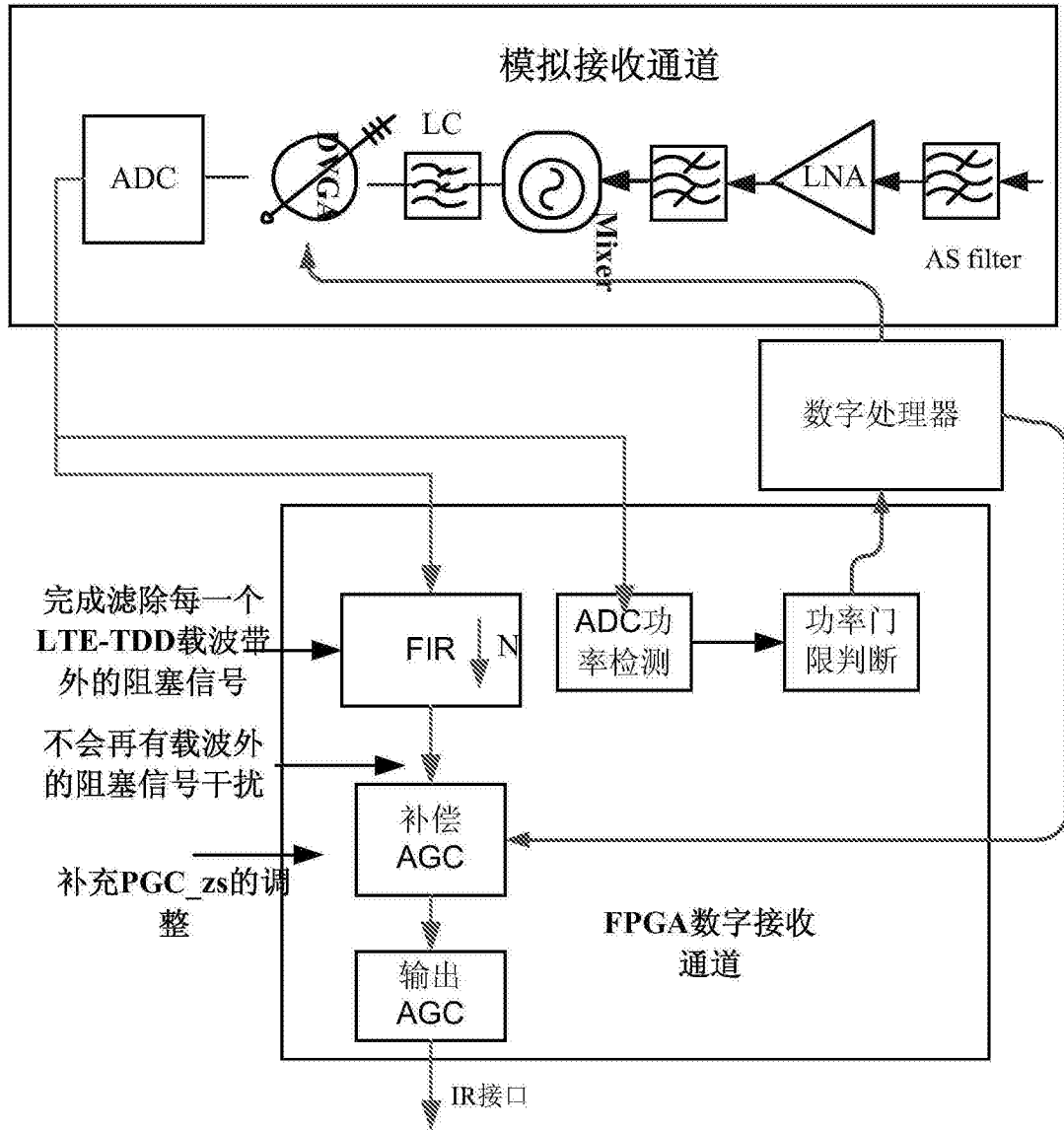


图6

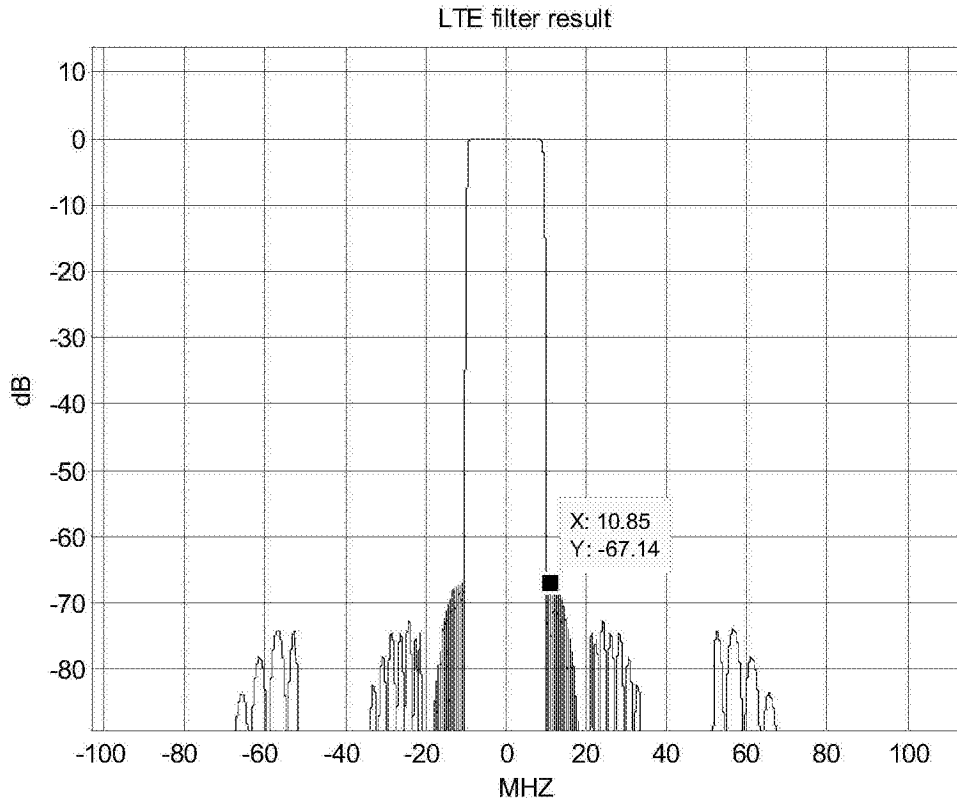


图7

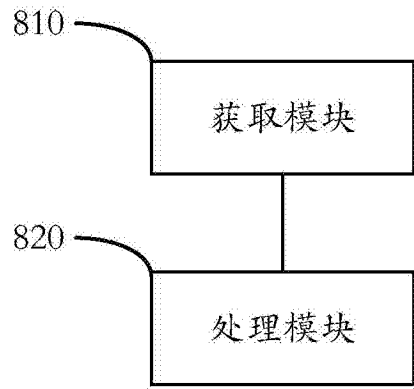


图8