



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 29/78 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년11월23일 10-0647935 2006년11월13일
---	-------------------------------------	--

(21) 출원번호	10-2004-0058536	(65) 공개번호	10-2005-0025243
(22) 출원일자	2004년07월27일	(43) 공개일자	2005년03월14일
심사청구일자	2004년07월27일		

(30) 우선권주장 JP-P-2003-00312077 2003년09월04일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 카네가에요시하루
일본국 이바라키켄 니이하리군 치요다마치 이나요시3-15-29 니이하리
료 에이12-1

이와사키토미오
일본국 이바라키켄 쓰쿠바시 우에노무로 206-3

모리타히로시
일본국 이바라키켄 니이하리군 치요다마치 이나요시2-21-24 에쓰와르
2-20

(74) 대리인 이종일

심사관 : 임동우

전체 청구항 수 : 총 8 항

(54) 반도체장치

(57) 요약

본 발명은 반도체장치에 관한 것으로서, 반도체기판과 상기 기판상에 형성되는 게이트절연막과 상기 게이트절연막 위에 형성되는 게이트전극을 가지는 전계 효과형 트랜지스터가 형성되어 상기 게이트절연막이 산질화 실리콘(SiON)을 주성분으로 하여 상기 게이트절연막의 변형상태가 압축 변형상태인 것을 특징으로 하며 게이트절연막을 가지는 트랜지스터가 복수 형성된 반도체장치에 있어서 게이트절연막을 통하여 흐르는 리크전류가 충분히 억제된 반도체장치를 제공하는 기술을 제공한다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체기판과 상기 기판상에 형성되는 게이트절연막과 상기 게이트절연막 위에 형성되는 게이트전극을 가지는 전계 효과형 트랜지스터가 형성되고 상기 게이트절연막이 산질화 실리콘(SiON)을 주성분으로 하고 상기 게이트절연막의 변형상태가 압축 변형상태인 것을 특징으로 하는 반도체장치.

청구항 2.

반도체기판과 상기 기판상에 형성되는 게이트절연막과 상기 게이트절연막 위에 형성되는 게이트전극을 가지는 전계 효과형 트랜지스터를 복수 갖추고, 상기 게이트절연막이 산질화 실리콘이고, 상기 게이트절연막의 변형상태가 압축 변형상태이고, 게이트전극의 변형상태가 인장 변형상태인 것을 특징으로 하는 반도체장치.

청구항 3.

반도체기판과 상기 기판상에 형성되는 게이트절연막과 상기 게이트절연막 위에 형성되는 게이트전극을 가지는 전계 효과형 트랜지스터를 복수 가지며, 제 1의 전계 효과형 트랜지스터는 산질화 실리콘을 주성분으로 하는 게이트절연막을 갖추고, 상기 게이트절연막이 주로 압축 변형상태로 되어 있고 제 2의 전계 효과형 트랜지스터는 산화 실리콘을 주성분으로 하는 게이트절연막을 구비하여 이루어지는 것을 특징으로 하는 반도체장치.

청구항 4.

청구항 3에 있어서,

상기 제 1의 전계 효과형 트랜지스터는 계산 혹은, 메모리부를 구성하고 상기 제 2의 전계 효과형 트랜지스터는 I/O를 구성하는 것을 특징으로 하는 반도체장치.

청구항 5.

반도체기판과 상기 기판상에 형성되는 터널 게이트절연막, 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 콘트롤게이트를 가지며, 상기 터널 게이트절연막이 산질화 실리콘을 주성분으로 하고 상기 터널 게이트절연막의 변형상태가 압축 변형상태인 것을 특징으로 하는 반도체장치.

청구항 6.

반도체기판과 상기 기판상에 형성되는 터널 게이트절연막, 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 콘트롤게이트를 가지며, 상기 터널 게이트절연막이 산질화 실리콘으로 이루어지고, 상기 터널 게이트절연막의 변형상태가 압축 변형상태이고, 상기 플로팅게이트의 변형상태가 인장 변형상태인 것을 특징으로 하는 반도체장치.

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

반도체기판과 상기 기판상에 형성되는 터널 게이트절연막, 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 메모리게이트를 가지는 다층막과,

상기 터널 게이트절연막 위에 형성되는 콘트롤게이트와 상기 다층막과 상기 콘트롤게이트의 사이에 형성된 게이트절연막을 가지며, 상기 터널 게이트절연막이 산질화 실리콘을 주성분으로 하고 상기 터널 게이트절연막의 변형상태가 압축 변형상태인 것을 특징으로 하는 반도체장치.

청구항 10.

반도체기판과 상기 기판상에 형성되는 터널 게이트절연막, 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 메모리게이트를 가지는 다층막과 상기 다층막을 가리는 영역을 가지는 게이트절연막과 상기 게이트절연막과 상기 게이트절연막을 덮는 영역을 가지는 콘트롤게이트를 가지며, 상기 터널 게이트절연막이 산질화 실리콘을 주성분으로 하고 상기 터널 게이트절연막의 변형상태가 주로 압축 변형상태이고, 상기 플로팅게이트 혹은 상기 콘트롤게이트의 변형상태가 인장 변형상태인 것을 특징으로 하는 반도체장치.

청구항 11.

삭제

청구항 12.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치에 관한 것이다.

이산화 실리콘(SiO₂)은, 8~9 eV의 큰 밴드 갭을 가진 뛰어난 절연성을 가지는 재료이고, 반도체장치에 있어서 게이트절연막 층간 절연막 등의 재료로서 사용되어 왔다.

그러나 최근, 반도체장치의 미세화에 수반해 게이트절연막의 박막화가 요구되어 3.0nm 이하의 산화막이 사용되게 되었다. 절연막의 두께가 3.0 nm 이하까지 얇아지면 터널전류를 무시할 수 없을 만큼 커지고 리크전류가 증대해 소비전력이 늘어난다는 문제가 있다.

터널전류에는 주로 Fowler-Nordheim 터널전류(FN전류)와 다이렉트·터널 전류(DT전류)로 구분되는 것이 알려져 있다. FN전류는 외부 전기장에 의해 에너지 장벽이 굽어져서 발생하는 삼각포텐셜을 전자가 터널링 하는 것에 의해 흐르는 전류이다. DT전류는 직접 절연막을 전자가 터널링 하는 것에 의해 흐르는 전류이다. 상기 박막화된 SiO₂로 문제가 되는 것은 DT전류이다.

거기서, 유전율이 SiO₂ 보다 높은 고유전율(high-k) 재료로 불리는 재료, 예를 들면, 비유전률~25인 이산화 지르코늄(ZrO₂) 이산화 하프늄(HfO₂) 이산화 티탄(TiO₂) 등을 게이트절연막에 이용하는 것으로 유전특성을 유지하면서 게이트절연막의 막두께를 두껍게 해 리크전류의 증가를 억제하는 것이 구상되고 있다. 이산화 실리콘의 비유전률이 약 3.9이므로,

예를 들면, 2nm의 이산화 실리콘과 동등의 유전특성을 갖는 high-k절연막의 막두께는=25로 하면 약 12.8nm가 된다. 막 두께 12.8 nm의 high-k박막은 산화실리콘 환산 막두께로 2nm로 불린다. 이것에 대해, 실제의 막두께 12.8 nm는 물리 막 두께로 불린다.

이들에 관련하여 반도체 디바이스중에서 스트레스 야기의 리크전류가 발생하는 것이 확인되고 있다. 일본국 특개 2002-246591호 공보에서는 게이트절연막에 high-k재료를 이용했을 경우, 리크전류는 게이트전극이나 게이트절연막의 제조 방법에 의해 증가하는 것이 보고되고 있다.

[특허 문헌 1]

일본국 특개 2002-246591호 공보

그러나, 이들의 고유전율 재료를 게이트절연막으로서 사용하기에는 여러가지 문제가 있다. 하나는, 이들의 재료는 막 중의 고정 전하가 많아 반전층의 이동도가 저하하는 문제가 있다. 또, 계면에서 Si기반을 산화시켜 SiO₂층을 형성해 버려 high-k재료의 유전특성이 충분히 유지하기 어렵다. 게다가 high-k재료는 금속 산화물이기 때문에 게이트절연막에 이용하려면, 스퍼터, CVD 등의 퇴적법을 이용하게 되고 또, 열적 안정성이 부족해 통상의 실리콘 프로세스와의 정합성이 좋지 않기 때문에 SiO를 이용하는 경우에 비해 반도체 프로세스의 재검토가 필요하다.

이 때문에 현재의 최첨단 디바이스에서는 게이트절연막으로서 산질화 실리콘(SiON)이 검토되고 있다. SiON막은 high-k막만큼은 아니지만 비유전율이 SiO₂ 보다 크고(~6.0), Si기반과의 상성도 high-k보다 좋다고 생각되고 있다. 또, 종래의 반도체 프로세스에 매우 잘 정합해 질소농도, 질소분포를 콘트롤 할 수 있는 SiON의 제막법도 보고되고 있고 이 기술에 의한 환산 막두께 1.5 nm의 SiON 게이트절연막을 이용하는 것으로 SiO₂ 와 비교해 리크전류를 2자리수 저감 할 수 있는 것이 보고되고 있다. high-k재료의 양산 적용 이전에는 이 재료를 얼마나 능숙하게 사용할 수 있는 과제라고 말할 수 있다.

그런데, 상기 특개 2002-246591호 공보에서는 게이트절연막에 high-k재료를 이용했을 경우 리크전류는 게이트전극이나 게이트절연막의 제조방법에 의해 증가하는 것이 보고되고 있지만, 이것은 게이트전극이나 게이트절연막의 성막 방법에 따라서는 성막 후의 high-k게이트절연막이 인장 변형상태가 되어 버려 high-k막의 밴드 갭이 축소해 전자의 터널링 확률이 증가하고 리크전류가 증가한 것에 의한 것이다. 응력 기인에 의한 디바이스의 전기특성의 변화 행동은 디바이스를 구성하는 재료에 의존하기 때문에 SiON 게이트절연막을 이용한 MOS 트랜지스터의 고신뢰성을 위해서는 SiON의 밴드 갭의 변형 의존성의 해석 및 그 결과에 근거하는 변형제어가 중요하게 된다고 말할 수 있다.

또, 반도체장치의 미세화에 수반해 불휘발성 메모리에 있어서도 터널 절연막의 박막화가 요구되고 있다. 종래, 불휘발성 메모리의 터널 절연막에는 SiO₂가 이용되어 왔지만 박막화가 진행하면 플로팅게이트에 구축할 수 있었던 전자가 터널 절연막으로부터의 DT리크전류로서 잃게 되어 메모리 기능이 손상되어 버린다. 예를 들면, 불휘발성 반도체 기억장치의 하나인 플래쉬메모리에 있어서 플로팅게이트에 10년 정도의 장기간 데이터를 보존하기에는 종래의 SiO₂를 터널 절연막으로서 이용했을 경우 데이터 보관 유지중의 SiO₂ 터널 절연막의 리크전류는 10 A/cm이하로 억제하지 않으면 안 된다. 데이터 보관 유지, 또는 독출시에 터널 절연막에 걸리는 전압은 3V정도라고 생각되고 이 경우에 리크전류를 10A/cm이하로 억제하기 위해서 SiO₂의 막두께는 6nm이상 필요하다고 되어 있다(일본국 특개2000-58831호 공보). 또, 전원전압을 내리는 것으로 리크전류를 감소시키는 것도 생각할 수 있지만, SiO₂ 터널 절연막의 박막화에 의한 리크전류는 외부 전기장에 기인하는 FN전류보다 DT전류가 지배적이므로 SiO₂ 터널 절연막의 박막화가 진행되면 전원전압을 내려도 그다지 리크전류의 감소에는 효과가 없다.

거기서, 본 발명은 전술의 과제의 적어도 하나를 개선한 반도체장치를 제공하는 것이다.

발명이 이루고자 하는 기술적 과제

본원 발명은 이하의 형태를 갖추는 것으로 상기 과제를 해결한다. 예를 들면 SiON 게이트절연막을 가지는 MOS 트랜지스터가 복수 형성된 반도체장치에 있어서, 게이트절연막을 통하여 흐르는 리크전류가 충분히 억제된 반도체장치를 제공한다. 또, 고속화를 위해서 터널 절연막의 막두께가 충분히 얇고 게다가 메모리 기능이 유지되는 반도체 기억장치를 제공한다.

변형에 의한 밴드 갭의 변화에 관해서는 SiO₂에서는 압축 변형에서는 그다지 변화가 없고 인장 변형으로 감소한다. 또, high-k재료의 ZrO₂, HfO₂, TiO₂ 에서는 압축 변형으로 감소, 인장 변형으로 증가한다. SiON의 경우에는 발명자의 제 1

원리계산에 의한 연구에 의해 압축 변형 증가, 인장 변형으로 감소하지만 그 변화의 비율은 상기 high-k재료보다 큰 것을 알 수 있고 변형에 의한 전기특성의 제어가 다른 절연막재료보다 효과적인 한편 중요하다라고 생각된다. 또, 거기에 따라 게이트절연막을 통하여 흐르는 리크전류도 압축 변형에 의해 커지고 인장 변형에 의해 작아지는 것을 알았다.

반도체기판과 상기 기판상에 형성되는 게이트절연막과 상기 게이트절연막 위에 형성되는 게이트전극을 가지는 전계 효과형 트랜지스터가 형성되고 상기 게이트절연막이 산질화 실리콘(SiON)을 주성분으로 하고 상기 게이트절연막의 변형상태가 압축 변형상태인 것을 특징으로 한다.

게이트절연막이 SiON으로 이루어지고 상기 게이트절연막의 변형상태가 주로 압축 변형상태가 되어 있기 때문에 밴드 갭이 작아지는 것을 방지하고 또한 더욱 FN터널 전류를 낮게 억제할 수가 있다.

또, 상기 반도체장치의 제조 방법으로서 압축 변형상태를 형성하기 위해서 게이트전극을 인장 변형상태로 해 그 반작용으로 상기 게이트절연막을 압축 변형상태로 하는 것을 특징으로 한다. 게이트절연막의 변형상태가 압축 변형상태이고, 게이트전극의 변형상태가 인장 변형상태인 장치가 형성된다.

또는, 게이트절연막을 가지는 복수의 MOS 트랜지스터를 가져, 제 1의 MOS 트랜지스터는 SiON를 주성분으로 하는 게이트절연막을 갖추고 제 2의 MOS 트랜지스터는 산화 실리콘을 많이 포함한 게이트절연막을 갖추는 것을 특징으로 한다. 예를 들면, 상기 제 2의 MOS 트랜지스터의 게이트절연막은 산화 실리콘을 주성분으로 하는 것이 바람직하다.

덧붙여 상기 반도체장치로서 상기 제 1의 MOS 트랜지스터는 계산, 메모리에 이용되는 트랜지스터로서, 상기 제 2의 MOS 트랜지스터는 I/O에 이용되는 트랜지스터인 것을 특징으로 한다.

또, 반도체기판과 상기 기판상에 형성되는 터널 게이트절연막 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 콘트롤게이트를 가지는 불휘발성 반도체 장치에 있어서, 상기 터널 게이트절연막의 구성 재료에 SiON를 이용해 상기 터널 게이트절연막이 주로 압축 변형상태가 되는 것을 특징으로 한다. 이것에 의해, 터널 게이트절연막의 막두께가 충분히 얇고 게다가 메모리 기능이 유지된다.

또, 상기 불휘발성 반도체 기억장치의 제조방법으로서 상기 터널게이트절연막의 압축 변형상태를 형성하기 위해서 상기 플로팅게이트를 인장 변형상태로 해 그 반작용으로 상기 터널 게이트절연막을 압축 변형상태로 하는 것을 특징으로 한다.

또는, 반도체기판과 상기 기판상에 형성되는 터널 게이트절연막, 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 콘트롤게이트를 가지는 불휘발성 반도체 기억장치에 있어서 상기 플로팅게이트의 구성재료로서 SiN, 혹은 SiON를 이용해 상기 플로팅게이트가 변형상태에 있는 것을 특징으로 한다.

또는, 반도체기판과 상기 기판상에 형성되는 터널 게이트절연막 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 콘트롤게이트를 가지는 불휘발성 반도체 기억장치에 있어서 상기 플로팅게이트의 구성 재료로서 SiN 혹은 SiON을 이용해 상기 터널 게이트절연막, 혹은 상기 게이트간 절연막의 구성재료로서 SiON을 이용해 상기 플로팅게이트가 인장 변형상태에 있어서 상기 터널 게이트절연막 및상기 게이트간 절연막이 압축 변형상태에 있는 것을 특징으로 한다.

또, 반도체기판과 상기 기판상에 형성되는 터널 게이트절연막, 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 메모리게이트를 가지는 다층막과 상기 터널 게이트절연막 위에 형성되는 콘트롤게이트와 상기 다층막과 상기 콘트롤게이트의 사이에 형성된 게이트절연막을 가지며 상기 터널 게이트절연막의 구성 재료에 SiON를 이용해 상기 터널 게이트절연막이 주로 압축 변형상태가 되는 것을 특징으로 한다.

이것에 의해, 터널 게이트절연막의 막두께가 충분히 얇고 또한 메모리 기능이 유지되어 상기 제 2의 목적이 달성된다.

또, 상기 불휘발성 반도체 기억장치의 제조방법으로서 상기 터널 게이트절연막의 압축 변형상태를 형성하기 위해서 플로팅게이트를 인장 변형상태로 해 그 반작용으로 상기 터널 게이트절연막을 압축 변형상태로 하는 것을 특징으로 한다.

또는, 반도체기판과 상기 기판상에 형성되는 터널 게이트절연막, 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 메모리게이트를 가져 이들 다층막을

덜도록 형성되는 게이트절연막, 또한 상기 게이트절연막상에 형성되는 콘트롤게이트를 가지는 불휘발성 반도체 기억장치에 있어서, 상기 플로팅게이트의 구성 재료로서 SiN, 혹은 SiON를 이용해 상기 플로팅게이트가 변형상태에 있는 것을 특징으로 한다.

또는, 반도체기판과 상기 기판상에 형성되는 터널 게이트절연막, 상기 터널 게이트절연막 위에 형성되는 플로팅게이트, 상기 플로팅게이트상에 형성되는 게이트간 절연막, 상기 게이트간 절연막상에 형성되는 메모리게이트를 가지며 이들 다층막을 덜도록 형성되는 게이트절연막, 또한 상기 게이트절연막상에 형성되는 콘트롤게이트를 가지는 불휘발성 반도체 기억장치에 있어서, 상기 플로팅게이트의 구성 재료로서 SiN, 혹은 SiON를 이용해 상기 터널게이트절연막, 혹은 상기 게이트간 절연막의 구성 재료로서 SiON을 이용해 상기 플로팅게이트가 인장 변형상태에 있고 상기 터널 게이트절연막 및 상기 게이트간 절연막이 압축 변형상태에 있는 것을 특징으로 한다.

또, 논리, 메모리등 복수의 트랜지스터가 혼재된 시스템 LSI에 있어서, 이들 트랜지스터의 게이트절연막재료로서 SiON을 이용해 각각의 트랜지스터의 리크전류의 허용값을 고려하면서 상기 SiON의 변형상태가 제어되어 있는 것을 특징으로 한다.

또한, 압축 변형상태는 소스 드레인을 횡단하는 방향으로 게이트전극을 본 경우에 압축 변형상태의 영역을 포함한다. 과반수의 영역이 그 상태의 영역인 것이 바람직하다.

또, 주성분이라는 것은 가장 많은 원자%를 포함한 성분을 말하는 것으로 한다.

본 발명에 의하면 SiON으로 이루어지는 게이트절연막은 압축 변형상태로 되어 있고 게이트절연막의 밴드 갭이 무 변형상태 혹은 인장 변형상태의 경우에 비해 커져 있다. 이것에 의해 MOS 트랜지스터에 있어서 전자가 게이트절연막을 투과하는 확률이 작아져 FN리크전류의 증가를 억제할 수가 있어 리크전류가 흐르기 어려운 높은 특성의 게이트절연막구조를 갖춘 반도체장치를 제공할 수가 있다.

또, SiON를 불휘발성 반도체 메모리의 터널 절연막에 이용해 압축 변형상태로 하는 것으로 SiO₂ 터널 절연막의 하한값 이하로 얇고 게다가 메모리 기능이 유지되는 불휘발성 반도체 기억장치를 제공할 수가 있다.

또, SiON 절연막을 압축 변형상태로 하는 것으로 고속, 고신뢰성, 고수율의 반도체장치를 제공할 수가 있다.

발명의 구성

이하, 본 발명의 실시의 형태를 도 1에서 도 13을 이용하여 상세하게 설명한다. 덧붙여 본 발명은 본 명세서나 특허 청구의 범위에 개시한 내용으로 한정하는 것은 아니고, 이미 있는 공지 기술이나 공지 기술로 이루어진 기술에 근거해 구체적 형태를 변경하는 것을 저지하는 것은 아니다. 또, 설명에 있어서도, 이하의 실시예에 있어서 구체적인 예로서 설명한 사항은, 기본적으로는 본 발명에 포함되는 다른 예의 설명이라고 볼 수가 있다.

[실시예 1]

본 발명에 있어서의 제 1의 실시예인 반도체장치에 있어서의 주요 부분의 단면 구조를 도 1에 나타낸다. 이것은, 도 2에 나타난 평면 레이아웃의 일례에 있어서 A-A'로 절단 한 단면도이다. 본 실시예의 반도체장치는 예를 들면, 도 1에 나타나는 바와 같이 P형 실리콘 기판(101)의 표면에 실리콘 산화막으로 이루어지는 소자분리막(102)이 설치되어 소자형성영역(103)이 형성되고 있다. 본 실시예에서는 전계 효과형 트랜지스터를 갖춘 예를 나타낸다. 소자형성영역(103)에 N채널 MOS(책 OS) 트랜지스터가 설치되고 있다.

MOS 트랜지스터는 게이트절연막(104a), 게이트전극(105a)을 가진다. 게이트전극(105a)의 측면에는, 예를 들면 산화 실리콘으로 이루어지는 사이드 월(106a)이 형성되어 있다. 게이트절연막(104a)의 구성 재료는 SiON이다. 게이트전극(105a)은 예를 들면 다결정 실리콘막, 금속 박막, 금속 실리사이드막 혹은 이들의 적층 구조이다. 특히, SiON과의 계면에서의 상호 확산을 억제하고 또한 고속화를 위해서 게이트전극의 저저항화를 고려하면 SiON막상에 SiON과의 밀착성이 좋은 질화 티탄(TiN), 질화 탄탈(TaN) 등의 얇은 배리어 메탈을 이용해 그 위에 텅스텐(W), 몰리브덴(Mo), 탄탈(Ta), 티탄(Ti) 등의 금속 박막을 이용하는 구조가 바람직하다. 이 경우, 저저항성을 중시하는 경우는 W, Mo를 이용한다. 이 양자의 경우 또한 W는 고용점에서 열적 안정성이 뛰어나고 Mo는 막의 평탄성이 뛰어나다. 또, 배리어 메탈과의 밀착성을 중시하

는 경우에는 SiON 위에 TiN, 그 위에 Ti를 이용한 구조, 혹은 SiON 위에 TaN, 그 위에 Ta를 이용한 구조를 이용한다. 이 양자의 경우 또한 TiN과 Ti를 이용한 구조는 SiON과의 밀착성에 의해 우수하고 TaN과 Ta를 이용한 구조는 확산 등의 장벽에 의해 뛰어나다.

MOS 트랜지스터의 소스·드레인 영역은 게이트전극(105a)에 자기 정합적으로 형성된 익스텐션영역(107a) 및, 소자분리층(102) 및 게이트전극(105a)에 자기 정합적으로 형성된 콘택트영역(108)을 가지고 있다.

이 반도체장치의 표면에는 층간 절연층(109a, 109b)이 형성되고 있다. 층간 절연층(109a, 109b)에는 콘택트영역(108)에 이르는 콘택트홀이 설치되고 콘택트 플러그(111)가 형성되어 있다. 콘택트 플러그의 구성재료는 텅스텐(W), 알루미늄(Al), 다결정 실리콘(poly-Si) 등이다. 다만, 실리콘 기판계면과의 밀착성, 계면에서의 상호 확산 방지 때문에 콘택트 영역 계면에 콘택트층(113) 및 상기 콘택트층 상부에 배리어 메탈(112a) 및 상기 층간 절연층계면에 배리어 메탈(112b)을 형성한 후, 상기 콘택트 플러그가 형성되는 것이 바람직하다. 상기 콘택트층(113)의 구성 재료는 코발트 실리사이드(CoSi₂), 티탄 실리사이드(TiSi₂) 등이고, 상기 배리어 메탈(112a, 112b)의 구성 재료는 TiN, TaN 등이다.

상기 콘택트 플러그(111) 상부에는 배선층(114)가 형성되어 있지만, 상기 층간 절연층(109a, 109b)과의 밀착성, 상호 확산 방지 때문에 배리어 메탈(112c, 112 d)이 형성된 후, 상기 배선층이 형성되는 것이 바람직하다. 상기 배선층의 구성 재료는 Al, 동(Cu) 등이고, 상기 배리어 메탈(112c, 112d)의 구성 재료는 TiN, TaN 등이다. 또, 도 1에는 배선층을 1층만 명기하고 있지만 배선층이 또한 상부에 1층 혹은 복수층 있어 배선층간이 W, Cu, Al 등으로 이루어지는 비어 플러그로 접속되어 있어도 좋다.

상기 SiON 게이트절연막의 막두께는, SiON과 SiO₂의 비유전률을 각각 6.0, 3.9로 하면 SiO₂ 환산 막두께 3.0nm의 경우, 물리 막두께는 4.6nm가 되고 SiO₂와 비교해 전자의 터널링에 의한 리크전류를 감소시키는 것을 기대할 수 있다. 또, 상기 SiON 게이트절연막(104a)은 압축 변형상태로 되어 있다.

도 3은 제 1 원리계산에 의한 SiON (여기에서는 결정구조가 보고되어 있는 Si₂N(2O)에 대해서 계산했다.)의 밴드 갭의 변형 의존성이다. 또한, SiO₂막의 케이스(점선)도 동시에 나타내고 있다.

변형은 정수압적에 부가되어 있다. 여기서, 정(正)의 변형은 인장 변형을 부(負)의 변형은 압축 변형을 나타낸다. 또, SiO₂의 밴드 갭의 변형 의존성도 동시에 나타내고 있다. 또한, 제 1 원리 계산에 의한 밴드 갭의 크기는 많은 물질로 실험치와 비교해 2/3배 정도로 작아지는 것이 알려져 있다. 그러나, 현재까지 Si₂N(2O)의 결정 구조를 가지는 SiON의 밴드 갭의 측정 보고는 눈에 띄지 않기 때문에 여기에서는 SiON의 밴드 갭의 계산값(EgcalSiON)을 SiO₂의 밴드 갭의 실험치(EgexSiO₂)와 계산값(EgcalSiO₂)을 이용하여

$$Eg = EgcalSiON \cdot EgexSiO_2 / EgcalSiO_2 \dots(1)$$

로서 보정했다.

이 도에서 SiON은 압축 변형상태가 되는 것으로 밴드 갭이 커지는 것을 알 수 있다. 따라서, 상기 SiON 게이트절연막을 압축 변형상태로 하는 것으로 전자의 터널링을 억제해 리크전류를 감소시킬 수가 있는 것이 기대된다. 또, SiO₂는 변형에 의한 밴드 갭의 증가가 거의 없고 변형제어에 의한 리크전류의 감소는 기대할 수 없다고 생각된다.

도 4는 리크전류 밀도의 변형 의존성의 계산예이다. 계산은, WKB (Wentzel - Kramers - Brillouin) 근사에 의한 식 (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 46, NO. 2, p354)를 이용했다. 도 4에서는, 게이트의 환산 막두께(TOX), 게이트전압(VG)은 국제 반도체 기술 로드 맵에 있는 요구값으로 결정하였다. 인가 전압 1.1V, 환산막압 1.2 nm이고, SiO₂막의 케이스(점선)도 동시에 나타내고 있다. 이 때, 리크전류가 과소 평가되지 않기 위하여 환산 막두께에 대해서는 기재값에 폭이 있지만 이 최저값을 이용해 게이트전압에 대해서는 기재값은 전원전압(Vdd)이지만, 게이트전압은 전원전압 이하가 되고, 또, 리크전류는 게이트전압이 큰 만큼 커지므로 VG=Vdd로서 계산했다. 도 4는 MPU의 hAlf-pitch가 130 nm의 노드(2002년)에서의 계산이고(TOX=1.2nm, VG=1.1V), 고성능(고속 동작) (High-performance (HP)) 트랜지스터에 대한 계산 결과이다. 도안의 점선이 리크전류의 최대 허용값이다. 이 결과로부터, SiON 게이트절연막을 압축 변형상태로 하는 것으로, 리크전류를 저감 할 수 있는 것을 알 수 있다. 또, 종래의 SiO₂막에서는 로드 맵의 요구값을 채우기에는 이미 불충분한 것을 알 수 있고 SiO₂막에서는 변형제어의 효과도 그다지 기대할 수 없는 것을 알 수 있다. 한편, SiON막을 이용하면 7% 이상의 극단적인 인장 변형이 생기지 않는 한 요구값을 채우는 것을 알 수 있다. 실제로 현재는, SiO₂막의 물리적 한계는 요구하고 있고 MOS 트랜지스터의 게이트절연막에는 SiON막의 적용이 시작되고 있다. 게다가 SiON막의 변형상태를 압축 변형상태로 제어하는 것으로 리크전류를 저감 할 수 있어 고신뢰의 디바이스 제작이 가능해

지는 것을 알 수 있다. 도 4는 MPU 등의 고성능 트랜지스터의 경우의 계산예이지만, 동작시 저소비 전력(Low Operating Power (LOP))트랜지스터, 대기시 저소비 전력(Low Standby Power (LSTP)) 트랜지스터에 대해서도 동일한 결과를 얻을 수 있다.

실제 MOS 트랜지스터에 있어서의 변형상태를 예측하기 위해, 유한요소법에 의한 해석을 실시했다. 이 결과에 의하면, 게이트 중앙부보다 게이트 단부에서의 변형가 가장 강하고, 메탈 게이트를 이용해 변형제어를 고려하지 않고 제작하면 게이트 단부에 3% 정도의 인장 변형이 발생하는 것을 알 수 있다. 이 결과로부터 현실적이고 제어 가능한 변형이 이 정도라고 생각된다. 이들을 참고로 해, 변형제어의 중요성이 현저해지는 계산예를 도 5에 나타낸다. 도 5의 파라미터는 국제 반도체 기술 로드 맵에 기재되어 있는 MPU의 half-pitch가 70 nm의 노드(2006년)에서의 계산이고, 각각 (a) 고성능 트랜지스터(HP), (b) 동작시 저소비 전력 트랜지스터(LOP), (c) 대기시 저소비 전력 트랜지스터(LSTP)의 경우의 계산인(막두께, 게이트전압은 각각 (a) TOX=0.7nm, VG=0.9V, (b) TOX=1.1nm, VG=1.0V, (c) TOX=1.4nm, VG=1.2V로서 계산). 도 5에서 이 경우의 점선으로 나타난 허용값이하에 리크전류를 억제하기 위해서는 고성능, 동작시 저소비 전력, 대기시 저소비 전력 트랜지스터의 경우에 각각 바람직하게는 1.3% 이상의 압축 변형, 압축 변형 또는 0.7% 이하의 인장 변형, 압축 변형 또는 0.9%이하의 인장 변형상태로 할 필요가 있는 것을 알 수 있다. 또, 이들의 변형제어에 의해 디바이스의 수율 향상 및 SiON막의 지연을 피할 수 있게 된다.

인가 전압, 막두께는 상기 도 4, 5에 있어서의 이외의 값에 있어서도, SiON에 있어서의 리크전류 밀도는 인장 변형이 늘어남과 동시에 증가해, 압축 변형가 늘어남과 동시에 감소한다는 결과를 구할 수 있고 또, SiO2에 있어서의 리크전류 밀도는 인장 변형이 늘어남과 동시에 증가하고, 압축 변형이 늘어나도 변화는 적다는 같은 결과를 얻을 수 있다.

그런데, SiON 게이트절연막을 이용한 MOS 트랜지스터에 있어서의 리크전류는 압축 변형이 클 수록 저감 하는 것을 알 수 있지만 리크전류 이외의 요인을 생각하면 변형이 너무 큰 것은 반드시 바람직하지는 않다.

예를 들면, 내전압성을 생각하면 변형의 측정량을 1.5% 정도 이하로 억제하는 것이 바람직하다. 또, 박리강도를 생각하면 계면에서의 격자 변형을 7% 정도 이하로 억제하는 것이 바람직하고, 변형의 측정량으로서는 2% 정도 이하로 억제하는 것이 바람직하다.

따라서, 예를 들면 도 5의 계산의 파라미터의 경우 리크전류를 허용값 이하로 억제하는 것에 가세해 내전압성, 박리강도도 고려하여 넣으면 고성능, 동작시 저소비 전력, 대기시 저소비 전력 트랜지스터의 경우에 각각 1.3 ~ 1.5 %의 압축 변형, 1.5% 정도 이하의 압축 변형 또는 0.7%이하의 인장 변형, 1.5% 정도 이하의 압축 변형 또는 0.9% 이하의 인장 변형상태로 하는 것이 바람직하다.

<실시예 2>

본 발명에 있어서의 제 2의 실시예로서 도 6, 도 7을 이용해 설명한다. 게이트절연막을 압축 변형상태로 함에는 예를 들면 게이트전극을 인장 변형상태로 한다. 게이트전극을 인장 변형상태로 해, 그 반작용에 의해 그 아래의 게이트절연막은 압축 변형상태가 되도록 형성한다.

도 6, 도 7은 인장 변형상태인 게이트전극과 압축 변형상태에 있는 SiON 게이트절연막을 가지는 반도체장치의 제조 방법을 나타내고 있다.

우선, P형 실리콘 기판(101) 표면에 깊이 200nm에서 300nm의 홈을 형성해 실리콘 산화막을 묻고 천구형(淺溝型) 소자 분리층(102)을 형성한다(도 6A).

다음에, 약 800~850℃로 실리콘 기판(101) 표면을 열산화한다. 이 때, NH3 등을 함유시켜 질소를 산화막안에 도입하여 SiON막(114)을 형성한다. 혹은, NH3, N2O 등의 가스를 이용해 화학적 기증성장(CVD) 법에 의해 SiON막(114)을 형성한다(도 6B).

다음에, 불순물 인(P)을 포함한 다결정 실리콘막(115)을 CVD법 등에 의해 형성한다. 이 때, 탄소 원자(C) 등을 구성 원소로서 포함한 가스를 함유 시키는 것으로, 탄소 원자 등 불순물을 다결정 실리콘에 함유 시킨다.(도 6C)

그 후, 열처리에 의해 탄소 원자 등의 불순물을 없애는 것으로, 다결정 실리콘막(115)의 체적은 수축해, 인장 변형상태(105)가 된다. 이 인장 변형의 반작용으로서 SiON막(114)은 압축 변형상태(104)가 된다. 압축 변형의 정도는 열처리전의 불순물의 함유량으로 컨트롤 할 수 있다.(도 6D)

다음에, 포토레지스트막을 마스크에 이용해 다결정 실리콘막(105), SiON막 (104)을 에칭 한다. 이것에 의해 MOS 트랜지스터의 게이트절연막(104a)과 게이트전극(105a)을 형성한다.

다음에 열산화법 혹은 CVD법에 의해 막두께 2nm 정도의 산화 실리콘막(110)을 형성해, 그 후, 비소(As) 또는 인(P)의 이온주입에 의해, MOS 트랜지스터의 얇은 소스·드레인 영역(107)을 형성한다. 이 공정은, 소스·드레인 영역과 채널 부분을 연결하는 익스텐션영역을 형성하기 위한 것이다. 상기 산화 실리콘막(110)의 형성 목적은 이 이온 주입에 의한 실리콘 기판의 데미지를 완화시키기 위한 것이다(도 7A).

계속하여 반도체기판 표면에 두께 200nm 정도의 실리콘 산화막(106)을 스퍼터법 또는 CVD법에 의해 퇴적하고(도 7B), 실리콘 산화막(106, 110)을 에칭함으로써 게이트전극과 게이트절연막의 측벽에 사이드 월(106a)을 형성한다(도 7C).

다음에, 소자 분리막(102), 게이트전극(105a), 사이드 월(106a)을 마스크로 하여 인 또는 비소의 이온 주입에 의해, 소스·드레인 확산층(108)을 형성한다. 그 후, CVD법에 의해 층간 절연층(109a)을 형성해 확산층 표면에 이르는 콘택트홀을 형성한다. 그 후 콘택트홀 개구부에 코발트(Co), 티탄(Ti) 등을 스퍼터 등으로 퇴적시켜 열처리를 실시하는 것으로 Si와 접하고 있는 부분에 CoSi₂, TiSi₂ 등으로 이루어지는 콘택트층(113)을 형성한다. 그 후, 층간 절연층과 접하고 있는 부분의 Co, Ti 등을 제거하여 TiN, TaN 등으로 이루어지는 배리어 메탈(112a, 112b)을 스퍼터에 의해 형성한 후, 콘택트 플러그(111)를 스퍼터에 의해 형성한다. 그 후는, 스퍼터에 의해 배리어 메탈(112c, 112d), 배선층(114)을 스퍼터 혹은 CVD에 의해 층간 절연층(109b)을 형성하는 것으로 도 1과 같은 반도체장치가 제조된다.

상술의 제조 방법은 N채널 MOS 트랜지스터의 경우이지만 이 제조 방법은 P채널 MOS 트랜지스터에도 응용 할 수 있다. 또한 CMOS 트랜지스터, BiCMOS 트랜지스터에도 응용 할 수 있다.

또, 상기 게이트전극(105a)은 다결정 실리콘막 이외에 텅스텐, 몰리브덴 등의 금속 박막, 혹은 질화 텅스텐 등의 금속 화합물, 혹은 텅스텐 실리사이드 등의 금속 실리사이드막, 혹은 이들의 적층 구조로서도 좋다. 특히, SiON과의 계면에서의 상호 확산을 억제하고 또한 고속화를 위해서 게이트전극의 저저항화를 고려하면 SiON막상에 SiON과의 밀착성이 좋은 TiN, TaN 등의 얇은 배리어 메탈을 이용해 그 위에 W, Mo, Ta, Ti 등의 금속 박막을 이용하는 구조가 바람직하다. 이 경우, 저저항성을 중시하는 경우는 W, Mo를 이용한다. 이 양자의 경우 또한 W는 고용점에서 열적 안정성이 뛰어나고 Mo는 막의 평탄성이 뛰어나다. 또, 배리어 메탈과의 밀착성을 중시하는 경우에는 SiON 위에 TiN, 그 위에 Ti를 이용한 구조, 혹은 SiON 위에 TaN, 그 위에 Ta를 이용한 구조를 이용한다. 이 양자의 경우 또한 TiN과 Ti를 이용한 구조는 SiON과의 밀착성에 의해 뛰어나고 TaN과 Ta를 이용한 구조는 확산 등의 장벽에 의해 뛰어나다.

상기에 나타낸 재료를 게이트전극막으로서 이용하는 경우에는 성막 조건을 제어하는 것으로서 게이트절연막을 압축 변형 상태로 한다. 예를 들면, 상기의 금속이나 금속 화합물은 성막 온도 300℃로 스퍼터법에 의해 퇴적하는 것에 의해 인장 변형상태가 된다. 그리고, 상기 금속, 금속 화합물막을 게이트전극으로 했을 경우, 반작용으로 SiON 게이트절연막은 압축 변형상태가 된다.

이와 같이, 본 발명의 반도체장치는 게이트절연막(104a)이 SiON으로 구성되어 있으므로 게이트절연막이 산화 실리콘의 경우에 비해 게이트절연막의 물리 막두께를 두껍게 할 수가 있고 DT전류가 흐르는 것을 방지할 수 있다.

또, 상기의 SiON으로 이루어지는 게이트절연막(104a)은 압축 변형상태로 이루어지고 게이트절연막(104a)의 밴드 갭이 무 변형상태 혹은 인장 변형상태의 경우에 비해 커져있다. 이것에 의해, 전자가 절연막을 투과하는 확률을 작게 할 수 있고 리크전류의 증가를 억제할 수 있다.

또, 게이트절연막(104a)이 인장 변형상태가 되는 것을 적극적으로 피하는 것은 게이트절연막에 있어서의 리크전류 증가를 막는데 효과적이다.

게이트전극을 인장 변형상태로 하는 것으로 게이트절연막을 압축 변형상태로 하면 실리콘 기판계면도 압축 변형상태가 된다. 거기서, SiON 게이트절연막이 압축 변형상태인 것을 확인하는 방법으로서, 투과형 전자현미경(TEM)에 의해, SiON 절연막계면의 Si기판의 Si 원자간 거리를 측정하면 좋다. 원자간 거리가 무변형상태보다 작아져 있으면 SiON 절연막은 압축 변형상태로 되어 있다. 혹은 응력 TEM에 의해, SiON 절연막계면의 Si기판에 걸리는 응력을 측정하면 좋다.

또, X선, 전자선 등의 회절에 의해 SiON 절연막계면의 Si기판의 Si원자간 거리를 측정하면 좋다.

예를 들면, 게이트전극 단부에 대응한 위치의 게이트절연막을 중심으로 해 20nm의 스포트를 맞춰 측정한다. 게이트전극의 중앙영역의 게이트절연막보다 게이트전극 단부가 현저하게 큰 변형상태를 가지는 경우가 있기 때문이다.

다른 실시 예의 형태 등도 이와 같이 계측 할 수가 있다.

<실시예 3>

실시예 3은 실시예 2에 있어서 실리콘 기판(101) 표면의 열산화에 의한 SiON막의 형성 후, 불순물 인(P)을 포함한 아모르펠스 실리콘막(115)을 CVD법 등에 의해 형성한다.

그 후, 반도체기판 온도를 600°C 이상으로 하여 아모르펠스 실리콘막(115)을 결정화시켜, 다결정 실리콘막(105)으로 한다. 아모르펠스 실리콘의 결정화는 체적 수축을 수반하므로 결정화에 의해 구해진 다결정 실리콘막(105)은 인장 변형상태가 된다. 이 인장 변형의 반작용으로서 다결정 실리콘막(105) 아래의 SiON 게이트절연막(104)은 압축 변형상태가 된다 (도 6D). 상기 아모르펠스 실리콘막(115)의 결정화는 반도체기판 온도의 제어에 의해 실행하여도 괜찮지만 레이저의 조사에 의해 행하여도 지장이 없다.

<실시예 4>

실시예 4는(실시예 2, 실시예 3)에서는 게이트전극을 인장 변형상태로 해 그 반작용에 의해 게이트절연막을 압축 변형상태로 하는 방법을 말했지만, SiON 게이트절연막자체를 압축 변형상태로 해도 좋다. 이를 위해서는 예를 들면, SiON 절연막을 형성할 때, 열산화 혹은 CVD에 의해 SiON 혹은 SiO₂를 형성한 후, NH₃ 안에서 열처리 혹은, 플라즈마 질화법 등을 이용해 한층 더 질소를 도입해 SiON막(114)을 형성한다. 그러면 먼저 열산화 혹은 CVD에 의해 형성한 SiON 혹은 SiO₂보다 체적이 커져 SiON 게이트절연막 자체가 압축 변형상태가 된다. SiON 게이트절연막자체가 압축 변형상태가 되면 그 반작용으로 Si기판계면은 인장변형상태가 된다. 또, 변형량은 NH₃안에서의 열처리, 플라즈마 질화법 등에 의한 질소 도입때의 프로세스 조건으로 제어할 수 있다.

고속의 MOS 트랜지스터에는 수 NMOS가 이용되는 것이 많지만, NMOS는 채널부가 인장 변형상태가 되면 동작이 고속화된다. 이 변형은 채널에 평행 방향의 변형이 주로 효과가 있다고 하지만, 본 실시예의 방법은 Si기판계면에서는 주로 채널에 평행방향으로 인장변형을 더하게 된다. 따라서, 본 실시예의 방법을 이용하면 게이트절연막의 압축 변형에 의한 리크전류 저감과 동시에 Si기판계면의 채널부의 인장 변형에 의한 트랜지스터의 고속화를 동시에 실현될 수 있다.

SiON 게이트절연막이 압축 변형상태인 것을 확인하는 방법은 (실시예 2)에 기재한 것처럼 TEM에 의해 SiON 절연막계면의 Si기판의 Si의 원자간 거리의 측정을 하면 좋다. 다만, 본 실시예의 경우는 Si의 원자간 거리가 무변형상태보다 커지고 있을 때 SiON 절연막은 압축 변형상태가 되게 된다. 혹은 응력 TEM에 의한 SiON 절연막계면의 Si기판에 걸리는 응력의 측정, X선, 전자선 등의 회절에 의한 SiON 절연막계면의 Si기판의 Si원자간 거리의 측정을 이용해도 좋다.

<실시예 5>

본 발명에 있어서의 제 5의 실시예인 반도체장치에 있어서의 주요 부분의 단면 구조를 도 8에 나타낸다. 이것은, 도 9에 나타난 평면 레이아웃의 일례에 있어서, A-A'로 절단 한 단면도이다.

본 발명의 반도체장치는 외부 장치에 직접 접속되는 I/O 회로와 외부 장치에의 접속을 필요로 하지 않는 내부 회로를 가지고 있다. I/O 회로 및 내부 회로는 단채널의 MOS 트랜지스터, C-MOS 트랜지스터, 혹은 BiCMOS 트랜지스터로 구성된다. 설명을 용이하게 하기 위하여 본 실시예에서는, LDD 구조의 소스·드레인 확산층을 가지는 N채널 MOS 트랜지스터만으로 구성된 반도체장치에 대해서 설명한다.

본 실시예의 반도체장치는 도 8에 나타나는 바와 같이, P형 실리콘 기판(101) 표면에 예를 들면 실리콘 산화막으로 이루어지는 소자 분리막(102)이 설치되고 내부회로 소자형성영역(203)과 I/O회로 소자형성영역(303)이 형성되고 있다. 내부회로 소자형성영역(203)과 I/O회로 소자형성영역(303)에는 각각 제 1의 N채널 MOS 트랜지스터와 제 2의 N채널 MOS 트랜지스터가 형성되고 있다.

내부회로 소자형성영역(203)에 형성된 제 1의 MOS 트랜지스터는, 게이트절연막(204), 게이트전극(205)을 가지고 있다. 게이트전극(205)의 측면에는, 예를 들면 산화 실리콘으로 이루어지는 사이드 월(206)이 형성되고 있다. 게이트절연막

(204)의 주구성 재료는, SiON이고, 게이트전극(105)은, 예를 들면 다결정 실리콘막이나 금속박막 혹은 금속 실리사이드막 혹은 이들의 적층구조이다. 특히, SiON과의 계면에서의 상호 확산을 억제하고 또한 고속화를 위해서 게이트전극의 저저항화를 고려하면 SiON막 상에 SiON과의 밀착성이 좋은 TiN, TaN 등의 얇은 배리어 메탈을 이용해 그 위에 W, Mo, Ta, Ti 등의 금속 박막을 이용하는 구조가 바람직하다. 이 경우, 저저항성을 중시하는 경우는 W, Mo를 이용한다. 이 양자의 경우 또한 W는 고용점에서 열적 안정성이 뛰어나고 Mo는 막의 평탄성이 뛰어나다. 또, 배리어 메탈과의 밀착성을 중시하는 경우에는 SiON 위에 TiN, 그 위에 Ti를 이용한 구조, 혹은 SiON 위에 TaN, 그 위에 Ta를 이용한 구조를 이용한다. 이 양자의 경우 게다가 TiN과 Ti를 이용한 구조는 SiON과의 밀착성에 의해 뛰어나고 TaN과 Ta를 이용한 구조는 확산 등의 장벽에 의해 뛰어나다.

제 1의 MOS 트랜지스터는 소스·드레인 확산층으로서 게이트전극(205)에 자기 정합적으로 형성된 익스텐션영역(207)을 가지며 소자분리층(102) 및 게이트전극(205)에 자기 정합적으로 형성된 콘택트 영역(208)을 가지고 있다. 상기 SiON 게이트절연막(204)은 SiO₂의 경우에 비해 게이트절연막의 물리 막두께를 두껍게 할 수가 있어 DT전류가 흐르는 것을 막을 수가 있다.

I/O회로 소자형성영역(303)에 형성된 제 2의 MOS 트랜지스터는 게이트절연막 (304), 게이트전극(305)을 가지고 있다. 게이트전극(305)의 측면에는, 예를 들면 산화 실리콘으로 이루어지는 사이드 월(306)이 형성되고 있다. 게이트절연막 (304)은 막두께 3nm 이상의 SiO₂ 혹은 SiON와 SiO₂의 적층에 의해 구성된다. 게이트전극(305)은 예를 들면 다결정 실리콘막이나 금속 박막, 혹은 금속 실리사이드막 혹은 이들의 적층구조이다. 특히, SiO₂와의 밀착성, 계면에서의 상호 확산의 억제, 안정성을 생각하면 다결정 실리콘을 이용하는 것이 바람직하다. 또, 안정성과 함께 고속성을 요구할 때는 SiO₂ 위에 다결정 실리콘, 그 위에 배리어 메탈로서 얇은 TiN, TaN 등을 이용하고 또 그 위에 W, Mo, Ta, Ti 등의 금속 박막을 이용하는 구조가 바람직하다. 이 경우, 저저항성을 중시하는 경우는 W, Mo를 이용한다. 이 양자의 경우 또한 W는 고용점에서 열적 안정성이 뛰어나고 Mo는 막의 평탄성이 뛰어나다. 또, 배리어 메탈과의 밀착성을 중시하는 경우에는 다결정 실리콘 위에 TiN, 그 위에 Ti를 이용한 구조, 혹은 다결정 실리콘 위에 TaN, 그 위에 Ta를 이용한 구조를 이용한다. 이 양자의 경우 또한 TiN과 Ti를 이용한 구조는 다결정 실리콘과의 밀착성에 의해 뛰어나고 TaN과 Ta를 이용한 구조는 확산 등의 장벽에 의해 뛰어나다.

제 2의 MOS 트랜지스터는 소스·드레인 확산층으로서 게이트전극(305)에 자기 정합적으로 형성된 익스텐션영역(307)을 가지며 소자분리층(102) 및 게이트전극(305)에 자기 정합적으로 형성된 콘택트 영역(308)을 가지고 있다.

상기 반도체장치의 표면에는 층간 절연층(209a, 209b, 309a, 309b)이 형성되어 있다. 층간 절연층(209a, 209b, 309a, 309b)에는 소스·드레인 확산층의 콘택트 영역(208,308)에 이르는 콘택트홀이 각각 설치되어 콘택트 플러그(211, 311)가 각각 형성되고 있다. 상기 콘택트 플러그의 구성 재료는 W, Al, poly-Si 등이다. 다만, 실리콘 기판계면과의 밀착성 계면에서의 상호 확산 방지를 위하여 콘택트 영역계면에 각각 콘택트층(213, 313) 및 상기 콘택트층 상부에 배리어 메탈(212a, 312 a) 및 상기 층간 절연층계면에 배리어 메탈(212b, 312b)을 형성한 후, 상기 콘택트 플러그가 형성되는 것이 바람직하다. 상기 콘택트층(213,313)의 구성 재료는 CoSi₂, TiSi₂ 등이고, 상기 배리어 메탈(212a, 212b, 312a, 312b)의 구성 재료는 TiN, TaN 등이다.

상기 콘택트 플러그(211, 311) 상부에는 배선층(214, 314)이 형성되어 있지만, 상기 층간 절연층(209a, 209b, 309a, 309b)과의 밀착성, 상호 확산 방지를 위하여 각각 배리어 메탈(212c, 212d, 312c, 312d)가 형성된 후, 상기 배선층이 형성되는 것이 바람직하다. 상기 배선층의 구성 재료는 Al, Cu 등이고, 상기 배리어 메탈(212c, 212d, 312c, 312d)의 구성 재료는 TiN, TaN 등이다. 또, 도 8에는 배선층을 1층만 명기하고 있지만 배선층이 한층 더 상부에 1층 혹은 복수층이고 배선층간이 W, Cu, Al등으로 이루어지는 비어플러그로 접속되어 있어도 좋다.

내부회로 소자영역에 형성된 제 1의 MOS 트랜지스터는 실시예 1로 나타낸 MOS 트랜지스터의 구성과 같이 게이트절연막으로서 SiON막을 이용하고 또 게이트길이는 예를 들면 0.1 μ m으로 짧아져 있다. 이 때문에 고속연산에 적합하다.

또, I/O회로용의 제 2의 MOS 트랜지스터는 내부 회로의 MOS 트랜지스터보다는 고속연산이 요구되지 않기 때문에, 종래의 SiO₂ 게이트절연막 혹은 SiON와 SiO₂의 적층으로부터 이루어지는 절연막으로 좋다. 막두께 3 nm 이상의 SiO₂를 포함한 게이트절연막은 DT전류, FN전류를 함께 작게 억제할 수가 있는 것이 종래부터 알고 있어 고신뢰, 고수율의 반도체장치를 제공할 수가 있다.

본 실시예에 있어서의 반도체장치는 내부회로 소자로서 고속연산에 적절한 MOS 트랜지스터와 I/O회로 소자로서 신뢰성이 뛰어난 MOS 트랜지스터를 동일기판상에 가지고 있기 때문에 고신뢰로 제조 코스트가 적은 반도체장치를 제공할 수가 있다.

또, 상기 SiON으로 이루어지는 게이트절연막(204)은 압축 변형상태로 이루어져 있는 것이 바람직하다. 이것에 의해 상기(실시예 1)에서 나타난 것처럼, 게이트절연막의 밴드 갭이 무변형상태 혹은 인장 변형상태의 경우에 비해 크게 할 수 있고 전자가 절연막을 투과하는 확률을 작게 할 수 있어 리크전류를 저감 할 수가 있다. 또, 상기 SiON 게이트절연막의 변형양은, 내전압성, 박리강도도 고려하면 (실시예 1)에서 기술한 것처럼, 1.5% 정도 이하로 하는 것이 바람직하다.

<실시예 6>

본 발명의 제 6의 실시예인 반도체장치의 단면도가 도 10이다. 본 실시예의 반도체장치는 불휘발성 반도체 기억장치이고, 도 10에 나타나는 바와 같이 P형 실리콘 기판(101)의 표면에 예를 들면 실리콘 산화막으로 이루어지는 소자 분리막(102)이 설치되고 소자형성영역(403)이 형성되어 있다. 소자형성영역(403)에는 플로팅게이트형 N채널 트랜지스터가 설치되어 있다.

본 실시예의 플로팅게이트형 트랜지스터는 터널 게이트절연막(404), 플로팅게이트(414), 게이트간 절연막(415), 콘트롤 게이트(405)의 적층 구조로 이루어져 있다. 이들의 측면에는, 예를 들면 산화 실리콘으로 이루어지는 사이드 월(406)이 형성되고 있다. 터널 게이트절연막(404)의 주구성 재료는, SiON이고, 플로팅게이트(414), 콘트롤게이트(405)는 다결정 실리콘막으로 이루어지고 게이트간 절연막(415)은, 산화 실리콘, 질화 실리콘, 산질화 실리콘 등으로 이루어진다. 콘트롤게이트는 텅스텐, 몰리브덴 등의 금속박막, 혹은 질화텅스텐 등의 금속 화합물, 혹은 텅스텐 실리사이드 등의 금속 실리사이드막, 혹은 이들의 적층 구조로서도 좋다.

플로팅게이트형 트랜지스터는 소스·드레인 확산층으로서 콘트롤게이트(405)에 자기 정합적으로 형성된 익스텐션영역(407)을 가지며 소자분리층(102) 및 콘트롤게이트(405)에 자기 정합적으로 형성된 콘택트 영역(408)을 가지고 있다.

이 반도체장치의 표면에는 층간 절연층(409a, 409b)이 형성되고 있다. 층간 절연층(409, 409b)에는 콘택트 영역(408)에 이르는 콘택트홀이 설치되어 콘택트 플러그(411)가 형성되고 있다. 콘택트 플러그의 구성 재료는 W, Al, poly-Si 등이다. 다만, 실리콘 기판계면과의 밀착성, 계면에서의 상호 확산 방지를 위해서 콘택트 영역계면에 콘택트층(413) 및, 상기 콘택트층 상부에 배리어 메탈(412a) 및 상기 층간 절연층 계면에 배리어 메탈(412b)을 형성한 후, 상기 콘택트 플러그가 형성되는 것이 바람직하다. 상기 콘택트층(413)의 구성 재료는 CoSi₂, TiSi₂ 등이고, 상기 배리어 메탈(412a, 412b)의 구성 재료는 TiN, TaN 등이다.

상기 콘택트 플러그(411) 상부에는 배선층(414)이 형성되어 있지만, 상기 층간 절연층(409a, 409b)과의 밀착성, 상호 확산 방지를 위해서 배리어 메탈(412c, 412d)가 형성된 후, 상기 배선층이 형성되는 것이 바람직하다. 상기 배선층의 구성 재료는 Al, Cu 등이고, 상기 배리어 메탈(412c, 412d)의 구성 재료는 TiN, TaN 등이다. 또, 도 10에는 배선층을 1층만 명기하고 있지만 배선층이 또한 상부에 1층 혹은 복수층 있고 배선층간이 W, Cu, Al 등으로 이루어지는 비어 플러그로 접속되어 있어도 좋다.

상기 SiON으로 이루어지는 터널 게이트절연막(404)은 압축 변형상태로 되어 있다. (실시예 1)에서 나타난 바와 같이 SiON막은 압축 변형상태로 하는 것으로 밴드 갭이 커지므로 터널 절연막을 통하여 흐르는 FN리크전류를 억제하는 것을 기대할 수 있다. 따라서, SiON막을 불휘발성 반도체 기억장치의 터널 절연막으로서 이용해 압축 변형상태로 하는 것으로, 환산 막두께가 SiO₂ 터널 절연막의 하한값이하로 얇고, 또한 메모리 기능이 유지되는 불휘발성 반도체 기억장치를 제공할 수가 있다. 또, 상기 SiON 터널 게이트절연막의 변형양 내전압성, 박리강도도 고려하면 (실시예 1)에서 기술한 것처럼 1.5% 정도 이하인 것이 바람직하다.

상기 SiON 터널 게이트절연막을 압축 변형상태로 하기 위해서는 예를 들면, 상기 SiON 터널 게이트절연막 상부의 플로팅 게이트 혹은 콘트롤게이트를 인장 변형상태로 하는 것으로서 그 반작용으로 압축 변형상태가 될 수가 있다. 또, 상기 플로팅게이트 혹은 콘트롤게이트를 인장 변형상태로 하기 위해서는 (실시예 2) 또는, (실시예 3)에 나타난 인장 변형상태인 게이트전극의 형성 방법을 플로팅게이트 혹은 콘트롤게이트의 형성시 적용하면 좋다. 혹은, (실시예 4)에 나타난 방법으로 SiON 터널 게이트절연막 자체를 압축 변형상태로 해도 좋다. 이 경우는, Si기판계면의 채널부가 인장 변형상태가 되므로 N채널 트랜지스터이면 터널 게이트절연막의 압축 변형에 의한 리크전류 저감과 동시에 Si기판계면의 채널부의 인장 변형에 의한 트랜지스터의 고속 동작을 동시에 실현될 수 있다.

<실시예 7>

실시에 7은 (실시에 6) 에 있어서, 플로팅게이트(414)로서 질화 실리콘 혹은, 산질화 실리콘을 이용한다. 이들은, 격자 결합에 전자를 구축하는 성질이 있는 것이 알려져 있다. 일반적으로, 결정 격자를 뒤틀으면 원자간의 결합 에너지가 작아지기 때문에 격자 결합이 쉬워진다고 생각된다. 따라서, 터널 게이트절연막(404), 플로팅게이트(414), 게이트간 절연막(415), 콘트롤게이트(405)의 적층 구조로 이루어져 있는 불휘발성 반도체 기억장치에 있어서 상기 플로팅게이트의 구성 재료로서 질화 실리콘 혹은 산질화 실리콘을 이용해 상기 플로팅게이트를 변형상태로 하는 것으로 무변형상태일 때와 비교해 전자의 축적 효과가 높고, 리크전류가 작은 불휘발성 반도체 기억장치를 구할 수 있다고 기대된다. 또, 상기 플로팅게이트의 변형량은 박리강도도 고려하면 2% 정도 이하인 것이 바람직하다.

또, 상기 플로팅게이트를 인장 변형상태로 하는 것으로, 그 반작용으로서 상기 플로팅게이트 하부의 터널 게이트절연막, 상부의 게이트간 절연막이 함께 압축 변형상태가 된다. 그 때문에, 상기 터널 게이트절연막, 혹은 상기 게이트간 절연막의 박막화가 요구되지 않는 경우에는 이들 절연막의 구성 재료로서 종래의 산화 실리콘을 이용하면 좋지만 박막화가 요구되는 경우에는 비유전률이 SiO₂ 보다 크기 때문에 환산막압이 물리 막두께 이상으로 두껍고 DT리크전류를 저감 할 수 있고 또 압축 변형상태로 밴드 갭이 커져 FN리크전류의 저감도 가능한 SiON막을 상기 터널 게이트절연막 혹은 게이트간 절연막에 이용하는 것으로 보다 고신뢰의 불휘발성 반도체 기억장치를 얻을 수 있다.

또, 상기 질화 실리콘 혹은 산질화 실리콘으로 이루어지는 플로팅게이트를 인장 변형상태로 하기 위해서는 제막시에 탄소 원자(C) 등을 구성 원소로서 포함한 가스를 함유시키는 것으로 탄소원자 등 불순물을 플로팅게이트에 함유시킨다. 그 후, 열처리에 의해 탄소원자 등 불순물을 없애는 것으로 상기 플로팅게이트의 체적은 수축하고 인장 변형상태가 된다.

<실시에 8>

본 발명의 제 8의 실시예인 반도체장치의 단면도가 도 11이다. 본 실시예의 반도체장치는 불휘발성 반도체 기억장치이고, 도 11에 나타나는 바와 같이 P형 실리콘 기판(101)의 표면에 예를 들면 실리콘 산화막으로 이루어지는 소자 분리막(102)이 설치되어 소자형성영역(503)이 형성되고 있다. 소자형성영역(503)에는 플로팅게이트형 N채널 MOS 트랜지스터가 설치되어 있다.

(실시에 6)의 불휘발성 반도체 기억장치와 다른 점은 터널 게이트절연막 (504), 플로팅게이트(514), 게이트간 절연막 (515)의 적층 구조의 상부에 메모리게이트(516)가 있고 이들을 덮도록 게이트간 절연막(517)이 있고 또한 상부에 콘트롤게이트(505)가 있는 점이다. 이와 같이 공통의 절연막 위에는 메모리 게이트를 가지는 영역과 콘트롤게이트를 가지는 영역을 가지면 양영역은 게이트간 절연막 등의 절연막으로 사이를 두고 있다. 플로팅게이트(514), 콘트롤게이트(505)는 다 결정 실리콘막으로 이루어지고, 게이트간 절연막(515)은, 산화 실리콘, 질화 실리콘, 산질화 실리콘 등으로 이루어진다. 콘트롤게이트는 텅스텐, 몰리브덴 등의 금속 박막, 혹은 질화 텅스텐 등의 금속 화합물, 혹은 텅스텐 실리사이드 등의 금속 실리사이드막 혹은 이들의 적층구조로서도 좋다.

본 실시예의 터널 게이트절연막(504)의 주구성 재료는 SiON이고, 압축 변형상태로 이루어져 있고 상기 SiON 터널 게이트 절연막의 변형량은 내전압성, 박리강도도 고려하면 (실시에 1)에서 기술한 바와 같이 1.5% 정도 이하인 것이 바람직하다. 상기 SiON 터널 게이트절연막을 압축 변형상태로 하기 위해서는, 예를 들면, 상기 SiON 터널 게이트절연막 상부의 플로팅게이트(514) 혹은, 콘트롤게이트 (505) 혹은 메모리 게이트(516)를 인장 변형상태로 하면 그 반작용으로 압축 변형상태가 된다. 또, 상기 플로팅게이트, 상기 콘트롤게이트 및 상기 메모리 게이트를 인장 변형상태로 하기 위해서 (실시에 2) 또는 (실시에 3)에 나타낸 인장 변형상태에 있는 게이트전극의 형성 방법을 플로팅게이트, 콘트롤게이트 및 메모리 게이트의 형성시 적용하면 좋다. 혹은, (실시에 4)에 나타낸 방법으로, SiON 터널 게이트절연막자체를 압축 변형상태로 하여도 좋다. 이 경우는, Si기판계면의 채널부가 인장 변형상태가 되므로, N채널 트랜지스터이면 터널 게이트절연막의 압축 변형에 의한 리크전류 저감과 동시에 Si기판계면의 채널부의 인장 변형에 의한 트랜지스터의 고속 동작을 동시에 실현될 수 있다.

본 실시예에 있어서 SiON막을 불휘발성 반도체 기억장치의 터널 절연막으로서 이용하는 것으로, SiO₂ 터널 절연막의 하한값 이하에 얇고 또한 메모리 기능이 유지되는 불휘발성 반도체 기억장치를 제공할 수가 있다.

<실시에 9>

실시에 9는 (실시에 8)에 있어서 플로팅게이트(514)로서 질화 실리콘 혹은, 산질화 실리콘을 이용한다. 질화 실리콘 혹은 산질화 실리콘을 이용해 상기 플로팅게이트를 변형상태로 하는 것으로 무변형상태일 때와 비교해 전자의 축적 효과가 높고 리크전류가 작은 불휘발성 반도체 기억장치를 구해진다고 기대된다. 또, 상기 플로팅게이트의 변형량은 박리강도도 고려하면 2% 정도 이하인 것이 바람직하다.

또, 상기 플로팅게이트를 인장 변형상태로 하는 것으로, 그 반작용으로서 상기 플로팅게이트 하부의 터널 게이트절연막, 상부의 게이트간 절연막이 함께 압축 변형상태가 된다. 그 때문에, 상기 터널 게이트절연막, 혹은 상기 게이트간 절연막의 박막화가 요구되지 않는 경우에는 이들 절연막의 구성 재료로서 종래의 산화 실리콘을 이용하면 좋지만 박막화가 요구되는 경우에 비유전률이 SiO₂ 보다 크기 때문에 환산막 길이가 물리 막두께 이상으로 두껍고 DT리크전류를 저감 할 수 있고 또한 압축 변형상태로 밴드 갭이 커져 FN리크전류의 저감도 가능한 SiON막을 상기 터널 게이트절연막 혹은, 게이트간 절연막에 이용하는 것으로 보다 고신뢰의 불휘발성 반도체 기억장치를 얻을 수 있다.

또, 상기 질화 실리콘 혹은 산질화 실리콘으로 이루어지는 플로팅게이트를 인장 변형상태로 하기 위해서는, 제막시에 탄소 원자(C) 등을 구성 원소로서 포함하는 가스를 함유 시키는 것으로, 탄소 원자 등 불순물을 플로팅게이트에 함유 시킨다. 그 후, 열처리에 의해 탄소 원자등 불순물을 없애는 것으로, 상기 플로팅게이트의 체적은 수축하고 인장 변형상태가 된다.

<실시예 10>

본 발명의 (실시예 1 O)에서는 논리, 메모리 등이 혼재된 시스템 LSI를 구상한다. 설명을 간단하게 하기 위하여 고속 동작이 필요한 MOS 트랜지스터와 저소비 전력이 요구되는 MOS 트랜지스터의 혼재 회로를 예로 하여 설명한다. 도 12가 본 실시예에 있어서의 반도체장치의 주요부의 단면이고, 도 13에 있어서의 A-A'의 단면도이다.

MOS 트랜지스터는 단채널의 MOS 트랜지스터, C-MOS 트랜지스터 혹은 BiCMOS 트랜지스터로 구성된다. 설명을 용이하게 하기 위하여 본 실시예에서는, LDD 구조의 소스·드레인 확산층을 가지는 N채널 MOS 트랜지스터로 구성된 반도체장치에 대해서 설명한다.

본 실시예의 반도체장치는, 도 12에 나타나는 바와 같이 P형 실리콘 기판(101)의 표면에, 예를 들면 실리콘 산화막으로 이루어지는 소자 분리막(102)이 설치되고 고속 동작이 필요한 MOS 트랜지스터의 형성 영역(603)과 저소비 전력이 요구되는 MOS 트랜지스터의 형성 영역(703)이 형성되고 있다. 고속 동작이 필요한 MOS 트랜지스터의 형성 영역(603)과 저소비 전력이 요구되는 MOS 트랜지스터의 형성 영역(703)에 각각 N채널 MOS 트랜지스터가 형성되고 있다.

소자 형성 영역(603)에 형성된 MOS 트랜지스터는 게이트절연막(604), 게이트전극(605)을 가지고 있다. 게이트전극(605)의 측면에는, 예를 들면 산화 실리콘으로 이루어지는 사이드 월(606)이 형성되고 있다. 게이트절연막(604)의 주구성 재료는 SiON이고, 게이트전극(605)은 예를 들면 다결정 실리콘막이나 금속 박막, 혹은 금속 실리사이드막 혹은 이들의 적층구조이다. 특히, SiON과의 계면에서의 상호 확산을 억제하고 또한 고속화를 위해서 게이트전극의 저저항화를 고려하면 SiON막상에 SiON과의 밀착성이 좋은 TiN, TaN 등의 얇은 배리어 메탈을 이용해 그 위에 W, Mo, Ta, Ti 등의 금속 박막을 이용하는 구조가 바람직하다. 이 경우, 저저항성을 중시하는 경우는 W, Mo를 이용한다. 이 양자의 경우 또한 W는 고용점에서 열적 안정성이 뛰어나 Mo는 막의 평탄성이 뛰어나다. 또, 배리어 메탈과의 밀착성을 중시하는 경우에는 SiON 위에 TiN, 그 위에 Ti를 이용한 구조, 혹은 SiON 위에 TaN, 그 위에 Ta를 이용한 구조를 이용한다. 이 양자의 경우 또한 TiN과 Ti를 이용한 구조는 SiON과의 밀착성에 의해 뛰어나고 TaN과 Ta를 이용한 구조는 확산 등의 장벽에 의해 뛰어나다.

상기 MOS 트랜지스터는 소스·드레인 확산층으로서 게이트전극(605)에 자기 정합적으로 형성된 익스텐션영역(607)을 가지면, 소자분리층(102) 및 게이트전극(605)에 자기 정합적으로 형성된 콘택트 영역(608)을 가지고 있다.

소자 형성 영역(703)에 형성된 트랜지스터는 게이트절연막(704), 게이트전극(705)의 적층 구조를 가지고 있다. 게이트전극(705)의 측면에는, 예를 들면 산화 실리콘으로 이루어지는 사이드 월(706)이 형성되고 있다. 게이트절연막(704)의 주구성 재료는 SiON이고 게이트전극(705)은 예를 들면 다결정 실리콘막이나 금속 박막 혹은 금속 실리사이드막 혹은 이들의 적층 구조이다. 특히, SiON과의 계면에서의 상호 확산을 억제하고 또한 고속화를 위해서 게이트전극의 저저항화를 고려하면 SiON막 상에 SiON과의 밀착성이 좋은 TiN, TaN 등의 얇은 배리어 메탈을 이용해 그 위에 W, Mo, Ta, Ti 등의 금속 박막을 이용하는 구조가 바람직하다. 이 경우, 저저항성을 중시하는 경우는 W, Mo를 이용한다. 이 양자의 경우 또한 W는 고용점에서 열적 안정성이 뛰어나고 Mo는 막의 평탄성이 뛰어나다. 또, 배리어 메탈과의 밀착성을 중시하는 경우에는 SiON 위에 TiN, 그 위에 Ti를 이용한 구조, 혹은 SiON 위에 TaN, 그 위에 Ta를 이용한 구조를 이용한다. 이 양자의 경우 게다가 TiN과 Ti를 이용한 구조는 SiON과의 밀착성에 의해 뛰어나고 TaN과 Ta를 이용한 구조는 확산 등의 장벽에 의해 뛰어나다.

상기 트랜지스터는 소스·드레인 확산층으로서 게이트전극(705)에 자기 정합적으로 형성된 익스텐션영역(707)을 가지며 소자분리층(102) 및 콘트롤게이트(705)에 자기 정합적으로 형성된 콘택트 영역(708)을 가지고 있다.

상기 반도체장치의 표면에는 층간 절연층(609a, 609b, 709a, 709b)이 형성되어 있다. 층간 절연층(609a, 609b, 709a, 709b)에는 소스·드레인 확산층의 콘택트 영역(608, 708)에 이르는 콘택트홀이 각각 설치되고 콘택트 플러그(611, 711)가 각각 형성되어 있다. 상기 콘택트 플러그의 구성 재료는 W, Al, poly-Si 등이다. 다만, 실리콘 기판계면과의 밀착성, 계면에서의 상호 확산 방지 때문에 콘택트 영역계면에 각각 콘택트층(613, 713) 및 상기 콘택트층 상부에 배리어 메탈(612a, 712a) 및 상기 층간 절연층계면에 배리어 메탈(612b, 712b)을 형성한 후, 상기 콘택트 플러그가 형성되는 것이 바람직하다. 상기 콘택트층(613, 713)의 구성 재료는 CoSi₂, TiSi₂ 등이고, 상기 배리어 메탈(612a, 612b, 712a, 712b)의 구성 재료는 TiN, TaN 등이다.

상기 콘택트 플러그(611, 711) 상부에는 배선층(614, 714)이 형성되고 있지만, 상기 층간 절연층(609a, 609b, 709a, 709b)과의 밀착성, 상호 확산 방지를 위해 각각 배리어 메탈(612c, 612d, 712c, 712d)이 형성된 후, 상기 배선층이 형성되는 것이 바람직하다. 상기 배선층의 구성 재료는 Al, Cu 등이고, 상기 배리어 메탈(612c, 612d, 712c, 712d)의 구성 재료는 TiN, TaN 등이다. 또, 도 12에는 배선층을 1층만 명기하고 있지만, 배선층이 상부에 1층 혹은 복수층이고 배선층간이 W, Cu, Al 등으로 이루어지는 비어 플러그로 접속되어 있어도 좋다.

상기 SiON 게이트절연막을 이용한 MOS 트랜지스터는 리크전류의 관점에서 상기 절연막이 압축 변형상태가 되어 있는 것이 바람직하지만, 고속 동작이 필요한 MOS 트랜지스터와 저소비 전력이 요구되는 MOS 트랜지스터의 변형의 정도는 리크전류의 허용값 자체로 차이가 나도 좋다.

예를 들면, 국제 반도체 로드 맵 기재의 MPU의 half-pitch가 70 nm의 노드(2006년)의 파라미터를 이용하면 (실시예 1)에 나타난 바와 같이 리크전류의 허용값을 채우기 위해서는 고속 동작이 필요한 MOS 트랜지스터는 1.3% 이상의 압축 변형, 저소비 전력이 요구되는 MOS 트랜지스터는 압축 변형 또는 0.7% 이하의 인장 변형이 좋은 것을 알 수 있다. (고속 동작이 필요한 MOS 트랜지스터, 저소비 전력이 요구되는 MOS 트랜지스터를 각각, (a) 고성능 트랜지스터(HP), (b) 동작시저소비 전력 트랜지스터(LOP)로 생각했다.)

또, 상기 SiON 게이트절연막의 변형량은, 내전압성, 박리강도도 고려하면(실시예 1)에서 기술한 바와 같이 1.5% 정도 이하인 것이 바람직하다. 따라서, 예를 들면 도 5 계산의 파라미터의 경우 리크전류를 허용값 이하로 억제하는 것에 가세해 내전압성, 박리강도도 고려해 두면 고속 동작이 필요한 MOS 트랜지스터는 1.3 ~ 1.5%의 압축 변형, 저소비 전력이 요구되는 MOS 트랜지스터는 1.5%정도 이하의 압축 변형 또는 0.7% 이하의 인장 변형으로 하는 것이 바람직하다.

본 실시예의 지견보다, 임의의 논리, 메모리등이 혼재된 시스템 LSI에 대해서 변형제어가 특히 중요한 회로에 대해서 중점적으로 변형제어를 고려하면 좋고 고기능, 고신뢰인 시스템 LSI의 제조가 용이하게 된다.

발명의 효과

본 발명에 의해, 종래의 과제를 해결해, 높은 특성의 반도체장치를 제공할 수가 있다. 예를 들면, 게이트절연막을 통하여 흐르는 리크전류가 충분히 억제된 반도체장치를 제공할 수가 있다.

도면의 간단한 설명

도 1은 본 발명에 있어서의 제 1 실시예인 반도체장치의 주요부이고, 도 2의 A-A'단면도이다.

도 2는 본 발명에 있어서의 제 1 실시예인 반도체장치의 주요부의 평면도이다.

도 3은 본 발명에 있어서의 제 1 실시예인 SiON(실선)막의 밴드 갭의 변형 의존성을 나타내는 도이다.

도 4는 본 발명에 있어서의 제 1 실시예인 SiON 게이트절연막의 리크전류의 변형 의존성을 나타내는 도이다.

도 5는 본 발명에 있어서의 제 1 실시예인 SiON 게이트절연막의 리크전류의 변형 의존성을 나타내는 도이다.

도 6은 도 1에 나타난 반도체장치의 주요부의 제조 방법을 설명하는 도이다.

도 7은 도 1에 나타난 반도체장치의 주요부의 제조 방법을 설명하는 도이다.

도 8은 본 발명에 있어서의 제 4 실시예인 반도체장치의 주요부에서 단면도이고, 도 9의 A-A'단면도이다.

도 9는 본 발명에 있어서의 제 4 실시예인 반도체장치의 주요부의 평면도이다.

도 10은 본 발명에 있어서의 제 5 실시예인 반도체 기억장치의 주요부에서 단면도이다.

도 11은 본 발명에 있어서의 제 7 실시예인 반도체 기억장치의 주요부에서 단면도이다.

도 12는 본 발명에 있어서의 제 9 실시예인 반도체장치의 주요부에서 단면도이고, 도 13의 A - A'단면도이다.

도 13은 본 발명에 있어서의 제 9 실시예인 반도체장치의 주요부의 평면도이다.

<주요부분을 나타내는 도면부호의 설명>

101 : 실리콘 기판

102 : 소자 분리막

103, 203, 303, 403, 503, 603, 703 : 소자 형성 영역

104 : 압축 변형 상태에 있는 산질화 실리콘막

104a, 204, 604, 704 : 압축 변형상태에 있는 산질화 실리콘 게이트절연막

105 : 인장(引張) 변형상태에 있는 다결정 실리콘막

105a, 205, 305, 605, 705 : 게이트전극

106, 110 : 실리콘 산화막

106a, 206, 306, 406, 506, 606, 706 : 사이드 월

107 : 소스·드레인 확산층

107a, 207, 307, 407, 507, 607, 707 : 소스·드레인 확산층의 익스텐션영역

108, 208, 308, 408, 508, 608, 708 : 소스·드레인 확산층의 콘택트 영역

109a, 109b, 209a, 209b, 309a, 309b, 409a, 409b, 509a, 509b, 609 a, 609b, 709a, 709b : 층간 절연층

111, 211, 311, 411, 511, 611, 711 : 콘택트 플러그

112 a~112 d, 212 a~212 d, 312 a~312 d, 412 a~412 d, 512 a~512 d, 612 a~612 d, 712 a~712d : 배리어 메탈

113, 213, 313, 413, 513, 613, 713 : 콘택트층

114 : 산질화 실리콘막

115 : 다결정 실리콘막(실시예 2) 또는, 아모르펠스 실리콘막(실시예 3)

116, 216, 316, 416, 516, 616, 716 : 배선층

304 : 산화 실리콘 게이트절연막

404, 504 : 압축 변형상태에 있는 산질화 터널 게이트절연막

405, 505 : 콘트롤게이트

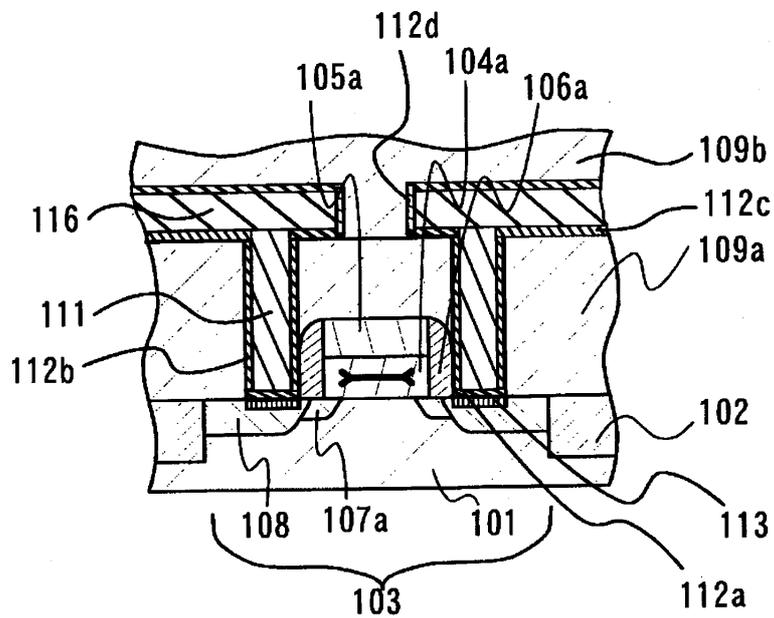
414, 514 : 인장 변형상태에 있는 플로팅게이트

415, 515, 517 : 게이트간 절연막

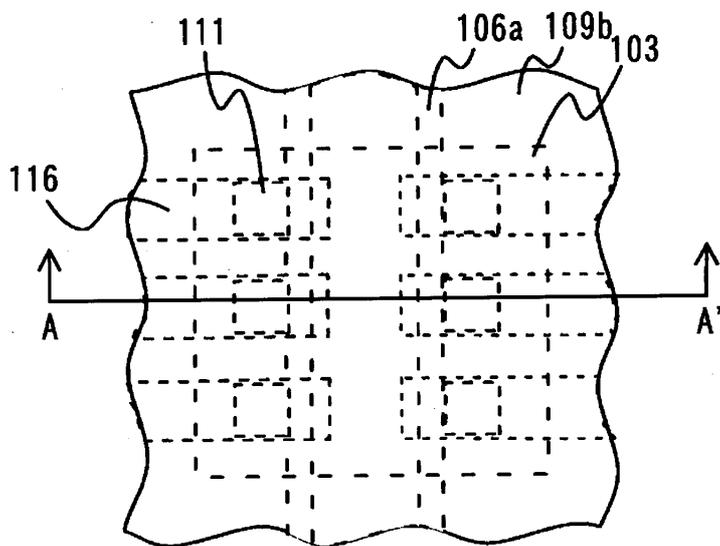
516 : 메모리게이트

도면

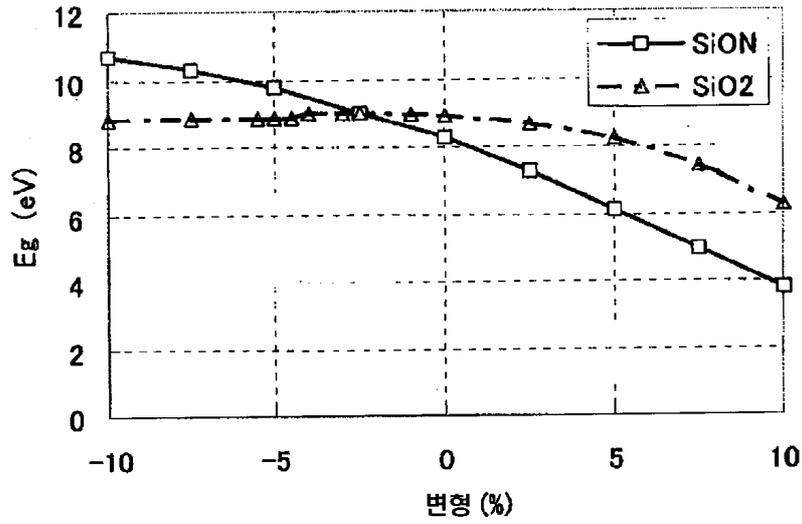
도면1



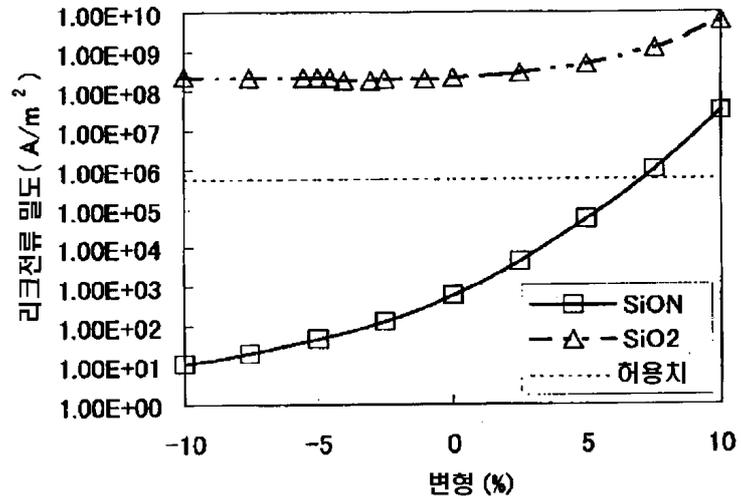
도면2



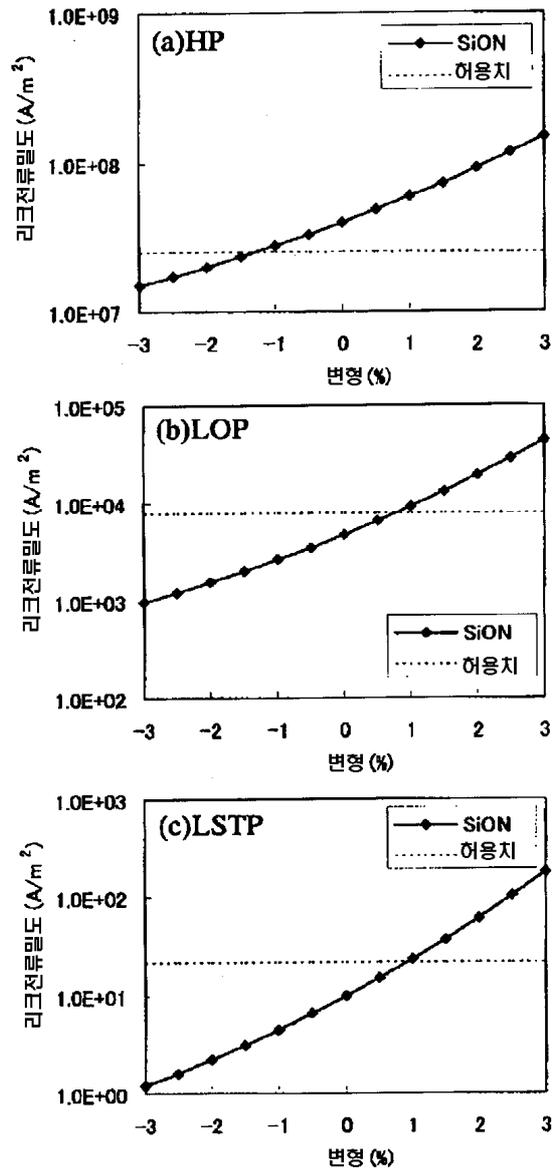
도면3



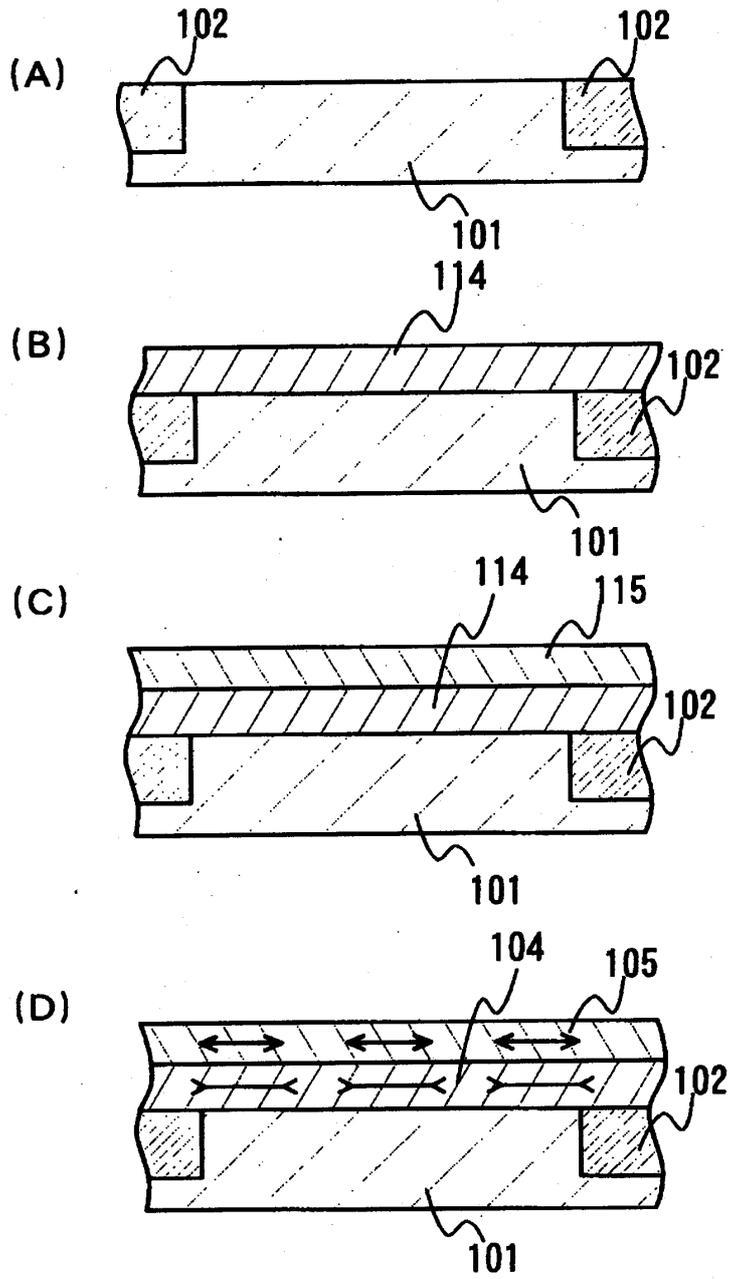
도면4



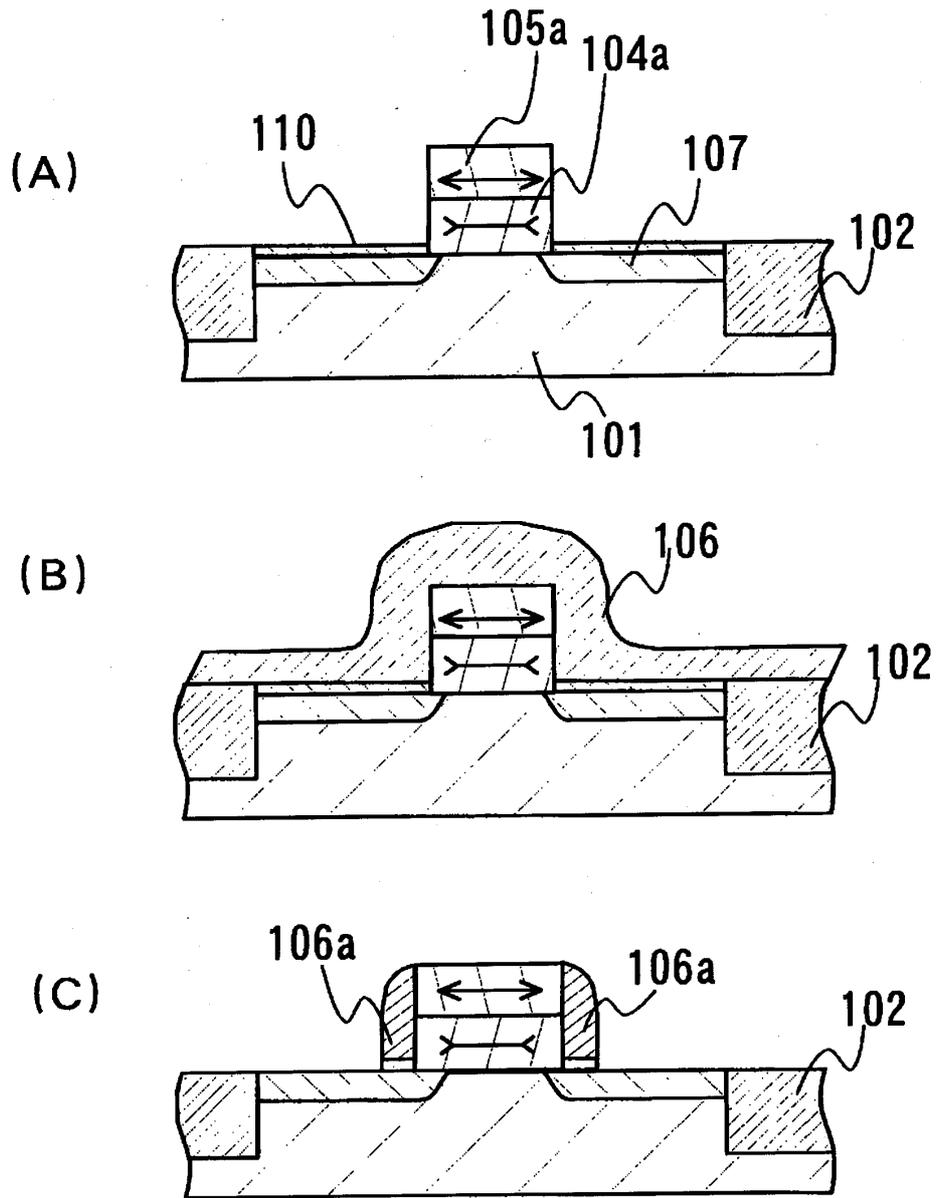
도면5



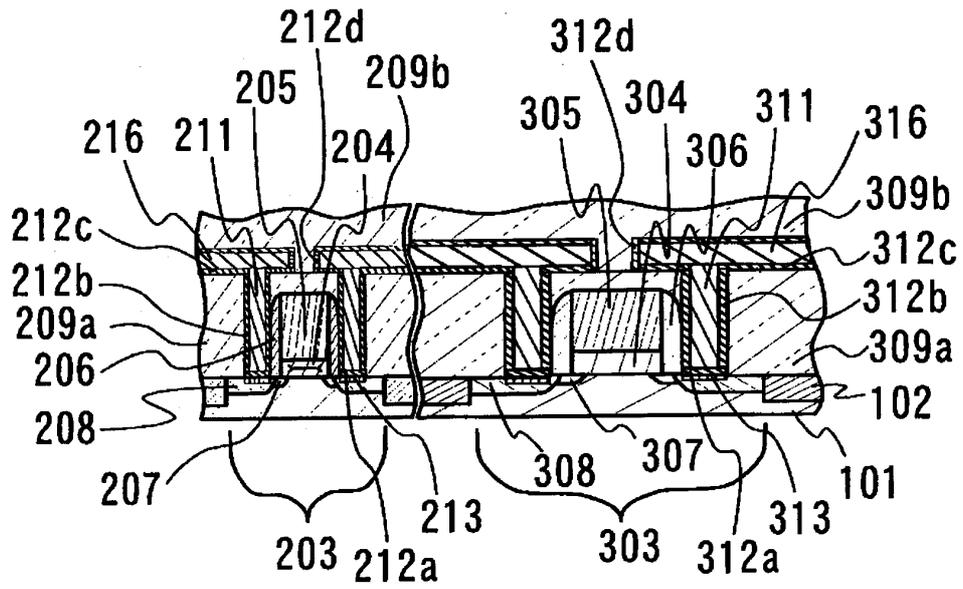
도면6



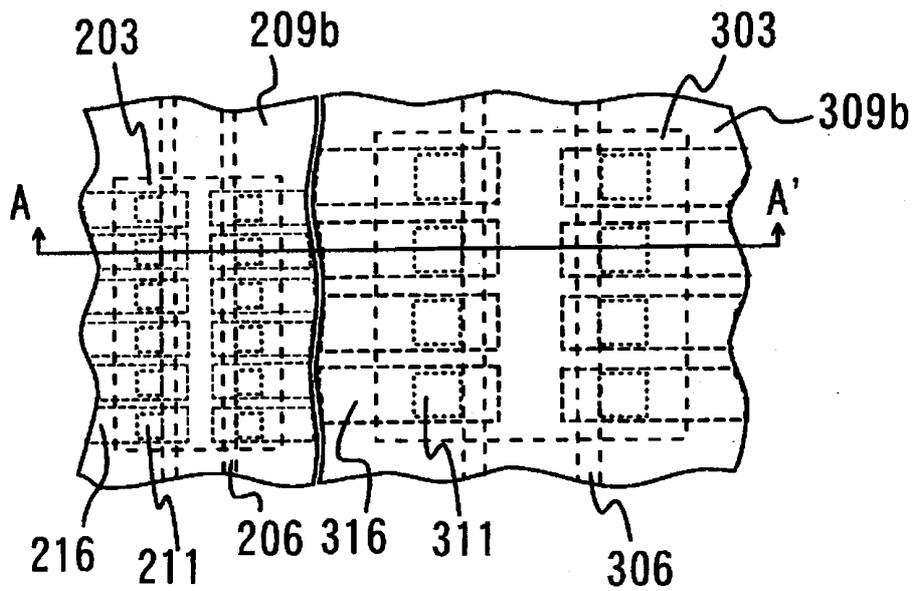
도면7



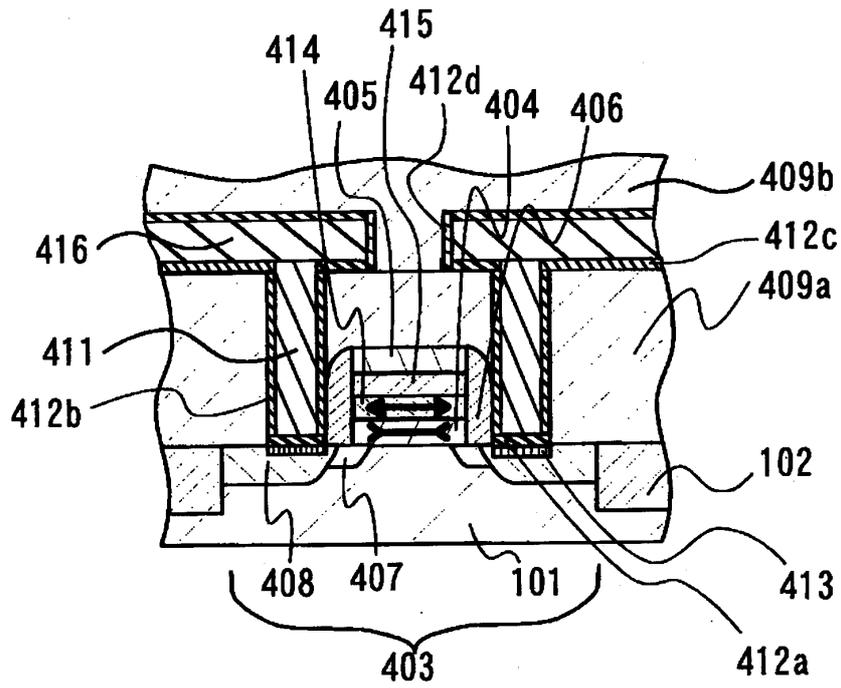
도면8



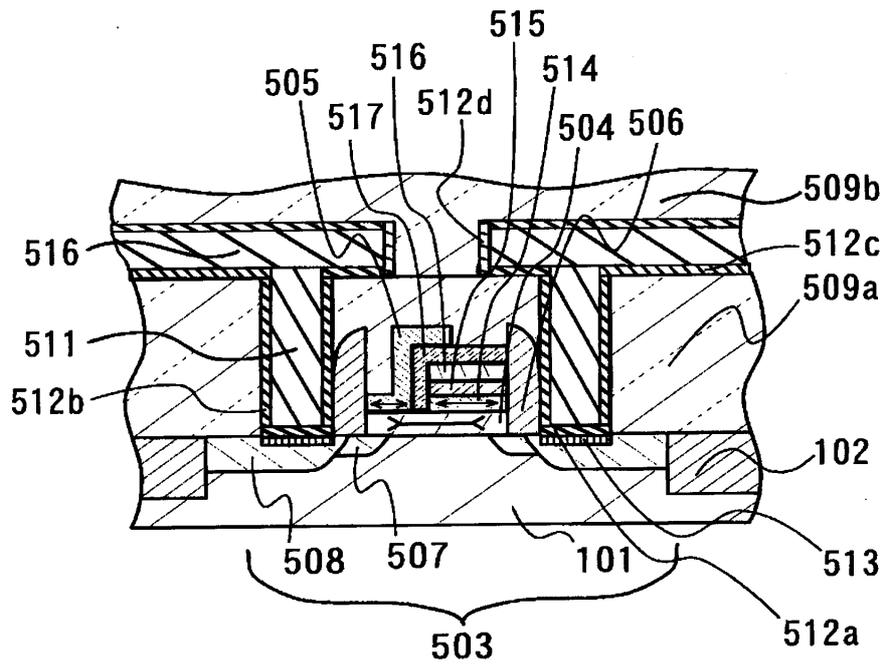
도면9



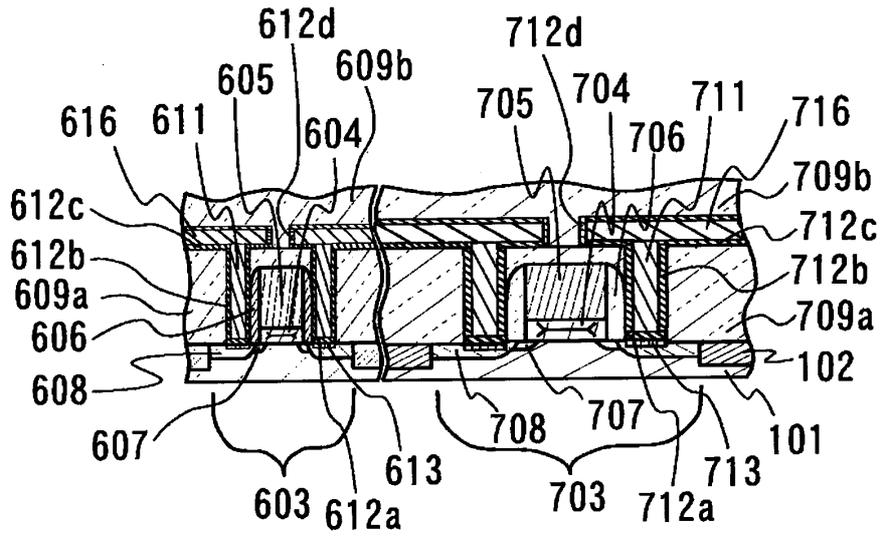
도면10



도면11



도면12



도면13

