



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 7/14 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월01일 10-0744687 2007년07월25일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0062919 2000년10월25일 2005년09월29일	(65) 공개번호 (43) 공개일자	10-2002-0032045 2002년05월03일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자                    주식회사 하이닉스반도체  
                                      경기 이천시 부발읍 아미리 산136-1

(72) 발명자                        강남수  
                                      경기도수원시권선구금곡동648LG빌리지103-1204

(74) 대리인                        특허법인 신성

(56) 선행기술조사문헌 JP10050075 A KR1019990057916 A	KR1019990003930 A KR1020000027380 A
--	--

심사관 : 윤난영

전체 청구항 수 : 총 3 항

**(54) 강유전체의 분극 상태에 따라 문턱전압이 조절되는 트랜지스터를 구비하는 강유전체 메모리 소자의 레퍼런스 회로**

**(57) 요약**

본 발명은 안정한 레퍼런스 레벨을 얻을 수 있으며 레퍼런스 레벨을 용이하게 조절할 수 있는 강유전체 메모리 소자의 레퍼런스 회로에 관한 것으로, 제1 레퍼런스 셀 및 제2 레퍼런스 셀 내에 각각 형성되어 레퍼런스 비트라인 또는 레퍼런스 비트라인과 공통전압 인가 라인을 각각 직렬연결하는 트랜지스터의 게이트 전극 상에 강유전체막 및 전극을 적층하여 트랜지스터 각각의 문턱전압이 강유전체의 분극 상태에 의해 조절되는 레퍼런스 회로를 제공하는데 그 특징이 있다.

**대표도**

도 4

**특허청구의 범위**

**청구항 1.**

정 레퍼런스 비트라인과 레퍼런스 바이어스 라인 사이에 접속된 제1 레퍼런스 셀 트랜지스터와,

부 레퍼런스 비트라인과 상기 레퍼런스 바이어스 라인 사이에 접속된 제2 레퍼런스 셀 트랜지스터를 구비하며,  
상기 제1 및 제2 레퍼런스 셀 트랜지스터의 게이트는 각각,

리스토어 전압을 인가받는 게이트 전극, 강유전체막, 레퍼런스 워드라인에 접속된 상부전극의 적층 구조로 이루어져, 그 문턱전압이 상기 강유전체막의 분극 상태에 의해 조절되는 것을 특징으로 하는 강유전체 메모리 소자의 레퍼런스 회로.

## 청구항 2.

제1항에 있어서,

이퀄라이즈 신호에 응답하여 상기 정 레퍼런스 비트라인과 상기 부 레퍼런스 비트라인을 이퀄라이즈하기 위한 이퀄라이즈 트랜지스터를 더 구비하는 것을 특징으로 하는 강유전체 메모리 소자의 레퍼런스 회로.

## 청구항 3.

제1항 또는 제2항에 있어서,

리스토어 레퍼런스 워드라인을 게이트 입력으로 하며, 상기 제1 레퍼런스 셀 트랜지스터의 게이트와 리스토어 라인에 접속된 제1 리스토어 트랜지스터와,

상기 리스토어 레퍼런스 워드라인을 게이트 입력으로 하며, 상기 제2 레퍼런스 셀 트랜지스터의 게이트와 그라운드 라인에 접속된 제2 리스토어 트랜지스터를 더 구비하는 것을 특징으로 하는 강유전체 메모리 소자의 레퍼런스 회로.

## 청구항 4.

삭제

## 청구항 5.

삭제

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 강유전체 메모리 소자 제조 분야에 관한 것으로, 특히 강유전체 메모리 소자의 레퍼런스 회로에 관한 것이다.

FeRAM(ferroelectric random access memory)은 DRAM(dynamic random access memory)의 정보저장 기능, SRAM(static random access memory)의 빠른 정보처리 속도, 플래쉬 메모리(flash memory)의 정보 보존 기능을 결합한 비휘발성 메모리 소자로서 종래의 플래쉬 메모리나 EEPROM(electrically erasable programmable read only memory) 보다 동작 전압이 낮고 정보 처리 속도가 1000배 이상 빠른 미래형 반도체 메모리 소자이다.

첨부된 도면 도 1은 1개의 트랜지스터와 1개의 강유전체 캐패시터로 이루어지는 FeRAM 소자의 메모리 셀을 보이고 있다.

FeRAM 소자는 캐패시터와 트랜지스터가 워드라인과 플레이트 라인에 접속되는 점에서 DRAM 소자와 동일하고, 캐패시터가 강유전체 박막을 갖는다는 점과 강유전체 캐패시터의 플레이트 전극이 접지전위 또는 전원전압의 1/2 등의 고정 전위에 연결된 것이 아니라 셀 마다 전압인가가 가능한 개별 플레이트 라인으로 되어 있다는 점에서 DRAM 소자와 차이가 있다.

강유전체의 이력특성을 보이는 도 2를 참조하여 FeRAM 소자의 동작을 설명한다. 다음의 설명에서 양의 전압은 비트라인의 전위가 플레이트라인의 전위보다 높은 경우로 정의하고, 잔류분극 "a" 점, "c"점을 각각 데이터 "0", "1"인 상태로 정의한다.

데이터 "0"이 저장되는 원리는 다음과 같다. 즉, 트랜지스터를 턴온(turn-on)시키고 비트라인의 전위에 대하여 플레이트 라인에 양의 전위를 인가하면 강유전체 캐패시터에 인가되는 전압은 음이 되고 이력특성 곡선에서 "d" 점을 통과하게 된다. 이후 플레이트 전압을 되돌려 캐패시터에 음의 방향으로 인가된 전압을 없애면 분극치가 잔류분극 "a"점으로 되고 데이터 "0"이 기록된다. 한편, 데이터 "1"을 저장할 때는 강유전체 축적용량에 인가하는 전압을 양으로 하여 "b"점을 통과시킨 후 인가전압을 0으로 돌리면 분극치가 잔류분극 "c"점으로 되고 데이터 "1"이 기록된다.

기록된 데이터는 전압을 강유전체 캐패시터에 인가한 순간에 비트라인 상으로 흘러나가는 전하량을 검출하여 읽는다. 구체적으로, 양의 전압을 캐패시터에 인가하면 데이터가 "0"인 때 전하량  $\Delta Q_0$ 가 흘러나간다. 즉, 비트라인으로 흘러나가는 전하량의 크기가 축적용량에 기억된 데이터에 의하여 차이난다.

강유전체 캐패시터로부터 비트라인으로 흘러나가는 전하는 비트라인의 전위를 변동시킨다. 비트라인에는 그 자체가 갖고 있는 캐패시터인 기생비트라인 용량  $C_b$ 가 존재한다. 트랜지스터가 켜져서 읽어낼 메모리가 선택되면  $\Delta Q_1$ 과  $\Delta Q_0$ 의 전하가 출력된다. 이 전하를 비트라인 용량( $C_b$ )와 셀 캐패시턴스값( $C_s$ )의 합으로 나눈 값이 다음의 수학식1과 같이 비트라인의 전위( $V_1, V_2$ )가 된다.

수학식 1

$$V_1 = \Delta Q_1 / (C_b + C_s)$$

$$V_0 = \Delta Q_0 / (C_b + C_s)$$

따라서 데이터 "1"과 "0"의 차이에 의하여 비트라인에 나타나는 전위가 다르다. 워드라인에 전위를 인가하여 트랜지스터가 턴온되면 비트라인의 전위가  $V_1$  또는  $V_0$ 로 변한다. 비트라인의 전위가  $V_1$ 인가 또는  $V_0$ 를 인가를 판정하기 위해서는  $V_1$ 과  $V_0$  사이 값의 기준전압( $V_{ref}$ )과  $V_1$  또는  $V_0$  전위의 크기 관계를 비교하면 된다.

도 3은 종래 기술에 따른 레퍼런스 회로의 구성을 보이는 회로도로서, 각각 데이터 "0", "1"을 저장하는 제1 강유전체 캐패시터( $C_1$ ) 및 제2 강유전체 캐패시터( $C_2$ ), 레퍼런스 워드라인 신호( $rw_1$ )에 의해 구동되어 상기 제1 및 제2 강유전체 캐패시터( $C_1, C_2$ )에 저장되어 있는 데이터 "0", "1"을 레퍼런스 비트라인( $rb_1$ )과 레퍼런스 비트바라인( $rb_2$ )에 제공하기 위한 스위치로써 역할하는 제1 트랜지스터( $Tr_1$ ) 및 제2 트랜지스터( $Tr_2$ ), 레퍼런스 비트라인( $rb_1$ )과 레퍼런스 비트바라인( $rb_2$ )에 연결되며 이퀄라이즈 신호( $eq$ )에 구동되어 레퍼런스 비트라인( $rb_1$ )과 레퍼런스 비트바라인( $rb_2$ )을 단락시키는 스위치로써 역할하는 제3 트랜지스터( $Tr_3$ )를 포함한 레퍼런스 회로를 보이고 있다.

제1 및 제2 강유전체 캐패시터( $C_1, C_2$ )에는 다음과 같은 원리에 따라 데이터 "0", "1"이 저장된다. 즉, 제1 캐패시터( $C_1$ )와 리스토어 라인(Restore) 라인 사이에 직렬 연결되어 스위치로써 역할하는 제4 트랜지스터( $Tr_4$ ) 그리고 제2 캐패시터( $C_2$ )와 그라운드 사이에 직렬 연결되어 스위치로써 역할하는 제5 트랜지스터( $Tr_5$ )가 리스토어 레퍼런스 워드라인(Restore- $rw_1$ )으로부터 신호를 받아 턴온 되고, 레퍼런스 플레이트 라인( $rpl$ )을 통해 제1 및 제2 강유전체 캐패시터( $C_1, C_2$ )에 동일한 펄스 신호가 입력되면 제1 강유전체 캐패시터( $C_1$ )의 양단( $N_{11}, N_{12}$ ), 제2 강유전체 캐패시터( $C_2$ )의 양단( $N_{13}, N_{14}$ ) 간에 각각 전위차가 발생하여 제1 및 제2 강유전체 캐패시터( $C_1, C_2$ )의 분극상태가 정해진다. 즉, 리스토어 라인(Restore)과 연결된 제1 강유전체 캐패시터( $C_1$ )와 그라운드에 연결된 제2 강유전체 캐패시터( $C_2$ )에는 상방된 분극 상태 즉, 데이터 "1" 또는 "0"이 각각 저장된다.

저장된 데이터를 읽어내고자 할 경우에는 레퍼런스 워드라인( $rw_1$ )에 신호가 입력되어 제1 트랜지스터( $Tr_1$ ) 및 제2 트랜지스터( $Tr_2$ )가 각각 턴온되고, 다음으로 레퍼런스 플레이트 라인( $rpl$ )에 펄스 신호가 입력되면 제1 및 제2 강유전체 캐패

시터(C1, C1)에 있는 데이터 각각이 판독되어 레퍼런스 비트라인(rbl1) 및 레퍼런스 비트바라인(rbl2)에 전하가 전달되어 그에 상응하는 전압이 레퍼런스 비트라인(rbl1) 및 레퍼런스 비트바라인(rbl2)에 인가된다. 이후 제3 트랜지스터(Tr3)가 턴 온되어 레퍼런스 비트라인(rbl1)과 레퍼런스 비트바라인(rbl2)이 단락되면 레퍼런스 비트라인(rbl1)과 레퍼런스 비트바라인(rbl2)의 전압이 동등한 레벨로 평균화되어 그 전압이 레퍼런스 레벨로써 이용된다. 이것이 메모리 셀에서 판독되고 비트라인에 인가된 전압과 상호 비교되어 저장된 데이터가 "0" 또는 "1"로 판독된다.

도 3에 보이는 바와 같이 종래 레퍼런스 회로는 1개 트랜지스터와 1개 캐패시터로 이루어지는 레퍼런스 셀이 두개의 쌍으로 연결되어 있다. 이러한 구조는 매번 데이터를 판독할 때마다 레퍼런스 셀의 데이터도 읽고 써야한다. 즉, 데이터 판독시마다 레퍼런스 셀에 저장된 데이터를 의미하는 분극 상태가 바뀌어야 하는 파괴 형식(destructive mode) 방법으로 동작한다. 강유전체의 분극 상태가 변화하는 동작은 메모리의 장기적 동작시 캐패시터 막질에 피로 현상을 일으켜 강유전체 특성의 열화를 야기시킨다. 이는 곧 레퍼런스 레벨의 변화를 의미하는 것이어서 저장된 데이터를 판독할 경우 기준 레벨로 사용하기에 안정적이지 못하다. 또한, 종래 기준전압 발생장치는 매번 분극 상태를 변경시키는 레퍼런스 셀 구동 방식을 이용함에 따라 분극 상태를 변화시키는 동작 직후에 발생하는 휘발성(volatile) 분극에 의해 레퍼런스 레벨이 변화되어 데이터 "1"이 "0"으로 읽혀 결과적으로 데이터 "1"의 불량을 증가시키는 문제를 유발한다. 즉, 데이터 1, 0을 판독할 경우 잘못 판정하는 경우가 발생하여 메모리로서의 셀 동작의 신뢰성을 저하시키는 결과를 초래한다.

한편, 레퍼런스 레벨이 데이터 0과 1 사이의 중앙에 위치하도록 하기 위해서는 레벨 조정이 필요하고 경우에 따라서는 미세한 조정이 필요하다. 종래 레퍼런스 회로 구조에서는 레퍼런스 레벨을 조절하려면 내부적으로 제어신호와 시간(timing)을 조절해야 하나, 이 방법은 신호간의 마진이 없어 오동작 유발에 따른 신뢰성 저하 등의 문제를 가지고 있다. 한편, 캐패시터의 크기를 변경시켜 레퍼런스 레벨을 조절하는 방법이 있으나, 이를 위해서는 매번 마스크를 수정하여야 하기 때문에 공정이 용이하지 않은 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명은 안정한 레퍼런스 레벨을 얻을 수 있으며 레퍼런스 레벨을 용이하게 조절할 수 있는, 강유전체 메모리 소자의 레퍼런스 회로를 제공하는데 그 목적이 있다.

### 발명의 구성

상기 목적을 달성하기 위한 본 발명의 일 측면에 따르면, 정 레퍼런스 비트라인과 레퍼런스 바이어스 라인 사이에 접속된 제1 레퍼런스 셀 트랜지스터와, 부 레퍼런스 비트라인과 상기 레퍼런스 바이어스 라인 사이에 접속된 제2 레퍼런스 셀 트랜지스터를 구비하며, 상기 제1 및 제2 레퍼런스 셀 트랜지스터의 게이트는 각각, 리스토어 전압을 인가받는 게이트 전극, 강유전체막, 레퍼런스 워드라인에 접속된 상부전극의 적층 구조로 이루어져, 그 문턱전압이 상기 강유전체막의 분극 상태에 의해 조절되는 것을 특징으로 하는 강유전체 메모리 소자의 레퍼런스 회로가 제공된다.

삭제

삭제

본 발명은 제1 레퍼런스 셀 및 제2 레퍼런스 셀 내에 각각 형성되어 레퍼런스 비트라인 또는 레퍼런스 비트라인과 공통전압 인가 라인을 직렬연결하는 트랜지스터의 게이트 전극 상에 강유전체막 및 전극을 적층하여 트랜지스터 각각의 문턱전압이 강유전체의 분극 상태에 의해 조절되는 레퍼런스 회로를 제공하는데 그 특징이 있다.

도 4를 참조하여 본 발명의 실시예에 따른 기준전압 발생장치를 보다 상세하게 설명한다.

본 발명에 따른 레퍼런스 회로는 제1 레퍼런스 셀 및 제2 레퍼런스 셀 각각의 제1 트랜지스터(Tr1) 및 제2 트랜지스터(Tr2)의 게이트 전극 상에 강유전체막 및 상부전극이 적층되어 게이트 전극이 캐패시터의 하부전극으로서 역할하게 된다. 제1 트랜지스터(Tr1)와 제2 트랜지스터(Tr2)에 연결되어 각각 전압을 인가받는 레퍼런스 비트라인(rbl1)과 레퍼런스 비트바라인(rbl2)은 이퀄라이즈 신호(eq)를 인가받아 스위치로써 역할하는 제3 트랜지스터(Tr3)에 의해 단락되어 기준전압이 발생된다.

리스토어 라인(Restore)과 제1 트랜지스터(Tr1)의 게이트 전극 사이에 직렬 연결되어 스위치로써 역할하는 제4 트랜지스터(Tr4) 및 그라운드와 제2 트랜지스터(Tr2)의 게이트 전극에 직렬 연결되어 스위치로써 역할하는 제5 트랜지스터(Tr5)가 리스토어 레퍼런스 워드라인(Restore-rwl)으로부터 신호를 받아 턴온되어 제1 트랜지스터(Tr1) 및 제2 트랜지스터

(Tr2)의 게이트 전극(캐패시터 하부전극)에 리스토어 라인(Restore)과 그라운드로부터의 신호가 각각 전달되고, 레퍼런스 워드라인(rwl)을 통하여 일정한 전압이 각 레퍼런스 셀의 강유전체막 상의 상부전극에 인가되면 제1 레퍼런스 셀과 제2 레퍼런스 셀의 강유전체막에 각기 다른 분극 상태가 유도된다.

이러한 분극 상태의 차이에 따라 제1 레퍼런스 셀과 제2 레퍼런스 셀의 제1 트랜지스터(Tr1)와 제2 트랜지스터(Tr2)는 각기 다른 문턱전압을 갖게 된다. 즉, 각 레퍼런스 셀의 강유전체막이 서로 다른 분극상태를 가진 상태에서 레퍼런스 워드라인(rwl)에 전압이 인가되면 제1 트랜지스터(Tr1)와 제2 트랜지스터(Tr2)는 각각 온 또는 오프의 서로 다른 상태가 된다. 이때, 레퍼런스 바이어스 라인(reference bias line, rbl)을 통하여 제1 트랜지스터(Tr1)와 제2 트랜지스터(Tr2) 각각의 접합(소오스/드레인)에 공통전압이 인가되면 레퍼런스 비트라인(rbl1)과 레퍼런스 비트바라인(rbl2)에 각기 다른 전위의 전압이 인가된다.

그리고, 이퀄라이즈 신호(eq)에 의해 제3 트랜지스터(Tr3)가 턴온되면 레퍼런스 비트라인(rbl1)과 레퍼런스 비트바라인(rbl2)이 단락되고, 두 개의 비트라인에 동일한 전압이 인가되어, 메모리 셀에 저장된 데이터 판독시 레퍼런스 레벨서 사용된다.

전술한 본 발명의 실시예에서 상기 제1 트랜지스터 내지 제5 트랜지스터는 각각 NMOS 트랜지스터 또는 PMOS 트랜지스터이며, 상기 접합은 제1 트랜지스터(Tr1)와 제2 트랜지스터(Tr) 각 게이트 전극 양단의 반도체 기판 내에 형성되어 소오스 또는 드레인으로서 역할하는 것을 일컫는다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 발명의 효과

상기와 같이 이루어지는 본 발명은 기준전압 발생장치의 기본 메모리 셀(레퍼런스 셀)을 1개의 트랜지스터로 구성함으로써 매번 데이터를 판독할 때마다 레퍼런스 셀 내의 데이터를 훼손시킬 필요가 없어 장기적으로 안정한 동작을 확보할 수 있다. 즉, 파괴 형식(destructive mode)으로 동작하는 종래 레퍼런스 회로와 달리 본 발명에 따른 기준전압 발생장치는 비파괴 형식(nondestructive mode)로 동작할 수 있어서 장기적으로 신뢰성 개선의 효과를 얻을 수 있다.

또한, 비파괴 형식에서는 휘발성 성분이 모두 제거된 뒤의 안정한 분극상태를 사용하게 되어 휘발성 성분으로 인한 데이터 "1"의 불량은 발생하지 않는 장점이 있다.

또한, 트랜지스터의 문턱전압(threshold) 조절 방법으로 즉, 주입되는 이온의 도즈(dose)를 변화시키는 방법으로 기준 레벨을 조절할 수 있어 미세한 조절이 수월하다.

또한, 제어 신호의 타이밍(timing)을 조절하여 레퍼런스 레벨을 조절하는 종래 기준전압 발생장치와 달리 본 발명은 1개 트랜지스터로써 레퍼런스 회로의 기본 셀을 구성함으로써 무리하게 내부의 신호를 변경시킬 필요가 없어 안정적인 동작을 확보할 수 있다.

또한, 종래 레퍼런스 셀 구조는 레퍼런스 레벨을 조절하고자 할 경우 캐패시터의 크기를 조절해야 하는 번거로움이 있는데 반하여 본 발명에 따른 기준전압 발생장치는 트랜지스터의 문턱전압을 조절함으로써 레퍼런스 레벨을 미세하게 조절할 수 있다.

### 도면의 간단한 설명

도 1은 종래 FeRAM 소자의 메모리 셀을 보이는 회로도,

도 2는 강유전체의 이력특성을 보이는 그래프,

도 3은 종래 기술에 따른 레퍼런스 회로의 구성을 보이는 회로도,

도 4는 본 발명의 실시예에 따른 레퍼런스 회로의 구성을 보이는 회로도.

\*도면의 주요부분에 대한 도면 부호의 설명\*

Tr1, Tr2, Tr3, Tr4, Tr5: 트랜지스터

eq: 이퀄라이즈 라인 rbl: 레퍼런스 바이어스 라인

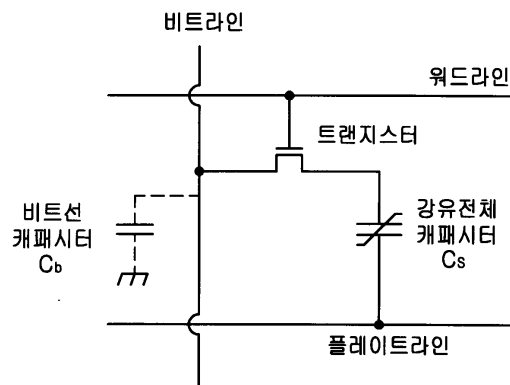
rw1: 레퍼런스 워드라인 Restore-rwl: 리스토어 레퍼런스 워드라인

Restore: 리스토어 rbl1: 레퍼런스 비트라인

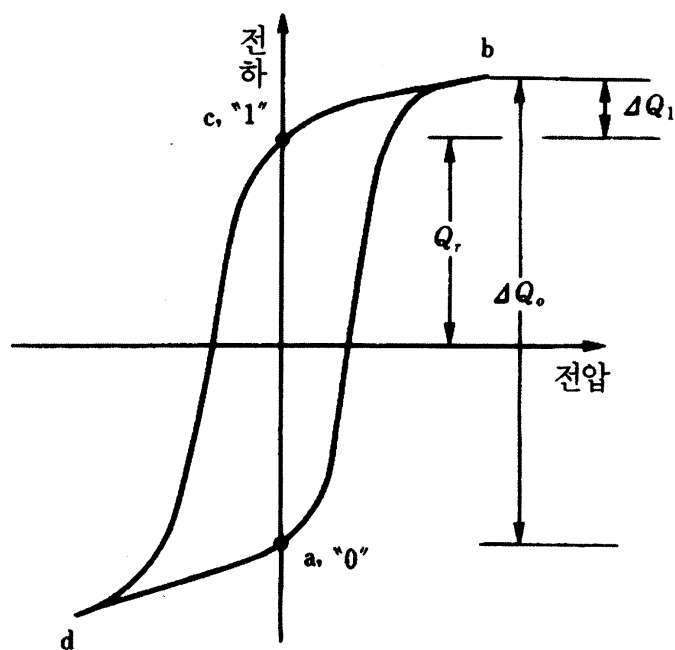
rbl2: 레퍼런스 비트바라인

도면

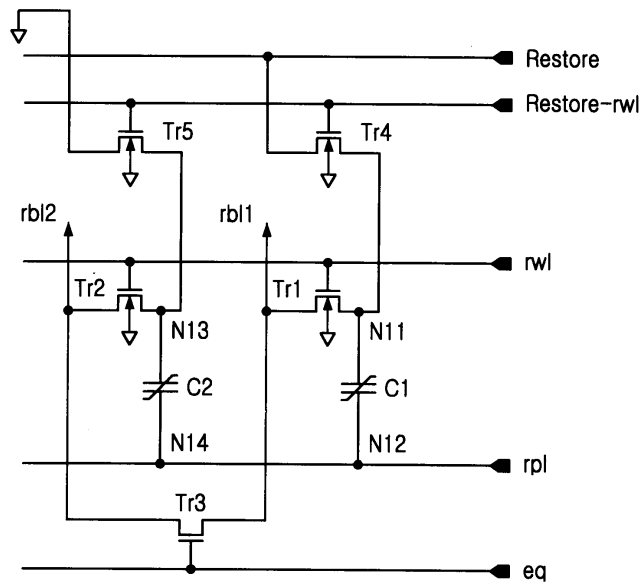
도면1



도면2



도면3



도면4

