

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7583706号
(P7583706)

(45)発行日 令和6年11月14日(2024.11.14)

(24)登録日 令和6年11月6日(2024.11.6)

(51)国際特許分類	F I		
H 0 1 L 21/301 (2006.01)	H 0 1 L	21/78	Q
H 0 1 L 21/304 (2006.01)	H 0 1 L	21/78	B
H 0 1 L 21/683 (2006.01)	H 0 1 L	21/78	M
	H 0 1 L	21/304	6 3 1
	H 0 1 L	21/68	N

請求項の数 6 (全15頁)

(21)出願番号	特願2021-508991(P2021-508991)	(73)特許権者	000102980 リンテック株式会社 東京都板橋区本町2 3 番 2 3 号
(86)(22)出願日	令和2年3月11日(2020.3.11)	(74)代理人	110002620 弁理士法人大谷特許事務所
(86)国際出願番号	PCT/JP2020/010413	(72)発明者	文田 祐介 東京都板橋区本町2 3 番 2 3 号 リンテック株式会社内
(87)国際公開番号	WO2020/195808	(72)発明者	田久 真也 東京都板橋区本町2 3 番 2 3 号 リンテック株式会社内
(87)国際公開日	令和2年10月1日(2020.10.1)	(72)発明者	愛澤 和人 東京都板橋区本町2 3 番 2 3 号 リンテック株式会社内
審査請求日	令和4年12月27日(2022.12.27)	(72)発明者	長谷川 裕也
(31)優先権主張番号	特願2019-58591(P2019-58591)		
(32)優先日	平成31年3月26日(2019.3.26)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法及び積層体

(57)【特許請求の範囲】

【請求項1】

平面形状が矩形状の半導体装置の製造方法であって、マトリクス状に並んでいる複数の矩形状の個片化予定領域を含むウエハの表面に、前記個片化予定領域の短辺方向に沿って粘着シートを貼付し、前記ウエハの表面に前記粘着シートを貼付した後、前記個片化領域を確定する分割予定線に対応する平面位置における前記ウエハの内部に、分割の起点となる改質部を形成し、前記粘着シートが貼付されたウエハの裏面を研削するとともに、前記分割予定線に沿って前記ウエハを分割する、半導体装置の製造方法。

【請求項2】

平面形状が矩形状の半導体装置の製造方法であって、マトリクス状に並んでいる複数の矩形状の個片化予定領域を含むウエハの表面に、前記個片化予定領域の短辺方向に沿って粘着シートを貼付し、前記粘着シートが貼付されたウエハの裏面を研削するとともに、前記個片化予定領域を画定する分割予定線に沿って前記ウエハを分割し、前記個片化予定領域の、長辺方向の長さ/短辺方向の長さ、で表されるアスペクト比が、1.05以上である、半導体装置の製造方法。

【請求項3】

平面形状が矩形状の半導体装置の製造方法であって、マトリクス状に並んでいる複数の矩形状の個片化予定領域を含むウエハの表面に、前記個

片化予定領域の短辺方向に沿って粘着シートを貼付し、
前記粘着シートが貼付されたウエハの裏面を研削するとともに、前記個片化予定領域を
画定する分割予定線に沿って前記ウエハを分割し、
前記個片化予定領域は、長辺方向の長さが5～50mmであり、短辺方向の長さが2～20mmである、半導体装置の製造方法。

【請求項4】

平面形状が矩形状の半導体装置の製造方法であって、
マトリクス状に並んでいる複数の矩形状の個片化予定領域を含むウエハの表面に、前記個片化予定領域の短辺方向に沿って粘着シートを貼付し、
前記粘着シートが貼付されたウエハの裏面を研削するとともに、前記個片化予定領域を
画定する分割予定線に沿って前記ウエハを分割し、
研削後の前記ウエハの裏面に転写シートを貼付し、
前記転写シート貼付後に、前記粘着シートを前記ウエハから分離する、半導体装置の製造方法。

10

【請求項5】

マトリクス状に並んだ複数の矩形状の個片化予定領域を含むウエハと、
前記個片化予定領域の短辺方向に沿ってテンションを付加した状態で、前記ウエハの表面に貼付された粘着シートと、を備え、
前記個片化予定領域の、長辺方向の長さ/短辺方向の長さ、で表されるアスペクト比が、1.05以上である、積層体。

20

【請求項6】

マトリクス状に並んだ複数の矩形状の個片化予定領域を含むウエハと、
前記個片化予定領域の短辺方向に沿ってテンションを付加した状態で、前記ウエハの表面に貼付された粘着シートと、を備え、
前記個片化予定領域は、長辺方向の長さが5～50mmであり、短辺方向の長さが2～20mmである、積層体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法、及び、半導体装置の製造方法に用いられる積層体に関する。

30

【背景技術】

【0002】

シリコン基板上に半導体回路が形成された半導体チップ等の半導体装置の製造プロセスとして、DBG(Dicing Before Grinding)と称される方法が知られている。DBGとは、仕上がり厚さに相当する深さの溝をウエハのストリートに形成しておき、ウエハの裏面を研削することによって、先に形成した溝をウエハの裏面から表出させてウエハを個々の半導体チップに分割する方法である。

1枚のウエハからのチップの取り数を増やす等の目的で、SDBG(Stealth Dicing Before Grinding)と称される方法も提案されている。SDBGとは、ウエハに対して透過性を有する波長のレーザーの集光点をウエハ内部に位置付けて、分割予定ラインに沿ってレーザーをウエハに照射して、ウエハ内部に多光子吸収による改質層を形成した後、ウエハの裏面側を研削してウエハを薄くするとともに、改質層を分割起点にしてウエハを個々の半導体チップに分割する加工方法である。

40

SDBGのように、分割されたウエハにおけるチップ間の隙間が非常に小さくなる加工方法を用いると、個片化された半導体チップに欠けや割れを生じることがある。このため、例えば、特許文献1では、ウエハ表面の分割予定ラインの各交差点に金属膜等からなる欠け防止層を設けることが提案されている。

【先行技術文献】

【特許文献】

50

【 0 0 0 3 】

【文献】特開 2 0 1 8 - 6 6 5 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

しかしながら、チップサイズの小型化への要請はますます高まっており、半導体チップの小型化に伴って、半導体チップの割れや欠けの問題が顕著になっている。本発明者らの検討によれば、DBGでダイシングにより形成される隙間を極力小さくする方法や、SDBGのようにウエハの分割時点では、隣り合うチップ間の間隔が実質的にゼロであるような方法を用いる場合、チップサイズが小型化すると、隣接するチップ同士の接触による割れや欠けの問題がより顕著になることが判明している。したがって、より効果的にチップの欠けや割れを防止できる新規かつ有用な半導体装置の製造方法が求められている。

10

【 0 0 0 5 】

本発明は、上記問題を鑑み、隣接する個片化後のチップ間の距離が小さい場合でも、製造工程中にチップに割れや欠けが生じにくい半導体装置の製造方法、及び、それに適した積層体を提供することを課題とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明者らは、上記課題を解決すべく鋭意検討を重ねた結果、ウエハの回路層形成面に貼付する粘着シートの貼付方向を、ウエハの個片化予定領域に基づいて適切に設定することで、上記課題を解決し得ることを見出し、本発明を完成した。

20

すなわち、本発明は、以下の[1]～[6]を提供するものである。

[1] 平面形状が矩形状の半導体装置の製造方法であって、

マトリクス状に並んでいる複数の矩形状の個片化予定領域を含むウエハの表面に、前記個片化予定領域の短辺方向に沿って粘着シートを貼付し、

前記粘着シートが貼付されたウエハの裏面を研削するとともに、前記個片化予定領域を画定する分割予定線に沿って前記ウエハを分割する、半導体装置の製造方法。

[2] 前記ウエハの表面に前記粘着シートを貼付した後、前記分割予定線に対応する平面位置における前記ウエハの内部に、分割の起点となる改質部を形成し、

前記粘着シートが貼付された前記ウエハの裏面を研削し、前記分割予定線に沿って前記ウエハを分割する、上記[1]に記載の半導体装置の製造方法。

30

[3] 前記個片化予定領域の、長辺方向の長さ/短辺方向の長さ、で表されるアスペクト比が、1.05以上である、上記[1]又は[2]に記載の半導体装置の製造方法。

[4] 前記個片化予定領域は、長辺方向の長さが5～50mmであり、短辺方向の長さが2～20mmである、上記[1]～[3]のいずれか一つに記載の半導体装置の製造方法。

[5] 研削後の前記ウエハの裏面に転写シートを貼付し、

前記転写シート貼付後に、前記粘着シートを前記ウエハから分離する、上記[1]～[4]のいずれか一つに記載の半導体装置の製造方法。

[6] マトリクス状に並んだ複数の矩形状の個片化予定領域を含むウエハと、

前記個片化予定領域の短辺方向に沿ってテンションを付加した状態で、前記ウエハの表面に貼付された粘着シートと、を備える、積層体。

40

【発明の効果】

【 0 0 0 7 】

本発明によれば、隣接する個片化後のチップ間の距離が小さい場合でも、製造工程において、チップに割れや欠けが生じにくい半導体装置の製造方法、及び、それに適した積層体を提供することができる。

【図面の簡単な説明】

【 0 0 0 8 】

【図1】回路層が形成されたウエハ、このウエハの回路層上に粘着シートが貼付された積層体、及び、この積層体を用いてウエハを加工することにより得られる、半導体装置とし

50

ての半導体チップの模式的な断面図である。

【図 2】ウエハへの粘着シートの貼付方向と、ウエハ上の個片化予定領域との関係を示す説明図である。

【図 3】積層体の製造工程を示す模式的な断面図である。

【図 4】半導体装置の製造工程を示す模式的な断面図である。

【図 5】半導体装置の製造工程を示す模式的な断面図である。

【図 6】本発明の実施例に係る半導体装置の製造方法で用いるウエハと、比較例に係る半導体装置の製造方法で用いるウエハとを、対比して示す模式的な平面図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態（以下、「本実施形態」と称することがある）について説明する。

[ウエハ、積層体、及び、半導体装置]

本実施形態の半導体装置の製造方法によって製造される半導体装置は、ウエハ部分とその表面に形成された回路部とを備えており、平面形状が矩形状である。本明細書において、「半導体装置」とは、プロセッサ、メモリ、センサ等に用いられる、半導体特性を利用することで機能し得る装置全般を指す。具体的には、集積回路を備えるウエハ、集積回路を備える薄化されたウエハ、集積回路を備えるチップ、集積回路を備える薄化されたチップ、これらのチップを含む電子部品、及び当該電子部品を備える電子機器類等が挙げられる。パッケージングされる前のチップも含まれる。

半導体装置は、回路層が表面に設けられたウエハを個片化することによって得られる。

また、回路層が設けられたウエハを半導体装置へと加工する工程において、ウエハの回路層形成面に粘着シートを貼付した積層体が用いられる。

【0010】

以下、本発明の実施形態に係る、ウエハ、積層体、及び、半導体装置を、図面を用いて説明する。

図 1 は、回路層が形成されたウエハ、このウエハの回路層が形成された面に粘着シートが貼付された積層体、及び、上記ウエハを加工することによって得られる、半導体装置としての半導体チップの模式的な断面図である。

図 1 (A) に示すように、まず、フォトリソ法を含む半導体形成プロセスによって、表面に回路層 C が形成されたウエハ W を準備する。

次に、図 1 (B) に示すように、ウエハ W の回路層 C が形成された面に粘着シート 1 を貼付して、積層体 10 を得る。

さらに、図 1 (C) に示すように、ウエハ W の裏面を必要に応じて研削するとともに、ウエハ W を、個片化予定領域を画定する分割予定線に沿って分割することで、個片化後のウエハ W I とする。こうして、回路層 C を有するウエハ W を複数に個片化し、半導体装置としての半導体チップ C P を得る。個片化予定領域については後ほど詳しく説明する。

【0011】

<ウエハ>

ウエハ W は、高純度の単結晶シリコンを円盤状に切り出したものである。ウエハ W の直径は、これに限るものではないが、例えば 12 インチである。

回路層 C は、半導体製造プロセスによってウエハ W の表面に形成された半導体回路を含む層である。

半導体プロセスは、シリコンウエハ上に回路の素材となる酸化シリコンやアルミニウム等を、スパッタリング、電気めっき、CVD 等によって薄膜形成した後、フォトリソ法によって半導体回路を形成する工程を含む。

フォトリソ法は、シリコンウエハ上に形成された上記薄膜をレジスト膜で被覆する工程、回路パターンが形成されたマスクを介して UV 光を上記レジスト膜に照射する工程、上記レジスト膜のうち未硬化の部分を現像して選択的に除去する工程、現像によって露出した薄膜をエッチングして除去する工程、エッチングによって露出したシリコン基板にリン

10

20

30

40

50

やホウ素等の不純物を注入して半導体特性を付与する工程、フラッシュランプやレーザー照射等を用いる熱処理によって不純物イオンを活性化する工程、及び、レジスト膜を剥離する工程、を有する。

【0012】

<半導体装置>

ウエハWは、一例として、平面視したときのサイズで、それぞれが12mm×6mm程度の大きさの複数の半導体チップとなるように分割される。このサイズに分割する場合、直径12インチのウエハからは、約1,000個の半導体チップが得られる。

半導体装置である半導体チップは、上述したように、ウエハWに由来するウエハ部分と、その表面に形成された回路層Cに由来する回路部とを備えている。

本実施形態の半導体装置の製造方法によって得られる半導体チップは、矩形状の平面形状を有する。このため、半導体チップに様々な機能を付与したり、半導体チップの天地を容易に把握したりすることができる。

【0013】

<積層体>

積層体10は、回路層Cが形成されたウエハWの表面に粘着シート1が貼付されたものである。

【0014】

(粘着シート)

粘着シート1は、基材層と、この基材層上に積層された粘着剤層とを含む積層体であり、典型的には、基材層と、基材層の少なくとも一方の面側に設けられた緩衝層と、基材層の他方の面側に設けられた粘着剤層とを含む積層体である。粘着シート1は、これら以外の他の構成層を含むことができ、例えば、粘着剤層側の基材表面にはプライマー層が形成されていてもよく、粘着剤層の表面には、使用時まで粘着剤層を保護するための剥離シートが積層されていてもよい。また、基材は単層であってもよく、多層であってもよい。緩衝層および粘着剤層も同様である。粘着シート1の粘着剤層がウエハWの回路層Cに接するようにして、粘着シート1がウエハWに貼付されることにより、粘着シート1は、ウエハWの回路層Cを保護する保護フィルムとしての役割を果たす。

【0015】

(基材層)

基材層の材質は、特に制限されないが、紙や不織布と比べて塵芥発生が少ないために電子部品の加工部材に好適であり、入手が容易であるとの観点から、樹脂フィルムであることが好ましい。粘着シートが基材層を有することで、粘着シートの形状安定性を向上させたり、粘着シートにコシを与えたりすることができる。また、ウエハWの回路層Cの凹凸が大きい場合でも、粘着シートの貼付面と逆の面が平滑に保たれやすくなる。

基材層は、1つの樹脂フィルムからなる単層フィルムからなる基材層でもよいし、複数の樹脂フィルムが積層した複層フィルムからなる基材層でもよい。

基材層の厚さは、粘着シートに適度な弾力を与える観点、また、粘着シートの巻取時の取り扱い性の観点から、好ましくは5~250μm、より好ましくは10~200μm、さらに好ましくは25~150μmである。

基材層に用いられ得る樹脂フィルムとしては、例えば、ポリオレフィン系フィルム、ハロゲン化ビニル重合体系フィルム、アクリル樹脂系フィルム、ゴム系フィルム、セルロース系フィルム、ポリエステル系フィルム、ポリカーボネート系フィルム、ポリスチレン系フィルム、ポリフェニレンサルファイド系フィルム、シクロオレフィンポリマー系フィルム、及び、ウレタン樹脂を含むエネルギー線硬化性組成物の硬化物からなるフィルムが挙げられる。

基材層に用いられるポリエステル系フィルムは、ポリエステルの共重合体からなるフィルムであってもよく、上記ポリエステルと比較的少量の他樹脂との混合物からなる樹脂混合フィルムであってもよい。これらのポリエステル系フィルムの中でも、入手が容易で、厚み精度が高いとの観点から、ポリエチレンテレフタレートフィルムが好ましい。

10

20

30

40

50

【 0 0 1 6 】

(粘着剤層)

基材層又は中間層上に設けられる粘着剤層は、ウエハWの回路層Cに粘着シートを確実に固定することにより回路層Cを保護する。

粘着剤層は粘着剤を含む。粘着剤としては、例えば、アクリル系粘着剤、ゴム系粘着剤、ウレタン系粘着剤、シリコン系粘着剤、ポリビニルエーテル系粘着剤、オレフィン系粘着剤等が挙げられる。これらの粘着剤は、1種又は2種以上を組み合わせ用いてもよい。

粘着剤層の厚さは、保護対象となる回路層の凹凸の大きさに応じて適宜調整することができるが、好ましくは $5 \sim 200 \mu\text{m}$ 、より好ましくは $7 \sim 150 \mu\text{m}$ 、さらに好ましくは $10 \sim 100 \mu\text{m}$ である。

10

【 0 0 1 7 】

(中間層)

中間層は、特に制限されないが、良好な凹凸吸収性を得る観点から、ウレタン(メタ)アクリレート及びビチオール基含有化合物を含む樹脂組成物から形成されることが好ましい。

中間層の厚さは、保護対象となる半導体表面の凹凸の大きさに応じて適宜調整することができるが、比較的大きな凹凸を吸収することを可能とする観点から、好ましくは $50 \sim 400 \mu\text{m}$ 、より好ましくは $70 \sim 300 \mu\text{m}$ 、さらに好ましくは $80 \sim 250 \mu\text{m}$ である。

【 0 0 1 8 】

(粘着シートの貼付方向)

図2は、ウエハWへの粘着シート1の貼付方向と、ウエハW上の個片化予定領域Rとの関係を示す説明図である。

図2(A)に示すように、ウエハWの表面には、ウエハWに対する処理や加工の基準方向を示すVノッチWvと、分割予定線Eによって規定される個々の個片化予定領域R内に設けられた半導体回路とが形成されている。半導体回路はVノッチWvが示す方向を基準にして形成されている。また、後述する粘着シートの貼り合わせもVノッチWvが示す方向を基準にして行われる。

ここで、個片化予定領域Rは平面視で矩形形状である。個片化予定領域Rを画定する分割予定線Eは仮想的なものであり、分割予定線Eを跨がないように個々の回路が形成されていればよく、個片化予定領域Rを画定する分割予定線EをウエハWの表面や回路層Cに物理的に形成しておく必要はない。しかし、個片化予定領域Rを認識しやすくしたり、ウエハWの分割がスムーズに進むようにしたりするために、フォトリソ法によって予め、分割予定線Eとなる加工溝等を形成しておいてもよい。

20

30

個片化予定領域Rを矩形形状とすることにより、最終的に得られる半導体チップの形状も矩形となる。

図2(A)に示す例では、各個片化予定領域Rの短辺方向d2が、VノッチWvが示す方向d3(以下、縦方向ともいう)に一致するように回路層Cの各回路が形成されている。これにより、個片化予定領域の長辺方向d1は、VノッチWvが示す方向d3に直交する方向(以下、横方向ともいう)に一致している。

40

【 0 0 1 9 】

個片化予定領域Rの長辺方向の長さは、製造工程中における半導体チップの欠けや割れを抑制しやすく、また、様々な機能を半導体チップに付与しやすくする観点から、好ましくは $5 \sim 50 \text{mm}$ 、より好ましくは $7 \sim 40 \text{mm}$ 、さらに好ましくは $10 \sim 30 \text{mm}$ である。

個片化予定領域Rの短辺方向の長さは、取り扱いの容易性を高めたり、半導体チップに必要最低限の機能を付与しやすくしたりする観点から、好ましくは $2 \sim 20 \text{mm}$ 、より好ましくは $3 \sim 18 \text{mm}$ 、さらに好ましくは $4 \sim 15 \text{mm}$ である。

個片化予定領域Rの、長辺方向の長さ l と短辺方向の長さ w との比率(長辺方向の長さ/短辺方向の長さ)で表されるアスペクト比は、製造工程中における半導体チップの欠けや割

50

れの抑制性と、半導体チップへの機能の付与性のバランスを適切に保つ観点から、好ましくは1.05以上、より好ましくは1.10以上、さらに好ましくは1.15以上であり、また、好ましくは1.0以下、より好ましくは7.0以下、さらに好ましくは5.0以下である。

【0020】

なお、本実施形態においては、後述するように、半導体装置を製造する際、SDBGによってウエハWを分割するので、隣り合うチップ間の距離が実質的にゼロである。このため、個片化予定領域Rの縦方向及び横方向の長さが、半導体チップの縦方向及び横方向の長さに一致する。

なお、個片化予定領域R以外に半導体回路を設けないようにしてもよいし、個片化予定領域外にも使用しない半導体回路をダミー回路として設けておいてもよい。

10

【0021】

図2(B)に示すように、粘着シート1は、ウエハWの表面全体を覆い得る長さと同幅を有するものである。直径12インチのウエハWを用いる場合、粘着シート1としては、例えば、幅400mmの長尺のものを用いることができる。なお、図2(B)においては、理解を容易にするため、粘着シート1によって覆われたウエハWとその個片化予定領域Rを薄線で示している。粘着シート1として光透過性を有するものを用いれば、粘着シート1を介して個片化予定領域Rの形状と並び方向を確認することができる。

粘着シート1を貼付するにあたっては、VノッチWvが示す方向d3を基準にして貼り合わせ装置にウエハWをセットする。この際、貼付装置による粘着シート1の貼付方向d4が、VノッチWvが示す方向d3に沿うようにウエハWをセットする。これによって、本実施形態においては、VノッチWvが示す方向d3に、個片化予定領域Rの短辺方向d2に沿うことになる。

20

粘着シート1がウエハWの回路層C上に貼付された後、必要に応じて、ウエハWからはみ出した粘着シート1を切断して除去する。後述するように、粘着シート1の撓みをなくすようにテンションをかけながら貼付する方法等により粘着シート1を貼付すると、粘着シート1の貼付方向d4に沿ってテンションが付加された状態で粘着シート1が回路層C上に貼付される。これにより、個片化予定領域Rの短辺方向d2に沿う方向にテンションが付加された状態で積層体10が形成される。

ここで、粘着シートの貼付方向d4は、VノッチWvが示す方向d3（つまり、本例では個片化予定領域Rの短辺方向d2）に沿うように設定されるが、図2(B)に示すように、粘着シート1の貼付方向d4は、VノッチWvが示す方向d3に対して一定の角度内となるように設定すればよい。ここで、 θ は、VノッチWvが示す方向d3に対して、好ましくは $\pm 45^\circ$ 、より好ましくは $\pm 40^\circ$ 、さらに好ましくは $\pm 35^\circ$ の範囲内である。

30

【0022】

[積層体の作製方法]

図3は、積層体の作製工程を示す模式的な断面図である。図3(A)は、回路層Cが形成されたウエハWを支持体100上に載置した様子を示す図であり、図3(B)は、ウエハWの回路層C上に粘着シート1を貼付する様子を示す図であり、図3(C)は、ウエハWの回路層C上に粘着シート1が貼付された様子を示す図である。

40

図3(A)に示すように、回路層Cが形成されたウエハWの裏面が支持体100に接するように、ウエハWを支持体100上に載置した後、図3(B)に示すように、ウエハWの回路層C上に粘着シート1を貼付する。本例では、粘着シート1の一端を、巻き取り部材で巻き取ったり、把持部材で把持したりして、ウエハWから浮いた状態に保持しつつ、他端から押圧体101によって粘着シート1を順次押圧しながら、ウエハWの回路層Cの形成面に粘着シート1を貼付する。

このとき、粘着シート1の弛みをできるだけなくすように、一定のテンションが粘着シート1の長手方向（つまり、粘着シート1の貼付方向）に加えられたり、押圧体による押圧力が粘着シート1の長手方向に付加されたりすることによって、貼付方向d4にテンシ

50

オンがかかった状態で粘着シート1がウエハWに貼付される。粘着シート1の短手方向には殆どテンションがかからない状態で粘着シート1がウエハWの回路層Cに貼付される。

粘着シート1が回路層C上に貼付された後、必要に応じて、ウエハWからはみ出した粘着シート1を切断して除去する。こうして、図3(C)に示すように、ウエハWの回路層C上に粘着シート1が貼付された積層体10が作製される。

なお、支持体100を構成する材料には、特に制限はなく、例えば、ステンレス等の金属材料が用いられる。

【0023】

[半導体装置の製造方法]

本実施形態の半導体装置の製造方法の一例は、ウエハの回路層上に粘着シートが貼付された積層体に対して加工を行い、ウエハを分割するとともにウエハの裏面を研削し、分割されたウエハの、回路層形成面とは反対の面(つまり、ウエハの裏面)に転写シートを貼付し、粘着シートを除去した後、ウエハを転写シートとともに分断して個片化する工程を含む。以下、各工程について、順次説明する。なお、転写シートとは、ウエハの裏面に貼付されることにより、上記粘着シートからウエハが分離された後、当該ウエハがその表面に転写され、当該ウエハを保持するためのシートである。

10

【0024】

図4、図5は、半導体装置の製造工程を示す模式的な断面図である。

図4(A)は、支持体100とは別の支持体200上に積層体10を載置した状態を示す図である。図4(A)に示すように、粘着シート1が支持体200に接するように、積層体10を支持体200に載置する。なお、支持体200としては、例えば、支持体100と同様の材質のものや、セラミック製のポラステーブルを用いることができる。

20

図4(B)は、裏面側からウエハWに対してレーザーを照射する様子を示す図である。図4(B)に示すように、集光器102を用いて、ウエハWに対して透過性を有する波長のレーザー103の集光点がウエハWの内部になるようにレーザー103の位置を定め、個片化予定領域Rを画定する分割予定線Eに沿ってレーザー103とウエハWとを相対的に移動させながら、裏面側からウエハWにレーザー103を照射する。これによって、分割予定線Eに対応する平面位置におけるウエハWの内部に改質部Mが形成される。改質部Mはレーザーの照射によってウエハWが改質された部分であり、ウエハWが割断する起点となる。

30

図4(C)は、ウエハWの裏面側を研削する様子を示す図である。図4(C)に示すように、グラインダー104を用いて、所望の厚さになるまでウエハWの裏面を研削する。この処理によって、ウエハWは薄型化・軽量化される。同時に、改質部Mを起点にして、個片化予定領域Rを画定する分割予定線Eに沿ってウエハWが割断される。また、ウエハW内に形成された改質部Mが研削によって除去される。

【0025】

SDBGでは、研削時にウエハが分割された時、隣り合うチップ間にはステルスダイシングによる亀裂(図4(C)の符号P)のみが存在し、チップ間の距離は実質的にゼロである。このため、わずかなストレスや衝撃でチップがシフトしてチップ同士が接触、押圧、摩擦又は衝突等を生じやすく、クラックが発生しやすい状況となっている。また、バックグランド用保護シートなどの粘着シートを貼付する際、その貼付方向にテンションをかけて貼付されるため、粘着シート貼付後の積層体に応力が残りやすくなっている。このため、ウエハの裏面が研削されることによって、ウエハWが改質部Mを起点にして個々のチップへと割断されると同時に積層体内の応力が解放され、粘着シートの貼付方向にチップが動きやすくなり、結果的に、チップ同士が接触、押圧、摩擦又は衝突してクラックを誘発するものと推測される。

40

【0026】

本実施形態の半導体装置の製造方法において、チップの欠けや割れが抑制される理由は、これに限るものではないが、一つには、次の理由が考えられる。つまり、チップの縦方向の長さや横方向の長さを異ならせ、チップの短辺方向に沿って粘着シートを貼付する

50

ことにより、チップの長辺方向に沿って粘着シートを貼付する場合に比べて、粘着シートの貼付方向におけるチップ間の切断ラインの数が多くなる。これによって、貼付方向におけるチップの動き量がより多くのチップによって分散され、チップ同士の接触、押圧、摩擦、衝突等が少なくなり、割れや欠けの抑制につながるものと推測される。

なお、本実施形態では、研削によって改質部を除去しているが、例えば、ウエハの薄型化が求められない用途や、ウエハがそもそも分厚い場合などにおいては、研削後も改質部の少なくとも一部がウエハに残るようにしてもよい。

【0027】

図5(A)は、ウエハWが研削・分割された積層体11を支持体200から分離する工程を示す。図5(B)は、ウエハWが研削・分割された積層体11をリングフレーム300に保持された転写シートに貼着する工程を示す。図5(C)は、転写シート303に貼着された積層体11から粘着シート1を分離する工程を示す。図5(D)は、転写シート303とともに個々のチップを分離するエキスパンド工程である。

図5(A)に示すように支持体200から分離された、ウエハWが研削・分割された積層体11を、図5(B)に示すように、リングフレーム300によって周囲が保持された、フィルム状接着剤301と支持シート302を含む転写シート303の、フィルム状接着剤301に貼着する。そして、図5(C)に示すように、ウエハWが研削・分割された積層体11から粘着シート1を分離し、さらに、図5(D)に示すように、支持シート302を引っ張ることにより、フィルム状接着剤301もチップに合わせて切断し(切断後のフィルム状接着剤を符号301aで示す)、チップ間に隙間Gを空け、個々のチップへと分離する。

なお、転写シート303としては、例えば、上述した粘着シート1の基材層と同様の材質からなる基材を含む支持シート302上に、必要に応じて粘着剤層を介して、硬化性を有するフィルム状接着剤301が設けられたものを用いることができる。

【0028】

以上の製造方法によれば、製造工程中にチップの欠けや割れの発生を抑制するとともに、高い良品率で半導体装置を製造することができる。

【0029】

なお、本実施形態においては、SDBGによってウエハを分割しているが、これに限るものでなく、例えば、DBGを用いてウエハを分割してもよい。DBGを用いる場合、ダイシングにより形成されるチップ間の距離が小さい場合に、チップの欠けや割れを防止する効果が発揮されやすい。DBGを用いる場合は、回路層が形成されたウエハの表面からウエハをハーフカットした後、粘着シートをウエハの回路形成面に貼付し、その後ウエハの裏面を研削すればよい。

【実施例】

【0030】

次に、本発明の具体的な実施例を説明するが、本発明は、これらの例によってなんら限定されるものではない。

[実施例及び比較例]

実施例1～3及び比較例1～4のチップを、以下の手順で作製した。なお、実施例1～3及び比較例1～4は、実験条件をできるだけ揃え、かつ、実験を容易にする観点から、全て回路層が形成されていないミラーウエハを使用した。

【0031】

<実施例1>

直径12インチの単結晶シリコンのミラーウエハを準備し、このミラーウエハに設けられたVノッチを基準にして、Vノッチの頂点が示す方向(以下、縦方向という)に沿って、粘着シートをウエハの一方の面(以下、第1表面という)に貼付した。粘着シートとしては、リンテック株式会社製バックグラインドテープ「E-3135KN」を用いた。粘着シートの貼付は、貼付装置(リンテック株式会社製「RAD-3510F/12」)を用いて、押込量15 μ m、突出量150 μ m、貼付速度5mm/s、貼付応力0.35M

10

20

30

40

50

Pa、貼付温度23℃、の条件で行った。

次に、縦方向の長さが6mm、縦方向に対して直交する方向（以下、横方向という）の長さが12mmとなるようにSDBGを施した。具体的には、株式会社ディスコ製ステルスダイシングレーザー「DFL7361」を用いて、ウエハの第1表面とは反対側の表面（以下、第2表面という）側からレーザー照射を行って、縦6mm×横12mmのサイズの個片化予定領域が980個、マトリクス状に並んで形成されるようにウエハ内部に改質層を形成した。

さらに、裏面研削装置（株式会社ディスコ製「DPG8760」）を用いて、ウエハの厚さが30μmとなるまで、ウエハの他方の面（以下、第2表面という）を研削することにより、ウエハ内部の改質層を除去するとともに各個片化予定領域を画定する分割予定線に沿ってウエハを割断させた。

次に、リンテック株式会社製テープマウンター「RAD-2700」に設置されたダイシングテープ（リンテック株式会社製「D-175」）に、個片化されたウエハの第2表面に貼付し、粘着シートを除去した。そして、ステルスダイシングレーザーに設置されているIRカメラを用いて、第1表面側からクラックの発生の有無を観察し、クラックが発生したチップの数をカウントした。

クラックが発生したチップは980個のうち1個であり、クラックの発生率は0.10%であった。

【0032】

<実施例2>

実施例1と同様の手順で縦方向に沿って、第1表面に粘着シートが貼付されたウエハに対して、縦方向の長さが4mm、横方向の長さが12mmとなるようにした以外は、実施例1と同じ条件でウエハに対してSDBGによる加工を行い、1471個のチップとなるように個片化した。

実施例1と同様にして観察を行ったところ、クラックが発生したチップは、1471個のうち1個であり、クラック発生率は0.07%であった。

【0033】

<実施例3>

実施例1と同様の手順で縦方向に沿って、第1表面に粘着シートが貼付されたウエハに対して、縦方向の長さが8mm、横方向の長さが12mmとなるようにした以外は、実施例1と同じ条件でウエハに対してSDBGによる加工を行い、735個のチップとなるように個片化した。

実施例1と同様にして観察を行ったところ、クラックが発生したチップは、735個のうち1個であり、クラック発生率は0.13%であった。

【0034】

<比較例1>

実施例1と同様の手順で縦方向に沿って、第1表面に粘着シートが貼付されたウエハに対して、縦方向の長さが12mm、横方向の長さが6mmとなるようにした以外は、実施例1と同じ条件でウエハに対してSDBGによる加工を行い、980個のチップとなるように個片化した。

図6は、本発明の実施例と比較例とを対比して示す模式的な平面図である。図6(A)に示すように、実施例1、2のウエハW1においては、粘着シート1の貼付方向d4及び個片化予定領域Rの短辺方向d2を、VノッチWvが示す方向d3に一致させている。一方、図6(B)に示すように、比較例1のウエハW2においては、粘着シートの貼付方向d4及び個片化予定領域Rの長辺方向d1を、Vノッチが示す方向d3に一致させている。

実施例1と同様にして観察を行ったところ、クラックが発生したチップは、980個のうち11個であり、クラック発生率は1.12%であった。

【0035】

<比較例2>

実施例1と同様にして第1表面に粘着シートが貼付されたウエハに対して、縦方向の長

10

20

30

40

50

さが12mm、横方向の長さが4mmとなるようにした以外は、実施例1と同じ条件でウエハに対してSDBGによる加工を行い、1471個のチップとなるように個片化した。実施例1と同様にして観察を行ったところ、クラックが発生したチップは、1471個のうち14個であり、クラック発生率は0.95%であった。

【0036】

<比較例3>

実施例1と同様にして第1表面に粘着シートが貼付されたウエハに対して、縦方向の長さが12mm、横方向の長さが12mmとなるようにした以外は、実施例1と同じ条件でウエハに対してSDBG加工を行い、490個のチップとなるように個片化した。

実施例1と同様にして観察を行ったところ、クラックが発生したチップは、490個のうち6個であり、クラック発生率は1.22%であった。

【0037】

<比較例4>

実施例1と同様にして第1表面に粘着シートが貼付されたウエハに対して、縦方向の長さが12mm、横方向の長さが8mmとなるようにした以外は、実施例1と同じ条件でウエハに対してSDBGによる加工を行い、735個のチップとなるように個片化した。

実施例1と同様にして観察を行ったところ、クラックが発生したチップは、735個のうち9個であり、クラック発生率は1.22%であった。

【0038】

実施例1～3及び比較例1～4の結果を表1に示す。

【表1】

表1

	チップの形状	チップの長さ		チップの総数	クラックを生じたチップ数	クラック発生率 [%]
		縦方向 [mm]	横方向 [mm]			
実施例1	矩形(横長)	6	12	980	1	0.10
実施例2	矩形(横長)	4	12	1471	1	0.07
実施例3	矩形(横長)	8	12	735	1	0.13
比較例1	矩形(縦長)	12	6	980	11	1.12
比較例2	矩形(縦長)	12	4	1471	14	0.95
比較例3	正方形	12	12	490	6	1.22
比較例4	矩形(縦長)	12	8	735	9	1.22

【0039】

表1の結果から明らかなように、粘着シートの貼付方向と、チップの短辺方向とを揃えるようにした実施例1～3においては、クラックが発生したチップの数が少なく、クラック発生率も非常に小さい値を示すことが分かる。

これに対して、粘着シートの貼付方向と、チップの長辺方向とを揃えるようにした比較例1、2、4においては、クラックが発生したチップの数が増えている。特に、比較例1、2は、クラック発生率の値が、実施例1、2に比べてそれぞれ10倍以上に上昇しており、比較例4も実施例3の10倍近くに上昇していることが分かる。

また、チップの形状を正方形とし、1辺の長さを、実施例1～3のチップの長辺の長さと同じくした比較例3においても、クラックが発生したチップの数が増え、クラック発生率の値が、実施例1、2に比べてそれぞれ10倍以上に上昇し、実施例3の10倍近くに上昇していることが分かる。

【産業上の利用可能性】

【0040】

本発明の半導体装置の製造方法は、チップ間の距離が非常に小さくなるようにウエハを分割するSDBG等の加工方法を用いてもチップの欠けや割れを生じにくく、プロセッサ

、メモリ、センサ等に用いられる半導体チップの製造に好適に適用することができる。また、本発明の積層体は、上記半導体装置の製造方法に好適に使用することができる。

【符号の説明】

【 0 0 4 1 】

1 : 粘着シート

1 0 : 積層体

1 1 : ウエハ部分が研削・分割された積層体

1 0 0、2 0 0 : 支持体

1 0 1 : 押圧体

1 0 2 : 集光器

10

1 0 3 : レーザー

1 0 4 : グラインダー

3 0 0 : リングフレーム

3 0 1 : フィルム状接着剤

3 0 1 a : 切断されたフィルム状接着剤

3 0 2 : 支持シート

3 0 3 : 転写シート

C : 回路層

C P : 半導体チップ (半導体装置)

d 1 : 長辺方向

20

d 2 : 短辺方向

d 3 : V ノッチが示す方向

d 4 : 貼付方向 (テンション方向)

E : 分割予定線

G : 隙間

M : 改質部

P : 亀裂

R : 個片化予定領域

W v : V ノッチ

W : ウエハ

30

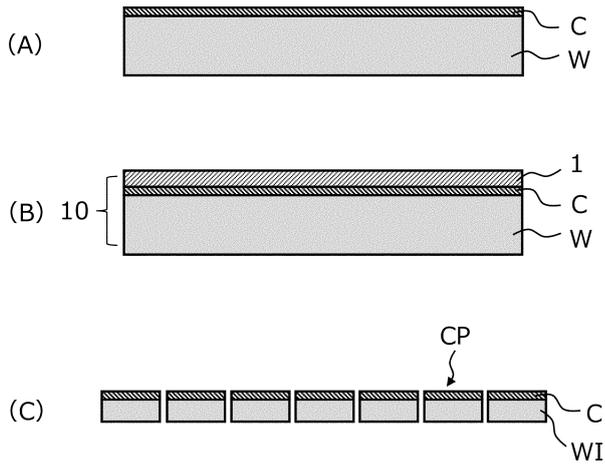
W I : 個片化されたウエハ

40

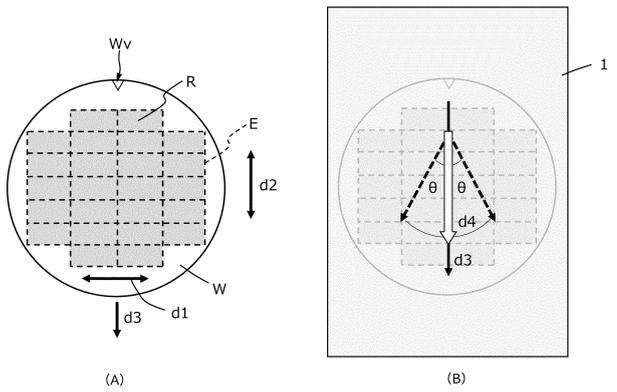
50

【図面】

【図 1】

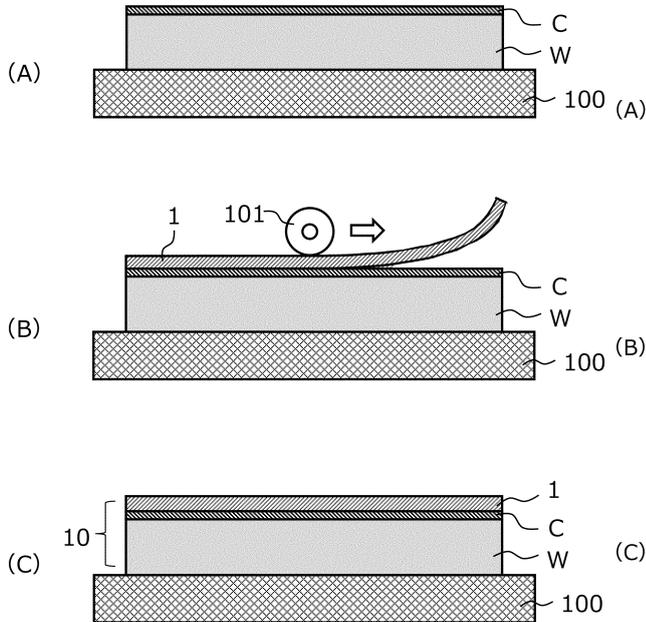


【図 2】

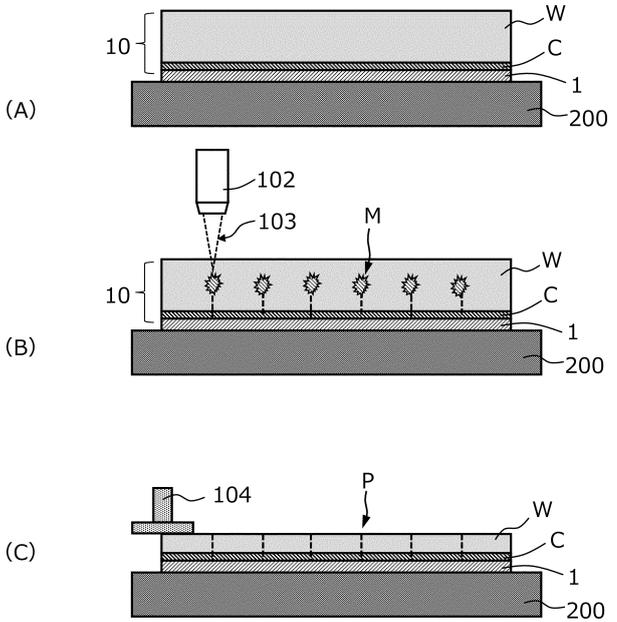


10

【図 3】



【図 4】



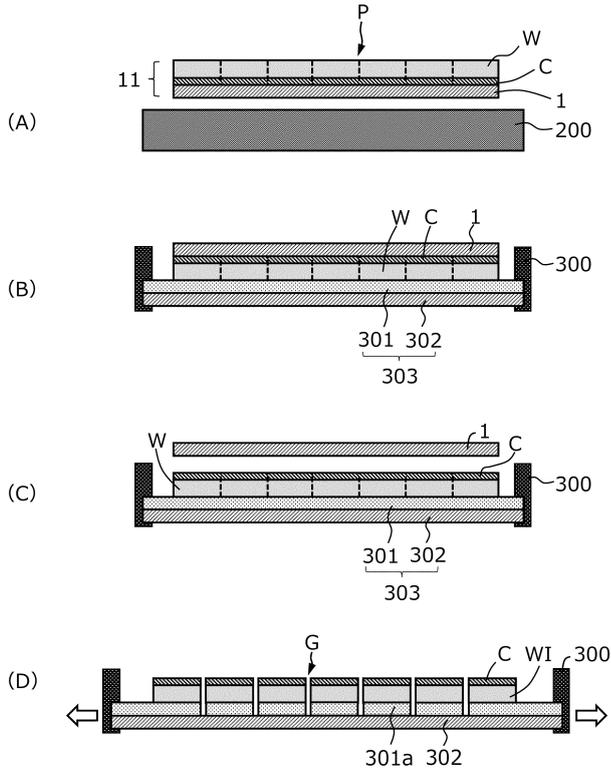
20

30

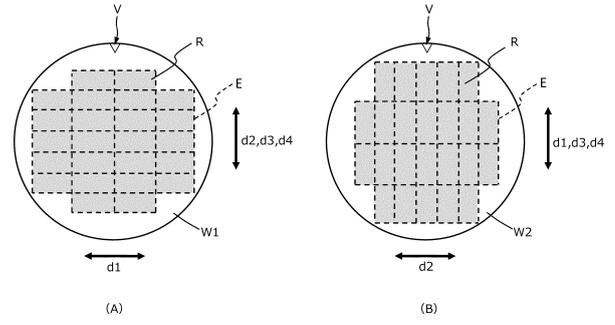
40

50

【 図 5 】



【 図 6 】



10

20

30

40

50

フロントページの続き

東京都板橋区本町23番23号 リンテック株式会社内

審査官 井上 和俊

(56)参考文献 特開2000-061785(JP,A)

特開2017-050373(JP,A)

特開2006-100413(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/301

H01L 21/304

H01L 21/683