

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-91516  
(P2019-91516A)

(43) 公開日 令和1年6月13日(2019.6.13)

(51) Int.Cl.			F I			テーマコード (参考)
<b>G 1 1 C</b>	<b>19/28</b>	<b>(2006.01)</b>	G 1 1 C	19/28	2 3 0	2 H 1 9 3
<b>G 0 9 G</b>	<b>3/36</b>	<b>(2006.01)</b>	G 0 9 G	3/36		5 B 0 7 4
<b>G 0 9 G</b>	<b>3/20</b>	<b>(2006.01)</b>	G 0 9 G	3/20	6 7 0 E	5 C 0 0 6
<b>G 0 2 F</b>	<b>1/133</b>	<b>(2006.01)</b>	G 0 9 G	3/20	6 2 2 E	5 C 0 8 0
			G 0 9 G	3/20	6 1 1 B	

審査請求 未請求 請求項の数 7 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2017-219678 (P2017-219678)  
(22) 出願日 平成29年11月15日 (2017.11.15)

(71) 出願人 000005049  
シャープ株式会社  
大阪府堺市堺区匠町 1 番地  
(74) 代理人 100104695  
弁理士 島田 明宏  
(74) 代理人 100121348  
弁理士 川原 健児  
(74) 代理人 100114247  
弁理士 奥田 邦廣  
(74) 代理人 100148459  
弁理士 河本 悟  
(72) 発明者 竹内 洋平  
大阪府堺市堺区匠町 1 番地 シャープ株式会社内

最終頁に続く

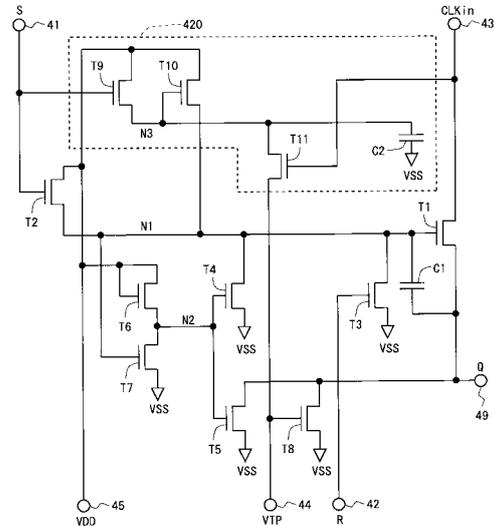
(54) 【発明の名称】 シフトレジスタおよびそれを備えた表示装置

(57) 【要約】

【課題】 製造プロセスにおけるパターン検査の複雑化を引き起こすことなく任意の段でのスキャンの途中停止が可能なシフトレジスタを実現する。

【解決手段】 シフトレジスタの各段を構成する単位回路には、第 1 ノード (ハイレベルの走査信号 (出力信号 Q) を出力するために電荷を保持するためのノード) N 1 と同じタイミングで電位がハイレベルとなる第 3 ノード N 3 を含み当該第 3 ノード N 3 の電位がハイレベルとなったからハイレベルの走査信号 (出力信号 Q) が出力されるまでの期間を通じて第 1 ノード N 1 に電荷を供給可能な電荷供給部 4 2 0 が設けられる。ここで、シフトレジスタ内の全ての単位回路は同じように構成される。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

複数のクロック信号からなるシフトクロック信号群に基づいてシフト動作を行う、同じ構成を有する複数の段からなるシフトレジスタであって、

各段を構成する単位回路は、

オンレベルの出力信号を出力するために電荷を保持するための電荷保持ノードと、

前記出力信号を出力する出力ノードと、

前記電荷保持ノードに接続された制御端子と、前記シフトクロック信号群に含まれる複数のクロック信号の 1 つが与えられる第 1 導通端子と、前記出力ノードに接続された第 2 導通端子とを有する出力制御トランジスタと、

前記電荷保持ノードと同じタイミングでオンレベルとなる電荷供給制御ノードを含み、前記電荷供給制御ノードの電位がオンレベルとなってから前記出力ノードからオンレベルの出力信号が出力されるまでの期間を通じて前記電荷保持ノードに電荷を供給可能な電荷供給部と

を有することを特徴とする、シフトレジスタ。

**【請求項 2】**

前記電荷供給部は、

先行する段の単位回路から出力される出力信号が与えられる制御端子と、先行する段の単位回路から出力される出力信号またはオンレベルの直流電源電圧が与えられる第 1 導通端子と、前記電荷供給制御ノードに接続された第 2 導通端子とを有する電荷供給制御ノードターンオントランジスタと、

前記電荷供給制御ノードに接続された制御端子と、オンレベルの直流電源電圧が与えられる第 1 導通端子と、前記電荷保持ノードに接続された第 2 導通端子とを有する第 1 の電荷供給制御トランジスタと

を含むことを特徴とする、請求項 1 に記載のシフトレジスタ。

**【請求項 3】**

前記電荷供給部は、前記出力制御トランジスタの第 1 導通端子に接続された制御端子と、前記電荷供給制御ノードに接続された第 1 導通端子と、前記複数のクロック信号のクロック動作が停止する休止期間以外の期間にオフレベルの電圧が与えられる第 2 導通端子とを有する電荷供給制御ノードターンオフトランジスタを更に含むことを特徴とする、請求項 2 に記載のシフトレジスタ。

**【請求項 4】**

前記電荷供給部は、前記電荷保持ノードに接続された制御端子と、オンレベルの直流電源電圧が与えられる第 1 導通端子と、前記電荷供給制御ノードに接続された第 2 導通端子とを有する第 2 の電荷供給制御トランジスタを更に含むことを特徴とする、請求項 2 に記載のシフトレジスタ。

**【請求項 5】**

前記電荷供給部は、後続の段の単位回路から出力される出力信号が与えられる制御端子と、前記電荷供給制御ノードに接続された第 1 導通端子と、前記複数のクロック信号のクロック動作が停止する休止期間以外の期間にオフレベルの電圧が与えられる第 2 導通端子とを有する電荷供給制御ノードターンオフトランジスタを更に含むことを特徴とする、請求項 4 に記載のシフトレジスタ。

**【請求項 6】**

前記単位回路は、前記複数のクロック信号のクロック動作が停止する休止期間にオンレベルの電圧が与えられる制御端子と、前記出力ノードに接続された第 1 導通端子と、オフレベルの直流電源電圧が与えられる第 2 導通端子とを有する出力ノードターンオフトランジスタを更に含むことを特徴とする、請求項 1 に記載のシフトレジスタ。

**【請求項 7】**

表示装置であって、

複数の走査信号線が配設された表示部と、

10

20

30

40

50

前記複数の走査信号線を駆動する走査信号線駆動回路とを備え、

前記走査信号線駆動回路は、前記複数の走査信号線と1対1で対応するように前記複数の段が設けられた請求項1に記載のシフトレジスタを含むことを特徴とする、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

以下の開示は、シフトレジスタに関し、特に、タッチパネルを備えた表示装置に設けられるシフトレジスタに関する。

【背景技術】

【0002】

従来より、複数本のソースバスライン（映像信号線）および複数本のゲートバスライン（走査信号線）を含む表示部を備えたアクティブマトリクス型の液晶表示装置が知られている。このような液晶表示装置に関し、従来、ゲートバスラインを駆動するためのゲートドライバ（走査信号線駆動回路）は、液晶パネルを構成する基板の周辺部にIC（Integrated Circuit）チップとして搭載されることが多かった。しかしながら、近年、液晶パネルを構成する2枚のガラス基板のうちの一方の基板であるTFT基板上に直接的にゲートドライバを形成することが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドライバ」などと呼ばれている。

【0003】

アクティブマトリクス型の液晶表示装置の表示部には、複数本のソースバスラインと、複数本のゲートバスラインと、それら複数本のソースバスラインと複数本のゲートバスラインとの交差点にそれぞれ対応して設けられた複数個の画素形成部とが形成されている。上記複数個の画素形成部はマトリクス状に配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタや、画素電圧値を保持するための画素容量などを含んでいる。アクティブマトリクス型の液晶表示装置には、また、上述したゲートドライバと、ソースバスラインを駆動するためのソースドライバ（映像信号線駆動回路）とが設けられている。

【0004】

画素電圧値を示す映像信号はソースバスラインによって伝達される。しかしながら、各ソースバスラインは複数行分の画素電圧値を示す映像信号を一時（同時）に伝達することができない。このため、マトリクス状に配置された上述の画素形成部内の画素容量への映像信号の書き込み（充電）は1行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。そして、シフトレジスタの各段から順次にアクティブな走査信号が出力されることによって、上述のように、画素容量への映像信号の書き込みが1行ずつ順次に行われる。

【0005】

なお、本明細書においては、シフトレジスタの各段を構成する回路のことを「単位回路」という。また、1行目のゲートバスラインから最終行目のゲートバスラインまでを1本ずつ順次に選択することを単に「スキャン」といい、1行目から最終行目までの途中でスキャンを停止することを「スキャンの途中停止」という。さらに、スキャンが停止されている期間のことを「休止期間」という。

【0006】

図13は、従来の単位回路の一構成例を示す回路図である。図13に示す単位回路では、セット信号Sがローレベルからハイレベルに変化すると、プリチャージによって第1ノードN1の電位が上昇する。このように第1ノードN1がプリチャージされた状態のときに入力クロック信号CLKinがローレベルからハイレベルに変化することによって、第1ノードN1の電位が大きく上昇し、出力信号Qがハイレベルとなる。これにより、この

10

20

30

40

50

単位回路に接続されたゲートバスラインが選択状態となる。以上のような動作がシフトレジスタの1段目から最終段目まで順次に行われることにより、表示部に設けられている複数本のゲートバスラインが所定期間ずつ順次に選択状態となる。

【0007】

ところで、近年、タッチパネルと液晶パネルとが一体化した構成の液晶表示装置が普及しつつある。このような液晶表示装置では、スキャンが行われていない時にタッチパネルの処理（例えば、タッチ位置を検出する処理）を行う必要がある。このため、フレーム期間（垂直走査期間）中にスキャンを停止する休止期間が設けられる。これに関し、タッチパネルの高感度化が進むほど、あるいは、液晶パネルの大型化・高精細化に伴ってパネル負荷が増大するほど、休止期間の長さを長くする必要がある。休止期間中、スキャンの停止位置（再開位置）に対応する単位回路では、第1ノードN1（図13参照）がプリチャージされた状態を維持する必要がある。しかしながら、薄膜トランジスタは図14に示すようにゲート-ソース間電圧 $V_{gs}$ が0であってもいくらかのドレイン電流 $I_d$ を流す特性を有している（図14で符号91を付した部分を参照）ので、休止期間の長さを長くすると、図13に示す例では薄膜トランジスタT3, T4での電荷のリーク（オフリーク）に起因して休止期間中に第1ノードN1の電位が低下する。このような場合、休止期間の終了後に入力クロック信号CLKinがローレベルからハイレベルに変化しても、出力信号Qの電位は十分に上昇しない。その結果、異常動作が引き起こされる。このように、従来の液晶表示装置では、スキャンの途中停止を行うための長い休止期間を確保することが困難であった。

10

20

【0008】

そこで、特開2014-182203号公報には、スキャンの途中停止を行いたい位置に対応する単位回路（特開2014-182203号公報では「転送回路」と記載）の構成を入力されたシフト信号（シフトパルス）の電位を長期間保持することのできる構成とすることによりスキャンの途中停止を可能にしたシフトレジスタについての発明が開示されている。また、本件発明に関連して、国際公開2016/047544号パンフレットには、単位回路内の出力制御ノード（図13に示す構成では、第1ノードN1が出力制御ノードに相当）の電位を安定化させるための薄膜トランジスタのゲート端子に接続された安定化ノード（図13に示す構成では、第2ノードN2が安定化ノードに相当）の電位を安定化させる安定化ノード制御部を単位回路内に備えた構成が開示されている。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2014-182203号公報

【特許文献2】国際公開2016/047544号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところが、特開2014-182203号公報が開示されたシフトレジスタによれば、スキャンの途中停止を行うことができるのは特定の位置のみであって、任意の位置でスキャンの途中停止を行うことはできない。このように、特開2014-182203号公報が開示されたシフトレジスタは、駆動方法が限定されてしまうので汎用性に欠ける。このため、例えば、タッチパネルと液晶パネルとが一体化した構成の液晶表示装置においてタッチ位置を検出する処理を速やかに行うということができない。特に、近年、共通電極をタッチ位置検出用の電極として利用するフルインセルタイプのタッチパネルの開発が盛んであり、任意の位置でスキャンの途中停止を行うことが不可欠となりつつある。また、特開2014-182203号公報が開示されたシフトレジスタでは、スキャンの途中停止を行うことができる位置に対応する単位回路の構成とスキャンの途中停止を行うことができない位置に対応する単位回路の構成とが異なるので、TFT基板の製造プロセスにおけるパターン検査が複雑化する。なお、国際公開2016/047544号パンフレットに

40

50

開示された構成は、ゲートバスラインが不必要に選択状態となることがないように出力制御ノードの電位をローレベルで維持するための構成であって、不具合なくゲートバスラインが選択状態となるよう出力制御ノードの電位を十分なレベルで維持するための構成ではない。

【0011】

そこで、以下の開示は、製造プロセスにおけるパターン検査の複雑化を引き起こすことなく任意の段でのスキャンの途中停止が可能なシフトレジスタを実現することを目的とする。

【課題を解決するための手段】

【0012】

いくつかの実施形態によるシフトレジスタは、複数のクロック信号からなるシフトクロック信号群に基づいてシフト動作を行う、同じ構成を有する複数の段からなるシフトレジスタであって、

各段を構成する単位回路は、

オンレベルの出力信号を出力するために電荷を保持するための電荷保持ノードと、前記出力信号を出力する出力ノードと、

前記電荷保持ノードに接続された制御端子と、前記シフトクロック信号群に含まれる複数のクロック信号の1つが与えられる第1導通端子と、前記出力ノードに接続された第2導通端子とを有する出力制御トランジスタと、

前記電荷保持ノードと同じタイミングでオンレベルとなる電荷供給制御ノードを含み、前記電荷供給制御ノードの電位がオンレベルとなってから前記出力ノードからオンレベルの出力信号が出力されるまでの期間を通じて前記電荷保持ノードに電荷を供給可能な電荷供給部と

を有する。

【発明の効果】

【0013】

いくつかの実施形態によるシフトレジスタによれば、各段を構成する単位回路には、電荷保持ノード（オンレベルの出力信号を出力するために電荷を保持するためのノード）と同じタイミングで電位がオンレベルとなる電荷供給制御ノードを含み当該電荷供給制御ノードの電位がオンレベルとなってからオンレベルの出力信号が出力されるまでの期間を通じて電荷保持ノードに電荷を供給可能な電荷供給部が設けられる。このため、電荷保持ノードの電位がオンレベルとなっている単位回路では、複数のクロック信号のクロック動作が停止する休止期間を通じて、必要に応じて電荷保持ノードに電荷が供給される。従って、休止期間の長さが長時間に設定されていても、単位回路内のトランジスタでの電荷のリークによって休止期間中に電荷保持ノードの電位がオフレベルとなることはない。すなわち、休止期間を通じて電荷保持ノードの電位は十分なオンレベルで維持される。その結果、休止期間の終了後に停止段から正常にスキャンが再開される。また、シフトレジスタ内の全ての単位回路が同じ構成である。このため、任意の段でスキャンの途中停止を行うことが可能となり、また、基板の製造プロセスにおけるパターン検査が複雑化することもない。以上より、製造プロセスにおけるパターン検査の複雑化を引き起こすことなく任意の段でのスキャンの途中停止が可能なシフトレジスタが実現される。

【図面の簡単な説明】

【0014】

【図1】第1の実施形態における単位回路の構成を示す回路図である。

【図2】上記第1の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。

【図3】上記第1の実施形態において、ゲートドライバの構成について説明するためのブロック図である。

【図4】上記第1の実施形態において、ゲートドライバ内のシフトレジスタの構成を示すブロック図である。

10

20

30

40

50

【図 5】上記第 1 の実施形態において、単位回路の入出力信号について説明するための図である。

【図 6】上記第 1 の実施形態において、ゲートドライバの動作について説明するための信号波形図である。

【図 7】上記第 1 の実施形態において、スキヤンの途中停止が行われないうちの単位回路の動作の一例について説明するための信号波形図である。

【図 8】上記第 1 の実施形態において、スキヤンの途中停止が行われるときの単位回路（停止段の単位回路）の動作の一例について説明するための信号波形図である。

【図 9】上記第 1 の実施形態における効果について説明するための信号波形図である。

【図 10】第 2 の実施形態における単位回路の構成を示す回路図である。

10

【図 11】上記第 2 の実施形態において、スキヤンの途中停止が行われないうちの単位回路の動作の一例について説明するための信号波形図である。

【図 12】上記第 2 の実施形態において、スキヤンの途中停止が行われるときの単位回路（停止段の単位回路）の動作の一例について説明するための信号波形図である。

【図 13】従来単位回路の一構成例を示す回路図である。

【図 14】オフリークについて説明するための図である。

【発明を実施するための形態】

【0015】

以下、実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子（ゲート電極）は制御端子に相当し、ドレイン端子（ドレイン電極）は第 1 導通端子に相当し、ソース端子（ソース電極）は第 2 導通端子に相当する。また、これに関し、nチャネル型トランジスタに関してはドレインとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が高くなることもある。

20

【0016】

< 1. 第 1 の実施形態 >

< 1. 1 全体構成および動作概要 >

図 2 は、第 1 の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図 2 に示すように、この液晶表示装置は、電源 100 と DC/DC コンバータ 110 と表示制御回路 200 とソースドライバ（映像信号線駆動回路）300 とゲートドライバ（走査信号線駆動回路）400 と共通電極駆動回路 500 と表示部 600 とを備えている。本実施形態においては、ゲートドライバ 400 と表示部 600 とは同一基板（液晶パネルを構成する 2 枚の基板のうち一方の基板である TFT 基板）上に形成されている。すなわち、本実施形態におけるゲートドライバ 400 は、モノリシックゲートドライバである。なお、本実施形態においては、表示部 600 を構成する液晶パネルはタッチパネルと一体化しているものと仮定する。但し、タッチパネルは本発明に直接に関係するわけではないのでその説明および図示を省略する。

30

【0017】

表示部 600 には、複数本（ $j$  本）のソースバスライン（映像信号線） $SL_1 \sim SL_j$  と、複数本（ $i$  本）のゲートバスライン（走査信号線） $GL_1 \sim GL_i$  と、それら複数本のソースバスライン  $SL_1 \sim SL_j$  と複数本のゲートバスライン  $GL_1 \sim GL_i$  との交差点にそれぞれ対応して設けられた複数個（ $i \times j$  個）の画素形成部とが形成されている。上記複数個の画素形成部はマトリクス状に配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されると共に当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（TFT）60 と、その薄膜トランジスタ 60 のドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極  $Ec$  と、上記複数個の画素形成部に共通的に設けられ画素電極と共通電極  $Ec$  との間に挟持された液晶層とからなる。そして、画素電極と共通電極  $Ec$  とにより形成される液晶容量により、画素容量  $C_p$  が構成される。なお、通常、画素容量  $C_p$  に確実に電荷を保持

40

50

すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明に直接に関係するわけではないのでその説明および図示を省略する。また、本実施形態においては、薄膜トランジスタ60はnチャンネル型である。

【0018】

ところで、薄膜トランジスタ60としては、半導体層にアモルファスシリコンを用いた薄膜トランジスタ(a-Si TFT)、半導体層に微結晶シリコンを用いた薄膜トランジスタ、半導体層に酸化物半導体を用いた薄膜トランジスタ(酸化物TFT)、半導体層に低温ポリシリコンを用いた薄膜トランジスタ(LTPS-TFT)などを採用することができる。酸化物TFTとしては、例えば、In-Ga-Zn-O系の半導体(例えば酸化インジウムガリウム亜鉛)を含む酸化物半導体層を有する薄膜トランジスタを採用することができる。これらの点については、ゲートドライバ400内の薄膜トランジスタについても同様である。

10

【0019】

電源100は、DC/DCコンバータ110と表示制御回路200と共通電極駆動回路500とに所定の電源電圧を供給する。DC/DCコンバータ110は、その電源電圧からソースドライバ300およびゲートドライバ400を動作させるための直流電圧(直流電源電圧VDDおよび直流電源電圧VSS)を生成し、それをソースドライバ300およびゲートドライバ400に供給する。共通電極駆動回路500は、共通電極Ecに共通電極駆動電圧Vcomを与える。

【0020】

表示制御回路200は、外部から送られる画像信号DATおよび水平同期信号や垂直同期信号などのタイミング信号群TGを受け取り、デジタル映像信号DVと、ソースドライバ300の動作を制御するためのソース制御信号SCTLと、ゲートドライバ400の動作を制御するためのゲート制御信号GCTLとを出力する。ソース制御信号SCTLには、ソーススタートパルス信号、ソースクロック信号、およびラッチストロープ信号が含まれている。ゲート制御信号GCTLには、ゲートスタートパルス信号、ゲートクロック信号などが含まれている。

20

【0021】

ソースドライバ300は、表示制御部200から送られるデジタル映像信号DVとソース制御信号SCTLとに基づいて、ソースバスラインSL1~SLjに駆動用映像信号S(1)~S(j)を印加する。このとき、ソースドライバ300では、ソースクロック信号のパルスが発生するタイミングで、各ソースバスラインSLに印加すべき電圧を示すデジタル映像信号DVが順次に保持される。そして、ラッチストロープ信号のパルスが発生するタイミングで、上記保持されたデジタル映像信号DVがアナログ電圧に変換される。その変換されたアナログ電圧は、駆動用映像信号S(1)~S(j)として全てのソースバスラインSL1~SLjに一斉に印加される。

30

【0022】

ゲートドライバ400は、表示制御部200から送られるゲート制御信号GCTLに基づいて、アクティブな走査信号G(1)~G(i)の各ゲートバスラインGL1~GLiへの印加を1垂直走査期間を周期として繰り返す。すなわち、ゲートドライバ400は、ゲートバスラインGL1~GLiのスキャンを行う。但し、タッチパネルの処理が行われる時にスキャンの途中停止が行われる。このゲートドライバ400についての詳しい説明は後述する。

40

【0023】

以上のようにして、ソースバスラインSL1~SLjに駆動用映像信号S(1)~S(j)が印加され、ゲートバスラインGL1~GLiに走査信号G(1)~G(i)が印加されることにより、外部から送られた画像信号DATに基づく画像が表示部600に表示される。

【0024】

< 1.2 ゲートドライバ >

50

図3は、本実施形態におけるゲートドライバ400の構成について説明するためのブロック図である。図3に示すように、ゲートドライバ400は複数段からなるシフトレジスタ410によって構成されている。表示部600には $i$ 行 $\times$  $j$ 列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と1対1で対応するようにシフトレジスタ410の各段が設けられている。すなわち、シフトレジスタ410には $i$ 個の単位回路4(1)~4( $i$ )が含まれている。以下、ゲートドライバ400の構成および動作について詳しく説明する。

#### 【0025】

< 1.2.1 シフトレジスタ全体の構成および動作 >

図4は、ゲートドライバ400内のシフトレジスタ410の構成を示すブロック図である。上述したように、このシフトレジスタ410は $i$ 個の単位回路4(1)~4( $i$ )で構成されている。なお、図4には、 $n$ 段目から( $n+7$ )段目までの単位回路4( $n$ )~4( $n+7$ )を示している。以下においては、 $i$ 個の単位回路4(1)~4( $i$ )を互いに区別する必要がない場合には単位回路に符号4を付す。

10

#### 【0026】

シフトレジスタ410には、ゲート制御信号GCTLとして、ゲートスタートパルス信号(図4では不図示)と、クリア信号(図4では不図示)と、ゲートクロック信号GCK(GCK1~GCK8)と、制御信号VTPとが与えられる。また、シフトレジスタ410には、ハイレベルの直流電源電圧VDDおよびローレベルの直流電源電圧VSSも与えられる。ゲートクロック信号GCK1~GCK8は、8相のクロック信号である。それら8相のクロック信号のうち各単位回路4に入力されるクロック信号(以下、「入力クロック信号」という。)には符号CLK $i$ nを付している。

20

#### 【0027】

シフトレジスタ410の各段(各単位回路4)の入力端子に与えられる信号は次のようになっている。ゲートクロック信号に関しては、 $n$ 段目の単位回路4( $n$ )にはゲートクロック信号GCK1が与えられ、( $n+1$ )段目の単位回路4( $n+1$ )にはゲートクロック信号GCK2が与えられ、( $n+2$ )段目の単位回路4( $n+2$ )にはゲートクロック信号GCK3が与えられ、( $n+3$ )段目の単位回路4( $n+3$ )にはゲートクロック信号GCK4が与えられ、( $n+4$ )段目の単位回路4( $n+4$ )にはゲートクロック信号GCK5が与えられ、( $n+5$ )段目の単位回路4( $n+5$ )にはゲートクロック信号GCK6が与えられ、( $n+6$ )段目の単位回路4( $n+6$ )にはゲートクロック信号GCK7が与えられ、( $n+7$ )段目の単位回路4( $n+7$ )にはゲートクロック信号GCK8が与えられる。このような構成が、シフトレジスタ410の全ての段を通して8段ずつ繰り返される。また、図5に示すように、任意の段(ここでは $k$ 段目とする： $k$ は1以上 $i$ 以下の整数である)の単位回路4( $k$ )について、4段前の単位回路4( $k-4$ )から出力される出力信号 $Q(k-4)$ がセット信号 $S$ として与えられ、5段後の単位回路4( $k+5$ )から出力される出力信号 $Q(k+5)$ がリセット信号 $R$ として与えられる。但し、初段側の所定数の単位回路4にはゲートスタートパルス信号がセット信号 $S$ として与えられ、最終段側の所定数の単位回路4にはクリア信号がリセット信号 $R$ として与えられる。ゲートスタートパルス信号については、1つだけ用いるようにしても良いし、複数用いるようにしても良い。クリア信号についても同様である。直流電源電圧VDD, 直流電源電圧VSS, および制御信号VTPについては、全ての単位回路4(1)~4( $i$ )に共通的に与えられる。

30

40

#### 【0028】

シフトレジスタ410の各段(各単位回路4)の出力端子からは出力信号 $Q$ が出力される(図5参照)。任意の段(ここでは $k$ 段目とする： $k$ は1以上 $i$ 以下の整数である)から出力される出力信号 $Q$ は、走査信号 $G(k)$ として $k$ 行目のゲートバスラインGL $k$ に与えられるほか、リセット信号 $R$ として5段前の単位回路4( $k-5$ )に与えられるとともに、セット信号 $S$ として4段後の単位回路4( $k+4$ )に与えられる。

#### 【0029】

50

図6は、ゲートドライバ400の動作について説明するための信号波形図である。以上のような構成において、時点t00にゲートスタートパルス信号GSPのパルスが発生した後、ゲートクロック信号GCK1~GCK8のクロック動作に基づいて、各単位回路4から出力される出力信号Qに含まれるシフトパルスが後段側へと転送される(すなわち、シフト動作が行われる)。そして、このシフトパルスの転送に応じて、各単位回路4から出力される出力信号Qが順次にハイレベルとなる。これにより、図6に示すように、所定期間ずつ順次にハイレベル(アクティブ)となる走査信号G(1)~G(i)が表示部600内のゲートバスラインGL1~GLiに与えられる。すなわち、i本のゲートバスラインGL1~GLiが順次に選択状態となる。

#### 【0030】

ところで、本実施形態においては、スキヤンの途中停止が可能となっている。図6に示す例では、時点t01から時点t02までの期間がスキヤンが停止される休止期間である。休止期間には、ゲートクロック信号GCK1~GCK8のクロック動作が停止し、制御信号VTPがハイレベルで維持される。休止期間にこのような動作が行われることおよび各単位回路4が後述のように構成されていることにより、図6に示すように休止期間の終了後にスキヤンが再開される。なお、休止期間には、タッチパネルの処理(例えば、タッチ位置を検出する処理)が行われる。

#### 【0031】

##### <1.2.2 単位回路の構成>

図1は、本実施形態における単位回路4の構成を示す回路図である。図1に示すように、この単位回路4は、11個の薄膜トランジスタT1~T11と、2個のキャパシタ(容量素子)C1,C2とを備えている。また、この単位回路4は、直流電源電圧VSS用の入力端子のほか、5個の入力端子41~45と、1個の出力端子49とを有している。ここで、セット信号Sを受け取る入力端子には符号41を付し、リセット信号Rを受け取る入力端子には符号42を付し、入力クロック信号CLKinを受け取る入力端子には符号43を付し、制御信号VTPを受け取る入力端子には符号44を付し、直流電源電圧VDDを受け取る入力端子には符号45を付している。また、出力信号Qを出力する出力端子には符号49を付している。なお、上記特開2014-182203号公報に開示されたシフトレジスタとは異なり、シフトレジスタ410内の全ての単位回路4(1)~4(i)が図1に示す同じ構成となっている。

#### 【0032】

次に、単位回路4内における構成要素間の接続関係について説明する。薄膜トランジスタT1のゲート端子、薄膜トランジスタT2のソース端子、薄膜トランジスタT3のドレイン端子、薄膜トランジスタT4のドレイン端子、薄膜トランジスタT7のゲート端子、薄膜トランジスタT10のソース端子、およびキャパシタC1の一端は、第1ノードN1を介して互いに接続されている。薄膜トランジスタT4のゲート端子、薄膜トランジスタT5のゲート端子、薄膜トランジスタT6のソース端子、および薄膜トランジスタT7のドレイン端子は、第2ノードN2を介して互いに接続されている。薄膜トランジスタT9のソース端子、薄膜トランジスタT10のゲート端子、薄膜トランジスタT11のドレイン端子、およびキャパシタC2の一端は、第3ノードN3を介して互いに接続されている。

#### 【0033】

薄膜トランジスタT1については、ゲート端子は第1ノードN1に接続され、ドレイン端子は入力端子43に接続され、ソース端子は出力端子49に接続されている。薄膜トランジスタT2については、ゲート端子は入力端子41に接続され、ドレイン端子は入力端子45に接続され、ソース端子は第1ノードN1に接続されている。なお、薄膜トランジスタT2のドレイン端子を入力端子41に接続する構成を採用しても良い。薄膜トランジスタT3については、ゲート端子は入力端子42に接続され、ドレイン端子は第1ノードN1に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT4については、ゲート端子は第2ノードN2に接続され、ドレイン端子は

10

20

30

40

50

第1ノードN1に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT5については、ゲート端子は第2ノードN2に接続され、ドレイン端子は出力端子49に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT6については、ゲート端子およびドレイン端子は入力端子45に接続され(すなわち、ダイオード接続となっている)、ソース端子は第2ノードN2に接続されている。薄膜トランジスタT7については、ゲート端子は第1ノードN1に接続され、ドレイン端子は第2ノードN2に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。

**【0034】**

薄膜トランジスタT8については、ゲート端子は入力端子44に接続され、ドレイン端子は出力端子49に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT9については、ゲート端子は入力端子41に接続され、ドレイン端子は入力端子45に接続され、ソース端子は第3ノードN3に接続されている。なお、薄膜トランジスタT9のドレイン端子を入力端子41に接続する構成を採用しても良い。薄膜トランジスタT10については、ゲート端子は第3ノードN3に接続され、ドレイン端子は入力端子45に接続され、ソース端子は第1ノードN1に接続されている。キャパシタC1については、一端は第1ノードN1に接続され、他端は出力端子49に接続されている。キャパシタC2については、一端は第3ノードN3に接続され、他端は直流電源電圧VSS用の入力端子に接続されている。

**【0035】**

次に、各構成要素の機能について説明する。薄膜トランジスタT1は、第1ノードN1の電位がハイレベルになっているときに、入力クロック信号CLKinの電位を出力端子49に与える。薄膜トランジスタT2は、セット信号Sがハイレベルになっているときに、第1ノードN1の電位をハイレベルに向けて変化させる。薄膜トランジスタT3は、リセット信号Rがハイレベルになっているときに、第1ノードN1の電位をローレベルに向けて変化させる。薄膜トランジスタT4は、第2ノードN2の電位がハイレベルになっているときに、第1ノードN1の電位をローレベルに向けて変化させる。薄膜トランジスタT5は、第2ノードN2の電位がハイレベルになっているときに、出力端子49の電位(出力信号Qの電位)をローレベルに向けて変化させる。薄膜トランジスタT6は、薄膜トランジスタT7がオン状態となっていない限り第2ノードN2の電位をハイレベルで維持する。薄膜トランジスタT7は、第1ノードN1の電位がハイレベルになっているときに、第2ノードN2の電位をローレベルに向けて変化させる。薄膜トランジスタT8は、制御信号VTPがハイレベルになっているときに、出力端子49の電位(出力信号Qの電位)をローレベルに向けて変化させる。薄膜トランジスタT9は、セット信号Sがハイレベルになっているときに、第3ノードN3の電位をハイレベルに向けて変化させる。薄膜トランジスタT10は、第3ノードN3の電位がハイレベルで維持されている期間を通じて必要に応じて第1ノードN1に電荷を供給する。薄膜トランジスタT11は、入力クロック信号CLKinがハイレベルになっているときに、制御信号VTPの電位を第3ノードN3に与える。キャパシタC1は、第1ノードN1の電位を上昇させるためのブートストラップ容量として機能する。キャパシタC2は、第3ノードN3の電位を維持するための容量として機能する。本実施形態においては、薄膜トランジスタT9~T11およびキャパシタC2によって、第1ノードN1に電荷を供給するための電荷供給部420が構成されている。

**【0036】**

なお、本実施形態においては、第1ノードN1によって電荷保持ノードが実現され、第3ノードN3によって電荷供給制御ノードが実現されている。また、薄膜トランジスタT1によって出力制御トランジスタが実現され、薄膜トランジスタT8によって出力ノードターンオフトランジスタが実現され、薄膜トランジスタT9によって電荷供給制御ノードターンオントランジスタが実現され、薄膜トランジスタT10によって第1の電荷供給制御トランジスタが実現され、薄膜トランジスタT11によって電荷供給制御ノードターン

オフトランジスタが実現され、薄膜トランジスタ T 1 2 によって第 2 の電荷供給制御トランジスタが実現されている。

【 0 0 3 7 】

< 1 . 2 . 3 単位回路の動作 >

次に、単位回路 4 の動作について説明する。まず、スキヤンの途中停止が行われな  
 ときの動作について説明し、その後、スキヤンの途中停止が行われるときの動作について説  
 明する。なお、以下においては、シフトレジスタ 4 1 0 を構成する複数の段 ( i 個の段 )  
 のうち休止期間中に電荷のリークによる第 1 ノード N 1 の電位の低下を防ぐ必要のある段  
 のことを便宜上「ラッチ段」という。ラッチ段には、スキヤンの停止位置に相当する段 ( 10  
 以下、「停止段」という。 ) および停止段近傍の段が含まれる。

【 0 0 3 8 】

< 1 . 2 . 3 . 1 スキヤンの途中停止が行われな  
 ときの動作 >

図 7 は、スキヤンの途中停止が行われな  
 ときの単位回路 4 の動作の一例について説明  
 するための信号波形図である。時点 t 1 1 以前の期間には、制御信号 V T P はローレベル  
 、第 1 ノード N 1 の電位はローレベル、第 2 ノード N 2 の電位はハイレベル、第 3 ノード  
 N 3 の電位はローレベル、セット信号 S はローレベル、出力信号 Q はローレベル、リセッ  
 ト信号 R はローレベルとなっている。入力クロック信号 C L K i n については、ハイレベ  
 ルとローレベルとを交互に繰り返している。ところで、単位回路 4 内の薄膜トランジスタ  
 T 1 には寄生容量が存在する。このため、時点 t 1 1 以前の期間には、入力クロック信号  
 C L K i n のクロック動作と薄膜トランジスタ T 1 の寄生容量の存在とに起因して、第 1  
 ノード N 1 の電位に変動が生じ得る。従って、出力端子 4 9 の電位 ( 出力信号 Q の電位 )  
 すなわちゲートバスライン G L に与えられる走査信号 G の電位が上昇し得る。しかしなが  
 ら、第 2 ノード N 2 の電位がハイレベルで維持されている期間には薄膜トランジスタ T 4  
 , T 5 はオン状態で維持される。従って、時点 t 1 1 以前の期間には、薄膜トランジスタ  
 T 4 , T 5 はオン状態で維持され、第 1 ノード N 1 の電位および出力端子 4 9 の電位 ( 出  
 力信号 Q の電位 ) は確実にローレベルで維持される。以上より、入力クロック信号 C L K  
 i n のクロック動作に起因するノイズが第 1 ノード N 1 に混入しても、対応する走査信号  
 G の電位が上昇することはない。これにより、入力クロック信号 C L K i n のクロック動  
 作に起因する異常動作の発生が防止される。 20

【 0 0 3 9 】

時点 t 1 1 になると、セット信号 S がローレベルからハイレベルに変化する。このため  
 、薄膜トランジスタ T 2 がオン状態となってキャパシタ C 1 が充電されるとともに、薄膜  
 トランジスタ T 9 がオン状態となってキャパシタ C 2 が充電される。これにより、第 1 ノ  
 ード N 1 の電位および第 3 ノード N 3 の電位はローレベルからハイレベルに変化する。第  
 1 ノード N 1 の電位がハイレベルとなることによって、薄膜トランジスタ T 1 がオン状態  
 となる。しかしながら、時点 t 1 1 には入力クロック信号 C L K i n はローレベルとなっ  
 ているので、出力信号 Q はローレベルで維持される。また、第 1 ノード N 1 の電位がロー  
 レベルからハイレベルに変化することにより、薄膜トランジスタ T 7 がオン状態となる。  
 これにより、第 2 ノード N 2 の電位はローレベルとなり、薄膜トランジスタ T 4 , T 5 が  
 オフ状態となる。なお、時点 t 1 1 から時点 t 1 2 までの期間には、リセット信号 R はロ  
 ーレベルで維持されている。従って、この期間中に、第 1 ノード N 1 の電位が低下するこ  
 とはない。また、時点 t 1 1 には上述のように第 3 ノード N 3 の電位がハイレベルとなる  
 が、第 1 ノード N 1 の電位もハイレベルとなるため、薄膜トランジスタ T 1 0 のゲート -  
 ソース間電圧 V g s は 0 となり薄膜トランジスタ T 1 0 はオフ状態で維持される。なお、  
 仮に薄膜トランジスタ T 3 , T 4 での電荷のリークに起因して薄膜トランジスタ T 1 0 に  
 関してゲート - ソース間電圧 V g s が閾値電圧よりも大きくかつドレイン - ソース間電圧  
 V d s が 0 よりも大きくなる程度にまで第 1 ノード N 1 の電位が低下すれば、薄膜トラン  
 ジスタ T 1 0 がオン状態となることによって薄膜トランジスタ T 1 0 を介して第 1 ノード  
 N 1 への電荷の供給が行われる。しかしながら、任意の第 1 ノード N 1 がブートストラッ  
 プされる期間は休止期間のような長い時間であることを想定していないため、 1 行前の単 40  
 50

位回路4内の第1ノードN1がブートストラップされる期間である時点t11から時点t12までの期間は休止期間のような長い時間ではなく、通常、第1ノードN1への電荷の供給は行われない。

【0040】

時点t12になると、入力クロック信号CLKinがローレベルからハイレベルに変化する。このとき、薄膜トランジスタT1はオン状態となっているので、入力端子43の電位の上昇とともに出力端子49の電位が上昇する。ここで、図1に示すように第1ノードN1 - 出力端子49間にはキャパシタC1が設けられているので、出力端子49の電位の上昇とともに第1ノードN1の電位も上昇する(第1ノードN1がブートストラップされる)。その結果、薄膜トランジスタT1のゲート端子には大きな電圧が印加され、この単位回路4の出力端子49に接続されているゲートバスラインGLが選択状態となるのに十分なレベルにまで出力信号Qの電位が上昇する。なお、時点t12から時点t13までの期間には、リセット信号Rはローレベルで維持され、かつ、第2ノードN2の電位もローレベルで維持される。従って、この期間中に、第1ノードN1の電位および出力端子49の電位(出力信号Qの電位)が低下することはない。また、時点t12には、上述のように入力クロック信号CLKinがローレベルからハイレベルに変化することによって、薄膜トランジスタT11がオン状態となる。このとき、制御信号VTPはローレベルであるので、薄膜トランジスタT11がオン状態となることによって第3ノードN3の電位はローレベルとなる。このとき、薄膜トランジスタT10はオフ状態で維持される。なお、時点t12~時点t13の期間にも第1ノードN1への電荷の供給は行われないが、任意の第1ノードN1がブートストラップされる期間(この例では、時点t12~時点t13の期間)は休止期間のような長い時間であることを想定していないため、薄膜トランジスタT3, T4などでの電荷のリークが異常動作を引き起こすことはない。

10

20

【0041】

時点t13になると、入力クロック信号CLKinがハイレベルからローレベルに変化する。これにより、入力端子43の電位の低下とともに出力端子49の電位(出力信号Qの電位)は低下する。出力端子49の電位が低下すると、キャパシタC1を介して、第1ノードN1の電位も低下する。なお、時点t14までは第1ノードN1の電位はハイレベルで維持されるので、入力クロック信号CLKinがハイレベルからローレベルに変化したことによって出力端子49の電位は時点t13~時点t14の期間中に薄膜トランジスタT1を介してローレベルとなる。

30

【0042】

時点t14になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、薄膜トランジスタT3はオン状態となる。その結果、第1ノードN1の電位がローレベルにまで低下する。これにより、薄膜トランジスタT7がオフ状態となって、第2ノードN2の電位がローレベルからハイレベルに変化する。その結果、薄膜トランジスタT4, T5がオン状態となり、第1ノードN1の電位および出力端子49の電位(出力信号Qの電位)がローレベルへと引き込まれる。時点t14以降の期間には、時点t11以前の期間と同様の動作が行われる。

40

【0043】

以上のような動作が各単位回路4で行われることによって、この液晶表示装置に設けられている複数本のゲートバスラインGL(1)~GL(i)が順次に選択状態となり、画素容量への書き込みが順次に行われる。

【0044】

< 1.2.3.2 スキャンの途中停止が行われるときの動作 >

図8は、スキャンの途中停止が行われるときの単位回路(停止段の単位回路)4の動作の一例について説明するための信号波形図である。なお、時点t22~時点t23の期間が休止期間であると仮定する。時点t21以前の期間には、スキャンの途中停止が行われないときの時点t11(図7参照)以前の期間と同様の動作が行われる。時点t21~時点t22の期間にも、スキャンの途中停止が行われないときの時点t11~時点t12(

50

図7参照)の期間と同様の動作が行われる。すなわち、時点 $t_{21}$ ~時点 $t_{22}$ の間には、通常、薄膜トランジスタ $T_{10}$ はオフ状態で維持されて第1ノード $N_1$ への電荷の供給は行われない。

【0045】

このケースでは、時点 $t_{22}$ になっても、入力クロック信号 $CLK_{in}$ はローレベルで維持される。従って、薄膜トランジスタ $T_{11}$ はオフ状態で維持され、第3ノード $N_3$ の電位はハイレベルで維持される。ここで、第1ノード $N_1$ の電位が低下することによって薄膜トランジスタ $T_{10}$ に関してゲート-ソース間電圧 $V_{gs}$ が閾値電圧よりも大きくかつドレイン-ソース間電圧 $V_{ds}$ が0よりも大きくなると、薄膜トランジスタ $T_{10}$ がオン状態となることによって薄膜トランジスタ $T_{10}$ を介して第1ノード $N_1$ への電荷の供給が行われる。これにより、休止期間の長さが長い場合など薄膜トランジスタ $T_3$ ,  $T_4$ で電荷のリークが生じていても、第1ノード $N_1$ の電位は十分に高いレベルで維持される。また、時点 $t_{22}$ には、制御信号 $V_{TP}$ がローレベルからハイレベルに変化する。これに関し、制御信号 $V_{TP}$ は全ての単位回路4に共通的に与えられている。従って、全ての単位回路4内の薄膜トランジスタ $T_8$ がオン状態となり、全ての単位回路4からの出力信号 $Q$ の電位(すなわち全ての走査信号 $G$ の電位)がローレベルへと引き込まれる。

10

【0046】

時点 $t_{23}$ になると、休止期間が終了し、制御信号 $V_{TP}$ がハイレベルからローレベルに変化する。これにより、薄膜トランジスタ $T_8$ はオフ状態となる。また、時点 $t_{23}$ には、入力クロック信号 $CLK_{in}$ がローレベルからハイレベルに変化する。このとき、第1ノード $N_1$ の電位は十分に高いレベルで維持されている。以上より、スキヤンの途中停止が行われないときの時点 $t_{12}$ (図7参照)と同様の動作が行われる。これにより、この単位回路4の出力端子49に接続されているゲートバスライン $GL$ が選択状態となるのに十分なレベルにまで出力信号 $Q$ の電位が上昇する。また、時点 $t_{23}$ には、上述のように制御信号 $V_{TP}$ はローレベルかつ入力クロック信号 $CLK_{in}$ はハイレベルとなるので、薄膜トランジスタ $T_{11}$ がオン状態となることによって第3ノード $N_3$ の電位はローレベルとなる。時点 $t_{24}$ 以降の期間には、スキヤンの途中停止が行われないときの時点 $t_{13}$ (図7参照)以降の期間と同様の動作が行われる。

20

【0047】

以上のように、停止段の単位回路4では、休止期間を通じて第1ノード $N_1$ の電位は高いレベルで維持される。そして、休止期間の終了後に、入力クロック信号 $CLK_{in}$ のクロック動作に基づいて出力信号 $Q$ がハイレベルとなる。停止段以外のラッチ段の単位回路4においても、同様に、休止期間を通じて第1ノード $N_1$ の電位は高いレベルで維持される。そして、休止期間の終了後に、対応する入力クロック信号 $CLK_{in}$ のクロック動作に基づいて出力信号 $Q$ がハイレベルとなる。以上のようにして、休止期間の終了後に、停止段からスキヤンが再開される。

30

【0048】

< 1.3 効果 >

本実施形態によれば、ゲートドライバ400内のシフトレジスタ410の各段を構成する単位回路4には、第1ノード(ハイレベルの走査信号 $G$ を出力するために電荷を保持するためのノード) $N_1$ と同じタイミングで電位がハイレベルとなる第3ノード $N_3$ を含み当該第3ノード $N_3$ の電位がハイレベルとなってからハイレベルの出力信号 $Q$ が出力されるまでの期間を通じて第1ノード $N_1$ に電荷を供給可能な電荷供給部420が設けられている。このため、休止期間を通じて、必要に応じて第1ノード $N_1$ に電荷が供給される。従って、休止期間の長さが長時間に設定されていて、たとえ薄膜トランジスタ $T_3$ ,  $T_4$ で電荷のリークが生じていても、休止期間中に図9で符号71を付した太点線で示すように第1ノード $N_1$ の電位が低下することはない。すなわち、第1ノード $N_1$ の電位は休止期間を通じて高いレベルで維持される。その結果、休止期間の終了後に停止段から正常にスキヤンが再開される。

40

【0049】

50

また、本実施形態においては、シフトレジスタ410内の全ての単位回路4(1)~4(i)が同じ構成(図1に示す構成)となっている。このため、任意の段でスキャンの途中停止を行うことが可能となる。また、液晶パネルを構成するTFT基板の製造プロセスにおけるパターン検査が複雑化することもない。

【0050】

以上より、本実施形態によれば、製造プロセスにおけるパターン検査の複雑化を引き起こすことなく任意の段でのスキャンの途中停止が可能なシフトレジスタが実現される。

【0051】

< 2. 第2の実施形態 >

本発明の第2の実施形態について説明する。全体構成およびゲートドライバ400の構成・動作の概略については、上記第1の実施形態と同様であるので説明を省略する(図2~図6を参照)。以下、上記第1の実施形態と異なる点を中心に説明する。

【0052】

< 2.1 単位回路の構成 >

図10は、本実施形態における単位回路4の構成を示す回路図である。図10に示すように、本実施形態における単位回路4には、上記第1の実施形態における構成要素(図1参照)に加えて、薄膜トランジスタT12が設けられている。その薄膜トランジスタT12については、ゲート端子は第1ノードN1に接続され、ドレイン端子は入力端子45に接続され、ソース端子は第3ノードN3に接続されている。薄膜トランジスタT12は、第1ノードN1の電位がハイレベルで維持されている期間を通じて必要に応じて第3ノードN3に電荷を供給する。本実施形態においては、薄膜トランジスタT9~T12およびキャパシタC2によって、第1ノードN1に電荷を供給するための電荷供給部420が構成されている。また、上記第1の実施形態においては薄膜トランジスタT11のゲート端子は入力端子43に接続されていたが(図1参照)、本実施形態においては薄膜トランジスタT11のゲート端子は入力端子42に接続されている。すなわち、本実施形態における薄膜トランジスタT11は、リセット信号Rがハイレベルになっているときに、制御信号VTPの電位を第3ノードN3に与える。

【0053】

< 2.2 単位回路の動作 >

次に、単位回路4の動作について説明する。まず、スキャンの途中停止が行われないうちの動作について説明し、その後、スキャンの途中停止が行われるときの動作について説明する。

【0054】

< 2.2.1 スキャンの途中停止が行われないうちの動作 >

図11は、スキャンの途中停止が行われないうちの単位回路4の動作の一例について説明するための信号波形図である。時点t31以前の期間には、制御信号VTPはローレベル、第1ノードN1の電位はローレベル、第2ノードN2の電位はハイレベル、第3ノードN3の電位はローレベル、セット信号Sはローレベル、出力信号Qはローレベル、リセット信号Rはローレベルとなっている。入力クロック信号CLKinについては、ハイレベルとローレベルとを交互に繰り返している。このように時点t31以前の期間には第2ノードN2の電位はハイレベルとなっているので、上記第1の実施形態と同様、入力クロック信号CLKinのクロック動作に起因する異常動作の発生が防止される。

【0055】

時点t31になると、セット信号Sがローレベルからハイレベルに変化し、上記第1の実施形態における時点t11(図7参照)と同様の動作が行われる。すなわち、第1ノードN1の電位はローレベルからハイレベルに変化し、第2ノードN2の電位はハイレベルからローレベルに変化し、第3ノードN3の電位はローレベルからハイレベルに変化する。このとき、上記第1の実施形態と同様、通常、薄膜トランジスタT10はオフ状態で維持され、第1ノードN1への電荷の供給は行われないうち。また、薄膜トランジスタT12のゲート-ソース間電圧Vgsは0となるので、薄膜トランジスタT12についてもオフ状

10

20

30

40

50

態で維持される。従って、薄膜トランジスタ T 1 2 を介した第 3 ノード N 3 への電荷の供給は行われない。

【 0 0 5 6 】

時点 t 3 2 になると、入力クロック信号 C L K i n がローレベルからハイレベルに変化し、上記第 1 の実施形態における時点 t 1 2 ( 図 7 参照 ) と同様、第 1 ノード N 1 の電位が上昇し、この単位回路 4 の出力端子 4 9 に接続されているゲートバスライン G L が選択状態となるのに十分なレベルにまで出力信号 Q の電位が上昇する。ところで、本実施形態においては、薄膜トランジスタ T 1 1 のゲート端子は、上記第 1 の実施形態 ( 図 1 参照 ) とは異なり、リセット信号 R を受け取る入力端子 4 2 に接続されている。時点 t 3 2 にはリセット信号 R はローレベルで維持されるので、時点 t 3 2 には、上記第 1 の実施形態における時点 t 1 2 とは異なり、第 3 ノード N 3 の電位はハイレベルで維持される。このとき、第 1 ノード N 1 がブートストラップされた状態であるため、第 3 ノード N 3 の電位がハイレベルで維持されていても薄膜トランジスタ T 1 0 はオフ状態で維持される。従って、時点 t 3 2 ~ 時点 t 3 3 の期間には、第 1 ノード N 1 への電荷の供給は行われない。これに関し、任意の第 1 ノード N 1 がブートストラップされる期間は休止期間のような長い時間であることを想定していないため、薄膜トランジスタ T 3 , T 4 などでの電荷のリークが異常動作を引き起こすことはない。

10

【 0 0 5 7 】

時点 t 3 3 になると、入力クロック信号 C L K i n がハイレベルからローレベルに変化する。これにより、上記第 1 の実施形態における時点 t 1 3 ( 図 7 参照 ) と同様、出力信号 Q の電位および第 1 ノード N 1 の電位が低下する。第 1 ノード N 1 の電位は低下するがローレベルにまでは低下しないので、時点 t 3 1 ~ 時点 t 3 2 の期間と同様、薄膜トランジスタ T 1 0 はオフ状態で維持される。なお、時点 t 3 4 までは第 1 ノード N 1 の電位はハイレベルで維持されるので、入力クロック信号 C L K i n がハイレベルからローレベルに変化したことによって出力端子 4 9 の電位は時点 t 3 3 ~ 時点 t 3 4 の期間中に薄膜トランジスタ T 1 を介してローレベルとなる。

20

【 0 0 5 8 】

時点 t 3 4 になると、リセット信号 R がローレベルからハイレベルに変化する。これにより、薄膜トランジスタ T 3 はオン状態となり、上記第 1 の実施形態における時点 t 1 4 ( 図 7 参照 ) と同様の動作が行われることにより、第 1 ノード N 1 の電位はローレベルにまで低下し、第 2 ノード N 2 の電位がローレベルからハイレベルに変化する。また、本実施形態においては、リセット信号 R がローレベルからハイレベルに変化することによって、薄膜トランジスタ T 1 1 がオン状態となる。これにより、第 3 ノード N 3 の電位はローレベルとなる。このとき、薄膜トランジスタ T 1 0 はオフ状態で維持される。さらに、第 1 ノード N 1 の電位はローレベルとなるので、薄膜トランジスタ T 1 2 もオフ状態で維持される。時点 t 3 4 以降の期間には、時点 t 3 1 以前の期間と同様の動作が行われる。

30

【 0 0 5 9 】

< 2 . 2 . 2 スキャンの途中停止が行われるときの動作 >

図 1 2 は、スキャンの途中停止が行われるときの単位回路 ( 停止段の単位回路 ) 4 の動作の一例について説明するための信号波形図である。なお、時点 t 4 2 ~ 時点 t 4 3 の期間が休止期間であると仮定する。時点 t 4 1 以前の期間には、スキャンの途中停止が行われないときの時点 t 3 1 ( 図 1 1 参照 ) 以前の期間と同様の動作が行われる。時点 t 4 1 ~ 時点 t 4 2 の期間にも、スキャンの途中停止が行われないときの時点 t 3 1 ~ 時点 t 3 2 ( 図 1 1 参照 ) の期間と同様の動作が行われる。すなわち、時点 t 4 1 ~ 時点 t 4 2 の期間には、薄膜トランジスタ T 1 0 および薄膜トランジスタ T 1 2 はオフ状態で維持されて、第 1 ノード N 1 への電荷の供給および第 3 ノード N 3 への電荷の供給は行われない。

40

【 0 0 6 0 】

時点 t 4 2 になると、セット信号 S がハイレベルからローレベルに変化し、制御信号 V T P がローレベルからハイレベルに変化する。制御信号 V T P がハイレベルに変化することにより、上記第 1 の実施形態における時点 t 2 2 ( 図 8 参照 ) と同様、全ての単位回路

50

4内の薄膜トランジスタT8がオン状態となり、全ての単位回路4からの出力信号Qの電位(すなわち全ての走査信号Gの電位)がローレベルへと引き込まれる。リセット信号Rはローレベルで維持されるので、時点t42以降も、薄膜トランジスタT11はオフ状態で維持され、第3ノードN3の電位はハイレベルで維持される。ここで、第1ノードN1の電位が低下することによって薄膜トランジスタT10に関してゲート-ソース間電圧 $V_{gs}$ が閾値電圧よりも大きくかつドレイン-ソース間電圧 $V_{ds}$ が0よりも大きくなると、薄膜トランジスタT10がオン状態となることによって薄膜トランジスタT10を介して第1ノードN1への電荷の供給が行われる。また、第3ノードN3の電位が低下することによって薄膜トランジスタT12に関してゲート-ソース間電圧 $V_{gs}$ が閾値電圧よりも大きくかつドレイン-ソース間電圧 $V_{ds}$ が0よりも大きくなると、薄膜トランジスタT12がオン状態となることによって薄膜トランジスタT12を介して第3ノードN3への電荷の供給が行われる。従って、休止期間を通じて第3ノードN3の電位が確実にハイレベルで維持される。これにより、薄膜トランジスタT10のゲート電位が高いレベルで維持され、第1ノードN1の電位が低下したときに第1ノードN1への電荷の供給が確実に行われる。以上より、休止期間の長さが長い場合など薄膜トランジスタT3, T4で電荷のリークが生じていても、第1ノードN1の電位の低下は確実に抑制され、第1ノードN1の電位は十分に高いレベルで維持される。

10

#### 【0061】

時点t43になると、休止期間が終了し、制御信号VTPがハイレベルからローレベルに変化する。これにより、薄膜トランジスタT8はオフ状態となる。また、時点t43には、入力クロック信号CLKinがローレベルからハイレベルに変化する。このとき、第1ノードN1の電位は十分に高いレベルで維持されている。以上より、スキヤンの途中停止が行われないときの時点t32(図11参照)と同様の動作が行われる。これにより、この単位回路4の出力端子49に接続されているゲートバスラインGLが選択状態となるのに十分なレベルにまで出力信号Qの電位が上昇する。なお、スキヤンの途中停止が行われないときの時点t32(図11参照)と同様、第3ノードN3の電位はハイレベルで維持されるが、第1ノードN1への電荷の供給は行われない。同様に、第1ノードN1の電位はハイレベルで維持されるが、薄膜トランジスタT12を介した第3ノードN3への電荷の供給は行われない。

20

#### 【0062】

時点t44になると、入力クロック信号CLKinがハイレベルからローレベルに変化する。これにより、スキヤンの途中停止が行われないときの時点t33(図11参照)と同様、出力信号Qの電位および第1ノードN1の電位が低下する。また、時点t41~時点t42の期間と同様、第1ノードN1への電荷の供給および第3ノードN3への電荷の供給は行われない。

30

#### 【0063】

時点t45になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、スキヤンの途中停止が行われないときの時点t34(図11参照)と同様の動作が行われる。すなわち、第1ノードN1の電位はローレベルにまで低下し、第2ノードN2の電位はローレベルからハイレベルに変化し、第3ノードN3の電位はハイレベルからローレベルに変化する。薄膜トランジスタT10および薄膜トランジスタT12はオフ状態で維持される。時点t45以降の期間には、時点t41以前の期間と同様の動作が行われる。

40

#### 【0064】

##### <2.3 効果>

本実施形態によれば、上記第1の実施形態と同様、休止期間を通じて必要に応じて第1ノードN1に電荷が供給される。これに関し、本実施形態における電荷供給部420には、第1ノードN1の電位がハイレベルで維持されている期間を通じて必要に応じて第3ノードN3に電荷を供給するための薄膜トランジスタT12が設けられている。このため、休止期間を通じて第3ノードN3の電位が確実にハイレベルで維持され、休止期間を通じ

50

て第1ノードN1への電荷の供給が確実に行われる。従って、休止期間の長さが長時間に設定されていて、たとえ薄膜トランジスタT3, T4で電荷のリークが生じていても、第1ノードN1の電位は休止期間を通じて確実に高いレベルで維持される。その結果、確実に、休止期間の終了後に停止段から正常にスキャンが再開される。また、本実施形態においても、シフトレジスタ410内の全ての単位回路4(1)~4(i)が同じ構成(図10に示す構成)となっている。以上より、本実施形態によれば、製造プロセスにおけるパターン検査の複雑化を引き起こすことなく任意の段でのスキャンの途中停止が可能なシフトレジスタが実現される。

【0065】

<3. その他>

上記各実施形態においては液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。有機EL(Electro Luminescence)等の他の表示装置にも本発明を適用することができる。

【0066】

また、シフトレジスタ410を構成する単位回路4の具体的な構成については、上記各実施形態で示した構成(図1, 図10)には限定されない。また、上記各実施形態においては単位回路4内の薄膜トランジスタにnチャネル型の薄膜トランジスタを用いる例を挙げて説明したが、これには限定されず、pチャネル型の薄膜トランジスタを用いる場合にも本発明を適用することができる。

【0067】

さらに、ゲートクロック信号の相数・オンデューティ(パルス幅)についても、上記で説明したものには限定されない。但し、各単位回路4から他の単位回路4へのセット信号Sおよびリセット信号Rの与え方をゲートクロック信号の相数・オンデューティに応じて適宜に定める必要がある。

【0068】

さらにまた、上記各実施形態ではスキャンの停止中にタッチパネルの処理が行われるものとしているが、これには限定されない。スキャンの停止中にタッチパネルの処理以外の処理が行われても良い。

【符号の説明】

【0069】

- 4, 4(1)~4(i) ... 単位回路
- 400 ... ゲートドライバ(走査信号線駆動回路)
- 410 ... シフトレジスタ
- 420 ... 電荷供給部
- N1~N3 ... 第1ノード~第3ノード
- T1~T12 ... 単位回路内の薄膜トランジスタ
- CLKin ... 入力クロック信号(単位回路に入力されるゲートクロック信号)
- GCK1~GCK8 ... ゲートクロック信号
- G(1)~G(i) ... 走査信号
- Q ... 単位回路からの出力信号
- R ... リセット信号
- S ... セット信号
- VTP ... 制御信号

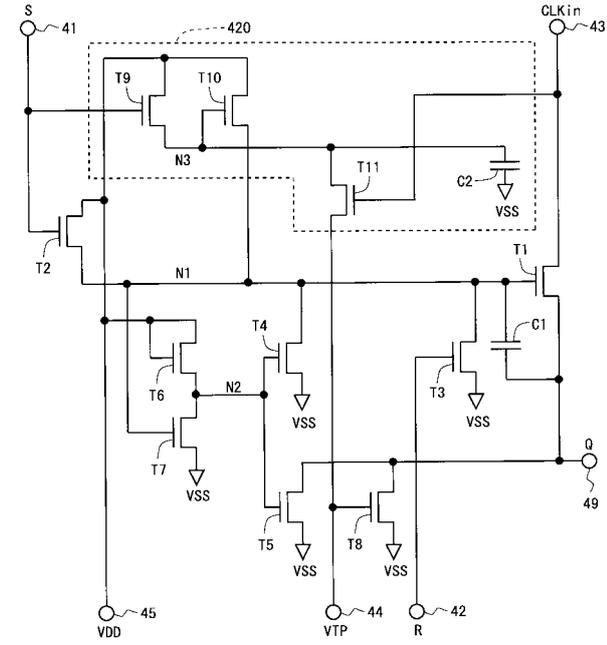
10

20

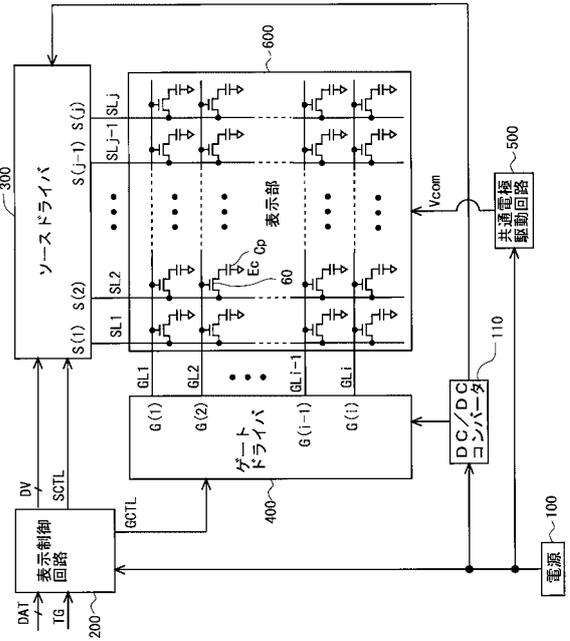
30

40

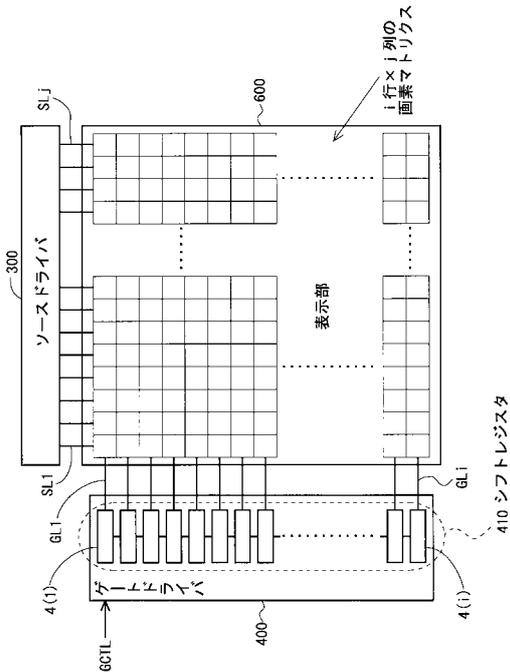
【図1】



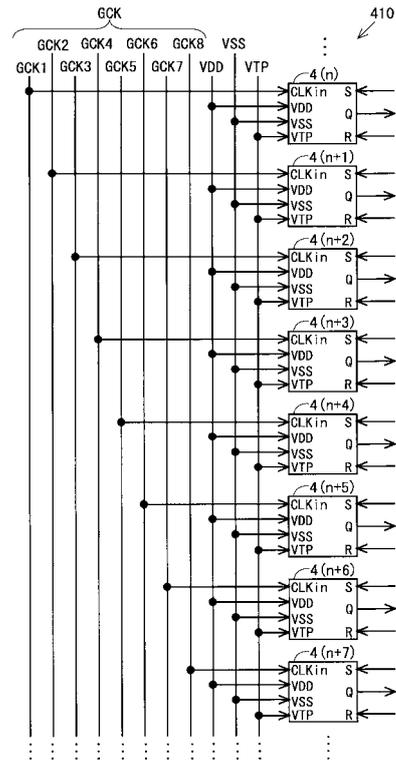
【図2】



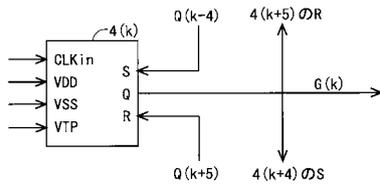
【図3】



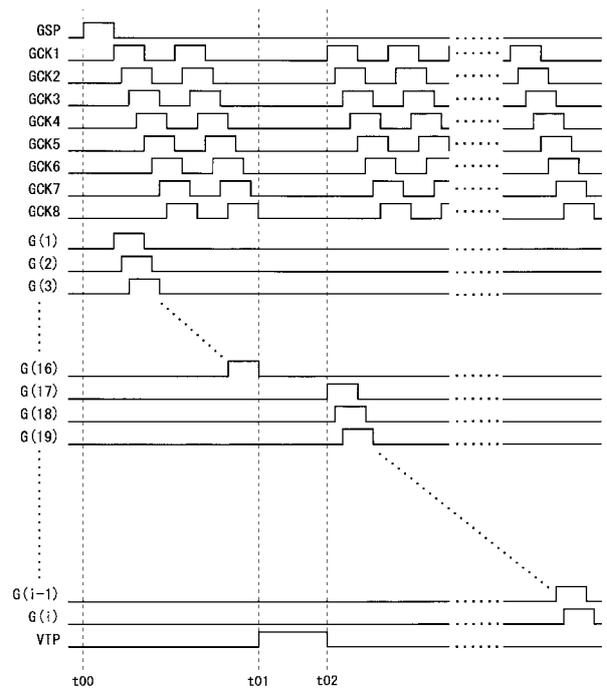
【図4】



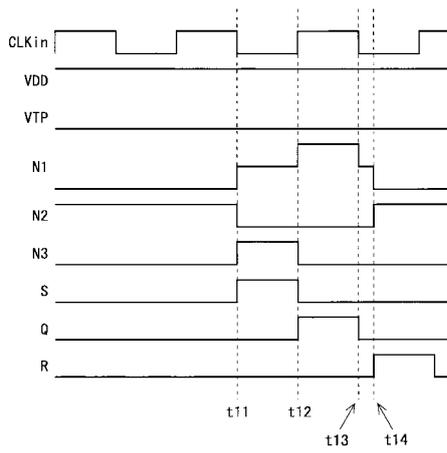
【 図 5 】



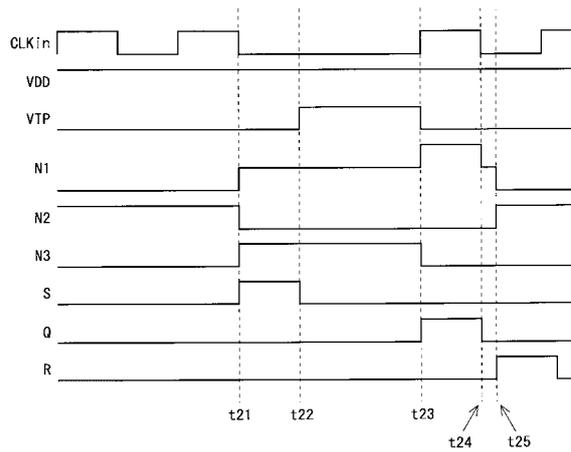
【 図 6 】



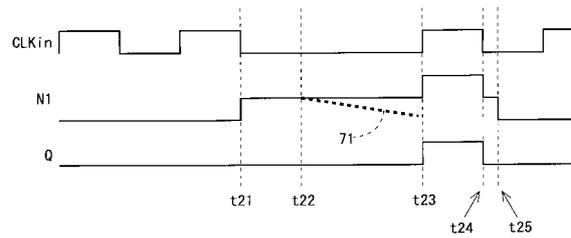
【 図 7 】



【 図 8 】



【 図 9 】





---

 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 A
	G 0 2 F 1/133	5 5 0

(72)発明者 渡部 卓哉  
大阪府堺市堺区匠町1番地 シャープ株式会社内

(72)発明者 田川 晶  
大阪府堺市堺区匠町1番地 シャープ株式会社内

(72)発明者 岩瀬 泰章  
大阪府堺市堺区匠町1番地 シャープ株式会社内

(72)発明者 楠見 崇嗣  
大阪府堺市堺区匠町1番地 シャープ株式会社内

Fターム(参考) 2H193 ZA04 ZF22 ZF23 ZF44 ZJ02  
5B074 AA01 CA01 EA02 EA04  
5C006 AF68 BB16 BC03 BC11 BC20 BF03 BF06 BF34 BF37 BF42  
EC02 FA04 FA36  
5C080 AA06 AA10 BB05 DD09 FF03 FF12 JJ02 JJ03 JJ04