



(12) 发明专利

(10) 授权公告号 CN 101091243 B

(45) 授权公告日 2010.05.26

(21) 申请号 200480035594.4

H01L 23/48 (2006.01)

(22) 申请日 2004.10.20

H01L 23/538 (2006.01)

(30) 优先权数据

10/688,910 2003.10.21 US

(56) 对比文件

US 5821168 A, 1998.10.13, 说明书第3栏第24行至第4栏第65行、附图5-8.

(85) PCT申请进入国家阶段日

2006.05.31

US 6417087 B1, 2002.07.09, 第3栏第13行至第4栏第39行, 第5栏第24行至第6栏第33行、附图4E-4F, 附图1-2.

(86) PCT申请的申请数据

PCT/US2004/032312 2004.10.20

审查员 张健

(87) PCT申请的公布数据

W02005/043584 EN 2005.05.12

(73) 专利权人 齐普特洛尼克斯公司

地址 美国北卡罗来纳

(72) 发明人 保罗·M·恩奎斯特

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 21/768 (2006.01)

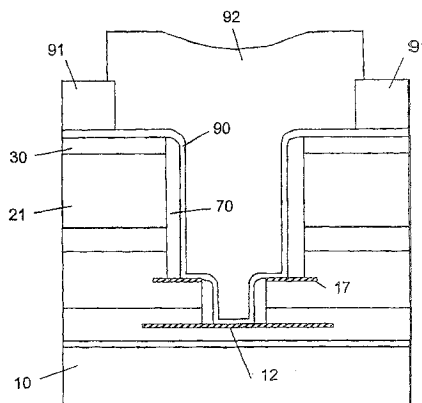
权利要求书 6 页 说明书 9 页 附图 13 页

(54) 发明名称

单掩模通孔的方法和装置

(57) 摘要

一种连接诸如半导体器件的元件的方法,和具有连接元件如半导体器件的装置。具有第一接触结构(12)的第一元件(11)被接合到具有第二接触结构(17)的第二元件(18)。单个掩模(40)被用来在第一元件中形成通孔(50),从而暴露第一接触会第二接触。第一接触结构被用作掩模从而暴露第二接触结构。连接元件(92)是与第一和第二接触结构接触形成的。第一接触结构可具有开口或间隙(60),第一和第二接触结构是通过它形成的。第一接触结构的后表面可通过蚀刻暴露。



1. 一种互连接合到一起的第一和第二元件的方法,包括:
在所述第一元件的暴露侧上形成一个掩模;
使用所述一个掩模来蚀刻所述第一元件,并暴露第一接触结构,蚀刻通过所述第一元件和第二元件之间的接合界面,并暴露第二接触结构,所述第一接触结构在所述第一元件中,所述第二接触结构在所述第二元件中;和
连接所述第一和第二接触结构。
2. 根据权利要求1中所述的方法,其中暴露所述第一接触结构包括:
暴露第一接触结构的平坦表面;和
连接所述平坦表面与所述第二接触结构。
3. 根据权利要求2中所述的方法,包括:
暴露第一接触结构的侧表面。
4. 根据权利要求2所述的方法,包括:
将所述第一接触结构形成为带有开口;以及
蚀刻通过所述开口以暴露所述第二接触结构。
5. 根据权利要求2中所述的方法,包括:
将所述第一接触结构形成为至少一对接触元件,所述接触元件之间具有空间;以及
蚀刻通过所述空间以暴露所述第二接触结构。
6. 根据权利要求1所述的方法,包括:
将第一接触结构形成为具有开口;和
蚀刻通过所述开口以暴露所述第二接触结构。
7. 根据权利要求1所述的方法,包括:
将所述第一接触结构形成为至少一对接触结构,所述接触结构之间具有空间;和
蚀刻通过所述空间以暴露所述第二接触结构。
8. 根据权利要求1所述的方法,包括:
在第一元件和第二元件接合之后去除所述第一元件的基底的至少一部分;以及
在所述去除步骤之后执行所述使用步骤。
9. 根据权利要求1所述的方法,其中多个第一元件被接合到所述第二元件,所述的方法包括:
在每个所述第一元件的暴露侧上形成所述一个掩模;
使用所述一个掩模来蚀刻每个所述第一元件,从而暴露每个所述第一元件中的第一接触结构,蚀刻通过每个所述第一元件和所述第二元件之间的接合界面,并暴露所述第二元件中的多个第二接触结构;和
连接所述第一接触结构中的一个和所述第二接触结构中的一个。
10. 根据权利要求9中所述的方法,包括:
在第一元件和第二元件接合之后去除每个所述第一元件的基底的至少一部分;和
在所述去除步骤之后执行所述使用所述一个掩模来蚀刻每个所述第一元件,从而暴露每个所述第一元件中的第一接触结构,蚀刻通过每个所述第一元件和所述第二元件之间的接合界面,并暴露所述第二元件中的多个第二接触结构的步骤。
11. 根据权利要求1中所述的方法,其中所述连接步骤包括:

形成与所述第一和第二接触结构相接触的金属晶种层；以及在所述金属晶种层上形成金属接触。

12. 根据权利要求 11 所述的方法,包括:

在形成所述金属接触之后,化学机械抛光所述金属接触和所述第一元件。

13. 根据权利要求 1 所述的方法,包括:

在所述第一元件上形成电介质层;

在所述电介质层上形成所述掩模。

14. 根据权利要求 1 所述的方法,包括:

直接在所述第一元件的所述暴露侧上形成所述掩模。

15. 根据权利要求 1 所述的方法,包括:

在所述第一元件的背面上形成所述掩模;

暴露所述第一接触结构的后表面;和

暴露所述第二接触结构的顶表面。

16. 根据权利要求 1 所述的方法,包括:

在所述使用步骤期间在所述第一元件中形成通孔;

在所述通孔的侧壁上形成电介质层;以及

蚀刻所述电介质层以暴露所述第一和第二接触结构。

17. 根据权利要求 16 所述的方法,包括:

在所述电介质层上形成金属晶种层并与所述第一和第二接触结构相接触;以及

在所述金属晶种层上形成金属接触。

18. 根据权利要求 1 所述的方法,包括:

使用所述掩模在所述第一元件中形成第一通孔;以及

使用所述第一接触结构在所述第二元件中形成第二通孔。

19. 根据权利要求 1 所述的方法,其中所述第一元件包括带有所述第一接触结构的第一器件,而所述第二元件包括带有所述第二接触结构的第二器件。

20. 根据权利要求 1 所述的方法,其中所述第一元件包括带有所述第一接触结构的第一器件,而所述第二元件包括具有多个连接结构的模块,该连接结构包括所述第二接触结构。

21. 根据权利要求 1 所述的方法,包括:

形成所述掩模从而在所述第一接触结构上形成边缘部分,并且在所述第二接触结构上而不在所述第一接触结构上形成第二边缘部分。

22. 根据权利要求 1 所述的方法,包括:

接合所述第一元件至第二元件,使得所述第一接触结构和所述第二接触结构直接接触。

23. 根据权利要求 1 所述的方法,其中多个第一元件被接合到所述第二元件,所述方法包括:

在每个所述第一元件的暴露侧上形成所述一个掩模;

使用所述一个掩模蚀刻每个所述第一元件以暴露每个所述第一元件中的第一接触结构,蚀刻通过每个所述第一元件和所述第二元件之间的接合界面,并暴露所述第二元件中

的多个第二接触结构 ;和

连接所述第一接触结构中的一个和所述第二接触结构中的一个。

24. 根据权利要求 23 所述的方法,包括 :

连接多个第一接触结构至对应的多个第二接触结构。

25. 根据权利要求 1 所述的方法,包括 :

在暴露所述第一接触结构之后停止所述蚀刻 ;

在所述第一接触结构上形成掩模材料 ;以及

在上述的在所述第一接触结构上形成掩模材料的步骤之后,重新开始所述蚀刻以暴露所述第二接触结构。

26. 根据权利要求 25 所述的方法,其中所述形成步骤包括以金属材料无电镀所述第一接触结构。

27. 一种连接含有第一基底部分的第一器件到元件的方法,所述第一器件被接合到所述元件使得所述第一器件的所述基底部分被暴露,该方法包括 :

在所述基底部分上形成第一掩模 ;

使用所述第一掩模蚀刻所述第一器件以在所述第一器件中暴露第一接触结构 ;以及

使用作为第二掩模的所述第一接触结构蚀刻以在所述元件中暴露第二接触结构 ;以及

连接所述第一和第二接触结构。

28. 根据权利要求 27 所述的方法,其中暴露所述第一接触结构包括暴露所述第一接触结构的平坦表面,并且所述方法还包括将所述平坦表面连接到所述第二接触结构。

29. 根据权利要求 28 所述的方法,包括 :

暴露第一接触结构的侧表面。

30. 根据权利要求 28 所述的方法,包括 :

将所述第一接触结构形成为含有开口 ;以及

蚀刻通过所述开口以暴露所述第二接触结构。

31. 根据权利要求 28 所述的方法,包括 :

将所述第一接触结构形成为至少一对接触元件,所述接触元件之间具有空间 ;和

蚀刻通过所述空间以暴露所述第二接触结构。

32. 根据权利要求 27 所述的方法,包括 :

将所述第一接触结构形成为含有开口 ;以及

蚀刻通过所述开口以暴露所述第二接触结构。

33. 根据权利要求 27 所述的方法,包括 :

将所述第一接触结构形成为至少一对接触结构,该接触结构之间具有空间 ;和

蚀刻通过所述空间以暴露所述第二接触结构。

34. 根据权利要求 27 所述的方法,包括 :

在接合之后至少去除所述第一器件的基底的一部分 ;以及

在所述去除步骤之后执行所述使用所述第一掩模蚀刻所述第一器件的步骤。

35. 根据权利要求 27 所述的方法,其中多个第一器件被接合到所述元件,所述方法包括 :

在每个所述第一器件的暴露侧上形成所述第一掩模 ;

使用所述第一掩模蚀刻每个所述第一器件以暴露在所述第一器件中的第一接触结构,蚀刻通过每个所述第一器件和所述元件之间的接合界面,并暴露所述元件中的多个第二接触结构;和

连接所述第一接触结构中的一个和所述第二接触结构中的一个。

36. 根据权利要求 35 所述的方法,包括:

在接合之后至少去除每个所述第一器件的基底的一部分;和

在所述去除步骤之后执行所述使用所述第一掩模蚀刻每个所述第一器件以暴露在所述第一器件中的第一接触结构,蚀刻通过每个所述第一器件和所述元件之间的接合界面,并暴露所述元件中的多个第二接触结构的步骤。

37. 根据权利要求 35 所述的方法,包括:

将多个第一接触结构连接到相应的多个第二接触结构。

38. 根据权利要求 27 所述的方法,其中所述连接步骤包括:

形成与所述第一和第二接触结构相接触的金属晶种层;和

在所述金属晶种层上形成金属接触。

39. 根据权利要求 38 所述的方法,包括:

在形成所述金属接触后化学机械抛光所述第一器件。

40. 根据权利要求 27 所述的方法,包括:

在所述第一器件上形成电介质层;

在所述电介质层上形成所述掩模。

41. 根据权利要求 27 所述的方法,包括:

在所述第一器件的背面上形成所述掩模;

暴露所述第一接触结构的后表面;和

暴露所述第二接触结构的顶表面。

42. 根据权利要求 27 所述的方法,包括:

在所述使用所述第一掩模蚀刻所述第一器件的步骤期间在所述第一器件中形成通孔;

在所述通孔侧壁上形成电介质层;和

蚀刻所述电介质层以暴露所述第一和第二接触结构。

43. 根据权利要求 42 所述的方法,包括:

在蚀刻所述电介质层之后,在所述电介质层上形成金属晶种层并与所述第一和第二接触结构相接触;和

在所述金属晶种层上形成金属接触。

44. 根据权利要求 27 所述的方法,包括:

用所述掩模在所述第一器件中形成第一通孔;和

用所述第一接触结构在所述元件中形成第二通孔。

45. 根据权利要求 27 所述的方法,其中所述元件包括具有多个连接结构的模块,该连接结构包括所述第二接触结构。

46. 根据权利要求 27 所述的方法,包括:

将所述第一器件接合到所述元件,使得所述第一接触结构直接与所述第二接触结构接

触。

47. 根据权利要求 27 所述的方法,包括:

在蚀刻所述第一器件以暴露所述第一接触结构之后;

在所述第一接触结构上形成掩模材料;和

在形成掩模材料的所述步骤后,使用所述第一接触结构为第二掩模蚀刻从而暴露所述元件中的第二接触结构。

48. 根据权利要求 47 所述的方法,其中所述形成掩模材料的步骤包括用金属材料无电镀所述第一接触结构。

49. 一种器件,包括:

具有第一接触结构的第一元件;

具有第二接触结构的第二元件;

所述第一元件被接合至所述第二元件;

第一通孔在所述第一元件中形成,并从所述第一元件的后表面延伸到所述第一接触结构;

第二通孔从所述第一接触结构延伸到所述第二接触结构并与所述第一通孔相连通;以及

连接至所述第一和第二接触结构的连接部件,其中第一接触结构和第二接触结构直接接触。

50. 根据权利要求 49 所述的器件,包括:

所述第一接触结构具有连接到所述连接部件的平坦表面。

51. 根据权利要求 49 所述的器件,包括:

所述第一接触结构具有平坦表面和连接到所述连接部件的侧表面。

52. 根据权利要求 49 所述的器件,包括:

所述第一接触结构具有开口;和

所述连接部件延伸穿过所述开口直到第二接触结构。

53. 根据权利要求 49 所述的器件,包括:

所述第一接触结构包括至少一对接触结构,该接触结构之间具有空间;和

所述连接部件延伸穿过所述空间直到所述第二接触结构。

54. 根据权利要求 49 所述的器件,包括:

连接到所述连接部件的所述第一接触的后表面。

55. 根据权利要求 49 所述的器件,包括:

在所述第一和第二通孔中的每一个的侧面上形成的电介质膜;和

所述连接部件包括在所述电介质膜上形成的第一金属层和在所述第一金属层上形成的第二金属层。

56. 根据权利要求 49 所述的器件,包括:

在所述第一元件上形成的掩模。

57. 根据权利要求 56 所述的器件,包括:

所述掩模对从所述第一元件上蚀刻的材料具有高度刻蚀选择性,以形成所述第一通孔。

58. 根据权利要求 57 所述的器件,包括:
所述掩模对从所述第二元件上蚀刻的材料具有高度刻蚀选择性,以形成所述第二通孔。
59. 根据权利要求 57 所述的器件,包括:
所述掩模至少包括铝、钨、铂、镍或钼中一种或其组合。
60. 根据权利要求 56 所述的器件,包括:
所述第一接触结构具有开口;
所述掩模确定所述第一通孔宽度;
所述开口确定所述第二通孔宽度。
61. 根据权利要求 49 所述的器件,其中:
所述第一元件是第一半导体器件;和
所述第二元件是第二半导体器件和模块中的一种。
62. 根据权利要求 49 所述的器件,其中第一元件和第二元件的每一个具有基底。
63. 根据权利要求 49 所述的器件,包括:
在所述第一接触结构上形成的掩模材料。
64. 根据权利要求 49 所述的器件,包括:
在所述第一接触结构上形成的无电镀层。

单掩模通孔的方法和装置

[0001] 相关申请的交叉参考

[0002] 本申请涉及序列号为 09/532,886 (现为美国专利 No. 6,500,794 和 10/011,432) 的申请,其全部内容以参考方式并入此处。

技术领域

[0003] 本发明涉及三维集成电路领域,并尤其涉及利用直接晶片接合的三维集成电路的制造。

背景技术

[0004] 半导体集成电路 (IC) 通常被制造在硅晶片中和其表面,从而导致必须随 IC 尺寸增加的 IC 面积增加。缩减 IC 中晶体管尺寸的不断改进已经允许在给定 IC 面积内晶体管数目的显著增加,通常称为摩尔定律。然而,尽管晶体管密集度增加,但对于增加 IC 复杂度和功能性的不断需求已经导致 IC 芯片面积的继续增加。芯片面积的增加导致芯片产量减少,相应地增加了芯片成本。

[0005] IC 制造的另一个趋势是增加单个 IC 中不同类型电路的数目,通常称作片上系统 (SoC)。这种制造通常需要增加掩模层的数目以形成不同类型的电路,还需要增加 IC 面积以容纳数目增加的各种类型的电路。掩模层和 IC 面积的增加也导致产量的减少,并相应地增加了芯片成本。

[0006] 一种避免这一不希望的产出率减少和成本增加的方案是垂直地堆叠并随后互连 IC。这些 IC 可以是不同的尺寸,来自不同尺寸的晶片,包括不同的功能 (即,模拟、数字、光学),由不同的材料制成 (即,硅、砷化镓、磷化铟等)。在堆叠之前 IC 可被测试以允许结合“确好单元片”(KGD) 被结合以增加获利产量。这一首先堆叠其次互连的方案的成功取决于堆叠和互连的产出率和成本与增加了 IC 面积或 SoC 的产出率和成本相比是否更具优势。实现这一方案的一般方法是用直接接合的方法堆叠 IC 和用传统的晶片薄化、光刻掩模、通孔蚀刻、以及互连金属化来互连 IC。

[0007] 该方案的互连部分的成本与蚀刻通孔和形成电气互连所要求的光刻掩模层的数目直接相关。因此使蚀刻通孔和形成电气互连所要求的光刻掩模层最小化是人们所期待的。

[0008] 一种形式的垂直堆叠和互连是用于 IC (在基底上) 面对面或 IC 边对 IC 边的地方。此形式通常使用在单元片对晶片的形式中,在这里单元片被接合成 IC 侧朝下至 IC 侧朝上。在此形式里,接合之后单元片通常通过去除绝大部分基底而被显著薄化。一般而言,由于基底中晶体管的位置,所以单元片基底不能被完全去除。因此基底通常以可行的最大限度去除,留下足够的剩余基底以避免损害晶体管。然后对单元片 IC 的互连优选地通过蚀刻通孔而形成,该通孔穿过余下的衬底到达单元片 IC 中的互连位置,使得在此通孔附近没有需要的晶体管。为了实现最高的互连密度,更优选的是将这一通孔延续通过整个单元片 -IC 并进入晶片 -IC 直到晶片 -IC 中的互连位置。该通孔通常延伸通过绝缘电介质材料,该绝缘

电介质材料提供与单元片 IC 和晶片 IC 中互连位置的希望的电绝缘。此通孔形成之后,通常需要互连单元片 IC 中的互连位置和晶片 IC 中的互连位置。这优选地用导电材料和通孔侧壁上的裸露基底之间的绝缘层上的导电材料实现,以避免出现导电材料和基底之间不希望的导电。

[0009] 此结构的制作通常使用四个光刻掩模掩模层来形成。这些层是 1) 蚀穿基底的通孔, 2) 蚀穿单元片 IC 和晶片 IC 中绝缘电介质材料的通孔, 此通孔使单元片 IC 和晶片 IC 中需要的导电材料暴露出来, 3) 蚀穿绝缘层的通孔, 该绝缘层使互连单元片 IC 中互连位置和晶片 IC 中互连位置的导电材料与暴露基底通孔侧壁电气绝缘, 该暴露基底通孔侧壁使单元片 IC 和晶片 IC 中所需的导电材料暴露, 4) 与单元片 IC 中暴露互连点和晶片 IC 中暴露的互连点之间的导电材料的互连。

[0010] 限定蚀穿绝缘(介电)材料的通孔的图案通常比限定蚀穿基底的通孔图案小, 以充分地暴露单元片 IC 和晶片 IC 中的互连点并避免去除掉基底通孔侧壁上的绝缘材料。由于在基底中的通孔形成以后方形成这些图案, 所以该图案构图通常在比基底通孔的构图低的拓朴层面完成。这很小的特征导致了在非平面结构上图案, 这限制了结构缩放到很小的特征尺寸, 该很小的特征尺寸是实现最高互连密度和消耗最小可能的硅基底所必要的, 功能晶体管无论如何就在这样的硅基底上。

[0011] 因此期望有包括一定结构的装置和制造该结构的方法, 该结构要求减少数量的掩模步骤, 以及可在平面表面上实现的掩模步骤可在结构形貌的最高或其中一个最高层上实现。

发明内容

[0012] 本发明涉及一种方法和装置, 其中使用单个掩模步骤来蚀刻穿过第一装置中基底的通孔, 以暴露第一和第二装置中的接触从而提供接触互连。

[0013] 作为一个实例, 单个掩蔽步骤可被用来蚀刻穿过基底剩余部分的通孔, 蚀刻穿过将在两个独立并垂直堆叠的 IC 装置中的绝缘材料的导电材料暴露的通孔, 用所需的绝缘材料来掩蔽所需的基底剩余暴露部分表面, 并通过从所述的导电材料上去除所需的绝缘材料来暴露两个独立 IC 装置中的导电材料, 而不会从所述所需的基底剩余暴露表面去除所需的绝缘材料。

[0014] 本发明进一步涉及包括两个独立 IC 装置中的互连点之间的互连的方法和装置, 此处掩模步骤不是在比单个掩模步骤更低的形貌层完成。

[0015] 本发明的一个目的是蚀刻通孔通过不同材料, 用单个掩模步骤在低于顶表面的至少两个不同形貌层上暴露导电材料。

[0016] 本发明进一步的目的是掩模互连层, 在两个表层下导电层之上的水平上互连两个表层下导电层。

[0017] 本发明的另一个目的是避免在凹陷处对掩模构图。

[0018] 本发明的另一个目的是最大化两个堆叠的 IC 之间的互连密度。

[0019] 本发明的另一个目的是最小化用来构造两个堆叠 IC 之间的互连的基底数目。

[0020] 这些目的和其它目的是通过具有第一接触结构的第一元件和具有第二接触结构的第二元件的装置实现的。第一元件和第二元件相接合。第一通孔在第一个元件中形成,

并从第一元件背面延伸到第一接触结构。第二个通孔从第一个接触结构延伸到第二个接触结构并和第一个通孔相通。连接元件将第一个和第二个接触结构相连接。

[0021] 这些和其它目的也通过互连接合到一起的第一个和第二个元件的方法来实现,使用一个掩模从而蚀刻第一元件并暴露第一元件中的第一元件,蚀穿第一元件和第二元件间的接合界面,并暴露第二个元件中的第二个接触结构,和连接第一和第二个接触结构。

附图说明

[0022] 在结合附图考虑时,通过参考下面详细的描述,对本发明更完整的理解以及许多优点将很容易被掌握并能被更好地理解,其中:

[0023] 图 1 是示出被面朝下地与面朝上的晶片相接合的单元片的图;

[0024] 图 2A 是接合到基底的单元片的图;

[0025] 图 2B 是接合到基底的单元片的图,该基底一部分去除了单元片;

[0026] 图 2C 是接合到另一基底上的基底的图;

[0027] 图 3A 示出在图 2A 所示结构之上的电介质膜和掩模层的形成;

[0028] 图 3B 示出在形成平面化材料后电介质膜和掩模层的形成;

[0029] 图 4 示出在图 3A 和图 3B 的电介质膜和掩模层中形成的孔径;

[0030] 图 5 示出利用如图 4 所示形成的孔径进行单元片的蚀刻;

[0031] 图 6A 是示出进一步蚀刻以暴露出单元片和晶片中的接触结构的图;

[0032] 图 6B 是示出包括形成硬掩模的工艺改进的图;

[0033] 图 7A 示出在形成保形的绝缘侧壁层之后图 6A 所示的结构截面图;

[0034] 图 7B 是示出在硬掩模被去除之后实施例变体的图;

[0035] 图 8A 是示出一个保形绝缘侧壁层的各向异性蚀刻的图;

[0036] 图 8B 是示出在硬掩模被去除的实施例的变体的图;

[0037] 图 9A 是示出形成含有金属晶种层和金属填料的金属接触的图;

[0038] 图 9B 是去除了硬掩模的实施例的变体;

[0039] 图 9C 是没有形成晶种层的实施例的变体;

[0040] 图 10A 是图 9A 或图 9B 所示结构在化学机械抛光之后的图;

[0041] 图 10B 是图 9C 所示结构在化学机械抛光之后的图;

[0042] 图 11 是说明图 10A 所示结构的金属化的图;

[0043] 图 12 是利用无电介质层介入的掩模层的第二实施例的图;

[0044] 图 13 是示出在第二个实施例中形成金属接触的图;

[0045] 图 14 是示出图 13 所示结构在化学机械抛光之后的图;

[0046] 图 15 是说明本发明的另一个实施例的图;

[0047] 图 16A 是说明接触结构位于其中一个器件表面的实施例的图;

[0048] 图 16B 是图 16A 所示的结构经过进一步处理之后的图;

[0049] 图 17 是示出利用依照本发明方法制造的带有图 16A 和图 16B 中所示结构的器件的图。

[0050] 图 18 是本发明的另一个实施例的图;和

[0051] 图 19 是示出利用依照本发明方法所制造的带有图 18 所示结构的器件的图。

具体实施方式

[0052] 现在参考附图尤其是参考附图 1, 阐述根据本发明方法的第一实施例。这里需要注意的是附图不是按比例绘出的, 而是为了阐述本发明的概念。

[0053] 基底 10 包括带有接触结构 12 的器件区域 11。基底 10 可由多种材料制成, 例如半导体材料或绝缘材料, 这取决于所需的应用。基底 10 通常用硅或者 III-V 材料制成。接触结构 12 通常是金属垫或与基底 10 上形成的器件或电路结构 (未示出) 接触的互连结构。基底 10 也可含有与接触结构 12 相连的集成电路, 基底 10 也可以是只包含接触结构的模块。例如, 基底 10 可以是用来互连接合在基底 10 上的结构的模块, 或者是 (例如在印制电路板上) 用来针对封装或集成其它模块或电路结构的连接的模块。该模块可由譬如石英和陶瓷的绝缘材料制成。

[0054] 位于表面 13 以便和基底 10 接合的是 3 个分离的单元片 14-16。每一个单元片都含有基底部位 19、器件区域 18 和接触结构 17。该单元片可以预先通过切割等方式与另一个晶片分离。单元片 14-16 可由譬如半导体材料等多种材料制造, 而这取决于所需的应用。通常, 该基底可由硅或者 III-V 材料来制成。接触结构 17 通常是金属垫或是与器件区域 18 上形成的器件或电路结构相连的互连结构。垫 12 和垫 17 的每一尺寸可以改变。尺寸和相对尺寸取决于对准公差, 电路设计参数或其它因素。垫的尺寸被图示出来以说明发明概念而非用于限制。器件区域 18 也可包括与接触结构 17 相连的集成电路。几乎所有的基底部位 19 可以去除, 仅剩下器件层, 电路或电路层。单元片 14-16 的基底在接合到所需厚度之后也可以被薄化。

[0055] 单元片 14-16 可使用与晶片 10 相同的技术, 或使用不同的技术。单元片 14-16 中的每一个单元片可以是相同或不同的器件或材料。单元片 14-16 中每一个都有在器件区域 18 中形成的导电结构 17。结构 17 隔开设置从而在其间留下间隙, 或者可以是带有开口的单一结构, 开口可延伸跨过整个接触结构。换句话说, 这个开口可以是在接触结构中的孔或者将接触结构一分为二。间隙或开口的尺寸将由用于特定接合技术的光刻基本规则来决定, 即至少为最小宽度, 该最小宽度使随后的接触连接结构 12 和 17 可以足够低的接触电阻可靠地形成。

[0056] 另一个决定该间隙或开口的最佳尺寸的因素是由导电结构 17 和 12 之间垂直间隔给定的距离加导电结构 17 的厚度对间隙或开口的比率。这定义了随后将被在结构 17 和 12 之间形成以使结构 17 和 12 之间电气互连的通孔的纵横比。该垂直间隔对于氧化物对氧化物直接接合通常为 1-5 微米 (如序列号为 09/505, 283 的申请所述, 该申请的内容以参考的方式引入此处), 或者对于金属直接接合可能为 0 (如序列号 10/359, 608 的申请所述, 该申请的内容以参考的方式引入此处)。更进一步, 导电结构 17 的厚度通常在 0.5 到 5 微米。通常所需的通孔纵横比在 0.5 到 5, 取决于所用的工艺技术, 对于氧化物和氧化物接合来说间隙的尺寸典型范围在 0.3-20 微米, 或者对于金属直接接合来说典型范围在约 0.1-10 微米。

[0057] 单元片 14-16 一般以接触结构 12 对准, 使得结构 17 和该间隙或开口被设置在对应的接触结构 12 之上。接触结构 12 的尺寸的选择使得单元片 14-16 简单地和结构 17 间的间隙对准。该尺寸取决于在基底 10 上设置单元片 14-16 所用方法的对准精度。利用商

业上可用生产工具的典型方法允许在 1 到 10 微米范围的对准精度,虽然未来对于这些工具的改进可能会带来更高的准确度。间隙或开口外部的结构 17 的横向跨度优选至少是由该对准精度所给定的距离。

[0058] 虽然为每个单元片 14-16 仅示出一组结构 17,但是可以理解结构 17 的横向跨度通常比每个单元片 14-16 的横向跨度要小得多,使得每个单元片可含有几个或大量的结构 17。例如,结构 17 的横向跨度可在 1-100 微米范围而单元片 14-16 的横向跨度可在 1-100 毫米范围。单元片 14-16 中的结构 17 的数量具有 10^4 的数量级,并且实际上可以实现得更高。

[0059] 正如图 2A 所示,单元片 14 的表面 20 接合到基底 10 的表面 13 上。这可以由许多的方法来实现,但是优选使用序列号为 09/505,283 的申请中所述的接合方法在室温下进行接合。单元片 14-16 与基底 10 之间的接合在图 2 中示出。在接合之后单元片 14-16 的基底被薄化。薄化通常通过抛光、研磨、蚀刻或者三种技术结合的方法来实现,从而留下被薄化过的基底 21 或者全部去除基底部分 19,图 2B 示出了基底部分 19 被完全或几乎完全地去除的实例。而且单元片 14-16 的基底也可在接合之前被薄化。

[0060] 虽然在图 2A 中示出三个单元片被接合到单个基底 10 上,也可能接合更多或更少数量的单元片到基底 10 上。同时也可接合另一个尺寸与基底 10 相当的基底,这在图 2C 中示出,其中带有器件区域 23 的基底 22 接合到了晶片 10 上,使得隔离设置的导电结构 24 大致与导电结构 12 对准。基底 22 可在接合之前被薄化或去除从而便于对准。基底 22 可在接合之后被薄化,而且如果需要,基底 22 可以基本完全被去除。下面图中所描述的过程同样适用于图 2B 和图 2C 所示的结构,但是出于简明的目的单独的视图被略去。

[0061] 如图 3A 所示,保形电介质膜 30 被设置在基底 10 和单元片 14-16 的表面 13 上。该膜可以由例如 CVD、PVD、PECVD 等形成,且优选地由氧化膜譬如硅氧化膜构成。同时,填料(譬如沉积的或旋涂的氧化物或如聚酰亚胺或苯并环丁烯的聚合物 32)可形成在单元片 14-16 上和/或它们之间,如图 3B 所示。该处理中材料 32 可能形成在不同点处。图 3B 示出了在形成膜 30 和膜 31 之前材料 32 形成的例子。填料也可以在图 3A 所示结构形成之后,在形成掩模 40 后(图 4)形成,或根据许多因素(如所选材料或温度考虑)在处理中的其它不同点处形成。具有平坦的表面可以改善该表面上形成光刻胶和其它膜,和在这些膜中形成开口,例如图 4 中所示的开口 41。

[0062] 随后,硬掩模 31 形成在电介质膜 30 上并成图案从而留下基本与结构 17 对准的开口 41(图 4)。硬掩模优选地由对随后的蚀刻工艺或用于蚀刻穿过薄化基底 21 和器件区域 18 和 11 至接触结构 12 的工艺具有高度蚀刻选择性的材料构成。硬掩模的例子是铝、钨、铂、镍、和钼,蚀刻工艺的例子是基于 SF_6 的反应离子蚀刻,从而蚀刻出穿过被薄化了的硅基底的通孔,和基于 CF_4 的反应离子蚀刻以蚀刻出穿过器件区域 18 和 11 到接触结构 12 的后续开口。

[0063] 开口 41 通过标准的光刻成图案和硬掩模 31 与电介质膜 30 的蚀刻技术形成。例如开口可以在光刻胶中用光刻形成。开口可以被对准以便与单元片 14-16(或基底 22)或基底 10 上的对准掩模对准。光学或 IR 成像可以用于对准。然后硬掩模 31 可以用适当的湿化学溶液或干法反应离子蚀刻来蚀刻,这取决于硬掩模材料,从而显露出开口中的电介质膜 30。然后电介质膜 30 可以通过与硬掩模 31 相似的方式以合适的湿化学溶液或干法反

应离子蚀刻来蚀刻,这取决于电介质膜的材料。如果硬掩模是铝,那么用于硬掩模的湿化学溶液的例子是铝刻蚀剂 A 型。如果电介质膜材料是硅氧化物,那么用于介电膜材料的反应离子刻蚀的例子是基于 CF_4 的反应离子蚀刻。对于这些或其它的硬掩模和电介质膜材料,也可以使用许多其它的干法和湿法蚀刻。如果开口和单元片 14-16(或基底 22)对准,则开口 41 的宽度优选比结构 17 之间的间距宽,或者如果此开口与较低的基底 20 对准,则优选比结构 17 之间的间距加用于在基底 20 上设置单元片 14-16(或基底 22)的方法的对准精度之和宽。

[0064] 如图 5 所示,使用硬掩模 40,单元片 14-16 的基底部分被蚀刻从而形成通孔 50。蚀刻一直被延续通过包围导电结构 12 和 17 的材料以暴露出导电结构 17 的后面和侧面部分及导电结构 12 的上表面,导电结构 12 和 17 通常是电介质材料。第一组的气体和条件,例如基于 SF_6 ,可用来蚀穿单元片 14-16 的基底材料,第二组气体和条件,例如基于 CF_4 ,可用来蚀穿包围结构 17 的电介质层。这两种蚀刻可以通过适当地切换气体和条件来在同一个反应室进行而不需要破坏真空。图 6A 示出了用来暴露导电结构 12 的蚀刻。此蚀刻产生延伸通过导电结构 17 的间隙或开口到导电结构 12 的通孔部分 60。

[0065] 为暴露导电结构 12 和 17 的电介质层通孔蚀刻优选地对导电结构 17 具有高度的蚀刻选择性,从而避免对导电结构 17 造成有害量的蚀刻。但是,可能出现电介质通孔蚀刻和导电结构的某些组合,导致对导电结构 17 有害量的蚀刻。例如,有害作用可能当导电结构 17 充分薄时或当导体 12 和 17 之间的垂直距离充分大时发生。

[0066] 有害量的蚀刻的例子是被硅氧化物包围的铝导电结构 17 和一些基于 CF_4 的反应离子蚀刻的结合,其中铝导电结构蚀刻速率与硅氧化物电介质蚀刻速率之间的比率和导电结构 17 的厚度与导电结构 12 和 17 之间的硅氧化物电介质层的厚度之间的比率相当或者比后者高。

[0067] 在其中可能出现对接触结构 17 的有害量的蚀刻的情形中,可以增加导电结构 17 的厚度,或者增加用来保护导电结构 17 免受电介质通孔刻蚀的中间步骤。如下所述中间工艺步骤可用来避免有害的刻蚀。当电介质蚀刻首次暴露出上方导电结构 17 的后面和侧面部分时,诸如金属材料的硬掩模可在连续的电介质蚀刻导致对导电结构 17 的有害蚀刻之前被有选择性地沉积在导电结构 17 的显露部分上。在选择性地沉积硬掩模之后,电介质蚀刻可以对导电结构 17 无有害蚀刻地继续进行。选择性的沉积硬掩模的例子是无电镀镍。例如这在图 6B 中示出,其中蚀刻在暴露出接触结构 17 之后并在任何显著的有害蚀刻发生之前停止。然后接触结构 17 涂覆保护性硬掩模 61,例如使用诸如无电镀镀覆的镍。诸如镍的材料在随后的连接结构 12 和结构 17 中可以保留在器件中。可选地,如果需要,材料 61 可在形成连接结构 12 和 17 以前被去除。

[0068] 要注意的是硬掩模 61 可被有选择地沉积在硬掩模 40 上。一个例子是当硬掩模 40 是导电的而且保护性硬掩模 61 的沉积由无电镀膜完成时。这对于减小硬掩模 40 要求的厚度是有利的。保护性硬掩模材料 61 在硬掩模 40 上沉积的进一步优势是对通孔 50 的孔径的限制,这导致掩蔽住接触结构 17 的一部分使其避免受到通孔 60 的各向异性蚀刻。图 7A 详细示出了元件 14-16 中的一个从而更清楚地示出随后的步骤。保形绝缘膜 70 在掩模 40 和导电结构 12 和 17,和通孔 50 和 60 的侧壁上形成,部分地填充了通孔 50 和 60。合适的绝缘膜的例子是硅氧化物,硅氮化物或者聚对二甲苯。绝缘膜可用多种典型沉积方法形成,

包括但不限于物理蒸汽沉积,化学蒸汽沉积以及汽相沉积。物理蒸汽沉积的例子是溅射,化学蒸汽沉积的例子是等离子增强化学蒸汽沉积,而汽相沉积的例子是固体蒸发,其后进行高温分解和沉积。

[0069] 在保形绝缘膜 70 通过诸如蚀刻的方法形成之前掩模 40 或掩模 40 与电介质膜 30 可被去除。图 7B 示出了去除掩模 40 的情形。如果去除掩模 40 或去除掩模 40 与电介质膜 30 的蚀刻对于由通孔 50 和 60 暴露的材料是选择性的,那么蚀刻可在无掩模的情况下完成。如果此蚀刻对于由通孔 50 和 60 暴露的材料不是选择性,那么通孔 50 和 60 中面临蚀刻的材料可以被合适的材料掩蔽。例如,如果硬掩模 40 和接触结构 12 和 17 都是铝,那么通孔可被容易去除的旋涂粘性液态材料部分填充至一定深度,从而使接触结构 12 和 17 被覆盖。通过首先选择适当的旋涂膜厚度,通孔可以被旋涂粘性液态材料部分地填充,该旋涂膜厚度将合适地平面化由硬掩模 40 (通过该硬掩模 40 形成通孔 50 和 60) 形成的表面。该层膜厚度的应用将在通孔里面比在通孔外面产生更厚的膜厚度。然后整个表面的适当蚀刻将从硬掩模 40 的表面去除该材料,同时在通孔 50 和 60 中留下覆盖接触结构 12 和 17 的材料。容易去除的旋涂材料和适当的蚀刻的例子分别是光刻胶和 O₂ 等离子蚀刻。

[0070] 保形膜 70 被各向异性蚀刻从而暴露结构 12 和 17,同时在通孔 50 和 60 的侧壁上留下薄膜 70。结构 17 的后表面优选地被暴露从而产生用来增加接触表面面积的凸起,导致降低接触电阻。优选的是超过 1 微米的典型凸起宽度从而最小化接触电阻,但该距离将基于器件和工艺参数的不同而不同。图 8A 和 8B 示出了被蚀刻的保形膜 70,分别为在保形绝缘膜 70 形成以前不去除硬掩模 40 和去除硬掩模 40。

[0071] 在形成保形膜 70 之前掩模 30 和 40 可被去除。在此种情况下,在对保形膜层 70 蚀刻之后另一个绝缘层可通过诸如氧化或沉积而在基底部分 21 (或部分 21 完全被去除的器件区域 18) 上形成。

[0072] 接触结构 17 侧表面也可在各向异性蚀刻中被暴露,从而进一步地增大表面面积和降低接触电阻。这也在 8A 和 8B 中示出。然后通孔 50 和 60 可被进一步地或完全地被金属填充。用金属填充通孔 50 和 60 的方法包括但不限于物理汽相沉积 (PVD),化学汽相沉积 (CVD) 或者电镀。相对于 PVD 或 CVD,电镀通常用来沉积更厚的膜,而且通常在沉积薄 PVD 或 CVD 晶种层之前进行。PVD 的例子是溅射铝或铜,CVD 例子是钨 CVD,电镀的例子是铜,使用溅射的铜晶种层。

[0073] 图 9A 示出了掩蔽电镀法的例子,在这里金属晶种层 90 首先被沉积在结构之上,形成对接触结构 12 和 17 的电气接触,然后利用诸如光刻胶 91 形成掩模。利用掩模 91 和对晶种层 90 的电气接触,金属接触 92 填充通孔 50 和 60。在图 9B 中示出了结构,这里在保形绝缘膜 70 形成之前掩模 40 被去除,而图 9C 示出不使用晶种层的结构。然后,诸如化学机械抛光的抛光步骤可用来去除通孔 50 和 60 外面的金属接触 92 的超出部分。该抛光步骤也可用来去除单元片 14-16 暴露侧上的金属晶种层 90。抛光可进一步去除单元片 14-16 暴露侧上的硬掩模 40。如果硬掩模如同上面给出的铝那样是导电的,那么可去除硬掩模 40 可以是优选的,以便将这样形成的金属填充的通孔彼此电绝缘。抛光步骤可进一步去除保形电介质膜 30,导致在单元片 14-16 的暴露侧上形成相当平坦的表面和平面金属结构 100,如图 10A 和 10B 所示,其中图 10B 所示结构与图 10A 中所示结构不同,因为在用金属填充通孔之前没有使用晶种层。图 10A 和 10B 的结构对于随后的处理是适当的,随后的处理包括

但不局限于基于光刻的互连布线或支持丝线接合或倒装封装的下突块金属化。该处理通常包括在单元片 14-16 的暴露侧上的电绝缘材料的形成,从而给互连布线或下突块金属化提供电绝缘。

[0074] 图 11 示出了在 CMP 之后在单元片 14-16 上形成的诸如沉积的或旋涂的氧化物或聚合物的绝缘材料 96,和在与金属结构 100 接触的材料 96 上形成的互连布线或下突块金属化 95 的例子。在形成材料 96 之前可使用另一种填料,如图 3B 所示。金属化可包括由绝缘层隔离的若干层(此处未示出),以适应高通孔密度和/或高布线复杂度。可选地,如果抛光步骤不可去除保形电介质膜 30,则保形电介质膜保留且为金属化结构提供充分的电绝缘。

[0075] 图 12 示出了根据本发明方法的第二个实施例。硬掩模 101 在无介入电介质层的单元片 14-16 上形成。硬掩模 101 由对随后的蚀刻工艺和用来蚀刻通过薄化的基底 21 和器件区域 18 和 11 直到接触结构 12 的通孔的工艺具有高蚀刻选择性的材料组成。硬掩模的例子是铝、钨、铂、镍或钼,而蚀刻工艺的例子是基于 SF₆ 的反应离子蚀刻以蚀刻出穿过薄化的硅基底的通孔,和基于 CF₄ 的反应离子蚀刻,其蚀刻出穿过器件区域 18 和 11 直到接触结构 12 的后续通孔。开口 102 在掩模 101 中形成,且该结构如同第一实施例中的处理,从而蚀刻穿过单元片基底和器件区域以暴露结构 12 和 17,同时优选地暴露结构 17 的顶表面以形成凸起(如图 8A 和图 8B 中 80 所示)。如图 7-9 所示执行金属化,利用掩模 103 以形成金属接触 104,从而产生图 13 所示的结构。CMP(图 14)之后,该结构适合于随后的处理,包括但不限于基于光刻的互连布线或支持丝焊或倒装封装的下突起金属化,如图 11 所示的金属化结构。该处理可包括在单元片 14-16 的暴露侧上的电绝缘材料的形成,从而提供对所述互连布线或分布于单元片 14-16 的暴露侧的下突起金属化的电绝缘。为了进一步辅助互连布线或下突起金属化,可形成诸如聚酰亚胺或苯并环丁烯材料的平面化材料,从而平面化该结构的表面,例如通过或在 CPM 之前或之后填充单元片、开口或沟槽之间的任何空间。

[0076] 本发明也可用于其它结构。例如并不需要一对接触 17,而只需单元片或晶片中的单个接触被连接到被接合的基底中的接触上。这在图 15 中示出,其中金属接触 107 将与接触结构 12 和 108 与和结构 12 偏移的结构 108 互连。掩模的第一边缘部分在结构 108 上形成,而第二边缘部分在结构 12 而非结构 108 上形成。接触 107 的一部分(左侧)从基底部分 109 的上表面直接延伸到结构 108,而接触 107 的另一部分(右侧)从基底部分 109 的上表面直接延伸到结构 12。

[0077] 本发明具有很多优点。单个掩模被用来蚀穿接合到基底的单元片或晶片的背面,从而互连单元片或晶片与基底。通孔中不需要光刻,通孔通常是复杂的、有问题的和限制按比例缩放的。蚀刻一直进行通过接合界面。而且,可以暴露要被互连的接触的顶表面,增加接触的面积并减少接触的电阻。不同技术的器件可被互连,优化器件性能并避免与试图用单一工艺序列来制造不同技术器件关联的问题。

[0078] 图 16A, 16B 和图 17 示出了更进一步的实施例。基底 110 有带接触结构 112 的器件区域 111。如图 16A 所示,单元片 114-116 每个都具有基底部分 121 和接触 117,这些单元片被接合到表面 113 上的基底 110 上。在该实施例中,没有覆盖接触结构 112 的材料。在为第一或第二个实施例所描述的单个掩模工艺之后,制造图 16B 和图 17 所示的结构。通孔

50 被蚀刻穿过基底 118, 从而暴露出接触结构 117 的平坦(后)表面。继续蚀刻从而暴露接触结构 112 的顶表面。带有或不带有晶种层 90 的接触 120 在通孔中形成, 连接接触结构 112 和 117。正如上面有关于图 3B 所讨论的, 填料可用来平面化器件。

[0079] 更进一步的实施例在图 18-19 中示出。在该实施例中, 没有用来覆盖接触结构 122 或 123 的材料。在单元片 114-116 中的接触结构 123 可延伸超出单元片 114-116 的表面, 而接触结构 122 可延伸超出表面 113。正如序列号为 10/359,608 的申请所述, 带有暴露金属的单元片 114-116 被接合到带有暴露金属的表面 113 上。单元片 114-116 与基底 110 之间的接合弹性地在接触结构 122 和 123 之间产生出挤压力, 从而使得结构 122 和 123 之间的接触的接触电阻充分地小。在为前面实施例描述的单个掩模工艺之后, 图 19 所示结构被制造出来。

[0080] 依据上述教导, 本发明可有许多修改和变更。因此易于理解, 在附加权利要求的范围内, 本发明可以不同于此处具体描述的那样实施。

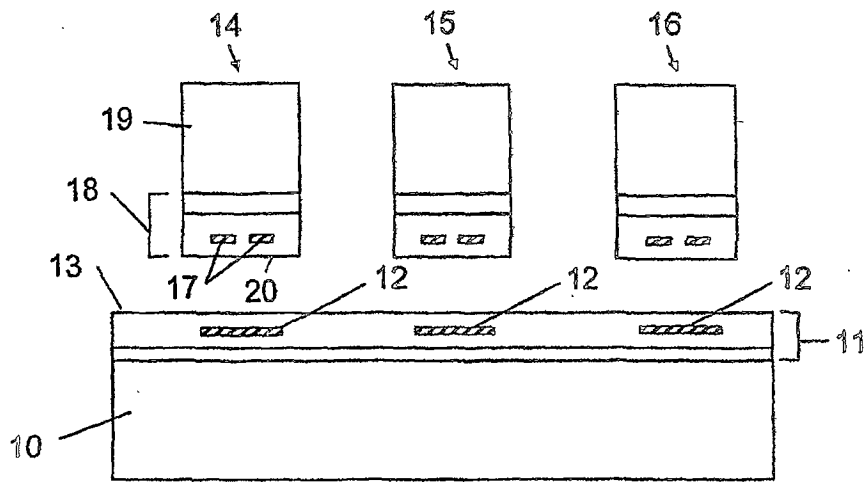


图 1

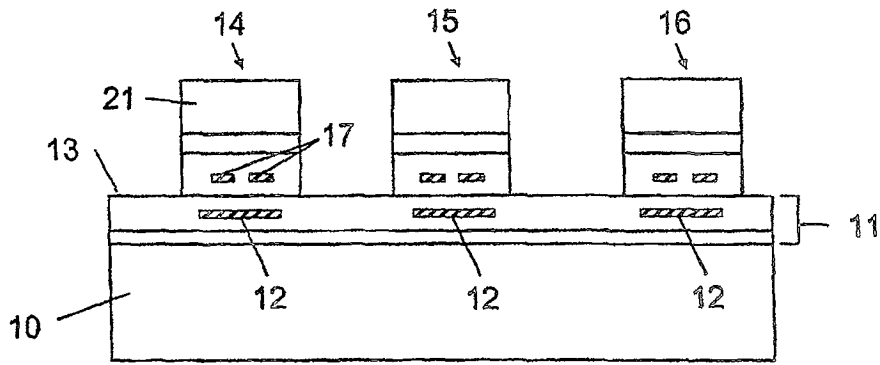


图 2A

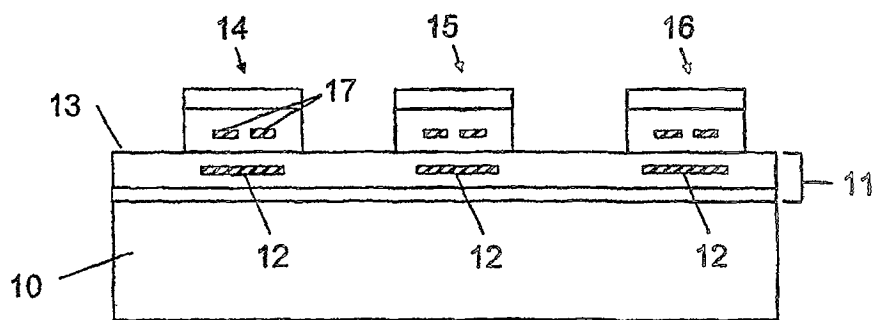


图 2B

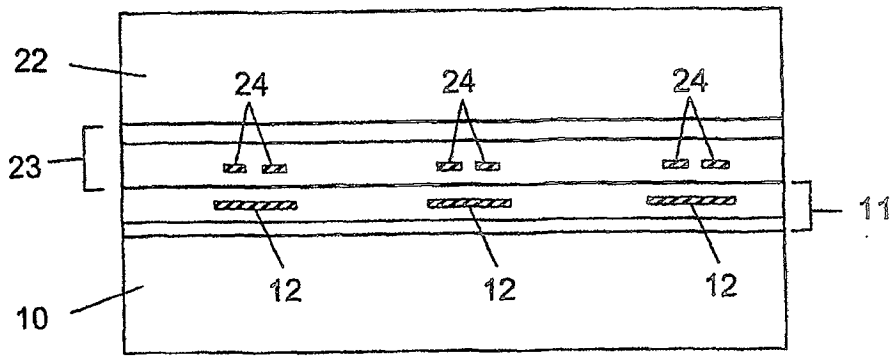


图 2C

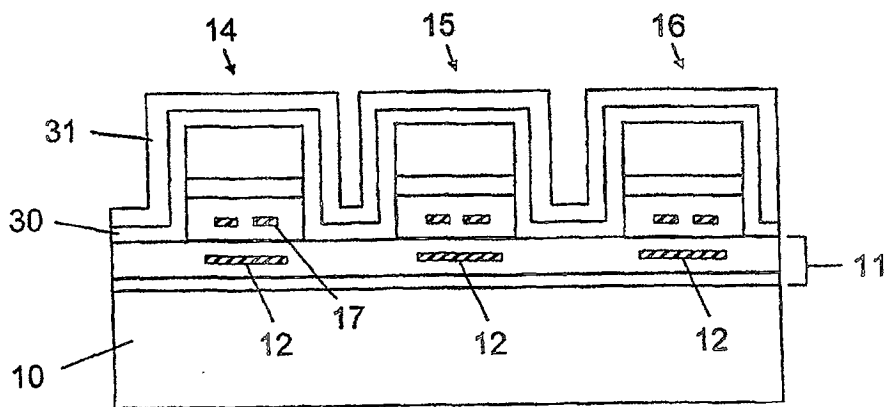


图 3A

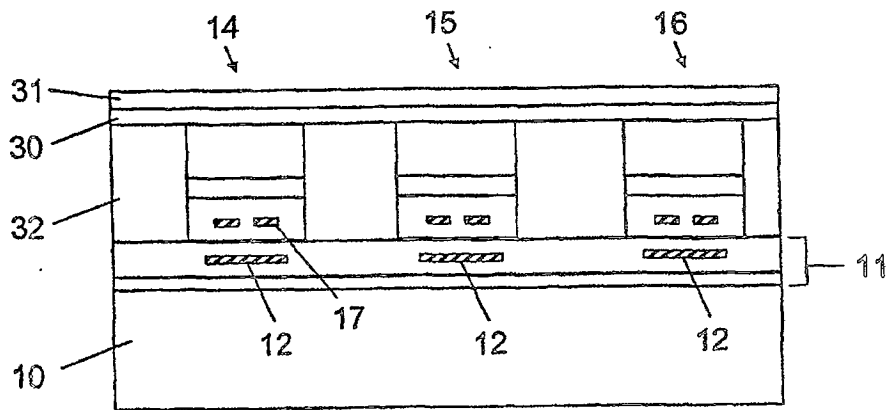


图 3B

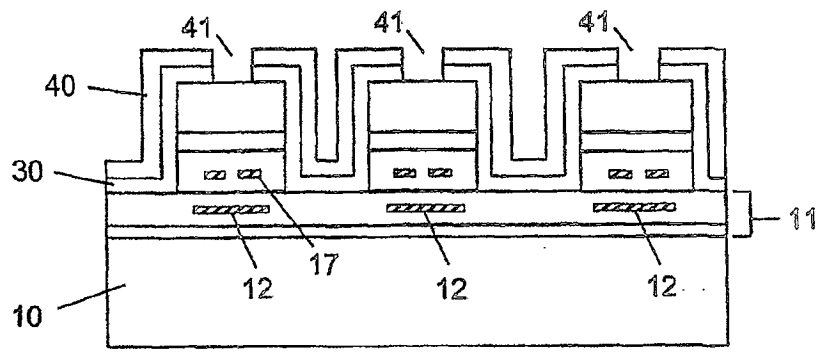


图 4

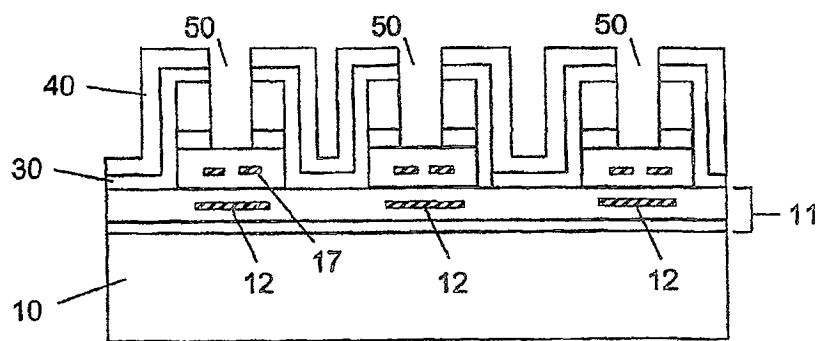


图 5

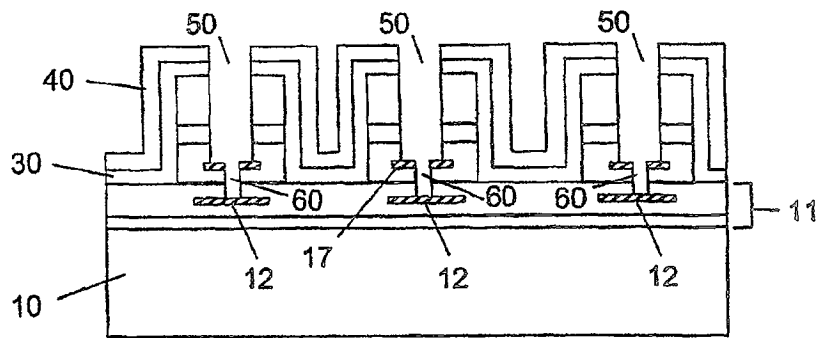


图 6A

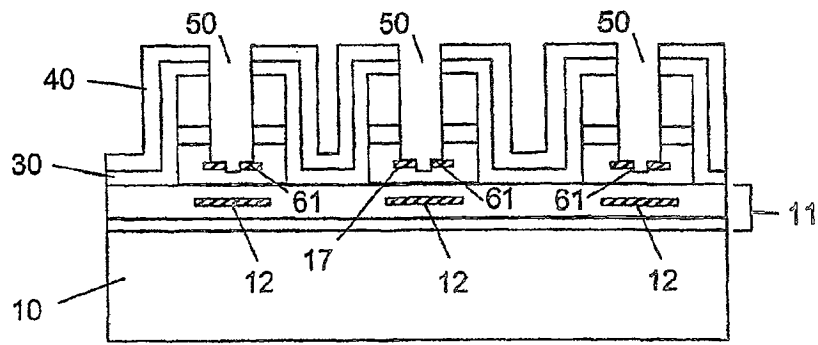


图 6B

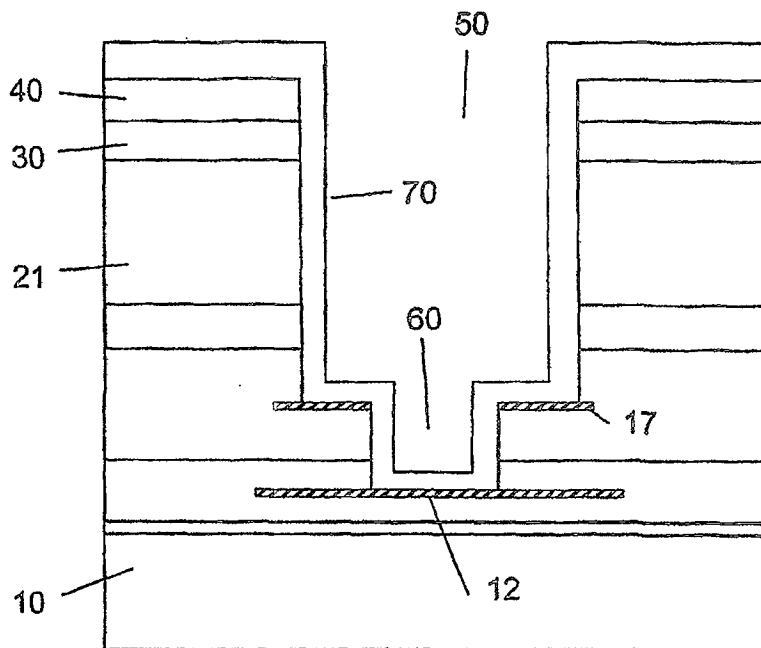


图 7A

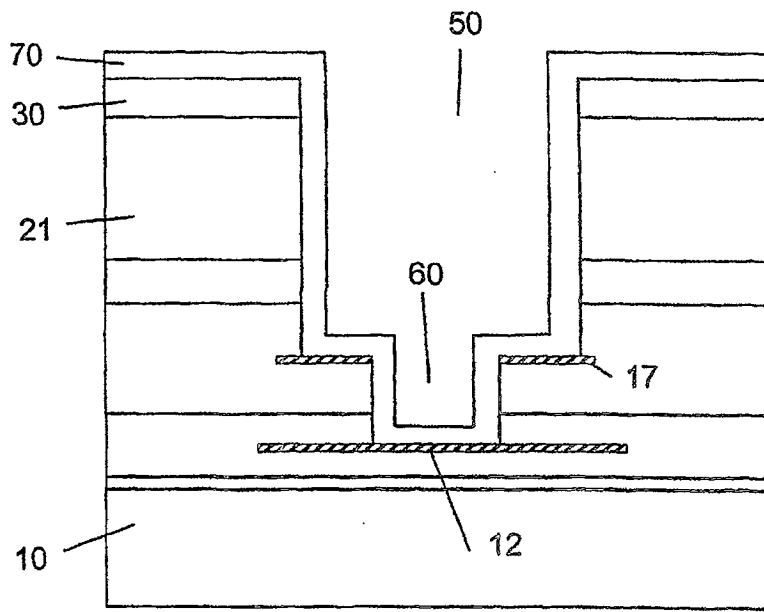


图 7B

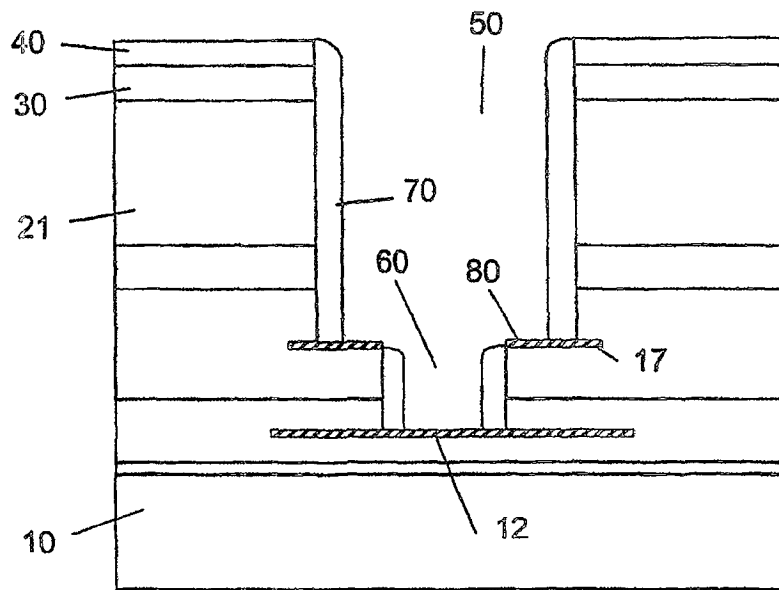


图 8A

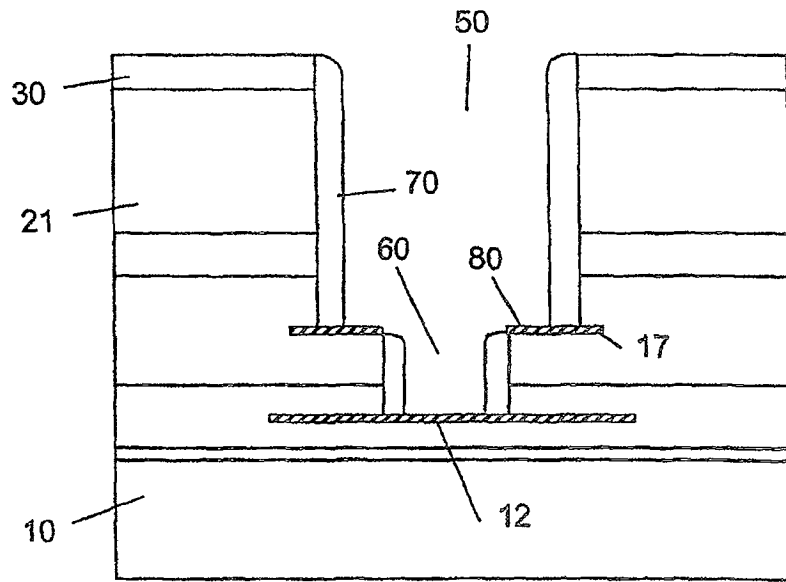


图 8B

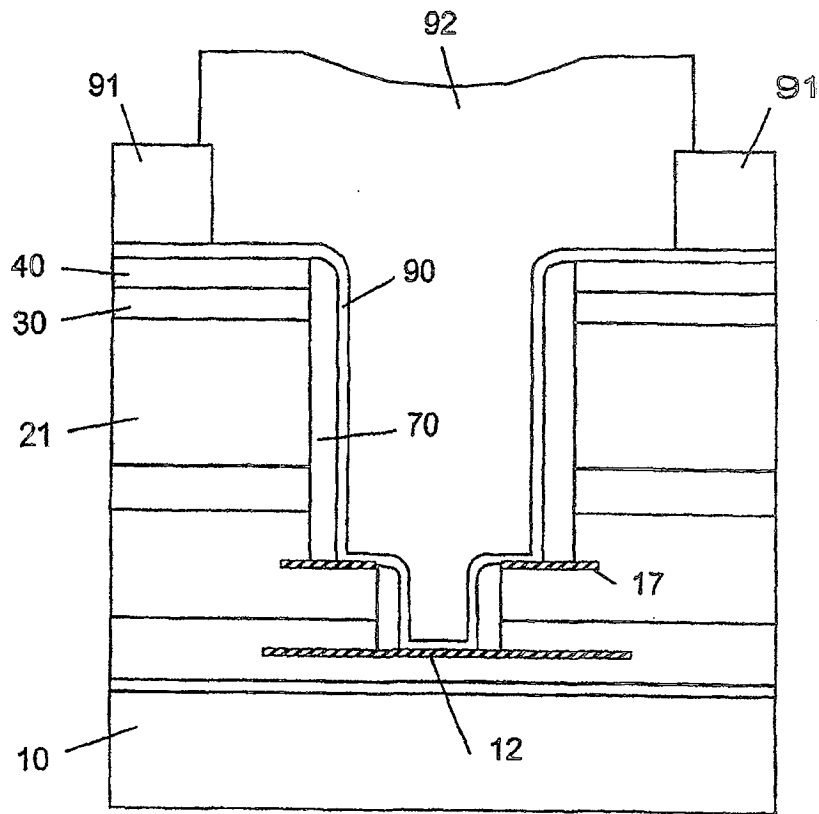


图 9A

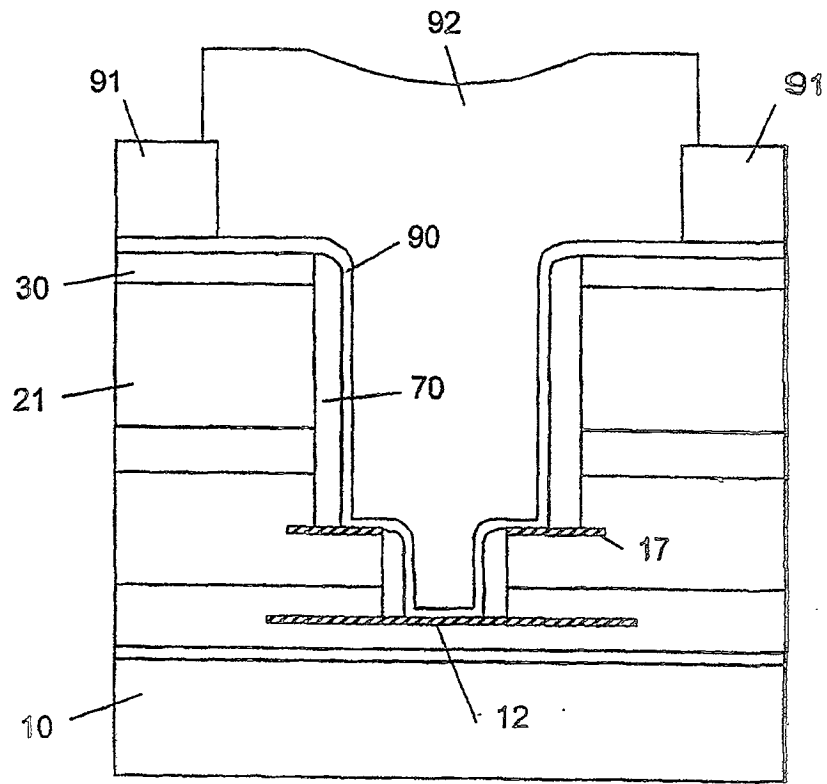


图 9B

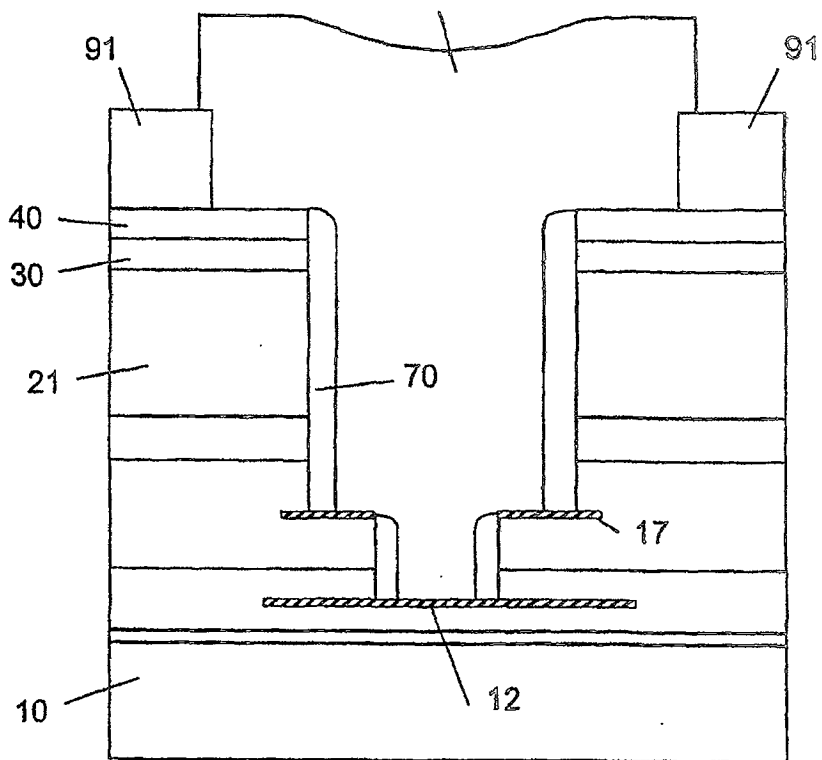


图 9C

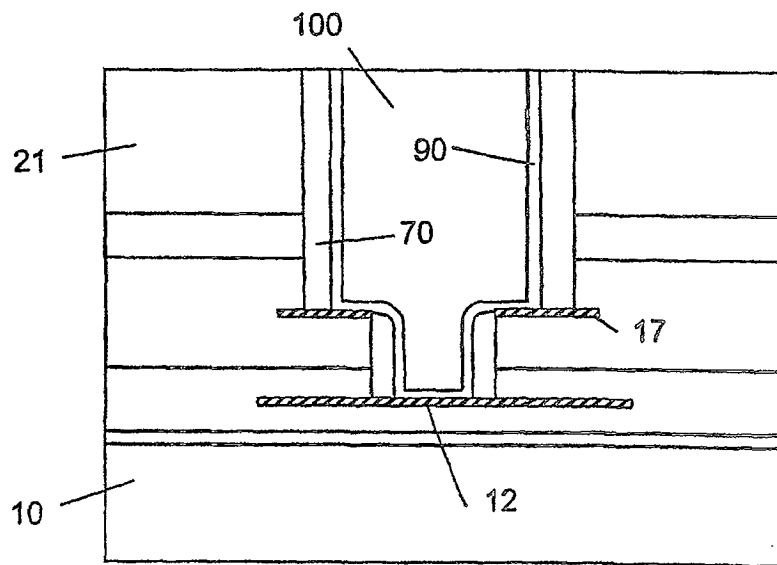


图 10A

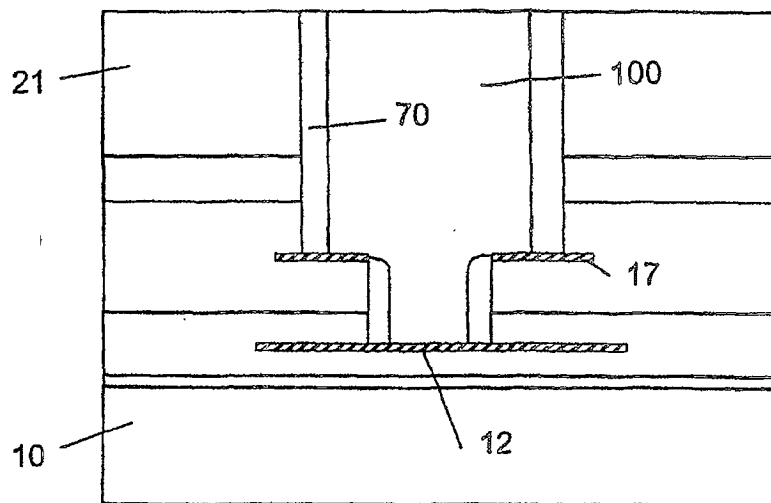


图 10B

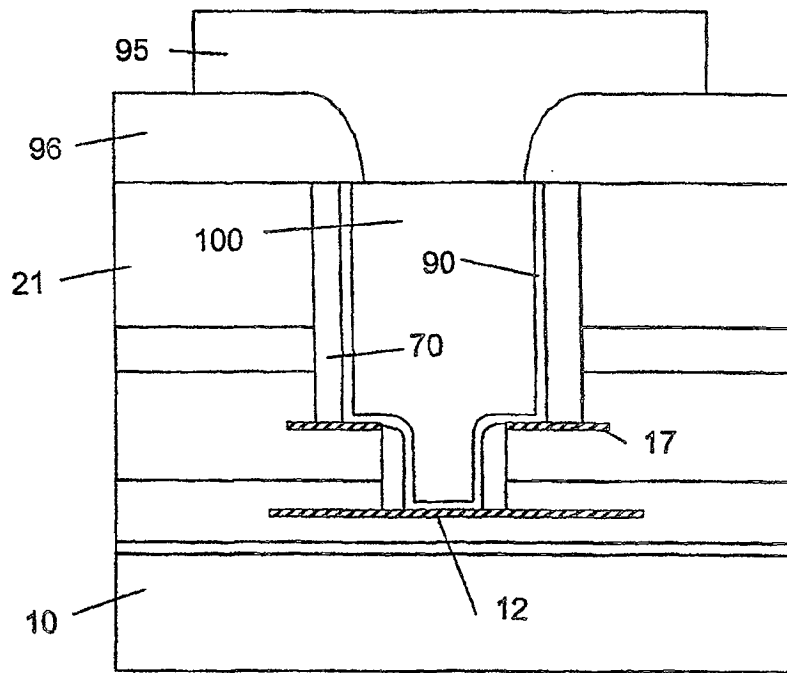


图 11

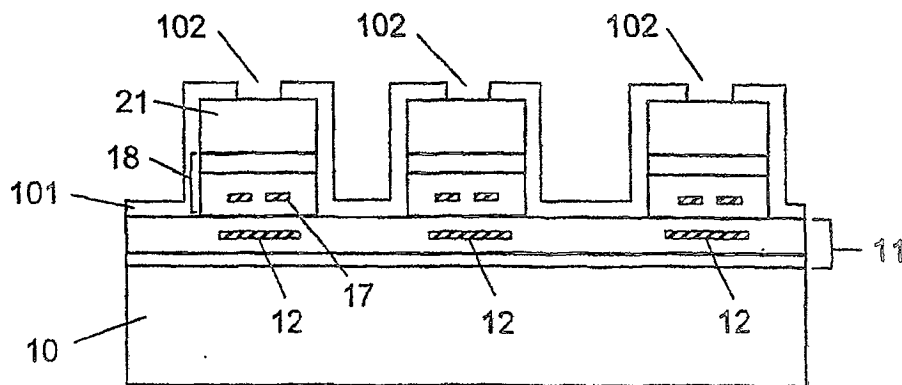


图 12

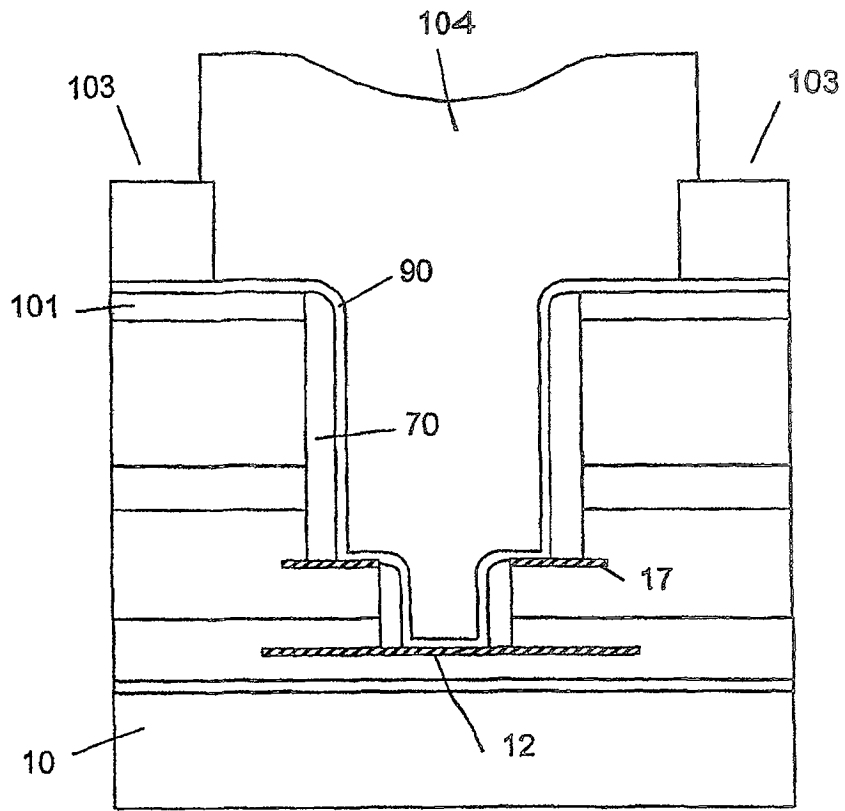


图 13

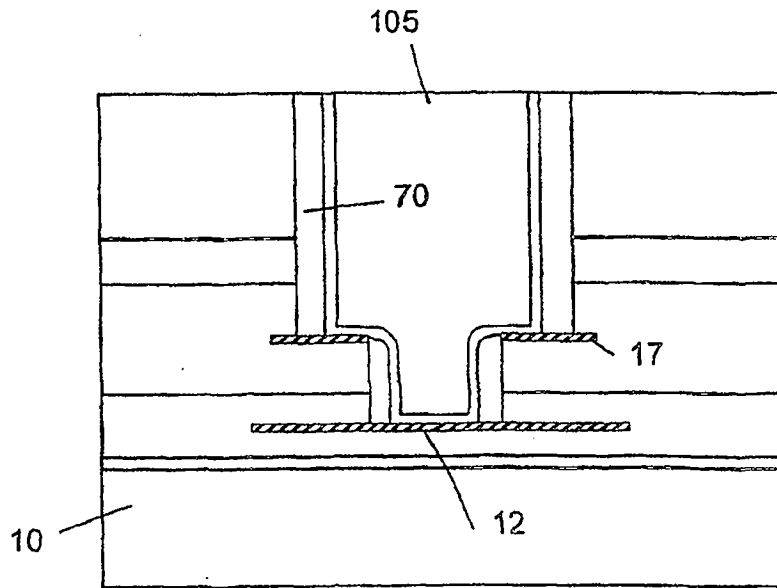


图 14

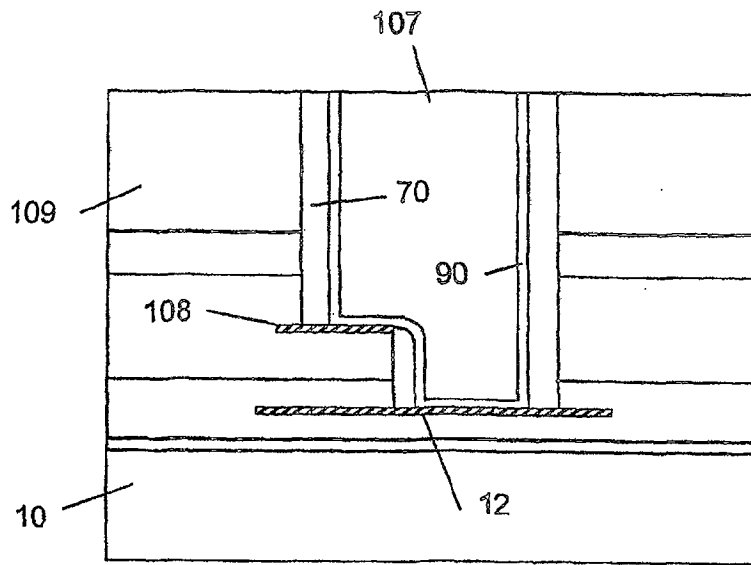


图 15

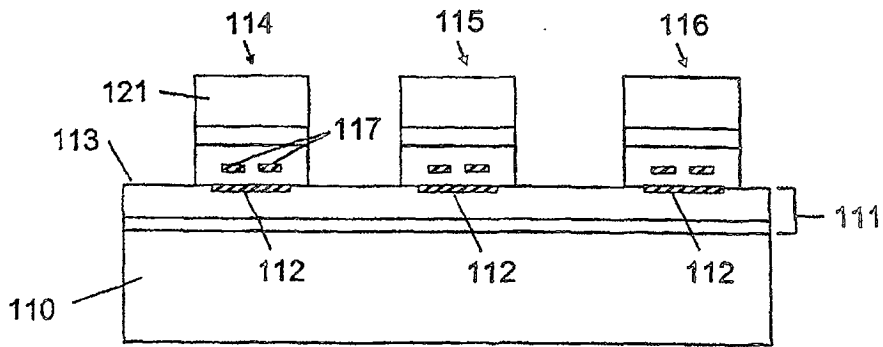


图 16A

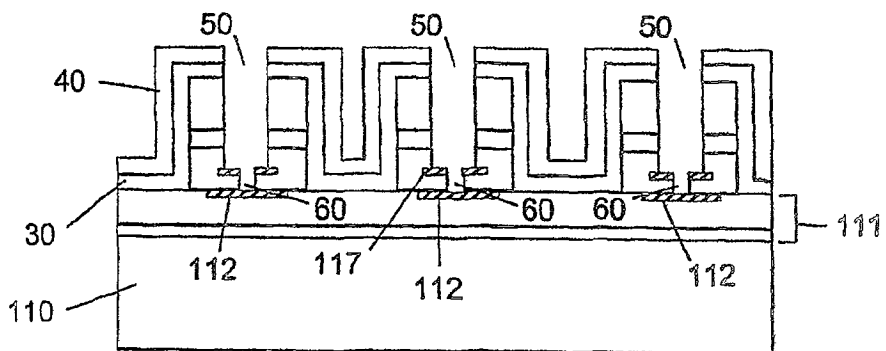


图 16B

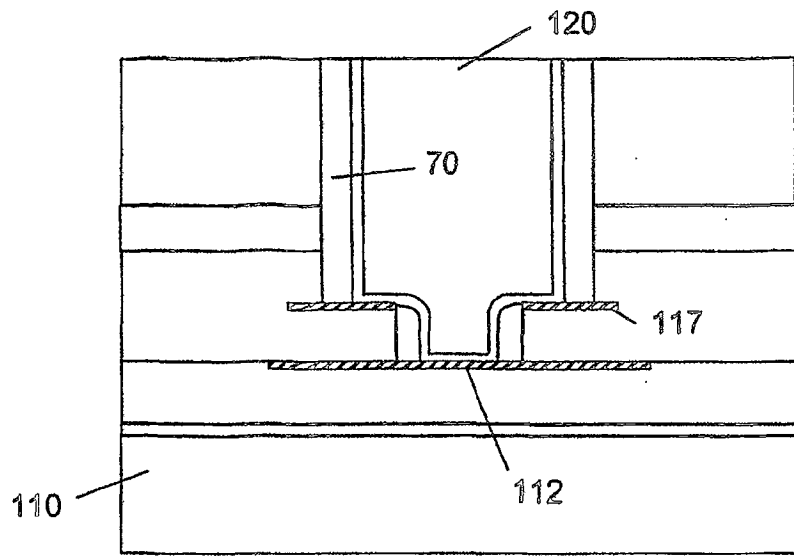


图 17

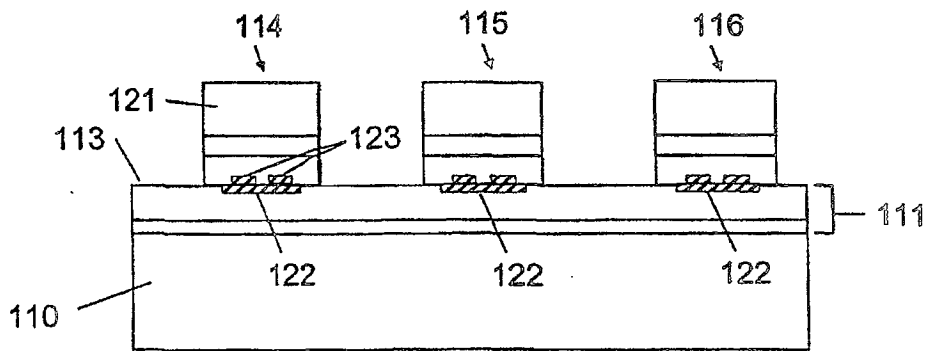


图 18

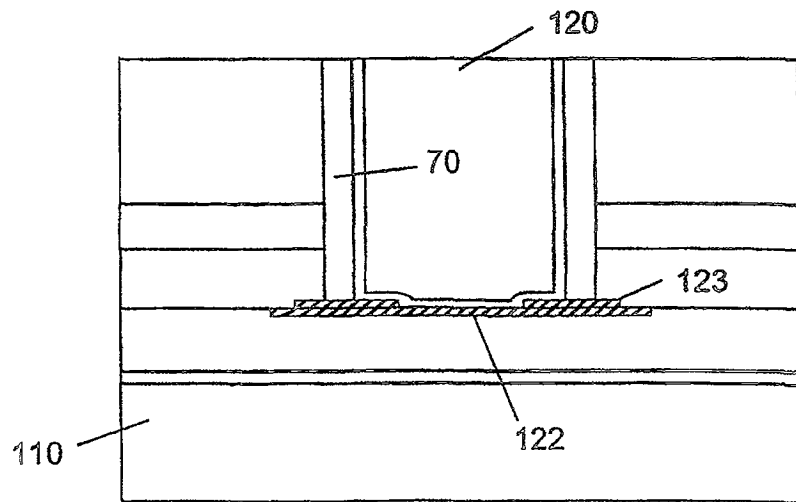


图 19