



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월12일  
(11) 등록번호 10-2164087  
(24) 등록일자 2020년10월05일

(51) 국제특허분류(Int. Cl.)  
H01L 33/36 (2010.01) H01L 33/64 (2010.01)  
(21) 출원번호 10-2014-0070291  
(22) 출원일자 2014년06월10일  
심사청구일자 2019년06월03일  
(65) 공개번호 10-2015-0141790  
(43) 공개일자 2015년12월21일  
(56) 선행기술조사문헌  
KR1020140025025 A\*  
(뒷면에 계속)

(73) 특허권자  
엘지이노텍 주식회사  
서울특별시 강서구 마곡중앙10로 30(마곡동)  
(72) 발명자  
정환희  
서울특별시 중구 한강대로 416 (남대문로5가, 서  
울스퀘어)  
(74) 대리인  
허용록

전체 청구항 수 : 총 5 항

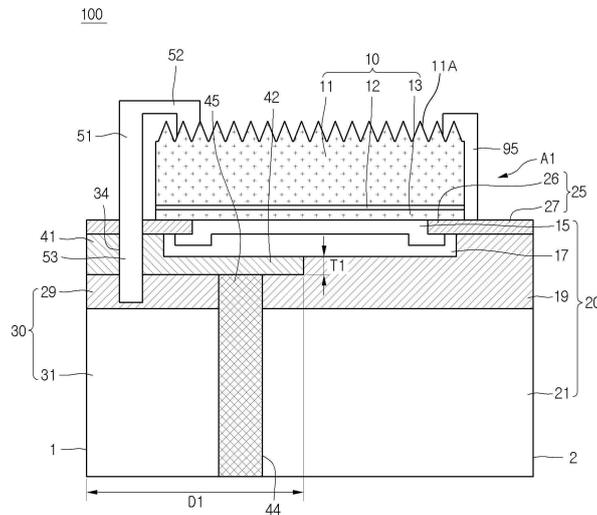
심사관 : 이용배

(54) 발명의 명칭 발광소자 및 이를 구비한 발광소자 패키지

(57) 요약

실시 예에 개시된 발광소자는, 제1 도전형 반도체층, 상기 제1도전형 반도체층 아래에 활성층, 및 상기 활성층 아래에 제2 도전형 반도체층을 포함하는 발광구조물;상기 발광구조물 아래의 제1 영역에 배치되며 상기 제2 도전형 반도체층과 전기적으로 연결된 제1전극;상기 발광구조물 아래의 제2 영역에 배치되며, 상기 제1도전형 반도체층과 전기적으로 연결된 제2전극; 상기 제2전극과 상기 제1도전형 반도체층 사이를 연결해 주는 연결 전극;상기 제1및 제2전극 사이에 배치된 절연층;상기 발광 구조물의 하면 둘레에 배치된 제1보호층;및 상기 절연층과 상기 발광 구조물 사이에 배치된 제2보호층을 포함한다.

대표도 - 도1



(56) 선행기술조사문헌

JP2014509085 A

EP02375460 A1

US20080029761 A1

US20080142817 A1

\*는 심사관에 의하여 인용된 문헌

---

**명세서**

**청구범위**

**청구항 1**

제1도전형 반도체층, 상기 제1도전형 반도체층 아래에 활성층, 및 상기 활성층 아래에 제2 도전형 반도체층을 포함하는 발광구조물;

상기 발광구조물 아래의 제1 영역에 배치되며 상기 제2도전형 반도체층과 전기적으로 연결된 제1전극;

상기 발광구조물 아래의 제2 영역에 배치되며, 상기 제1도전형 반도체층과 전기적으로 연결된 제2전극;

상기 제2전극과 상기 제1도전형 반도체층 사이를 연결해 주는 연결 전극;

상기 제1및 제2전극 사이에 배치된 절연층;

상기 발광 구조물의 하면 둘레에 배치된 제1보호층;및

상기 절연층과 상기 발광 구조물 사이에 배치된 제2보호층을 포함하며,

상기 제1전극은 상기 제2도전형 반도체층 아래에 배치된 접촉층; 상기 접촉층 아래에 배치된 반사층; 상기 반사층 아래에 배치된 제1접합층 및 상기 제1접합층 아래에 배치된 제1지지부재를 포함하며,

상기 제2전극은 상기 제2보호층 아래에 배치된 제2접합층; 및 상기 제2접합층 아래에 배치된 전도성의 제2지지부재를 포함하며,

상기 절연층은 상기 제1 및 제2지지 부재의 사이 및 상기 제1 및 제2접합층의 사이에 배치되며,

상기 제2보호층은 상기 제2접합층과 상기 반사층 사이에서 상기 제1접합층과 상기 반사층 사이로 연장되는 연장부를 포함하며,

상기 제2보호층의 연장부는 상기 제1 및 제2지지부재와 수직 방향으로 중첩되며,

상기 절연층은 상기 제1접합층과 상기 제2접합층 사이를 통해 상기 제2보호층의 연장부에 접촉되며,

상기 연결 전극의 일부는 상기 제1보호층 및 상기 제2보호층을 통해 상기 제2접합층에 연결되며,

상기 절연층의 상단은 상기 연결 전극의 하단보다 높게 배치되며,

상기 절연층은 상기 제1 및 제2지지 부재 사이에서 상기 제1 및 제2지지부재의 길이와 같은 길이를 갖는 발광 소자.

**청구항 2**

제1항에 있어서, 상기 절연층의 일부는 상기 제1및 제2지지 부재의 하면에 배치되며,

상기 제2보호층의 하면 너비는 상기 제2지지부재의 하면 너비보다 넓은 발광 소자.

**청구항 3**

제1항에 있어서, 상기 연결 전극은 상기 제1도전형 반도체층의 상면 또는 내측 하부에 접촉되며,

상기 연결 전극의 일부는 상기 제2전극의 제2접합층 및 제2지지부재 중 적어도 하나에 접촉되는 발광 소자.

**청구항 4**

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제2보호층은 서로 다른 굴절률을 갖는 유전체층이 교대로 적층된 반사 구조를 포함하는 발광 소자.

**청구항 5**

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제2전극은 상기 발광 구조물 하부의 서로 다른 영역에 배치된

복수의 제2전극을 포함하며,  
상기 제1전극은 상기 복수의 제2전극 사이에 배치되는 발광 소자.

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**발명의 설명**

**기술 분야**

[0001]

실시 예는 발광소자에 관한 것이다.

[0002]

실시 예는 발광 소자를 갖는 발광소자 패키지에 관한 것이다.

**배경 기술**

[0003]

발광소자의 하나로써 발광 다이오드(LED: Light Emitting Diode)가 많이 사용되고 있다. 발광 다이오드는 화합물 반도체의 특성을 이용해 전기 신호를 적외선, 가시광선, 자외선과 같은 빛의 형태로 변환한다.

[0004]

발광소자의 광 효율이 증가됨에 따라 표시장치, 조명기기를 비롯한 다양한 분야에 사용되고 있다.

**발명의 내용**

**해결하려는 과제**

[0005]

실시 예는 제1도전형 반도체층의 상면에 연결된 전극이 다이 본딩되는 발광 소자를 제공한다.

[0006]

실시 예는 발광 구조물 아래에 제1 및 제2도전형 반도체층과 연결된 복수의 전극을 갖는 발광 소자를 제공한다.

**과제의 해결 수단**

[0007]

실시 예에 따른 발광소자는, 제1 도전형 반도체층, 상기 제1도전형 반도체층 아래에 활성층, 및 상기 활성층 아래에 제2 도전형 반도체층을 포함하는 발광구조물; 상기 발광구조물 아래의 제1 영역에 배치되며 상기 제2 도전형 반도체층과 전기적으로 연결된 제1전극; 상기 발광구조물 아래의 제2 영역에 배치되며, 상기 제1도전형 반도체층과 전기적으로 연결된 제2전극; 상기 제2전극과 상기 제1도전형 반도체층 사이를 연결해 주는 연결 전극; 상

기 제1및 제2전극 사이에 배치된 절연층;상기 발광 구조물의 하면 둘레에 배치된 제1보호층; 및 상기 절연층과 상기 발광 구조물 사이에 배치된 제2보호층을 포함한다.

[0008] 실시 예에 따른 발광 소자 패키지는 상기의 발광 소자를 포함한다.

**발명의 효과**

[0009] 실시 예에 따른 발광 구조물 아래에 복수의 전도성 지지부재를 통해 본딩됨으로써, 방열 효율을 개선시켜 줄 수 있다.

[0010] 실시 예는 발광 구조물 아래에 전도성을 갖는복수의 지지부재를 통해 본딩함으로써, 발광 소자의 캐소드와 애노드의 분리가 용이한 효과가 있다.

[0011] 실시 예는 발광 소자의 캐소드와 애노드의 사이의 경계를 효과적으로 분리할 수 있는 발광 소자를 제공한다.

**도면의 간단한 설명**

[0012] 도 1은 제1실시 예에 따른 발광소자를 나타낸 도면이다.

도 2는 도 1의 발광 소자의 저면도이다.

도 3 내지 도 10은 도 1의 발광 소자의 제조 과정을 나타낸 도면이다.

도 11은 제2실시 예에 따른 발광소자를 나타낸 도면이다.

도 12는 제3실시 예에 따른 발광소자를 나타낸 도면이다.

도 13은 제4실시 예에 따른 발광소자를 나타낸 도면이다.

도 14는 제5실시 예에 따른 발광소자를 나타낸 도면이다.

도 15는 제6실시 예에 따른 발광소자를 나타낸 도면이다.

도 16은 실시 예에 따른 발광 소자를 갖는 발광 소자 패키지를 나타낸 측 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0013] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

[0014] 이하, 첨부된 도면을 참조하여 실시 예들에 따른 발광소자, 발광소자 패키지 및 발광소자 제조방법에 대해 상세히 설명하도록 한다.

[0015] 도 1은 제1실시 예에 따른 발광소자를 나타낸 도면이다.

[0016] 도 1을 참조하면, 발광 소자(100)는 발광구조물(10), 상기 발광 구조물(10)의 제1영역 아래에 배치된 제1전극(20), 상기 발광 구조물(10)의 제2영역 아래에 배치된 제2전극(30), 상기 제1전극(20)과 상기 발광 구조물(10)의 상면에 연결된 연결 전극(51)을 포함한다.

[0017] 상기 발광구조물(10)은 제1 도전형 반도체층(11), 상기 제1도전형 반도체층(11) 아래에 활성층(12), 및 상기 활성층(12) 아래에 제2 도전형 반도체층(13)을 포함할 수 있다. 상기 활성층(12)은 상기 제1 도전형 반도체층(11)과 상기 제2 도전형 반도체층(13) 사이에 배치될 수 있다. 상기 활성층(12)은 상기 제1도전형 반도체층(11)과 상기 제2도전형 반도체층(13)에 접촉될 수 있다.

[0018] 예로써, 상기 제1 도전형 반도체층(11)이 제1 도전형 도펀트로서 n형 도펀트가 첨가된 n형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 제2 도전형 도펀트로서 p형 도펀트가 첨가된 p형 반도체층으로 형성될 수 있다. 또한 상기 제1 도전형 반도체층(11)이 p형 반도체층으로 형성되고, 상기 제2 도전형반도체층(13)이 n형 반도체층으로 형성될 수도 있다.

[0019] 상기 제1 도전형 반도체층(11)은 예를 들어, n형 반도체층을 포함할 수 있다. 상기 제1 도전형 반도체층(11)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제1 도전형

반도체층(11)은, 예를 들어 GaN, AlN, AlGa<sub>x</sub>N, InGa<sub>x</sub>N, InN, InAlGa<sub>x</sub>N, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑될 수 있다. 상기 제1도전형 반도체층(11)의 상면은 요철 구조(11A)로 형성될 수 있으며, 이러한 요철 구조(11A)는 광 추출 효율을 개선시켜 줄 수 있다.

[0020] 상기 제2 도전형 반도체층(13)은 예를 들어, p형 반도체층으로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은 In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N (0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 0 ≤ x+y ≤ 1)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은, 예를 들어 GaN, AlN, AlGa<sub>x</sub>N, InGa<sub>x</sub>N, InN, InAlGa<sub>x</sub>N, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다. 상기 제2도전형 반도체층(13)은 상기 제1도전형 반도체층(11)의 두께보다 얇은 두께로 형성될 수 있고 상기 제2도전형 반도체층(13)의 너비가 상기 제1도전형 반도체층(11)의 너비보다 넓게 형성될 수 있으며 이에 한정하지 않는다.

[0021] 상기 활성층(12)은 상기 제1 도전형 반도체층(11)을 통해서 주입되는 전자(또는 정공)와 상기 제2 도전형 반도체층(13)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(12)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다. 상기 활성층(12)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있으나, 이에 한정되는 것은 아니다. 상기 활성층(12)은 상기 제1도전형 반도체층(11)의 두께보다 얇은 두께로 형성될 수 있다.

[0022] 상기 활성층(12)은 예로서 In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N (0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 0 ≤ x+y ≤ 1)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 활성층(12)이 상기 다중 양자 우물 구조로 구현된 경우, 상기 활성층(12)은 복수의 우물층과 복수의 장벽층이 적층되어 구현될 수 있으며, 예를 들어, 우물층/장벽층의 페어는 InGa<sub>x</sub>N/GaN, InGa<sub>x</sub>N/AlGa<sub>x</sub>N, InGa<sub>x</sub>N/InGa<sub>x</sub>N, GaN/AlGa<sub>x</sub>N, InAlGa<sub>x</sub>N/InAlGa<sub>x</sub>N, AlGaAs/GaAs, InGaAs/GaAs, InGaP/GaP, AlInGaP/InGaP, InP/GaAs의 페어로 구현될 수 있다.

[0023] 한편, 상기 제1 도전형 반도체층(11)이 p형 반도체층을 포함하고 상기 제2 도전형 반도체층(13)이 n형 반도체층을 포함할 수도 있다. 또한, 상기 제1 도전형 반도체층(13) 위에는 n형 또는 p형 반도체층을 포함하는 반도체층이 더 형성될 수도 있다. 이에 따라, 상기 발광구조물(10)은 np, pn, npn, pnp 집합 구조 중 적어도 어느 하나를 가질 수 있다. 또한, 상기 제1 도전형 반도체층(11) 및 상기 제2 도전형 반도체층(13) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 발광구조물(10)의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0024] 또한, 상기 제1 도전형 반도체층(11)과 상기 활성층(12) 또는 상기 제2도전형 반도체층(13)과 상기 활성층(12) 사이에는 제1 도전형 InGa<sub>x</sub>N/GaN 슈퍼래티스(Super lattice) 구조 또는 InGa<sub>x</sub>N/InGa<sub>x</sub>N 슈퍼래티스 구조가 형성될 수도 있다. 또한, 상기 제2 도전형 반도체층(13)과 상기 활성층(12) 사이에는 제2 도전형의 AlGa<sub>x</sub>N층이 형성될 수도 있으며, 예컨대 p형 AlGa<sub>x</sub>N으로 형성될 수 있다.

[0025] 상기 발광구조물(10)의 제1영역 아래에 제1전극(20)이 배치되고, 상기 발광 구조물(10)의 제2영역 아래에 제2전극(30)이 배치될 수 있다. 상기 제1전극(20)과 제2전극(30) 사이에는 절연층(45)이 배치될 수 있으며, 상기 절연층(45)은 상기 제1전극(20)과 제2전극(30) 사이를 절연시켜 준다. 상기 절연층(45)의 높이는 상기 제1지지부재의 두께보다 두껍게 형성될 수 있다. 상기 절연층(45)은 실리콘, SiO<sub>2</sub>, SiO<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub> 또는 AlN 와 재질 중에서 선택적으로 형성될 수 있다.

[0026] . 상기 제1전극(20)은 상기 제2도전형 반도체층(13)과 전기적으로 연결되고, 상기 제2전극(30)은 상기 제1도전형 반도체층(11)과 전기적으로 연결될 수 있다. 상기 제1전극(20)은 예컨대, 애노드(Anode) 단자가 될 수 있고, 상기 제2전극(30)은 예컨대, 캐소드(Cathode) 단자가 될 수 있다.

[0027] 상기 제1전극(20)은 접촉층(15), 반사층(17), 제1접합층(19) 및 제1지지부재(21)를 포함한다. 상기 제2전극(30)은 상기 제1전극(20)으로부터 이격되며 제2접합층(29) 및 제2지지부재(31)를 포함한다. 상기 제2전극(30)의 제2접합층(29) 및 제2지지부재(31)는 상기 제1접합층(19) 및 제1지지 부재(21)와 수직 방향으로 오버랩되지 않게 배치될 수 있다.

[0028] 상기 접촉층(15)은 예컨대, 투명한 재질로 형성될 수 있다. 상기 접촉층(15)은 예로서, 전도성 산화막 및 전도성 질화막 중 적어도 하나를 포함할 수 있다. 상기 접촉층(15)은 예컨대, ITO(Indium Tin Oxide), ITON(ITO

Nitride), IZO(Indium Zinc Oxide), IZON(IZO Nitride), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO 중에서 선택된 적어도 하나의 물질로 형성될 수 있다. 상기 접촉층(15)은 금속 재질 예컨대, Ag, Ni, Rh, Pd, Pt, Hf, In, Zn 중 적어도 하나를 포함할 수 있다. 상기 접촉층(15)은 상기 제2도전형 반도체층(13)과 접촉될 수 있으며, 예컨대 오믹 접촉될 수 있다. 상기 접촉층(15)은 제거될 수 있으며, 이에 대해 한정하지는 않는다.

[0029] 상기 반사층(17)은 고 반사율을 갖는 금속 재질로 형성될 수 있다. 예컨대 상기 반사층(17)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금으로 형성될 수 있다. 또한, 상기 반사층(17)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투광성 전도성 물질을 이용하여 다층으로 형성될 수 있다. 상기 반사층(17)은 Ag, Al, Ag-Pd-Cu 합금, 또는 Ag-Cu 합금 중 적어도 어느 하나를 포함할 수 있다. 상기 반사층(17)은 상기 접촉층(15)의 너비보다 넓게 형성되거나, 상기 반사층(17)은 상기 발광 구조물(10)의 하면 너비의 70% 이상의 너비로 형성되어, 광의 반사 효율을 개선시켜 줄 수 있다. 상기 반사층(17)은 상기 접촉층(15)과 접촉되고 전기적으로 연결될 수 있다. 상기 반사층(17)의 일부는 상기 발광 구조물(10)의 하면과 접촉될 수 있다. 상기 반사층(17)은 상기 발광구조물(10)로부터 입사되는 빛을 반사시켜 외부로 추출되는 광량을 증가시키는 기능을 수행할 수 있다. 상기 반사층(17)은 단층 또는 다층으로 형성될 수 있다.

[0030] 상기 제1접합층(19)은 상기 반사층(17) 아래에 배치된다. 상기 제1접합층(19)은 상기 반사층(17)과 제1지지부재(21) 사이에 배치된다. 상기 제1접합층(19)과 상기 반사층(17) 사이에 베리어층(미도시)이 더 형성될 수 있으며, 상기 베리어층은 상기 반사층(17) 방향으로 금속 물질이 확산되는 것을 방지할 수 있다.

[0031] 상기 제1접합층(19)은 단층 또는 다층으로 형성될 수 있다. 상기 제1접합층(19)은 금속, 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pt, W, V, Fe, Mo, Pd 또는 Ta 중 적어도 하나를 포함하여 형성될 수 있다. 상기 제1접합층(19)은 Ni, Pt, Ti, W, V, Fe, Mo와 같은 씨드층을 포함할 수 있다. 상기 제1지지부재(21)는 실시 예에 따른 발광 소자를 지지하며, 외부 전극과 전기적으로 연결되어 상기 발광구조물(10)에 전원을 제공할 수 있다.

[0032] 상기 제1지지부재(21)는 예를 들어, Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 중 적어도 하나 또는 둘 이상의 합금으로 형성되거나, 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등)로 형성될 수 있다. 상기 제1지지부재(21)는 상기 제1접합층(19)의 두께보다 두껍고 상기 발광 구조물(10)의 두께보다 두꺼운 두께로 형성될 수 있으며, 30 $\mu$ m 이상의 두께, 예컨대 100 $\mu$ m 내지 500 $\mu$ m 범위로 형성될 수 있다. 상기 제1지지부재(21)의 두께가 상기 범위보다 얇으면 지지 및 방열 특성이 저하되고, 또한 상기 범위보다 두꺼울 경우 발광 소자의 두께가 증가하게 되는 문제가 있다.

[0033] 상기 발광 구조물(10)과 제1전극(20)의 둘레에는 제1보호층(25)이 형성될 수 있으며, 상기 제1보호층(25)은 상기 제2도전형 반도체층(13)의 하면 외측에 접촉된 내측부(26) 및 상기 발광 구조물(10)의 측벽보다 외측으로 연장된 외측부(27)를 포함한다. 상기 제1보호층(25)의 내측부(26)는 상기 접촉층(15) 및 상기 반사층(17)과 접촉될 수 있다. 예컨대, 상기 제1보호층(25)의 내측부(26) 하면에는 상기 접촉층(15)의 외곽부 및 상기 반사층(17)의 외곽부가 접촉될 수 있다. 상기 제1보호층(25)의 외측부(27)는 상기 제1접합층(19)과 접촉될 수 있다.

[0034] 상기 제1보호층(25)은 오픈 영역을 갖고, 상기 오픈 영역에는 상기 접촉층(15)이 배치된다. 상기 제1보호층(25)은 상기 접촉층(15)의 둘레에 배치될 수 있다. 상기 제1보호층(25)의 상면 및 하면 중 적어도 하나는 요철 형상으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0035] 상기 제1보호층(25)은 금속 산화물 또는 금속 질화물로 형성될 수 있다. 상기 제1보호층(25)은 예를 들어, SiO<sub>2</sub>, SiO<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, AlN과 같은 물질로 구현될 수 있다. 상기 제1보호층(25)은 발광 구조물(10)의 하면 둘레를 보호하기 위한 채널층으로 정의될 수 있으며, 이에 대해 한정하지는 않는다.

[0036] 상기 발광 구조물(10)의 제2도전형 반도체층(13) 아래에는 제2전극(30)이 배치될 수 있다. 상기 제2전극(30)과

상기 제1보호층(25) 사이에는 제2보호층(41)이 배치된다. 상기 제2보호층(41)은 상기 발광 구조물(10)과 상기 절연층(45) 사이에 배치될 수 있다. 상기 제2보호층(41)은 절연 재질로 형성되며, 상기 제1보호층(25)의 하면에 배치된다. 상기 제2보호층(41)은 상기 반사층(17)에 접촉될 수 있다. 상기 제2보호층(41)의 연장부(42)는 상기 반사층(17)의 하면으로 연장된다. 상기 제2보호층(41)의 연장부(42)는 상기 제1전극(20)의 반사층(17) 및 제1접합층(19)과 접촉될 수 있다. 도 1 및 도 2와 같이, 상기 제2보호층(41)의 하면 너비(D1)는 상기 제2지지 부재(31)의 하면 너비(D2)보다 넓게 형성될 수 있다. 이에 따라 구멍(44)의 형성이 용이한 효과가 있다. 상기 제2보호층(41)의 하면 너비(D1)는 상기 제1지지부재(21)의 하면 너비(D3)보다는 작게 형성될 수 있다. 상기 제2보호층(41)의 하면 면적은 상기 제2지지 부재(31)의 하면 면적보다 넓게 형성될 수 있다. 이에 따라 제1지지부재(21)의 전기적인 특성과 방열 특성의 저하를 방지할 수 있다.

[0037] 상기 제2보호층(41)은 상기 제1보호층(25)과 동일한 재질 또는 다른 재질로 형성될 수 있다. 상기 제2보호층(41)은 SiO<sub>2</sub>, SiO<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub> 중 적어도 하나를 포함할 수 있다. 상기 제2보호층(41)은 굴절률이 서로 다른 물질의 유전체층을 교대로 적층한 반사 구조 예컨대, DBR(Distributed bragg reflector)로 형성될 수 있다. 상기 제2보호층(41)은 예컨대, SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>, SiO<sub>2</sub>/TiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>/TiO<sub>2</sub>와 같은 적층 구조로 형성될 수 있다. 상기 제2보호층(41)은 절연성 반사층 또는 비 투과층으로 형성될 수 있다. 이러한 제2보호층(41)은 제1 및 제2지지 부재(21, 31) 사이에 구멍(44)을 형성할 때 조사되는 특정 파장의 레이저를 반사할 수 있다. 이에 따라 상기 제2 보호층(41)은 상기 접합층(15), 반사층(17) 및 발광 구조물(10)을 보호할 수 있다. 상기 제2보호층(41)의 영역 중에서 상기 연장부(42) 또는 상기 제2전극(30)과 상기 반사층(17) 사이의 영역의 두께는 50nm 내지 2000nm 범위로 형성될 수 있다. 이러한 두께 범위는 특정 파장의 레이저가 투과되는 것을 차단할 수 있다. 상기 레이저의 파장은 상기에 개시된 금속의 재질 및 두께에 따라 선택될 수 있다.

[0038] 상기 제2보호층(41) 아래에는 제2전극(30)이 배치된다. 상기 제2전극(30)은 제2접합층(29) 및 제2지지부재(31)를 포함한다. 상기 제2접합층(29)은 상기 제2보호층(41) 아래에 배치되며, 상기 제2보호층(41)과 접촉될 수 있다. 상기 제2접합층(29)은 상기 제1접합층(19)과 동일한 물질로 형성될 수 있다. 상기 제2접합층(29) 아래에는 상기 제2지지부재(31)가 배치되며, 상기 제2지지 부재(31)는 상기 제1지지 부재(21)와 동일한 물질로 형성될 수 있다. 상기 제1 및 제2지지 부재(21, 31)는 동일한 두께로 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0039] 상기 절연층(45)은 상기 제2보호층(41)부터 상기 제1 및 제2지지 부재(21, 31)의 하면까지 배치된다. 상기 절연층(45)은 상기 제2보호층(41)의 하면에 접촉된다. 상기 절연층(45)은 제1 및 제2접합층(19, 29)의 사이 및 상기 제1 및 제2지지부재(21, 31)의 사이에 배치된 구멍(44)에 배치된다. 상기 절연층(45)은 제1 및 제2전극(20, 30) 사이를 절연시켜 준다. 상기 절연층(45)은 제1지지부재(21)의 외 측면(2)보다 제2지지부재(31)의 외 측면(1)에 더 인접하게 배치될 수 있다. 상기 외 측면(2, 3)은 서로 반대측 면일 수 있다. 이는 제1지지부재(21)의 방열 특성이 저하되는 것을 방지할 수 있다.

[0040] 다른 예로서, 상기 절연층(45)은 상기 제2보호층(41)의 연장부(42)를 관통하여 반사층(17)에 접촉될 수 있으며, 이에 대해 한정하지는 않는다.

[0041] 제3보호층(95)은 상기 발광 구조물(10)의 표면에 배치된다. 상기 제3보호층(95)은 상기 발광 구조물(10)의 측면과 상기 제1도전형 반도체층(11)의 상면에 배치된다. 상기 제3보호층(95)은 상기 제1보호층(25)의 상면에 접촉될 수 있다. 상기 제3보호층(95)은 상기 제1도전형 반도체층(11)의 상면 일부 또는 상면 전체에 형성될 수 있다. 상기 제3보호층(95)은 절연 재질 예컨대, SiO<sub>2</sub>, SiO<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub> 또는 AlN에서 선택적으로 형성될 수 있다.

[0042] 연결 전극(51)은 상기 제2전극(30)과 상기 제1도전형 반도체층(11) 사이를 연결해 준다. 상기 연결 전극(51)은 상기 제3보호층(95)의 외 측면에 상기 제2전극(30)과 수직 방향으로 오버랩되게 배치된다. 상기 연결 전극(51)은 제1접촉부(52) 및 제2접촉부(53)를 포함하며, 상기 제1접촉부(52)는 상기 제1도전형 반도체층(11)의 일부 예컨대, 상면과 접촉될 수 있다. 상기 제2접촉부(53)는 상기 제2접합층(29)에 접촉될 수 있다. 상기 제2접촉부(53)는 상기 제1보호층(25), 제2보호층(41) 및 제2접합층(29)에 배치된 전극 구멍(34)에 배치되어, 상기 제1보호층(25) 및 제2보호층(41)에 접촉될 수 있다. 상기 연결 전극(51)은 상기 제2지지부재(31)와 제1도전형 반도체층(11)을 전기적으로 연결시켜 준다. 상기 연결 전극(51)은 Cr, Ti, Ni, W, Pt, Al, Au 중 적어도 하나의 물질로 형성될 수 있다. 상기 연결 전극(51)은 단층 또는 다층으로 형성될 수 있다.

- [0043] 제1실시 예는 제1및 제2전극(20,30)이 발광 구조물(10)의 아래에 서로 이격되어 배치되므로, 제1및 제2지지부재(21,31)를 통해 본딩될 수 있다. 또한 제1및 제2지지 부재(21,31)를 통해 보드(PCB) 상에 본딩될 수 있으므로 별도의 와이어를 구비하지 않을 수 있다. 또는 제2지지 부재(31)로 본딩과 더불어 연결 전극(51)의 제1접촉부(52)에 와이어로 본딩할 수 있다.
- [0044] 도 3내지 도 10은 도 1의 발광 소자의 제조 과정을 나타낸 도면이다.
- [0045] 도 3을 참조하면, 기판(5) 위에 상기 제1 도전형 반도체층(11), 활성층(12), 제2 도전형 반도체층(13)을 형성한다. 상기 제1 도전형 반도체층(11), 상기 활성층(12), 상기 제2 도전형 반도체층(13)은 발광구조물(10)로 정의될 수 있다.
- [0046] 상기 기판(5)은 절연성 또는 전도성 기판일 수 있다. 상기 기판(5)은 예를 들어, 사파이어 기판( $Al_2O_3$ ), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge 중 적어도 하나로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1 도전형 반도체층(11)과 상기 기판(5) 사이에는 버퍼층 및 언도프트 반도체층 중 적어도 하나가 형성될 수 있다.
- [0047] 상기 기판(5) 위에 성장된 반도체층은 예를 들어, 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxial), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxial) 등의 방법을 이용하여 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0048] 예로써, 상기 제1 도전형 반도체층(11)이 제1 도전형 도펀트로서 n형 도펀트가 첨가된 n형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 제2 도전형 도펀트로서 p형 도펀트가 첨가된 p형 반도체층으로 형성될 수 있다. 또한 상기 제1 도전형 반도체층(11)이 p형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 n형 반도체층으로 형성될 수도 있다.
- [0049] 상기 제1 도전형 반도체층(11)은 예를 들어, n형 반도체층을 포함할 수 있다. 상기 제1 도전형 반도체층(11)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제1 도전형 반도체층(11)은, 예를 들어 InAlGaN, GaN, AlGaN, AlInN, InGaN, AlN, InN 등에서 선택될 수 있으며, Si, Ge, Sn 등의 n형 도펀트가 도핑될 수 있다.
- [0050] 상기 제2 도전형 반도체층(13)은 예를 들어, p형 반도체층으로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제2 도전형 반도체층(13)은, 예를 들어 InAlGaN, GaN, AlGaN, InGaN, AlInN, AlN, InN 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0051] 상기 활성층(12)은 상기 제1 도전형 반도체층(11)을 통해서 주입되는 전자(또는 정공)와 상기 제2 도전형 반도체층(13)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(12)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다. 상기 활성층(12)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0052] 상기 활성층(12)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 활성층(12)이 상기 다중 양자 우물 구조로 형성된 경우, 상기 활성층(12)은 복수의 우물층과 복수의 장벽층이 교대로 적층되어 형성될 수 있다.
- [0053] 한편, 상기 제1 도전형 반도체층(11)이 p형 반도체층을 포함하고 상기 제2 도전형 반도체층(13)이 n형 반도체층을 포함할 수도 있다. 또한, 상기 제2 도전형 반도체층(13) 아래에는 n형 또는 p형 반도체층을 포함하는 반도체층이 더 형성될 수도 있으며, 이에 따라, 상기 발광구조물(10)은 np, pn, npn, pnp 집합 구조 중 적어도 어느 하나를 가질 수 있다. 또한, 상기 제1 도전형 반도체층(11) 및 상기 제2 도전형 반도체층(13) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 발광구조물(10)의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0054] 또한, 상기 제1 도전형 반도체층(11)과 상기 활성층(12) 사이에는 제1 도전형 InGaN/GaN 슈퍼래티스(Super lattice) 구조 또는 InGaN/InGaN 슈퍼래티스 구조가 형성될 수도 있다. 또한, 상기 제2 도전형 반도체층(13)과

상기 활성층(12) 사이에는 제2 도전형의 AlGaIn층이 형성될 수도 있다.

- [0055] 이어서, 도 4에 도시된 바와 같이, 상기 발광구조물(10)의 상면 둘레에 제1보호층(25)이 형성된다. 상기 제1보호층(25)은 내부에 오픈 영역을 통해 상기 발광 구조물(10)의 상면을 노출시켜 준다. 상기 제1보호층(25)은 절연 물질로 형성될 수 있다.
- [0056] 상기 발광 구조물(10)의 상면에 접촉층(15)이 형성되고, 상기 접촉층(15) 위에 반사층(17)이 형성된다. 상기 반사층(17)은 상기 접촉층(15)의 너비보다 넓게 형성되어, 상기 접촉층(15)을 커버하게 된다. 이에 따라 광 반사 효율을 개선시켜 줄 수 있다. 상기 접촉층(15)은 금속 산화물 또는 금속으로 형성될 수 있으며, 상기 반사층(17)은 금속 물질로 형성될 수 있다. 상기 접촉층(15) 및 반사층(17)은 증착 공정 또는 도금 공정을 통해 형성될 수 있다.
- [0057] 도 5를 참조하면, 상기 제1보호층(25)의 일측 위에 제2보호층(41)이 배치되며, 상기 제2보호층(41)은 상기 반사층(17)의 상면 위에 연장될 수 있다. 상기 제2보호층(41)은 절연 물질로 형성될 수 있으며, 예컨대 서로 다른 굴절률을 갖는 유전체층을 교대로 적층하여 반사 구조 예컨대, DBR 구조로 형성할 수 있다.
- [0058] 도 6을 참조하면, 상기 반사층(17)의 위에는 접합층(19A)이 형성된다. 상기 접합층(19A) 위에는 전도성의 지지부재(21A)가 형성된다. 상기 접합층(19A)과 반사층(17) 사이에는 씨드층 또는 확산 베리어층을 포함할 수 있으며, 이에 대해 한정하지는 않는다. 상기 접합층(19A)은 증착 공정 또는 도금 공정을 통해 형성될 수 있으며, 상기 지지부재(21A)는 상기 접합층(19A)에 접합된다.
- [0059] 도 6 및 도 7을 참조하면, 구멍(44)은 도 6의 지지 부재(21A)를 통해 상기 제2보호층(41)과 수직 방향으로 오버랩되도록 형성되어, 상기 지지부재(21A) 및 접합층(19A)을 관통하여 상기 제2보호층(41)이 노출시켜 준다. 이때 상기 구멍(44)은 특정 파장의 레이저를 상기 지지 부재를 통해 조사하여 형성하게 된다. 이때 상기 제2보호층(41)은 서로 다른 굴절률을 갖는 유전체층에 의해 특정 파장의 레이저를 반사하게 된다. 이에 따라 상기 제2보호층(41) 아래에 배치된 반사층(17)이나 접촉층(15)이나 발광 구조물(10)을 보호하게 된다.
- [0060] 상기 구멍(44)에 의해, 지지 부재(21A)는 제1 및 제2지지 부재(21, 31)로 분리되고, 접합층(19A)은 제1 및 제2접합층(19, 29)으로 분리된다. 또한 제1전극(20)은 접촉층(15), 반사층(17), 제1접합층(19) 및 제1지지 부재(21)를 포함하며, 제2전극(30)은 제2접합층(29) 및 제2지지 부재(31)를 포함한다.
- [0061] 도 8을 참조하면, 상기 구멍(44)에 절연층(45)을 형성하게 된다. 상기 절연층(45)은 상기 제1 및 제2지지부재(21, 31)와, 제1 및 제2접합층(19, 29) 사이를 절연시켜 준다.
- [0062] 도 9는 도 8의 구조를 뒤집은 후, 상기 발광구조물(10)로부터 상기 기판(5)을 제거한다. 하나의 예로서, 상기 기판(5)은 레이저 리프트 오프(LLO: Laser Lift Off) 공정에 의해 제거될 수 있다. 레이저 리프트 오프 공정(LLO)은 상기 성장기판(5)의 하면에 레이저를 조사하여, 상기 기판(5)과 상기 발광구조물(10)을 서로 박리시키는 공정이다. 상기 기판(5)은 제거되지 않을 수 있다. 또한 상기 기판(5)은 연결 전극(51)의 접촉 영역만 제거되고 나머지는 상기 발광 구조물(10) 상에 배치될 수 있다. 이러한 기판(5)은 투광성 재질일 수 있다.
- [0063] 그리고, 상기 발광구조물(10)의 개별 칩의 외측 영역(A1)을 따라 아이솔레이션(isolation) 에칭을 실시하여, 개별 발광 소자 단위로 구분할 수 있다. 상기 아이솔레이션 에칭은 예를 들어, ICP(Inductively Coupled Plasma)와 같은 건식 식각에 의해 실시될 수 있으나, 이에 대해 한정하지는 않는다. 즉, 상기 발광 구조물(10)의 외측 영역(A1)이 에칭되어 제거되고, 이때 상기 제1보호층(25)의 외곽부가 노출될 수 있다. 또한, 상기 제1 도전형 반도체층(11)의 상부면에 요철 구조(11A)를 형성한다. 이에 따라, 상기 제1 도전형 반도체층(11)을 통하여 외부로 빛이 추출되는 광 추출 효과를 상승시킬 수 있게 된다.
- [0064] 도 9 및 도 10과 같이, 상기 발광 구조물(10)의 표면에 제3보호층(95)을 형성한다. 상기 제3보호층(95)은 발광 구조물(10)의 측면 및 상면 일부에 증착될 수 있으며, 이에 대해 한정하지는 않는다. 상기 제3보호층(95)은 절연 재질로 형성될 수 있으며, 상기 제1보호층(25)과 접촉될 수 있다.
- [0065] 상기 발광 구조물(10)의 외측 영역 중 적어도 한 영역을 통해 에칭 공정을 통해 전극 구멍(34)을 형성한다. 상기 전극 구멍(34)은 제1보호층(25)을 통해 제2접합층(29)의 일부까지 형성될 수 있다. 이후, 상기 전극 구멍

(34)에 연결 전극(51)을 형성하고, 상기 연결 전극(51)은 상기 제1도전형 반도체층(11)의 상면 일부까지 연장시켜 준다.

[0066] 이에 따라 상기 제1도전형 반도체층(11)은 상기 연결 전극(51)을 통해 제2지지 부재(31)로 전기적으로 연결되고, 상기 제2도전형 반도체층(13)은 접촉층(15)을 통해 제1지지 부재(21)로 전기적으로 연결된다. 이러한 발광 소자는 하부의 제1및 제2지지부재(21,31)를 통해 전원을 공급함으로써, 와이어의 본딩 공정을 생략할 수 있다.

[0067] 도 11은 제2실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 도 11을 설명함에 있어서, 도 1과 동일한 구성은 도 1의 설명을 참조하기로 한다.

[0068] 도 11을 참조하면, 발광 소자는 제1지지 부재(21)의 아래에 제1패드(22), 상기 제2지지 부재(31)의 아래에 제2패드(32)를 포함한다. 상기 제1및 제2패드(22,32)는 제1및 제2지지부재(21,31)와 다른 물질로 형성되며, 예컨대 Au, Ni, Al, Ti, AuSn 중 적어도 하나를 포함할 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1및 제2패드(22,32)사이에는 상기 절연층(45)의 일부(45A)가 더 연장될 수 있으며, 이에 대해 한정하지는 않는다. 상기 절연층(45)의 일부(45A)는 상기 제1및 제2지지 부재(21,31)의 하면 일부에 접촉될 수 있다.

[0069] 도 12는 제3실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 도 12를 설명함에 있어서, 도 1과 동일한 구성은 도 1의 설명을 참조하기로 한다.

[0070] 도 12를 참조하면, 발광 소자는 발광 구조물(10)의 제1영역 아래에 제1전극(20) 및 제2영역 아래에 제2전극(30)이 배치된다. 상기 제1전극(20)은 도 1의 구성을 참조하기로 한다. 상기 제2전극(30)은 제2접합층(29) 및 제2지지부재(31)를 포함한다. 상기 제2접합층(29)의 상부(29A)는 상기 제2보호층(41)의 외측으로 연장되고 제1보호층(25)의 하면과 접촉될 수 있다. 상기 제2접합층(29)의 상부(29A)는 상기 반사층(17)의 하면보다 위에 배치될 수 있다. 상기 연결 전극(51)의 제2접촉부(53)는 상기 제2보호층(41)과 상기 제2접합층(29)의 상부 사이에 배치된다. 즉, 상기 연결 전극(51)의 제2접촉부(53)는 상기 제2접합층(29)의 상부에 접촉됨으로써, 제2지지부재(31)와 제1도전형 반도체층(11) 사이를 전기적으로 연결시킬 수 있다.

[0071] 도 13은 제4실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 도 13을 설명함에 있어서, 도 1과 동일한 구성은 도 1의 설명을 참조하기로 한다.

[0072] 도 13을 참조하면, 연결 전극(51)의 제1접촉부(52)는 제1도전형 반도체층(11)에 전기적으로 연결되고, 제2접촉부(54)의 외 측면은 제2전극(30)의 외측에 노출될 수 있다. 상기 연결 전극(51)의 제2접촉부(54)는 제2전극(30)의 제2접합층(29) 상에 접촉될 수 있다. 즉, 상기 제2전극(30)의 제2접합층(29)의 외측 영역에 단차 구조(34A)를 형성하고, 상기 단차 구조(34A) 상에 상기 연결 전극(51)의 제2접촉부(54)를 형성할 수 있다. 이는 별도의 전극 구멍을 형성하지 않을 수 있다. 상기 단차 구조(34A)는 상기 제2접합층(29)의 하부 외측과 측면에 의해 형성될 수 있다.

[0073] 도 14는 제5실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 도 14를 설명함에 있어서, 도 1과 동일한 구성은 도 1의 설명을 참조하기로 한다.

[0074] 도 14를 참조하면, 발광 구조물(10)의 하부의 서로 다른 영역에 복수의 제2전극(30,30A)을 배치하고, 상기 발광 구조물(10)의 센터 영역 아래에 제1전극(20)을 배치한다. 상기 제1전극(20)은 복수의 제2전극(30,30A) 사이의 영역에 배치된다. 상기 제1전극(20)은 상기 발광 구조물(10)의 하면에 접촉될 수 있다. 예를 들면, 상기 제1전극(20)의 제1접합층(19)의 상부(19D)는 발광 구조물(10) 아래에 배치된 접촉층(15) 및 반사층(17)과 전기적으로 연결된다. 상기 제1접합층(19)의 상부(19D)는 상기 제2보호층(41)의 연장부(42)의 구멍을 통해 돌출되어 상기 반사층(17)에 접촉될 수 있다.

[0075] 상기 복수의 제2전극(30,30A) 각각은 제2접합층(29) 및 제2지지 부재(31)를 포함하며, 제1및 제2연결 전극(51,51A)을 통해 제1도전형 반도체층(11)의 서로 다른 상면과 각각 접촉된다.

- [0076] 상기 복수의 제2전극(30,30A)과 상기 제1전극(20) 사이에는 절연층(45,45B)이 각각 배치되어, 서로 간의 전기적인 접촉을 차단한다. 상기 복수의 제2전극(30,30A)은 선택적으로 전원 공급 경로로 사용될 수 있다.
- [0077] 도 15는 제6실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 도 15를 설명함에 있어서, 도 1과 동일한 구성은 도 1의 설명을 참조하기로 한다.
- [0078] 도 15를 참조하면, 발광 소자는 연결 전극(55)이 도 1과 상이하게 형성된다. 상기 연결 전극(55)은 발광 구조물(10)의 측벽 보다 내측으로 연장되고, 상기 제1도전형 반도체층(11)의 하부에 접촉된다. 또한 상기 연결 전극(55)과 상기 발광 구조물(10) 사이에는 제3보호층(95)의 일부(95A)가 배치되어, 활성층(12)과 제2도전형 반도체층(13)이 연결 전극(55)에 접촉되는 것을 차단하게 된다. 이에 따라 발광 구조물(10)의 상면에 연결 전극(55)을 배치하지 않게 되므로, 광 추출 효율은 개선될 수 있다. 상기 연결 전극(55)의 내측부는 상기 발광 구조물(10)과 수직 방향으로 오버랩되는 구조 예컨대, 상기 제1도전형 반도체층(11)의 하부와 수직 방향으로 오버랩되게 배치될 수 있다. 상기 연결 전극(55)은 상기 제3보호층(95)의 일부(95A)의 외측면에 접촉될 수 있다. 상기 연결 전극(55)의 접촉부(56)는 제2지지부재(31), 및 제2접합층(29) 중 적어도 하나와 접촉될 수 있다.
- [0079] 도 16은 도 1의 발광 소자를 갖는 발광 소자 패키지를 나타낸 측 단면도이다.
- [0080] 도 16을 참조하면, 발광 소자 패키지는 몸체(101)와, 상기 몸체(101)에 배치된 제1 리드전극(121) 및 제2 리드전극(123)과, 상기 몸체(101)에 제공되어 상기 제1 리드전극(121) 및 제2 리드전극(123)과 전기적으로 연결되는 실시 예에 따른 발광소자(100)와, 상기 발광소자(100)를 포위하는 몰딩부재(131)를 포함한다.
- [0081] 상기 몸체(101)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 상기 발광소자(100)의 주위에 경사면을 갖는 캐비티(103)를 제공할 수 있다.
- [0082] 상기 제1 리드전극(121) 및 제2 리드전극(123)은 서로 전기적으로 분리되며, 상기 발광소자(100)에 전원을 제공한다. 또한, 상기 제1 리드전극(121) 및 제2 리드전극(123)은 상기 발광소자(100)에서 발생된 빛을 반사시켜 광 효율을 증가시킬 수 있으며, 상기 발광소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.
- [0083] 도 1에 도시된, 발광소자(100)의 제1 및 제2지지부재(21,31)는 상기 제1 리드전극(121) 및 제2 리드전극(123) 위에 배치될 수 있다. 상기 제1 및 제2지지부재(21,31)는 상기 제1 리드전극(121) 및 제2 리드전극(123)과 전도성 접착제(미도시)로 다이 본딩될 수 있다. 또는, 발광소자(100)는 제1 및 제2지지부재(21,31) 중 어느 하나의 지지부재상에 배치되고 발광소자(100)가 배치되지 않은 다른 지지부재와 와이어 등을 통해 전기적으로 연결될 수 있으며 이에 한정하지 않는다.
- [0084] 상기 몰딩부재(131)는 상기 발광소자(100)를 포위하여 상기 발광소자(100)를 보호할 수 있다. 또한, 상기 몰딩부재(131)에는 형광체가 포함되어 상기 발광소자(100)에서 방출된 광의 파장을 변화시킬 수 있다.
- [0085] 실시 예에 따른 발광소자 또는 발광소자 패키지는 복수 개가 기판 위에 어레이될 수 있으며, 상기 발광소자 패키지의 광 경로 상에 광학 부재인 렌즈, 도광관, 프리즘 시트, 확산 시트 등이 배치될 수 있다. 이러한 발광소자 패키지, 기판, 광학 부재는 라이트 유닛으로 기능할 수 있다. 상기 라이트 유닛은 탑뷰 또는 사이드 뷰 타입으로 구현되어, 휴대 단말기 및 노트북 컴퓨터 등의 표시 장치에 제공되거나, 조명장치 및 지시 장치 등에 다양하게 적용될 수 있다. 또 다른 실시 예는 상술한 실시 예들에 기재된 발광소자 또는 발광소자 패키지를 포함하는 조명 장치로 구현될 수 있다. 예를 들어, 조명 장치는 램프, 가로등, 전광판, 전조등을 포함할 수 있다.
- [0086] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0087] 또한, 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에

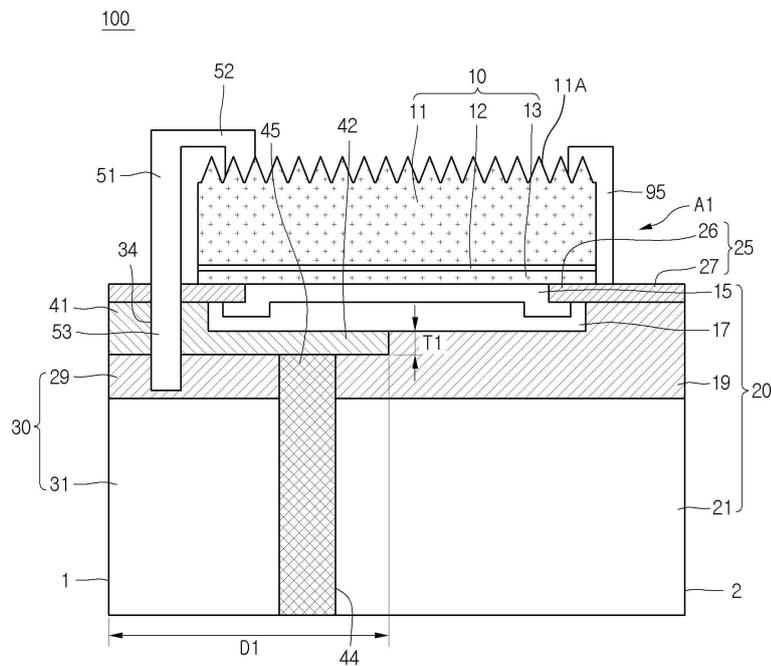
예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

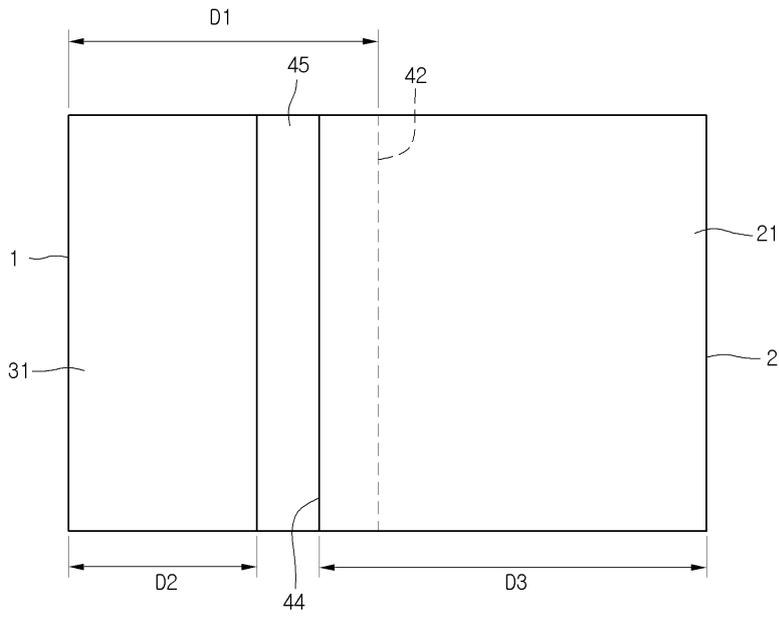
- [0088] 10: 발광구조물    11: 제1도전형 반도체층
- 12: 활성층                    13: 제2도전형 반도체층
- 15: 접촉층                    17: 반사층
- 19,19A,29: 접합층    20: 제1전극
- 21,21A,31: 지지부재    30,30A: 제2전극
- 51,51A: 연결 전극    45: 절연층
- 100: 발광소자

**도면**

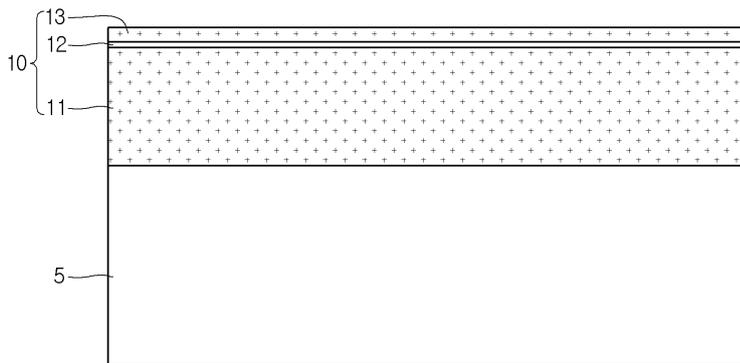
**도면1**



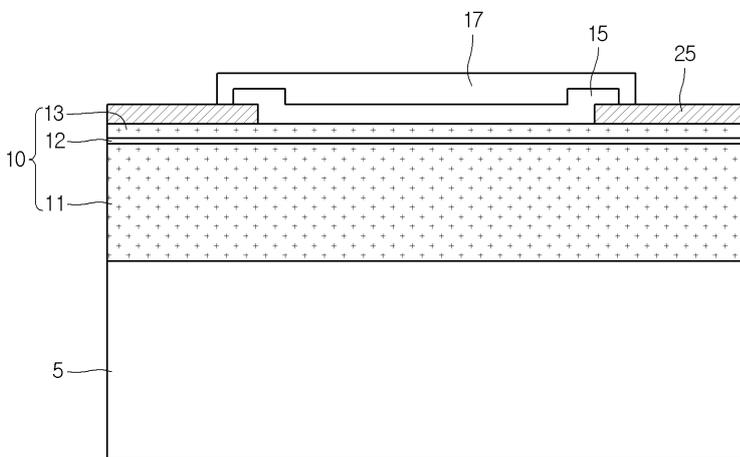
도면2



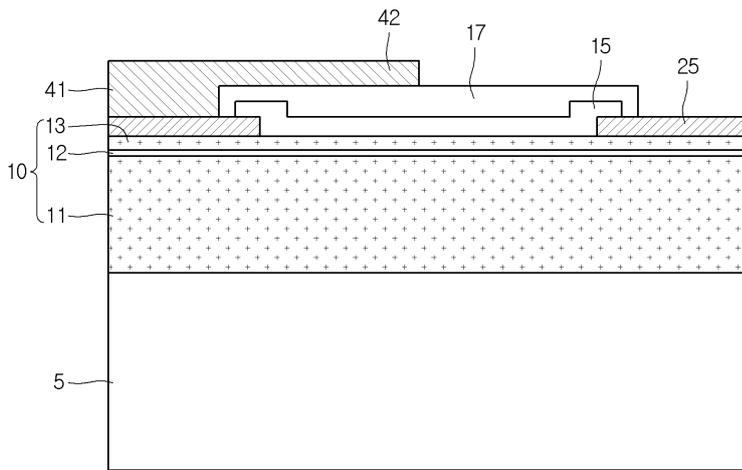
도면3



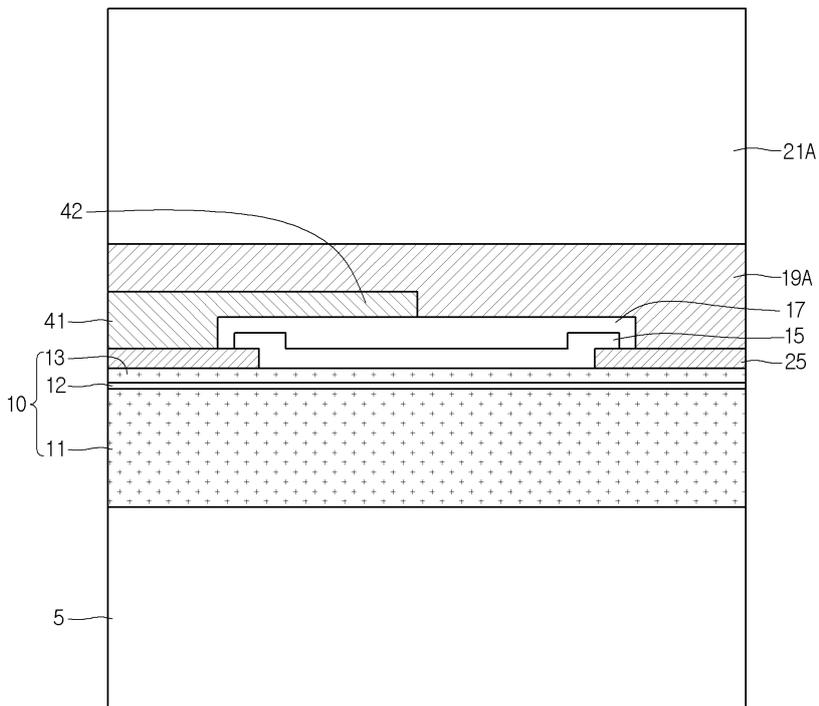
도면4



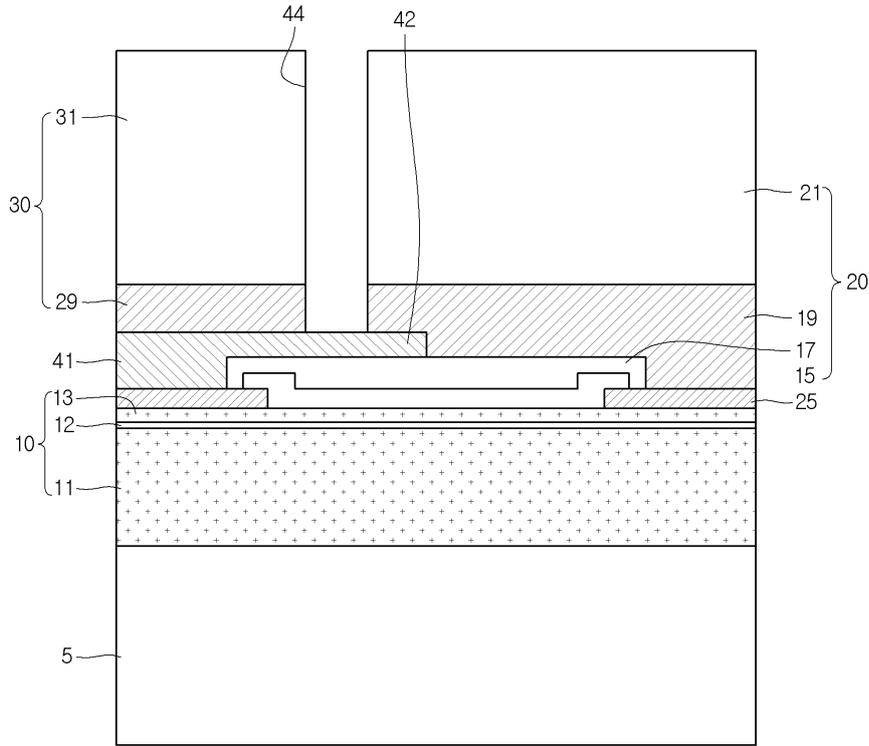
도면5



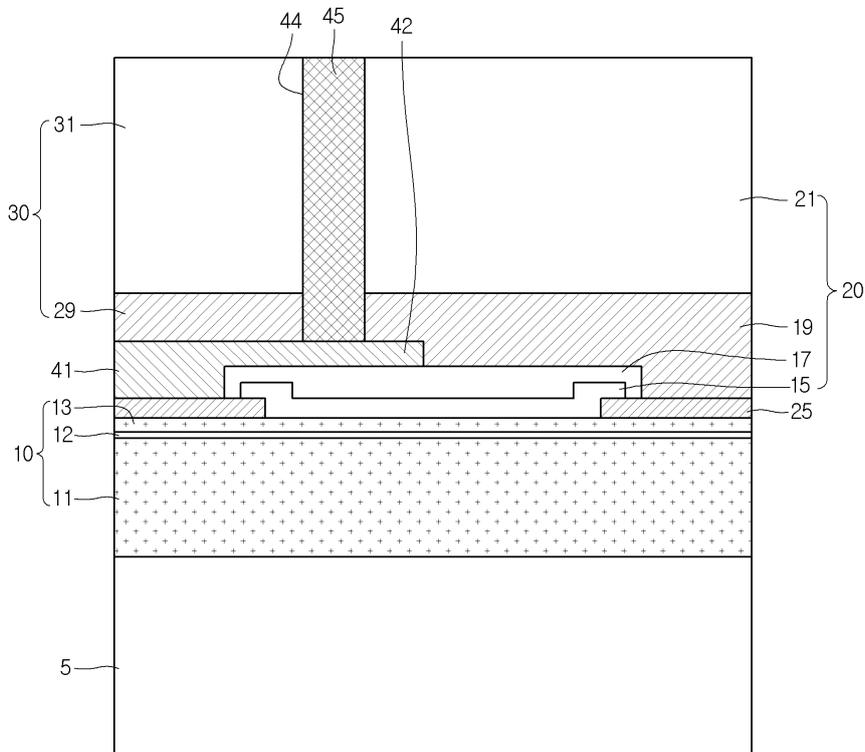
도면6



도면7



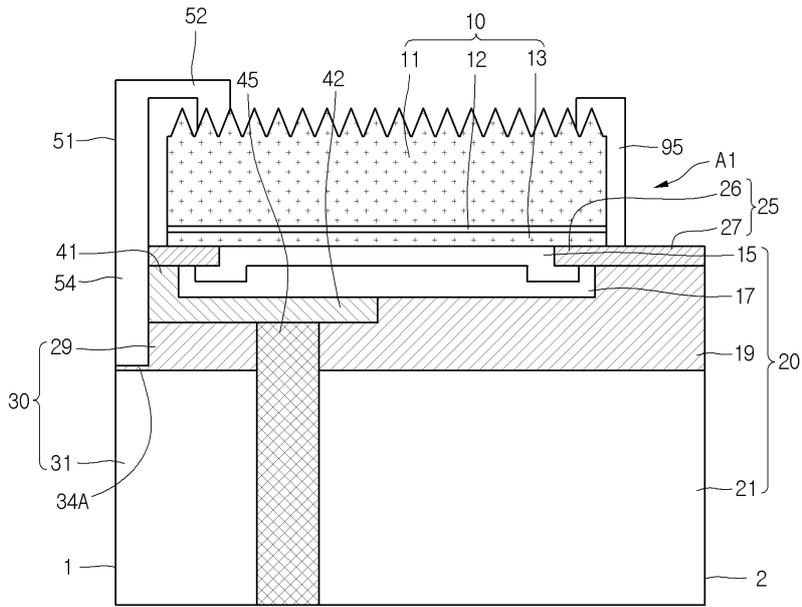
도면8



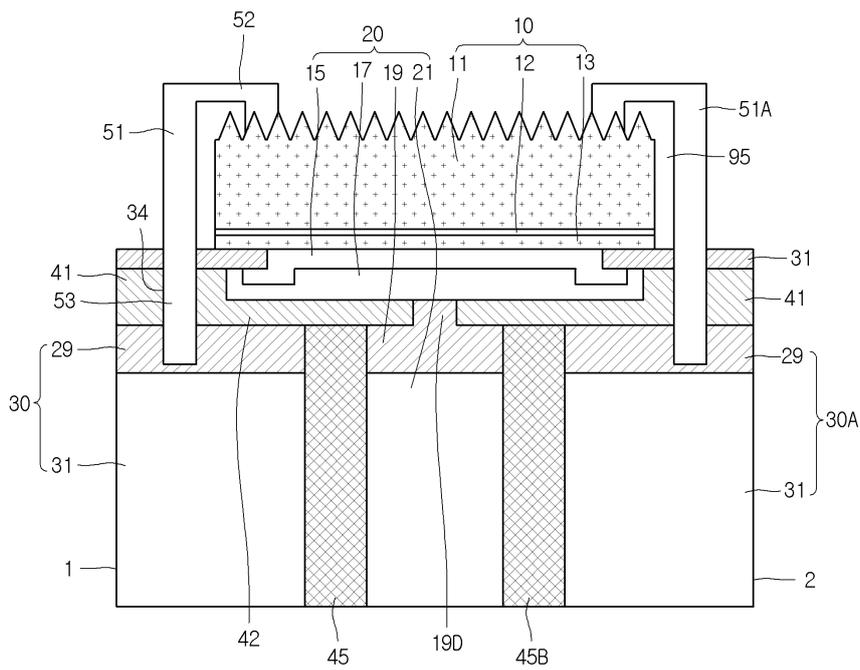




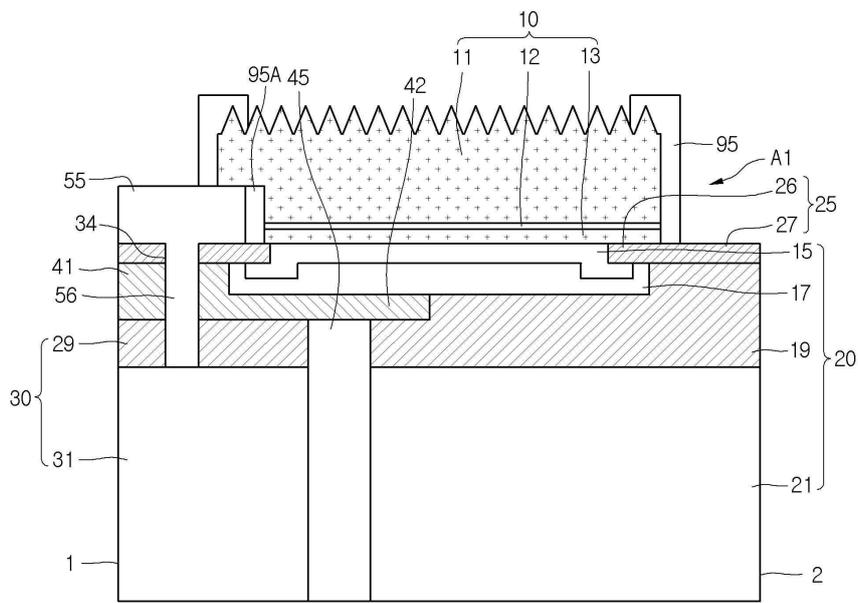
도면13



도면14



도면15



도면16

