



(12) 发明专利

(10) 授权公告号 CN 107275210 B

(45) 授权公告日 2023.05.02

(21) 申请号 201610209916.7

H01L 29/78 (2006.01)

(22) 申请日 2016.04.06

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 104377199 A, 2015.02.25

申请公布号 CN 107275210 A

US 2015255578 A1, 2015.09.10

(43) 申请公布日 2017.10.20

US 2015061024 A1, 2015.03.05

(73) 专利权人 联华电子股份有限公司

US 2010090289 A1, 2010.04.15

地址 中国台湾新竹市新竹科学工业园区

US 2007065959 A1, 2007.03.22

CN 104347412 A, 2015.02.11

(72) 发明人 许智凯 傅思逸 洪裕祥 程伟麒

US 2010090289 A1, 2010.04.15

郑志祥 杨宗穆

审查员 郑琼

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 陈小雯

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 29/06 (2006.01)

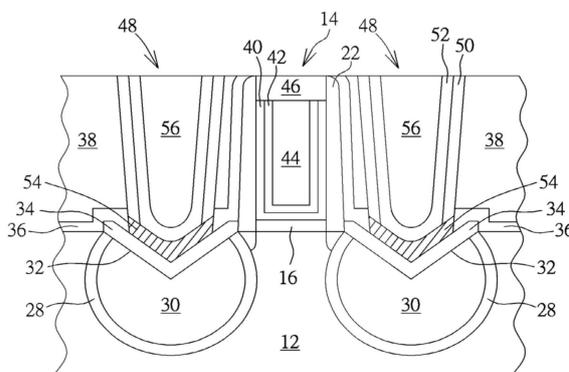
权利要求书1页 说明书5页 附图4页

(54) 发明名称

半导体元件及其制作方法

(57) 摘要

本发明公开一种半导体元件及其制作方法。该制作方法包括：首先提供一基底，然后形成一栅极结构于基底上，形成一凹槽于栅极结构两侧的基底中，形成一外延层于凹槽内，其中外延层的上表面低于基底的上表面，之后再形成一遮盖层于外延层上，其中遮盖层的上表面高于基底的上表面。



1. 一种制作半导体元件的方法,包含:
  - 提供一基底;
  - 形成一栅极结构于该基底上;
  - 形成一凹槽于该栅极结构两侧的该基底中;
  - 形成一缓冲层于该凹槽内;
  - 形成一外延层于该凹槽内,其中该外延层的上表面低于该基底的上表面且不与该基底的上表面切齐,该外延层的上表面与该缓冲层的上表面共同构成一V型轮廓;
  - 形成一遮盖层于该外延层上,其中该遮盖层为V型,该遮盖层的上表面高于该基底的上表面,该遮盖层同时接触覆盖该外延层及该缓冲层,该外延层的上表面的面积小于该遮盖层的下表面的面积,且该遮盖层与该栅极结构于垂直方向不重叠。
2. 如权利要求1所述的方法,其中该缓冲层包含磷化硅。
3. 如权利要求1所述的方法,其中该外延层及该遮盖层包含磷化硅。
4. 如权利要求3所述的方法,其中该遮盖层的磷浓度小于该外延层的磷浓度。
5. 如权利要求1所述的方法,其中形成V型的该遮盖层的方法包括:形成包含一三角形的该遮盖层。
6. 如权利要求5所述的方法,另包含形成一接触插塞,接触该遮盖层并将该遮盖层的三角形转变为该V型。
7. 如权利要求1所述的方法,其中该遮盖层的厚度介于10埃至100埃。
8. 一种半导体元件,包含:
  - 基底;
  - 栅极结构,设于该基底上;
  - 外延层,设于该栅极结构两侧的该基底中,其中该外延层的上表面低于该基底的上表面且不与该基底的上表面切齐;
  - 缓冲层,设于该外延层及该基底之间;以及
  - 遮盖层,设于该外延层上,其中该遮盖层为V型;
  - 其中该外延层的上表面与该缓冲层的上表面共同构成一V型轮廓,该遮盖层同时接触覆盖该外延层及该缓冲层,该外延层的上表面的面积小于该遮盖层的下表面的面积,且该遮盖层与该栅极结构于垂直方向不重叠。
9. 如权利要求8所述的半导体元件,其中该缓冲层包含磷化硅。
10. 如权利要求8所述的半导体元件,其中该外延层及该遮盖层包含磷化硅。
11. 如权利要求10所述的半导体元件,其中该遮盖层的磷浓度小于该外延层的磷浓度。
12. 如权利要求8所述的半导体元件,其中该外延层的上表面包含一V型轮廓。
13. 如权利要求8所述的半导体元件,另包含一接触插塞,接触该遮盖层。
14. 如权利要求8所述的半导体元件,其中该遮盖层的厚度介于10埃至100埃。

## 半导体元件及其制作方法

### 技术领域

[0001] 本发明涉及一种制作半导体元件的方法,尤其是涉及一种于外延层上形成遮盖层的方法。

### 背景技术

[0002] 为了能增加半导体结构的载流子迁移率,可以选择对于栅极通道施加压缩应力或是伸张应力。举例来说,若需要施加的是压缩应力,现有技术常利用选择性外延成长(selective epitaxial growth, SEG)技术于一硅基底内形成晶格排列与该硅基底相同的外延结构,例如硅锗(silicon germanium, SiGe)外延结构。利用硅锗外延结构的晶格常数(lattice constant)大于该硅基底晶格的特点,对P型金氧半导体晶体管的通道区产生应力,增加通道区的载流子迁移率(carrier mobility),并用于增加金氧半导体晶体管的速度。反之,若是N型半导体晶体管则可选择于硅基底内形成硅碳(silicon carbide, SiC)外延结构,对栅极通道区产生伸张应力。

[0003] 现今以外延成长方式形成外延层的晶体管过程中通常会先以蚀刻拔除栅极结构上的硬掩模再进行后续接触插塞制作工艺。然而在去除硬掩模的过程中所使用的蚀刻溶液容易损害外延层的表面并影响元件运作。因此,如何改良现有制作工艺技术以解决现有瓶颈即为现今一重要课题。

### 发明内容

[0004] 本发明较佳实施例公开一种制作半导体元件的方法。首先提供一基底,然后形成一栅极结构于基底上,形成一凹槽于栅极结构两侧的基底中,形成一外延层于凹槽内,其中外延层的上表面低于基底的上表面,之后再形成一遮盖层于外延层上,其中遮盖层的上表面高于基底的上表面。

[0005] 本发明另一实施例公开一种半导体元件,其包含一基底;一栅极结构设于基底上;一外延层设于栅极结构两侧的基底中以及一遮盖层设于外延层上,其中该遮盖层为V型。

### 附图说明

[0006] 图1至图5为本发明较佳实施例制作一半导体元件的方法示意图;

[0007] 图6为本发明一实施例的一半导体元件结构示意图;

[0008] 图7为本发明一实施例的一半导体元件结构示意图;

[0009] 图8为本发明一实施例的一半导体元件结构示意图。

[0010] 主要元件符号说明

[0011]	12	基底	14	栅极结构
[0012]	16	栅极介电层	18	栅极材料层
[0013]	20	硬掩模	22	间隙壁
[0014]	24	轻掺杂漏极	26	凹槽

[0015]	28	缓冲层	30	外延层
[0016]	32	V型轮廓	34	遮盖层
[0017]	36	接触洞蚀刻停止层	38	层间介电层
[0018]	40	高介电常数介电层	42	功函数金属层
[0019]	44	低阻抗金属层	46	硬掩模
[0020]	48	接触插塞	50	第一金属层
[0021]	52	第二金属层	54	金属硅化物
[0022]	56	第三金属层	58	垂直部
[0023]	60	凸出部		

### 具体实施方式

[0024] 请参照图1至图5,图1至图5为本发明较佳实施例制作一半导体元件的方法示意图。如图1所示,首先提供一基底12,然后于基底上形成至少一栅极结构14。在本实施例中,形成栅极结构14的方式较佳依序形成一栅极介电层、一栅极材料层以及一硬掩模于基底12上,并利用一图案化光致抗蚀剂(图未示)当作掩模进行一图案转移制作工艺,以单次蚀刻或逐次蚀刻步骤,去除部分硬掩模、部分栅极材料层以及部分栅极介电层,然后剥除图案化光致抗蚀剂,以于基底12上形成至少一由图案化的栅极介电层16、图案化的栅极材料层18以及图案化的硬掩模20所构成的栅极结构14。

[0025] 在本实施例中,基底12例如是硅基底、外延硅基底、碳化硅基底或硅覆绝缘(silicon-on-insulator,SOI)基底等的半导体基底,但不以此为限。栅极介电层16可包含二氧化硅( $\text{SiO}_2$ )、氮化硅( $\text{Si}_3\text{N}_4$ )或高介电常数(high dielectric constant,high-k)材料;栅极材料层18可包含金属材料、多晶硅或金属硅化物(silicide)等导电材料;硬掩模20可选自由氧化硅、氮化硅、碳化硅( $\text{SiC}$ )以及氮氧化硅( $\text{Si}_3\text{N}_4$ )所构成的群组,但不局限于此。

[0026] 此外,在一实施例中,还可选择预先在基底12中形成多个掺杂阱(未绘示)或多个作为电性隔离之用的浅沟槽隔离(shallow trench isolation,STI)。并且,本实施例虽以平面型晶体管为例,但在其他变化实施例中,本发明的半导体制作工艺也可应用于非平面晶体管,例如是鳍状晶体管(Fin-FET),此时,图1所标示的基底12即相对应代表为形成于一基底12上的鳍状结构。

[0027] 然后在栅极结构14侧壁形成至少一间隙壁22,并选择性进行一轻掺杂离子注入,利用约930℃温度进行一快速升温退火制作工艺活化植入基底12的掺质,以于间隙壁22两侧的基底12中形成一轻掺杂漏极24。在本实施例中,间隙壁22可为单一间隙壁或复合式间隙壁,例如可细部包含一偏位间隙壁(图未示)以及一主间隙壁(图未示),偏位间隙壁与主间隙壁较佳包含不同材料,且间隙壁可选自由氧化硅、氮化硅、氮氧化硅以及氮碳化硅所构成的群组,但不局限于此。

[0028] 如图2所示,随后进行一干蚀刻及/或湿蚀刻制作工艺,利用栅极结构14与间隙壁22作为蚀刻掩模,沿着间隙壁22向下单次或多次蚀刻基底12,以于栅极结构14两侧的基底12中形成一凹槽26。

[0029] 如图3所示,接着依序形成一缓冲层28以及一外延层30于凹槽26内,其中缓冲层28较佳覆盖凹槽26表面且较佳具有均一厚度。外延层30则填满大部分凹槽26,且外延层30中

可具有掺质而形成一源极/漏极区域。其中所填入的外延层30上表面包含一V型轮廓32,且V型轮廓32略低于基底12上表面。之后再形成一遮盖层34于外延层30上,并使遮盖层34上表面高于基底12上表面。需注意的是,本实施例中的遮盖层34上表面虽较佳高于基底12上表面,但依据产品需求又可控制遮盖层34上表面使其低于基底12上表面,此实施例也属本发明所涵盖的范围。

[0030] 值得注意的是,在此阶段遮盖层34上表面较佳为一平坦表面,而遮盖层34下表面则与外延层30上表面同为V型,且由于遮盖层34较佳填满外延层30的V型轮廓32上的空间,因此遮盖层34本体又同时包含或呈现一三角形。

[0031] 在本实施例中,缓冲层28、外延层30以及遮盖层34均较佳包含磷化硅(SiP),其中外延层30的磷浓度较佳高于缓冲层28的磷浓度,而遮盖层34的磷浓度则较佳低于外延层30的磷浓度。换句话说,外延层30的磷浓度较佳同时高于缓冲层28与遮盖层34的磷浓度,但缓冲层28与遮盖层34之间的磷浓度并无特别限制,例如缓冲层28的磷浓度可高于遮盖层34的磷浓度,或遮盖层34的磷浓度可高于缓冲层28的磷浓度,这些均属本发明所涵盖的范围。

[0032] 如图4所示,然后可选择性形成一由氮化硅所构成的接触洞蚀刻停止层(contact etch stop layer, CESL) 36于基底12上并覆盖栅极结构14与遮盖层34,再形成一层间介电层38于CESL 36上。接着进行一平坦化制作工艺,例如利用化学机械研磨(chemical mechanical polishing, CMP)去除部分层间介电层38、部分接触洞蚀刻停止层36以及硬掩模20并暴露出由多晶硅材料所构成的栅极材料层18,使栅极材料层18上表面与层间介电层38上表面齐平。

[0033] 随后进行一金属栅极置换制作工艺将栅极结构14转换为金属栅极。例如可先进行一选择性的干蚀刻或湿蚀刻制作工艺,例如利用氨水(ammonium hydroxide,  $\text{NH}_4\text{OH}$ )或氢氧化四甲铵(Tetramethylammonium Hydroxide, TMAH)等蚀刻溶液来去除栅极结构14中的栅极材料层18,以于层间介电层38中形成一凹槽(图未示)。之后依序形成一高介电常数介电层40以及至少包含U型功函数金属层42与低阻抗金属层44的导电层于凹槽内,并再搭配进行一平坦化制作工艺使U型高介电常数介电层40、U型功函数金属层42与低阻抗金属层44的表面与层间介电层38表面齐平。

[0034] 在本实施例中,高介电常数介电层40包含介电常数大于4的介电材料,例如选自氧化铪(hafnium oxide,  $\text{HfO}_2$ )、硅酸铪氧化合物(hafnium silicon oxide,  $\text{HfSiO}_4$ )、硅酸铪氮氧化合物(hafnium silicon oxynitride,  $\text{HfSiON}$ )、氧化铝(aluminum oxide,  $\text{Al}_2\text{O}_3$ )、氧化镧(lanthanum oxide,  $\text{La}_2\text{O}_3$ )、氧化钽(tantalum oxide,  $\text{Ta}_2\text{O}_5$ )、氧化钇(yttrium oxide,  $\text{Y}_2\text{O}_3$ )、氧化锆(zirconium oxide,  $\text{ZrO}_2$ )、钛酸锶(strontium titanate oxide,  $\text{SrTiO}_3$ )、硅酸锆氧化合物(zirconium silicon oxide,  $\text{ZrSiO}_4$ )、锆酸铪(hafnium zirconium oxide,  $\text{HfZrO}_4$ )、锶铋钽氧化物(strontium bismuth tantalate,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ , SBT)、锆钛酸铅(lead zirconate titanate,  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ , PZT)、钛酸钡锶(barium strontium titanate,  $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ , BST)、或其组合所组成的群组。

[0035] 功函数金属层42较佳用以调整形成金属栅极的功函数,使其适用于N型晶体管(NMOS)或P型晶体管(PMOS)。若晶体管为N型晶体管,功函数金属层42可选用功函数为3.9电子伏特(eV)~4.3eV的金属材料,如铝化钛(TiAl)、铝化锆(ZrAl)、铝化钨(WAl)、铝化钽(TaAl)、铝化铪(HfAl)或TiAlC(碳化钛铝)等,但不以此为限;若晶体管为P型晶体管,功函

数金属层42可选用功函数为4.8eV~5.2eV的金属材料,如氮化钛(TiN)、氮化钽(TaN)或碳化钽(TaC)等,但不以此为限。功函数金属层42与低阻抗金属层44之间可包含另一阻障层(图未示),其中阻障层的材料可包含钛(Ti)、氮化钛(TiN)、钽(Ta)、氮化钽(TaN)等材料。低阻抗金属层44则可选自铜(Cu)、铝(Al)、钨(W)、钛铝合金(TiAl)、钴钨磷化物(cobalt tungsten phosphide,CoWP)等低电阻材料或其组合。由于依据金属栅极置换制作工艺将虚置栅极转换为金属栅极是此领域者所熟知技术,在此不另加赘述。接着可去除部分高介电常数介电层40、部分功函数金属层42与部分低阻抗金属层44形成凹槽(图未示),然后再填入一硬掩模46于凹槽内并使硬掩模46与层间介电层38表面齐平,其中硬掩模46可选自由氧化硅、氮化硅、氮氧化硅以及氮碳化硅所构成的群组。

[0036] 如图5所示,接着进行一接触插塞制作工艺搭配金属硅化物制作工艺形成一金属硅化物54于外延层30表面以及一接触插塞48电连接栅极结构14两侧的外延层30或源极/漏极区域。在本实施例中,接触插塞制作工艺可利用图案化掩模进行一蚀刻制作工艺,去除栅极结构14旁的部分层间介电层38以形成接触洞(图未示)暴露遮盖层34表面。然后依序沉积一第一金属层50与第二金属层52于接触洞中,其中第一金属层50与第二金属层52较佳共形地(conformally)形成于遮盖层34表面及接触洞的内侧侧壁。在本实施例中,第一金属层50较佳选自钛、钴、镍及铂等所构成的群组,且最佳为钛,第二金属层52则较佳包含氮化钛、氮化钽等金属化合物。

[0037] 在连续沉积第一金属层50与第二金属层52之后,依序进行一第一热处理制作工艺与一第二热处理制作工艺以形成一金属硅化物54于遮盖层34上。值得注意的是,本实施例较佳在形成金属硅化物54的时候,设置于接触洞底部的第一金属层50会与部分的遮盖层34反应形成金属硅化物54,进而同时改变原本遮盖层34的形状,例如将遮盖层34原本的平坦表面以及三角形形状转变为V型,且遮盖层34的整体厚度较佳介于10埃至100埃,或更加控制在小于40埃的范围内,而所形成的V型金属硅化物54则贴附在V型的遮盖层34表面。

[0038] 另外在本实施例中,第一热处理制作工艺包含一常温退火(soak anneal)制作工艺,其温度较佳介于500℃至600℃,且最佳为550℃,而其处理时间则较佳介于10秒至60秒,且最佳为30秒。第二热处理制作工艺包含一峰值退火(spike anneal)制作工艺,其温度较佳介于600℃至950℃,且最佳为600℃,而其处理较佳时间则较佳介于100毫秒至5秒,且最佳为5秒。

[0039] 迨进行两次热处理制作工艺后,形成一第三金属层56并填满接触洞。在本实施例中,第三金属层56较佳包含钨,但不局限于此。最后进行一平坦化制作工艺,例如以CMP制作工艺部分去除第三金属层56、部分第二金属层52及部分第一金属层50,甚至可视制作工艺需求接着去除部分层间介电层38,以形成接触插塞48电连接遮盖层34与外延层30。至此即完成本发明较佳实施例一半导体元件的制作。

[0040] 请继续参照图5,其另公开本发明较佳实施例的一半导体元件结构。如图5所示,半导体元件较佳包含至少一栅极结构14设于基底12上,一缓冲层28设于栅极结构14两侧的基底12内,一外延层30设于缓冲层28上,一遮盖层34设于外延层30上,一层间介电层38环绕栅极结构14,以及至少一接触插塞48镶嵌于层间介电层38中接触并电连接遮盖层34。其中栅极结构14较佳为一金属栅极,其更细部包含一U型高介电常数介电层40、一U型功函数金属层42以及一低阻抗金属层44。

[0041] 更具体而言,外延层30上表面包含一V型轮廓32,且V型轮廓32整体略低于基底12上表面。遮盖层34较佳包含或呈现一V型,其中遮盖层34上表面较佳略高于基底12表面,且遮盖层34的整体厚度较佳介于10埃至100埃,或更加控制在小于40埃的范围内。

[0042] 在本实施例中,缓冲层28、外延层30以及遮盖层34均较佳包含磷化硅(SiP),其中外延层30的磷浓度较佳高于缓冲层28的磷浓度,而遮盖层34的磷浓度则较佳低于外延层30的磷浓度,或是外延层30的磷浓度同时高于缓冲层28与遮盖层34的磷浓度,但缓冲层28与遮盖层34之间的磷浓度并无特别限制,例如缓冲层28的磷浓度可高于遮盖层34的磷浓度,或遮盖层34的磷浓度可高于缓冲层28的磷浓度,这些均属本发明所涵盖的范围。

[0043] 请参照图6,图6为本发明一实施例的一半导体元件结构示意图。如图6所示,本发明可依据前述图5形成接触插塞48时使第一金属层50与所有的遮盖层34完全反应形成金属硅化物54,且所形成的金属硅化物54较佳为V型。此实施例也属本发明所涵盖的范围。

[0044] 请参照图7,图7为本发明一实施例的一半导体元件结构示意图。如图7所示,本发明可依据前述图5形成接触插塞48时使第一金属层50与部分遮盖层34反应形成金属硅化物54,而所形成的金属硅化物54较佳完全重叠遮盖层34。

[0045] 请参照图8,图8为本发明一实施例的一半导体元件结构示意图。如图8所示,本发明可依据前述图5形成接触洞时更深入遮盖层34,使后续的第一金属层50与部分遮盖层34反应形成金属硅化物54。其中所形成的金属硅化物54上表面与遮盖层34上表面除了均为平整表面之外又相互切齐,另外金属硅化物又更细部包含一垂直部58连接一V型的凸出部60。

[0046] 综上所述,本发明较佳于形成外延层后再形成一遮盖层于外延层表面,其中外延层上表面较佳包含一V型轮廓,遮盖层较佳为V型且与外延层的V型轮廓直接接触,且遮盖层与外延层均较佳包含磷化硅。依据本发明的较佳实施例,遮盖层的厚度较佳控制在40埃以内且遮盖层的磷浓度较佳低于外延层主体的磷浓度,其中遮盖层的设置除了可用来改善外延层上表面的V型轮廓,又可同时避免形成接触插塞时造成过多的外延层流失。

[0047] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

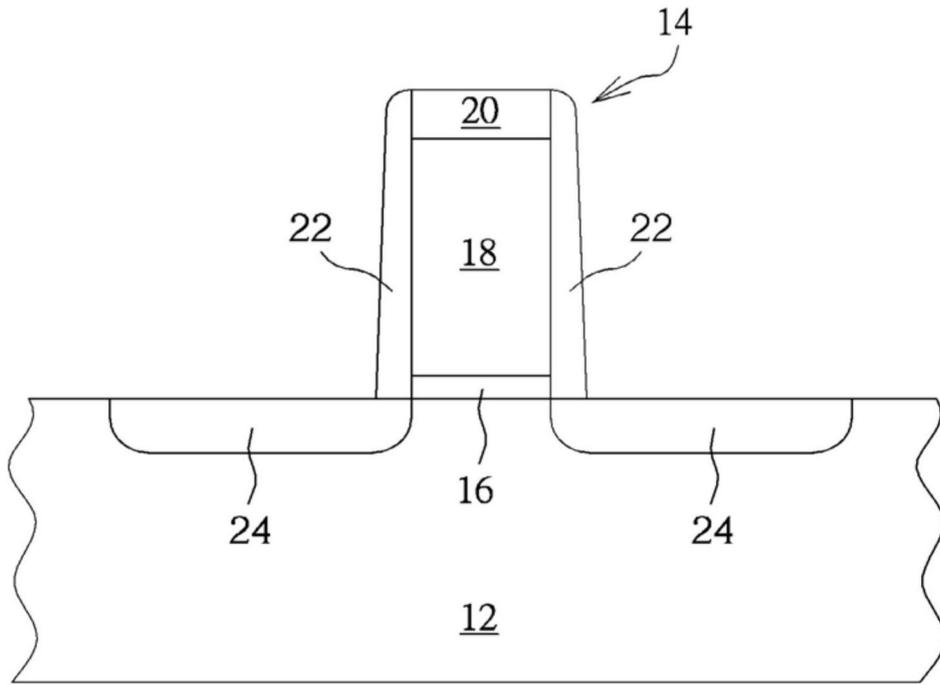


图1

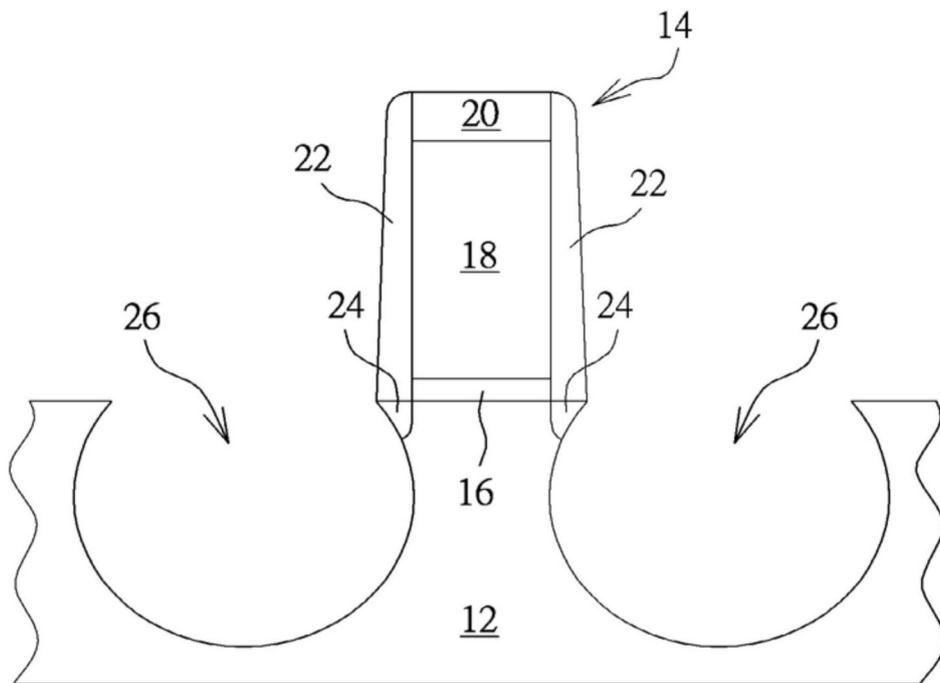


图2

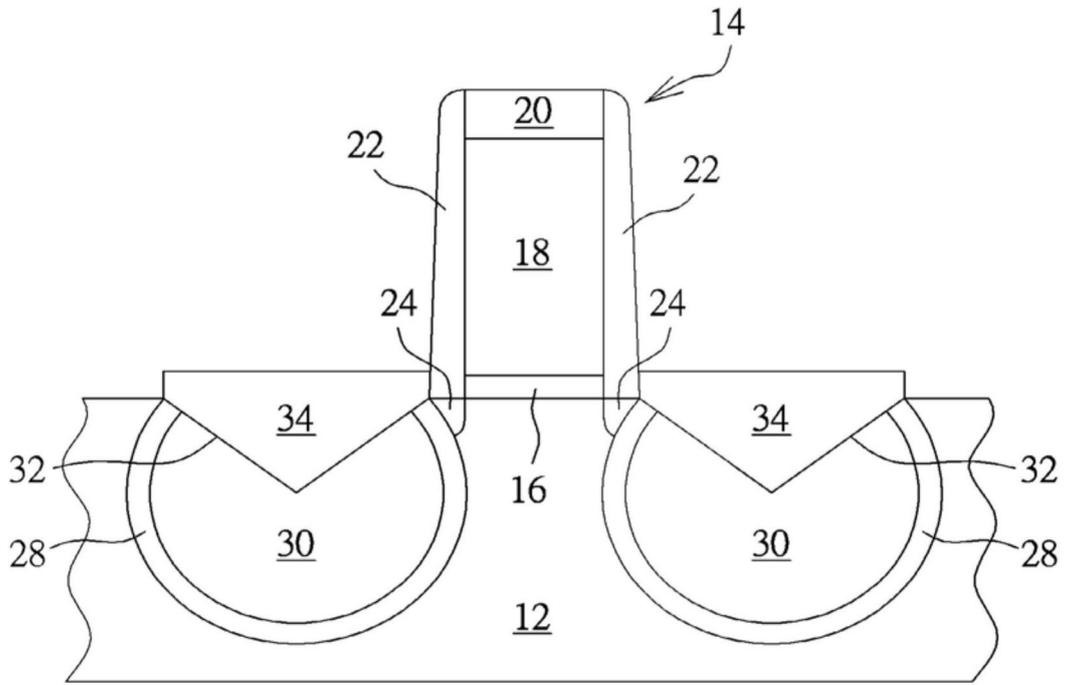


图3

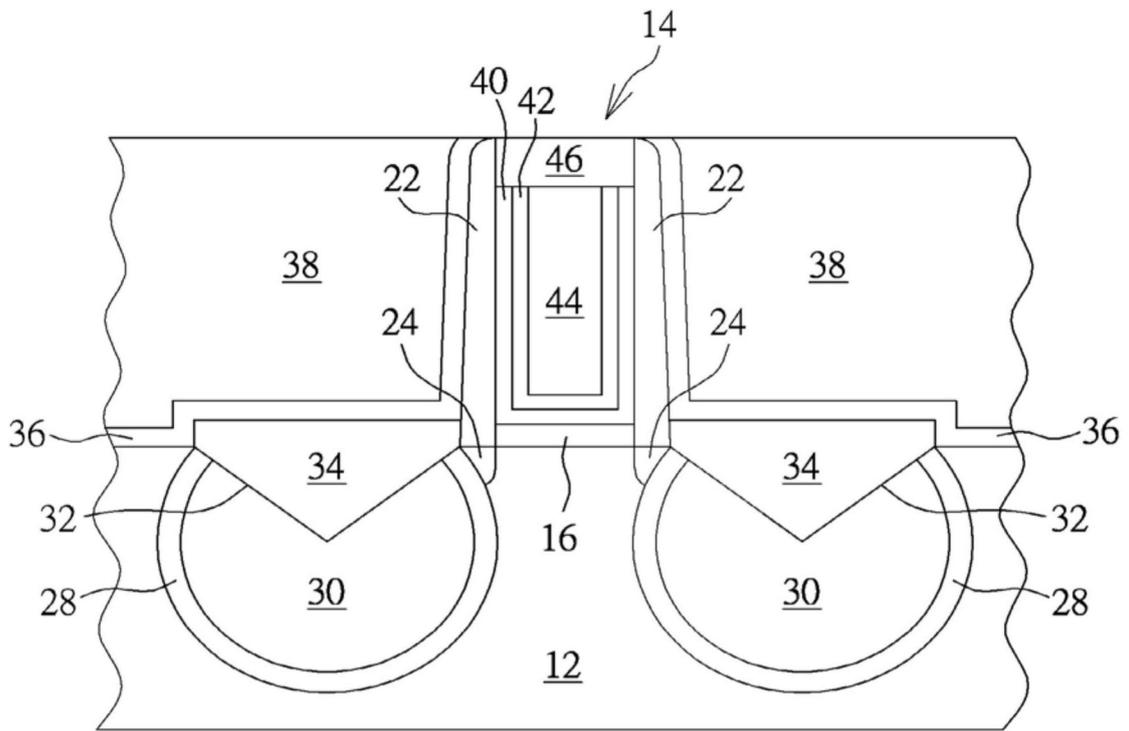


图4

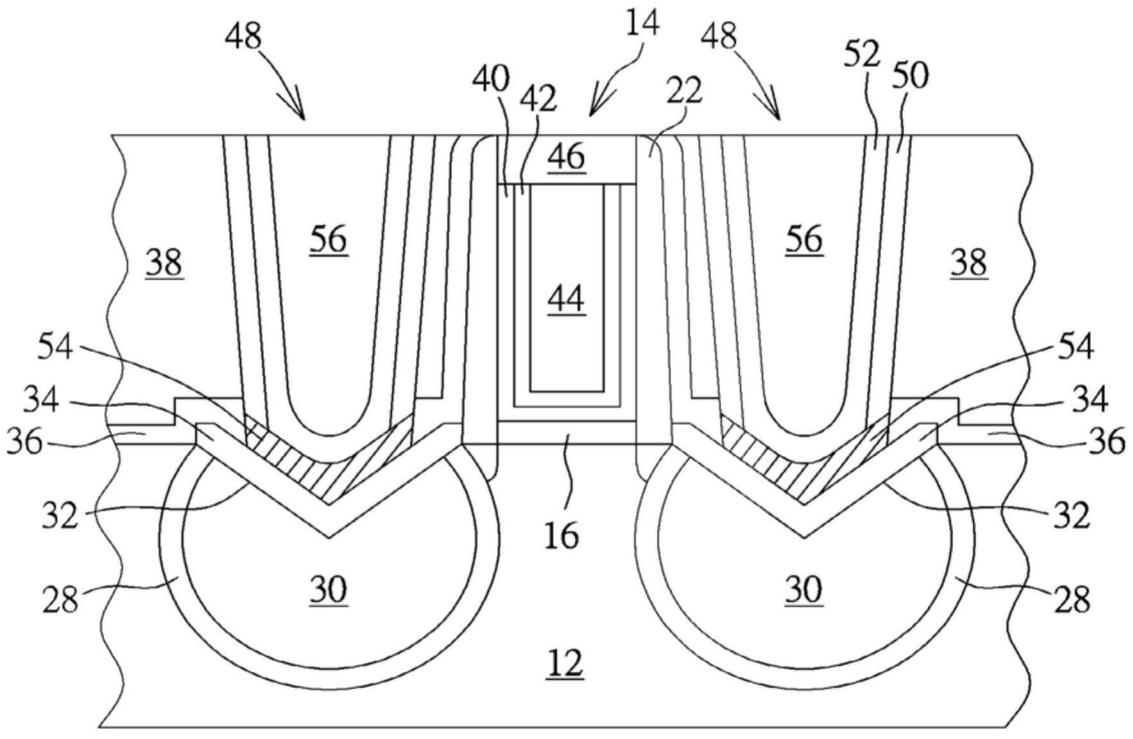


图5

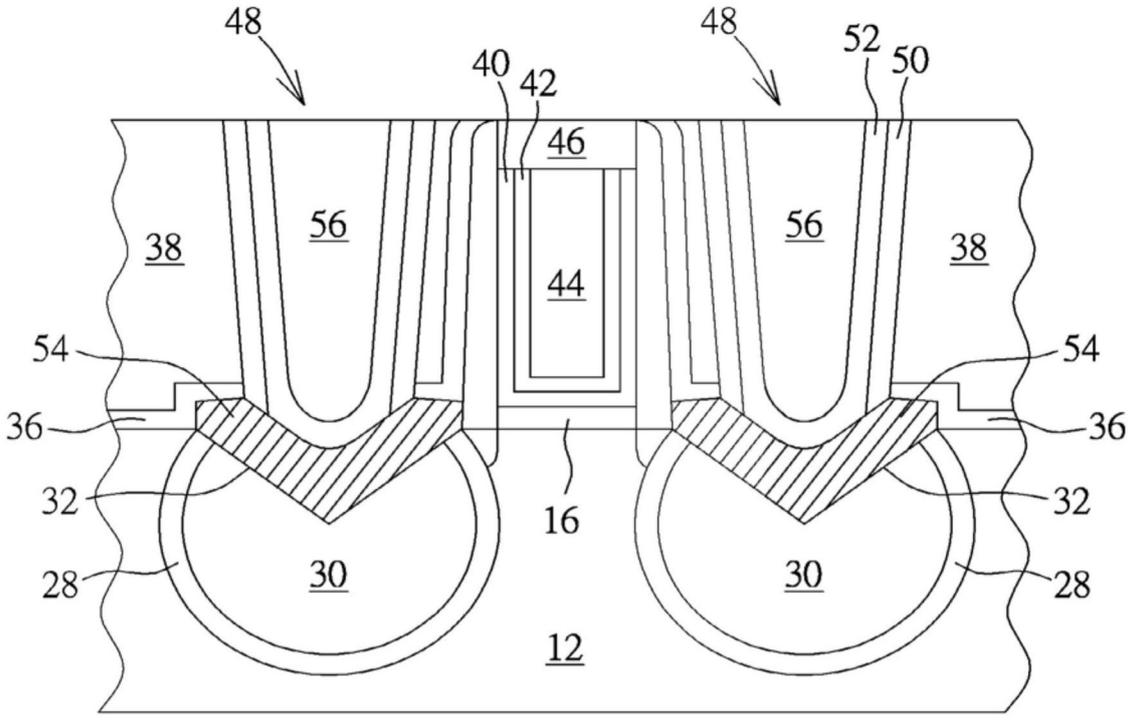


图6

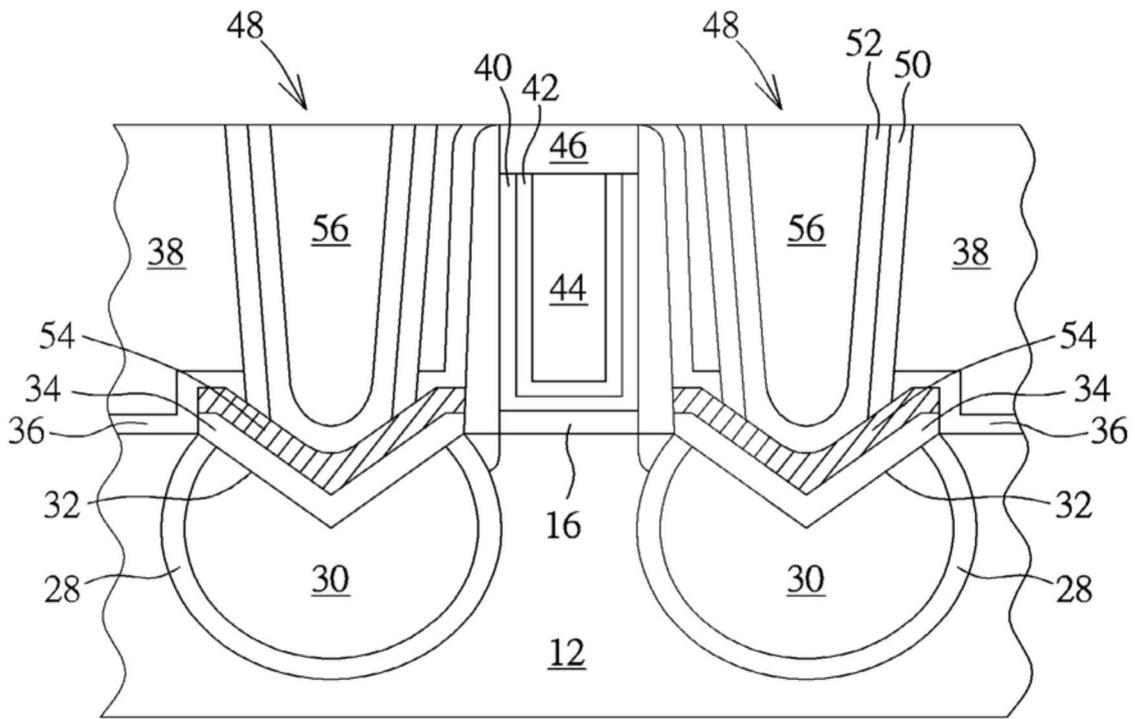


图7

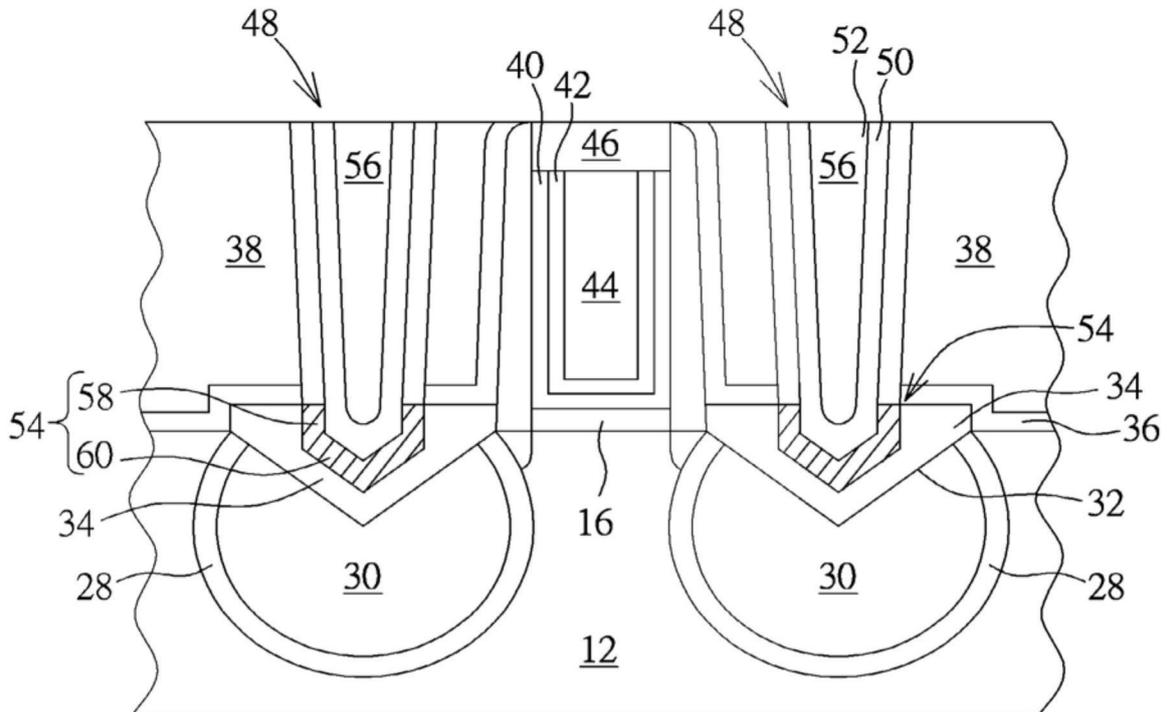


图8