

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4886276号
(P4886276)

(45) 発行日 平成24年2月29日(2012.2.29)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl. F I
H04L 7/033 (2006.01) H04L 7/02 B

請求項の数 13 (全 32 頁)

(21) 出願番号	特願2005-332945 (P2005-332945)	(73) 特許権者	399011195
(22) 出願日	平成17年11月17日(2005.11.17)		ザインエレクトロニクス株式会社
(65) 公開番号	特開2007-142748 (P2007-142748A)		東京都千代田区丸の内1丁目8番3号
(43) 公開日	平成19年6月7日(2007.6.7)	(74) 代理人	100088155
審査請求日	平成20年11月12日(2008.11.12)		弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100110582
			弁理士 柴田 昌聰
		(72) 発明者	小沢 誠一
			東京都中央区日本橋本町三丁目3番6号
			ザインエレクトロニクス株式会社内
		審査官	安藤 一道

最終頁に続く

(54) 【発明の名称】 クロックデータ復元装置

(57) 【特許請求の範囲】

【請求項1】

入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、
同一の周期Tを有するクロック信号CKXA, クロック信号CKXBおよびクロック信号CKを入力するとともに、前記デジタル信号を入力して、当該周期の第nの期間T(n)それぞれにおいて、前記クロック信号CKXAが指示する時刻 t_{XA} での前記デジタル信号の値DXA(n)、前記クロック信号CKXBが指示する時刻 t_{XB} での前記デジタル信号の値DXB(n)、および、前記クロック信号CKが指示する時刻 t_C での前記デジタル信号の値D(n)、をサンプリングしホールドして出力するサンプラ部と(ただし、 $t_{XA} < t_{XB} < t_C$ 、nは整数)、

各期間T(n)において、前記サンプラ部から出力されたデジタル値DXA(n), デジタル値DXB(n)およびデジタル値D(n)を入力して、「D(n-2) D(n-1)」である場合に、値D(n-1), 値DXA(n)および値D(n)に基づいて、前記クロック信号CKXAにより指示される時刻と前記デジタル信号の値の遷移時刻との間の先後関係(以下「第1先後関係」という。)を検出し、「D(n-2) = D(n-1)」である場合に、値D(n-1), 値DXB(n)および値D(n)に基づいて、前記クロック信号CKXBにより指示される時刻と前記デジタル信号の値の遷移時刻との間の先後関係(以下「第2先後関係」という。)を検出し、前記第1先後関係および前記第2先後関係に基づいて、前記クロック信号CKと前記デジタル信号との間の位相関係を検出する検出部と、

前記検出部により検出された前記第1先後関係および前記第2先後関係に基づいて、「

D(n-2) D(n-1)」である場合に前記クロック信号CKXAにより指示される時刻が前記デジタル信号の値の遷移時刻の分布の中心となるとともに、「D(n-2) = D(n-1)」である場合に前記クロック信号CKXBにより指示される時刻が前記デジタル信号の値の遷移時刻の分布の中心となるように、前記クロック信号CKXAおよび前記クロック信号CKXBそれぞれのタイミングの間の間隔2 を決定するタイミング決定部と、

前記検出部により検出された前記位相関係に基づいて、前記クロック信号CKと前記デジタル信号との間の位相差が小さくなるように周期Tまたは位相を調整し、前記タイミング決定部により決定されたタイミングに従って、「 $t_{XA} = t_C - T/2 -$ 」および「 $t_{XB} = t_C - T/2 +$ 」なる関係を満たす前記クロック信号CKXA、前記クロック信号CKXBおよび前記クロック信号CKを前記サンブラ部へ出力するクロック出力部と、
を備えることを特徴とするクロックデータ復元装置。

10

【請求項2】

前記検出部は、

「D(n-2) D(n-1)」である場合に、「D(n-1) DXA(n) = D(n)」であるときに有意値となるUPA信号、および、「D(n-1) = DXA(n) D(n)」であるときに有意値となるDNA信号を、前記第1先後関係を表す信号として出力する第1先後関係検出回路と、

「D(n-2) = D(n-1)」である場合に、「D(n-1) DXB(n) = D(n)」であるときに有意値となるUPB信号、および、「D(n-1) = DXB(n) D(n)」であるときに有意値となるDNB信号を、前記第2先後関係を表す信号として出力する第2先後関係検出回路と、

20

前記UPA信号と前記UPB信号との論理和を表すUP信号、および、前記DNA信号と前記DNB信号との論理和を表すDN信号を、前記位相関係を表す信号として出力する位相関係検出回路と、

を含むことを特徴とする請求項1記載のクロックデータ復元装置。

【請求項3】

前記タイミング決定部は、「DNA + UPB」の累積加算値cntINSIDEおよび「UPA + UPB + DNA + DNB」の累積加算値cntEDGEの比(cntINSIDE / cntEDGE)と値0.5との差が基準値以下になるように、前記クロック信号CKXA、前記クロック信号CKXBおよび前記クロック信号CKそれぞれのタイミングを決定する、ことを特徴とする請求項2記載のクロックデータ復元装置。

30

【請求項4】

前記クロック出力部は、

前記UP信号および前記DN信号に基づいて周期Tまたは位相を調整した基準クロック信号を発生する基準クロック発生回路と、

前記タイミング決定部により決定されたタイミングに従って所要の遅延を前記基準クロック信号に付与して、前記クロック信号CKXA、前記クロック信号CKXBおよび前記クロック信号CKを生成し、これらの信号を出力する遅延付与回路と、

を含むことを特徴とする請求項3記載のクロックデータ復元装置。

【請求項5】

40

入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、同一の周期Tを有するクロック信号CKXおよびクロック信号CKを入力するとともに、前記デジタル信号を入力して、前記デジタル信号にオフセット(-Voff)を付与して第1信号を生成し、前記デジタル信号にオフセット(+Voff)を付与して第2信号を生成し、当該周期の第nの期間T(n)それぞれにおいて、前記クロック信号CKXが指示する時刻 t_x での前記第1信号の値DXA(n)および前記第2信号の値DXB(n)、ならびに、前記クロック信号CKが指示する時刻 t_c での前記デジタル信号の値D(n)、をサンプリングしホールドして出力するサンブラ部と(ただし、 $t_x < t_c$ 、nは整数)、

各期間T(n)において、前記サンブラ部から出力されたデジタル値DXA(n)、デジタル値DXB(n)およびデジタル値D(n)を入力して、値D(n-2)がハイレベルである場合に、

50

値 $D(n-1)$ 、値 $D \times A(n)$ および値 $D(n)$ に基づいて、前記クロック信号 CKX により指示される時刻と前記第 1 信号の値の遷移時刻との間の先後関係（以下「第 1 先後関係」という。）を検出し、値 $D(n-2)$ がローレベルである場合に、値 $D(n-1)$ 、値 $D \times B(n)$ および値 $D(n)$ に基づいて、前記クロック信号 CKX により指示される時刻と前記第 2 信号の値の遷移時刻との間の先後関係（以下「第 2 先後関係」という。）を検出し、前記第 1 先後関係および前記第 2 先後関係に基づいて、前記クロック信号 CK と前記デジタル信号との間の位相関係を検出する検出部と、

前記検出部により検出された前記第 1 先後関係および前記第 2 先後関係に基づいて、値 $D(n-2)$ がハイレベルである場合に前記クロック信号 CKX により指示される時刻が前記第 1 信号の値の遷移時刻の分布の中心となるとともに、値 $D(n-2)$ がローレベルである場合に前記クロック信号 CKX により指示される時刻が前記第 2 信号の値の遷移時刻の分布の中心となるように、前記サンプラ部におけるオフセット付与量を決定するオフセット決定部と、

前記検出部により検出された前記位相関係に基づいて、前記クロック信号 CK と前記デジタル信号との間の位相差が小さくなるように周期 T または位相を調整し、「 $t_c - t_x = T/2$ 」なる関係を満たす前記クロック信号 CKX および前記クロック信号 CK を前記サンプラ部へ出力するクロック出力部と、

を備えることを特徴とするクロックデータ復元装置。

【請求項 6】

入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、同一の周期 T を有するクロック信号 CKX およびクロック信号 CK を入力するとともに、前記デジタル信号を入力して、当該周期の第 n の期間 $T(n)$ それぞれにおいて、前記クロック信号 CKX が指示する時刻 t_x での前記デジタル信号の値を、それぞれ $+V_{off}$ および $-V_{off}$ オフセットされた閾値でサンプリングしホールドして $D \times A(n)$ および $D \times B(n)$ としてそれぞれ出力し、前記クロック信号 CK が指示する時刻 t_c での前記デジタル信号の値 $D(n)$ をサンプリングしホールドして出力するサンプラ部と（ただし、 $t_x < t_c$ 、 n は整数）、

各期間 $T(n)$ において、前記サンプラ部から出力されたデジタル値 $D \times A(n)$ 、デジタル値 $D \times B(n)$ およびデジタル値 $D(n)$ を入力して、値 $D(n-2)$ がハイレベルである場合に、値 $D(n-1)$ 、値 $D \times A(n)$ および値 $D(n)$ に基づいて、前記クロック信号 CKX により指示される時刻と前記第 1 信号の値の遷移時刻との間の先後関係（以下「第 1 先後関係」という。）を検出し、値 $D(n-2)$ がローレベルである場合に、値 $D(n-1)$ 、値 $D \times B(n)$ および値 $D(n)$ に基づいて、前記クロック信号 CKX により指示される時刻と前記第 2 信号の値の遷移時刻との間の先後関係（以下「第 2 先後関係」という。）を検出し、前記第 1 先後関係および前記第 2 先後関係に基づいて、前記クロック信号 CK と前記デジタル信号との間の位相関係を検出する検出部と、

前記検出部により検出された前記第 1 先後関係および前記第 2 先後関係に基づいて、値 $D(n-2)$ がハイレベルである場合に前記クロック信号 CKX により指示される時刻が前記第 1 信号の値の遷移時刻の分布の中心となるとともに、値 $D(n-2)$ がローレベルである場合に前記クロック信号 CKX により指示される時刻が前記第 2 信号の値の遷移時刻の分布の中心となるように、前記サンプラ部におけるオフセット付与量を決定するオフセット決定部と、

前記検出部により検出された前記位相関係に基づいて、前記クロック信号 CK と前記デジタル信号との間の位相差が小さくなるように周期 T または位相を調整し、「 $t_c - t_x = T/2$ 」なる関係を満たす前記クロック信号 CKX および前記クロック信号 CK を前記サンプラ部へ出力するクロック出力部と、

を備えることを特徴とするクロックデータ復元装置。

【請求項 7】

前記検出部は、

値 $D(n-2)$ がハイレベルである場合に、「 $D(n-1) \times D \times A(n) = D(n)$ 」であるときに有

10

20

30

40

50

意値となるUPA信号、および、「 $D(n-1) = D \times A(n) \quad D(n)$ 」であるときに有意値となるDNA信号を、前記第1先後関係を表す信号として出力する第1先後関係検出回路と

、
 値 $D(n-2)$ がローレベルである場合に、「 $D(n-1) \quad D \times B(n) = D(n)$ 」であるときに有意値となるUPB信号、および、「 $D(n-1) = D \times B(n) \quad D(n)$ 」であるときに有意値となるDNB信号を、前記第2先後関係を表す信号として出力する第2先後関係検出回路と

、
 前記UPA信号と前記UPB信号との論理和を表すUP信号、および、前記DNA信号と前記DNB信号との論理和を表すDN信号を、前記位相関係を表す信号として出力する位相関係検出回路と、

10

を含むことを特徴とする請求項5または6記載のクロックデータ復元装置。

【請求項8】

前記オフセット決定部は、「 $D(n) (DNA + UPB) + \sim D(n) (UPA + DNB)$ 」の累積加算値cntINSIDEおよび「 $UPA + UPB + DNA + DNB$ 」の累積加算値cntEDGEの比(cntINSIDE / cntEDGE)と値0.5との差が基準値以下になるように、前記サンブラ部におけるオフセット付与量を決定する、ことを特徴とする請求項7記載のクロックデータ復元装置。

【請求項9】

入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、
 同一の周期Tを有するクロック信号CKXおよびクロック信号CKを入力するとともに
 、前記デジタル信号を入力して、前記デジタル信号にオフセット(-Voff)を付与して
 第1信号を生成し、前記デジタル信号にオフセット(+Voff)を付与して第2信号を生成し、
 当該周期の第nの期間T(n)それぞれにおいて、前記クロック信号CKXが指示する時刻 t_x
 での前記第1信号の値 $D \times A(n)$ および前記第2信号の値 $D \times B(n)$ 、ならびに
 、前記クロック信号CKが指示する時刻 t_c での前記デジタル信号の値 $D(n)$ 、をサンプリングし
 ホールドして出力するサンブラ部と(ただし、 $t_x < t_c$ 、nは整数)、

20

各期間T(n)において、前記サンブラ部から出力されたデジタル値 $D \times A(n)$ 、デジタル値 $D \times B(n)$
 およびデジタル値 $D(n)$ を入力して、値 $D(n-2)$ がハイレベルであるときに「 $D \times A(n) = D \times A(n)$ 」
 とし、値 $D(n-2)$ がローレベルであるときに「 $D \times A(n) = D \times B(n)$ 」
 として、値 $D(n-1)$ 、値 $D \times A(n)$ および値 $D(n)$ に基づいて、前記クロック信号CKと前
 記デジタル信号との間の位相関係を検出する検出部と、

30

値 $D \times A(n)$ 、値 $D(n-2)$ 、値 $D(n-1)$ および値 $D(n)$ に基づいて、値 $D(n-2)$ がハイレベル
 である場合に前記クロック信号CKXにより指示される時刻が前記第1信号の値の遷移時刻
 の分布の中心となるとともに、値 $D(n-2)$ がローレベルである場合に前記クロック信号
 CKXにより指示される時刻が前記第2信号の値の遷移時刻の分布の中心となるように、
 前記サンブラ部におけるオフセット付与量を決定するオフセット決定部と、

前記検出部により検出された前記位相関係に基づいて、前記クロック信号CKと前記デ
 ジタル信号との間の位相差が小さくなるように周期Tまたは位相を調整し、「 $t_c - t_x = T / 2$ 」
 なる関係を満たす前記クロック信号CKXおよび前記クロック信号CKを前記
 サンブラ部へ出力するクロック出力部と、

40

を備えることを特徴とするクロックデータ復元装置。

【請求項10】

入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、
 同一の周期Tを有するクロック信号CKXおよびクロック信号CKを入力するとともに
 、前記デジタル信号を入力して、当該周期の第nの期間T(n)それぞれにおいて、前記ク
 ロック信号CKXが指示する時刻 t_x での前記デジタル信号の値を、それぞれ+Voffお
 よび-Voffオフセットされた閾値でサンプリングしホールドして $D \times A(n)$ および $D \times B$
 (n) としてそれぞれ出力し、前記クロック信号CKが指示する時刻 t_c での前記デジ
 タル信号の値 $D(n)$ をサンプリングしホールドして出力するサンブラ部と(ただし、 $t_x < t_c$ 、
 nは整数)、

50

各期間 $T(n)$ において、前記サンブラ部から出力されたデジタル値 $D \times A(n)$ 、デジタル値 $D \times B(n)$ およびデジタル値 $D(n)$ を入力して、値 $D(n-2)$ がハイレベルであるときに「 $D \times(n) = D \times A(n)$ 」とし、値 $D(n-2)$ がローレベルであるときに「 $D \times(n) = D \times B(n)$ 」として、値 $D(n-1)$ 、値 $D \times(n)$ および値 $D(n)$ に基づいて、前記クロック信号 CK と前記デジタル信号との間の位相関係を検出する検出部と、

値 $D \times(n)$ 、値 $D(n-2)$ 、値 $D(n-1)$ および値 $D(n)$ に基づいて、値 $D(n-2)$ がハイレベルである場合に前記クロック信号 $CK \times$ により指示される時刻が前記第 1 信号の値の遷移時刻の分布の中心となるとともに、値 $D(n-2)$ がローレベルである場合に前記クロック信号 $CK \times$ により指示される時刻が前記第 2 信号の値の遷移時刻の分布の中心となるように、前記サンブラ部におけるオフセット付与量を決定するオフセット決定部と、

前記検出部により検出された前記位相関係に基づいて、前記クロック信号 CK と前記デジタル信号との間の位相差が小さくなるように周期 T または位相を調整し、「 $t_c - t_x = T/2$ 」なる関係を満たす前記クロック信号 $CK \times$ および前記クロック信号 CK を前記サンブラ部へ出力するクロック出力部と、

を備えることを特徴とするクロックデータ復元装置。

【請求項 1 1】

前記検出部は、

値 $D(n-2)$ がハイレベルであるときに値 $D \times A(n)$ を値 $D \times(n)$ として出力し、値 $D(n-2)$ がローレベルであるときに値 $D \times B(n)$ を値 $D \times(n)$ として出力する選択回路と、

「 $D(n-1) \quad D \times(n) = D(n)$ 」であるときに有意値となる UP 信号、および、「 $D(n-1) = D \times(n) \quad D(n)$ 」であるときに有意値となる DN 信号を、前記位相関係を表す信号として出力する位相関係検出回路と、

を含むことを特徴とする請求項 9 または 10 に記載のクロックデータ復元装置。

【請求項 1 2】

前記オフセット決定部は、「 $\{D(n)^{\wedge}D(n-1)\} * \{D(n-2)^{\wedge}D \times(n)\}$ 」の累積加算値 $cntIN$ $SIDE$ および「 $D(n)^{\wedge}D(n-1)$ 」の累積加算値 $cntEDGE$ の比 ($cntINSIDE / cntEDGE$) と値 0.5 との差が基準値以下になるように、前記サンブラ部におけるオフセット付与量を決定する、ことを特徴とする請求項 5、6、9 および 10 の何れか 1 項に記載のクロックデータ復元装置。

【請求項 1 3】

前記クロック出力部は、前記 UP 信号および前記 DN 信号に基づいて周期 T または位相を調整して、前記クロック信号 $CK \times$ および前記クロック信号 CK を出力する、ことを特徴とする請求項 7 または 11 に記載のクロックデータ復元装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力したデジタル信号に基づいてクロック信号およびデータを復元する装置に関するものである。

【背景技術】

【0002】

送信器から出力されたデジタル信号は、その送信器から伝送路を経て受信器へ伝送される間に波形が劣化することから、その受信器側においてクロック信号およびデータが復元される必要がある。このような復元を行うためのクロックデータ復元装置は、例えば特許文献 1、2 に開示されている。

【0003】

これらの文献に開示された装置は、波形劣化したデジタル信号においてデータが遷移する時刻が変動することを考慮して、3つのタイミングで各ビットのデータを検出する。このとき、各ビットのデータを検出する際の3つのタイミングのうち、第1のタイミングは、当該ビットのデータ安定期間の初期時刻の近傍に設定され、第2のタイミングは、当該ビットのデータ安定期間の終期時刻の近傍に設定され、また、第3のタイミングは、第1

10

20

30

40

50

のタイミングと第2のタイミングとの間の中央の時刻に設定される。

【0004】

そして、特許文献1に開示された装置は、各ビットについて3つのタイミングで検出したデータが全て一致するように各タイミングを調整することによりクロック信号を復元し、また、そのとき中央の第3のタイミングで各ビットのデータを検出することによりデータを復元する。

【0005】

一方、特許文献2に開示された装置は、第1のタイミングおよび第2のタイミングそれぞれにおけるビットエラーレート（すなわち、これらの各タイミングで検出したデータが、中央の第3のタイミングで検出したデータと異なる割合）が互いに等しく且つ初期設定範囲内となるように各タイミングを調整することによりクロック信号を復元し、また、そのとき中央の第3のタイミングで各ビットのデータを検出することによりデータを復元する。

【特許文献1】特開平7-221800号公報

【特許文献2】特表2004-507963号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、入力デジタル信号のデータ遷移時刻は、デジタル信号を送出した送信器における電源電圧変動その他のノイズに因り生じるトランスミッタ・クロック・ジッタに起因して変動し、また、デジタル信号における不規則なデータパターンと伝送路における減衰との混合に因る符号間干渉等に起因して変動する。これらトランスミッタ・クロック・ジッタや符号間干渉が大きい場合に、上記の従来装置は、クロック信号およびデータを復元することができない場合がある。

【0007】

本発明は、上記問題点を解消する為になされたものであり、トランスミッタ・クロック・ジッタや符号間干渉が大きい場合であっても安定してクロック信号およびデータを復元することができるクロックデータ復元装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

第1の発明に係るクロックデータ復元装置は、入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、サンプリング部、検出部、タイミング決定部およびクロック出力部を備える。

【0009】

第1の発明におけるサンプリング部は、同一の周期 T を有するクロック信号 $CKXA$ 、クロック信号 $CKXB$ およびクロック信号 CK を入力するとともに、デジタル信号を入力して、当該周期の第 n の期間 $T(n)$ それぞれにおいて、クロック信号 $CKXA$ が指示する時刻 t_{XA} でのデジタル信号の値 $DXA(n)$ 、クロック信号 $CKXB$ が指示する時刻 t_{XB} でのデジタル信号の値 $DXB(n)$ 、および、クロック信号 CK が指示する時刻 t_C でのデジタル信号の値 $D(n)$ 、をサンプリングしホールドして出力する。ただし、「 $t_{XA} < t_{XB} < t_C$ 」、 n は整数である。

【0010】

第1の発明における検出部は、各期間 $T(n)$ において、(1) サンプリング部から出力されたデジタル値 $DXA(n)$ 、デジタル値 $DXB(n)$ およびデジタル値 $D(n)$ を入力して、(2) 「 $D(n-2) = D(n-1)$ 」である場合に、値 $D(n-1)$ 、値 $DXA(n)$ および値 $D(n)$ に基づいて、クロック信号 $CKXA$ により指示される時刻とデジタル信号の値の遷移時刻との間の先後関係（以下「第1先後関係」という。）を検出し、(3) 「 $D(n-2) = D(n-1)$ 」である場合に、値 $D(n-1)$ 、値 $DXB(n)$ および値 $D(n)$ に基づいて、クロック信号 $CKXB$ により指示される時刻とデジタル信号の値の遷移時刻との間の先後関係（以下「第2先後関係」という。）を検出し、(4) 第1先後関係および第2先後関係に基づいて、クロック信号 CK とデ

10

20

30

40

50

ジタル信号との間の位相関係を検出する。

【 0 0 1 1 】

第 1 の発明におけるタイミング決定部は、検出部により検出された第 1 先後関係および第 2 先後関係に基づいて、「 $D(n-2) \neq D(n-1)$ 」である場合にクロック信号 $CKXA$ により指示される時刻がデジタル信号の値の遷移時刻の分布の中心となるとともに、「 $D(n-2) = D(n-1)$ 」である場合にクロック信号 $CKXB$ により指示される時刻がデジタル信号の値の遷移時刻の分布の中心となるように、クロック信号 $CKXA$ およびクロック信号 $CKXB$ それぞれのタイミングの間の間隔 2 を決定する。

【 0 0 1 2 】

第 1 の発明におけるクロック出力部は、検出部により検出された位相関係に基づいて、クロック信号 CK とデジタル信号との間の位相差が小さくなるように周期 T または位相を調整し、タイミング決定部により決定されたタイミングに従って、「 $t_{XA} = t_c - T/2 -$ 」および「 $t_{XB} = t_c - T/2 +$ 」なる関係を満たすクロック信号 $CKXA$ 、クロック信号 $CKXB$ およびクロック信号 CK をサンブラ部へ出力する。

10

【 0 0 1 3 】

このように構成される第 1 の発明に係るクロックデータ復元装置では、サンブラ部、検出部、タイミング決定部およびクロック出力部を含むループにおける処理により、クロック信号 $CKXA$ 、クロック信号 $CKXB$ およびクロック信号 CK それぞれの位相は、入力デジタル信号の位相と一致するよう調整される。また、このループ処理により、クロック信号 $CKXA$ が指示するデジタル信号のサンプリング時刻は、直前の 2 ビットの値 $D(n-2)$ および値 $D(n-1)$ が互いに異なる場合のデータ遷移時刻の分布のピーク時刻と一致するよう調整され、また、クロック信号 $CKXB$ が指示するデジタル信号のサンプリング時刻は、直前の 2 ビットの値 $D(n-2)$ および値 $D(n-1)$ が互いに等しい場合のデータ遷移時刻の分布のピーク時刻と一致するよう調整される。そして、復元されたクロック信号として、クロック信号 $CKXA$ 、クロック信号 $CKXB$ およびクロック信号 CK の何れかが出力される。また、復元されたデータとして、デジタル値 $D(n)$ の時系列データが出力される。

20

【 0 0 1 4 】

第 1 の発明における検出部は、(1) 「 $D(n-2) \neq D(n-1)$ 」である場合に、「 $D(n-1) \neq D(n)$ 」であるときに有意値となる UPA 信号、および、「 $D(n-1) = D(n)$ 」であるときに有意値となる DNA 信号を、第 1 先後関係を表す信号として出力する第 1 先後関係検出回路と、(2) 「 $D(n-2) = D(n-1)$ 」である場合に、「 $D(n-1) \neq D(n)$ 」であるときに有意値となる UPB 信号、および、「 $D(n-1) = D(n)$ 」であるときに有意値となる DNB 信号を、第 2 先後関係を表す信号として出力する第 2 先後関係検出回路と、(3) UPA 信号と UPB 信号との論理和を表す UP 信号、および、 DNA 信号と DNB 信号との論理和を表す DN 信号を、位相関係を表す信号として出力する位相関係検出回路と、を含むのが好適である。

30

【 0 0 1 5 】

第 1 の発明におけるタイミング決定部は、「 $DNA + UPB$ 」の累積加算値 cnt_{INSIDE} および「 $UPA + UPB + DNA + DNB$ 」の累積加算値 cnt_{EDGE} の比 ($cnt_{INSIDE} / cnt_{EDGE}$) と値 0.5 との差が基準値以下になるように、クロック信号 $CKXA$ 、クロック信号 $CKXB$ およびクロック信号 CK それぞれのタイミングを決定するのが好適である。

40

【 0 0 1 6 】

第 1 の発明におけるクロック出力部は、(1) UP 信号および DN 信号に基づいて周期 T または位相を調整した基準クロック信号を発生する基準クロック発生回路と、(2) タイミング決定部により決定されたタイミングに従って所要の遅延を基準クロック信号に付与して、クロック信号 $CKXA$ 、クロック信号 $CKXB$ およびクロック信号 CK を生成し、これらの信号を出力する遅延付与回路と、を含むのが好適である。

【 0 0 1 7 】

第 2 の発明に係るクロックデータ復元装置は、入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、サンブラ部、検出部、オフセット決定部お

50

よびクロック出力部を備える。

【0018】

第2の発明におけるサンブラ部は、同一の周期 T を有するクロック信号 CKX およびクロック信号 CK を入力するとともに、デジタル信号を入力して、デジタル信号にオフセット $(-Voff)$ を付与して第1信号を生成し、デジタル信号にオフセット $(+Voff)$ を付与して第2信号を生成し、当該周期の第 n の期間 $T(n)$ それぞれにおいて、クロック信号 CKX が指示する時刻 t_x での第1信号の値 $DXA(n)$ および第2信号の値 $DXB(n)$ 、ならびに、クロック信号 CK が指示する時刻 t_c でのデジタル信号の値 $D(n)$ 、をサンプリングしホールドして出力する。或いは、サンブラ部は、同一の周期 T を有するクロック信号 CKX およびクロック信号 CK を入力するとともに、デジタル信号を入力して、当該周期の第 n の期間 $T(n)$ それぞれにおいて、クロック信号 CKX が指示する時刻 t_x でのデジタル信号の値を、それぞれ $+Voff$ および $-Voff$ オフセットされた閾値でサンプリングしホールドして $DXA(n)$ および $DXB(n)$ としてそれぞれ出力し、クロック信号 CK が指示する時刻 t_c でのデジタル信号の値 $D(n)$ をサンプリングしホールドして出力する。ただし、「 $t_x < t_c$ 」、 n は整数である。

10

【0019】

第2の発明における検出部は、各期間 $T(n)$ において、(1) サンブラ部から出力されたデジタル値 $DXA(n)$ 、デジタル値 $DXB(n)$ およびデジタル値 $D(n)$ を入力して、(2) 値 $D(n-2)$ がハイレベルである場合に、値 $D(n-1)$ 、値 $DXA(n)$ および値 $D(n)$ に基づいて、クロック信号 CKX により指示される時刻と第1信号の値の遷移時刻との間の先後関係(以下「第1先後関係」という。)を検出し、(3) 値 $D(n-2)$ がローレベルである場合に、値 $D(n-1)$ 、値 $DXB(n)$ および値 $D(n)$ に基づいて、クロック信号 CKX により指示される時刻と第2信号の値の遷移時刻との間の先後関係(以下「第2先後関係」という。)を検出し、(4) 第1先後関係および第2先後関係に基づいて、クロック信号 CK とデジタル信号との間の位相関係を検出する。

20

【0020】

第2の発明におけるオフセット決定部は、検出部により検出された第1先後関係および第2先後関係に基づいて、値 $D(n-2)$ がハイレベルである場合にクロック信号 CKX により指示される時刻が第1信号の値の遷移時刻の分布の中心となるとともに、値 $D(n-2)$ がローレベルである場合にクロック信号 CKX により指示される時刻が第2信号の値の遷移時刻の分布の中心となるように、サンブラ部におけるオフセット付与量を決定する。

30

【0021】

第2の発明におけるクロック出力部は、検出部により検出された位相関係に基づいて、クロック信号 CK とデジタル信号との間の位相差が小さくなるように周期 T または位相を調整し、「 $t_c - t_x = T/2$ 」なる関係を満たすクロック信号 CKX およびクロック信号 CK をサンブラ部へ出力する。

【0022】

このように構成される第2の発明に係るクロックデータ復元装置は、サンブラ部、検出部およびクロック出力部を含む第1ループを有するとともに、サンブラ部、検出部およびオフセット決定部を含む第2ループを有する。これら2つのループ処理により、クロック信号 CKX およびクロック信号 CK それぞれの位相は、入力デジタル信号の位相と一致するよう調整され、クロック信号 CKX が指示するサンプリング時刻は、値 $D(n-2)$ がハイレベルである場合の第1信号のデータ遷移時刻の分布のピーク時刻と一致するよう調整され、また、クロック信号 CKX が指示するサンプリング時刻は、値 $D(n-2)$ がローレベルである場合の第2信号のデータ遷移時刻の分布のピーク時刻と一致するよう調整される。そして、復元されたクロック信号として、クロック信号 CKX およびクロック信号 CK の何れかが出力される。また、復元されたデータとして、デジタル値 $D(n)$ の時系列データが出力される。

40

【0023】

第2の発明における検出部は、(1) 値 $D(n-2)$ がハイレベルである場合に、「 $D(n-1)$

50

「 $D \times A(n) = D(n)$ 」であるときに有意値となるUPA信号、および、「 $D(n-1) = D \times A(n)$ 」であるときに有意値となるDNA信号を、第1先後関係を表す信号として出力する第1先後関係検出回路と、(2) 値 $D(n-2)$ がローレベルである場合に、「 $D(n-1) = D \times B(n)$ 」であるときに有意値となるUPB信号、および、「 $D(n-1) = D \times B(n)$ 」であるときに有意値となるDNB信号を、第2先後関係を表す信号として出力する第2先後関係検出回路と、(3) UPA信号とUPB信号との論理和を表すUP信号、および、DNA信号とDNB信号との論理和を表すDN信号を、位相関係を表す信号として出力する位相関係検出回路と、を含むのが好適である。

【0024】

第2の発明におけるオフセット決定部は、「 $D(n)(DNA + UPB) + \sim D(n)(UPA + DNB)$ 」の累積加算値cntINSIDEおよび「 $UPA + UPB + DNA + DNB$ 」の累積加算値cntEDGEの比(cntINSIDE / cntEDGE)と値0.5との差が基準値以下になるように、サンプラ部におけるオフセット付与量を決定するのが好適である。

10

【0025】

第2の発明におけるクロック出力部は、UP信号およびDN信号に基づいて周期Tまたは位相を調整して、クロック信号CKXおよびクロック信号CKを出力するのが好適である。

【0026】

第3の発明に係るクロックデータ復元装置は、入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、サンプラ部、検出部、オフセット決定部およびクロック出力部を備える。

20

【0027】

第3の発明におけるサンプラ部は、同一の周期Tを有するクロック信号CKXおよびクロック信号CKを入力するとともに、デジタル信号を入力して、デジタル信号にオフセット(-Voff)を付与して第1信号を生成し、デジタル信号にオフセット(+Voff)を付与して第2信号を生成し、当該周期の第nの期間T(n)それぞれにおいて、クロック信号CKXが指示する時刻 t_x での第1信号の値 $D \times A(n)$ および第2信号の値 $D \times B(n)$ 、ならびに、クロック信号CKが指示する時刻 t_c でのデジタル信号の値 $D(n)$ 、をサンプリングしホールドして出力する。或いは、サンプラ部は、同一の周期Tを有するクロック信号CKXおよびクロック信号CKを入力するとともに、デジタル信号を入力して、当該周期の第nの期間T(n)それぞれにおいて、クロック信号CKXが指示する時刻 t_x でのデジタル信号の値を、それぞれ+Voffおよび-Voffオフセットされた閾値でサンプリングしホールドして $D \times A(n)$ および $D \times B(n)$ としてそれぞれ出力し、クロック信号CKが指示する時刻 t_c でのデジタル信号の値 $D(n)$ をサンプリングしホールドして出力する。ただし、「 $t_x < t_c$ 」、nは整数である。

30

【0028】

第3の発明における検出部は、各期間T(n)において、(1) サンプラ部から出力されたデジタル値 $D \times A(n)$ 、デジタル値 $D \times B(n)$ およびデジタル値 $D(n)$ を入力して、(2) 値 $D(n-2)$ がハイレベルであるときに「 $D \times A(n) = D \times A(n)$ 」とし、(3) 値 $D(n-2)$ がローレベルであるときに「 $D \times A(n) = D \times B(n)$ 」として、(4) 値 $D(n-1)$ 、値 $D \times A(n)$ および値 $D(n)$ に基づいて、クロック信号CKとデジタル信号との間の位相関係を検出する。

40

【0029】

第3の発明におけるオフセット決定部は、値 $D \times A(n)$ 、値 $D(n-2)$ 、値 $D(n-1)$ および値 $D(n)$ に基づいて、値 $D(n-2)$ がハイレベルである場合にクロック信号CKXにより指示される時刻が第1信号の値の遷移時刻の分布の中心となるとともに、値 $D(n-2)$ がローレベルである場合にクロック信号CKXにより指示される時刻が第2信号の値の遷移時刻の分布の中心となるように、サンプラ部におけるオフセット付与量を決定する。

【0030】

第3の発明におけるクロック出力部は、検出部により検出された位相関係に基づいて、クロック信号CKとデジタル信号との間の位相差が小さくなるように周期Tまたは位相を

50

調整し、「 $t_c - t_x = T/2$ 」なる関係を満たすクロック信号CKXおよびクロック信号CKをサンプラ部へ出力する。

【0031】

このように構成される第3の発明に係るクロックデータ復元装置は、サンプラ部、検出部およびクロック出力部を含む第1ループを有するとともに、サンプラ部、検出部およびオフセット決定部を含む第2ループを有する。これら2つのループ処理により、クロック信号CKXおよびクロック信号CKそれぞれの位相は、入力デジタル信号の位相と一致するように調整され、クロック信号CKXが指示するサンプリング時刻は、値D(n-2)がハイレベルである場合の第1信号のデータ遷移時刻の分布のピーク時刻と一致するように調整され、また、クロック信号CKXが指示するサンプリング時刻は、値D(n-2)がローレベルである場合の第2信号のデータ遷移時刻の分布のピーク時刻と一致するように調整される。そして、復元されたクロック信号として、クロック信号CKXおよびクロック信号CKの何れかが出力される。また、復元されたデータとして、デジタル値D(n)の時系列データが出力される。

10

【0032】

第3の発明における検出部は、(1) 値D(n-2)がハイレベルであるときに値DXA(n)を値DX(n)として出力し、値D(n-2)がローレベルであるときに値DXB(n)を値DX(n)として出力する選択回路と、(2) 「 $D(n-1) \cdot DX(n) = D(n)$ 」であるときに有意値となるUP信号、および、「 $D(n-1) = DX(n) \cdot D(n)$ 」であるときに有意値となるDN信号を、位相関係を表す信号として出力する位相関係検出回路と、を含むのが好適である。

20

【0033】

第3の発明におけるオフセット決定部は、「 $\{D(n)^{D(n-1)}\} * \{D(n-2)^{DX(n)}\}$ 」の累積加算値cntINSIDEおよび「 $D(n)^{D(n-1)}$ 」の累積加算値cntEDGEの比(cntINSIDE / cntEDGE)と値0.5との差が基準値以下になるように、サンプラ部におけるオフセット付量を決定するのが好適である。

【0034】

第3の発明におけるクロック出力部は、UP信号およびDN信号に基づいて周期Tまたは位相を調整して、クロック信号CKXおよびクロック信号CKを出力するのが好適である。

【発明の効果】

30

【0035】

本発明によれば、トランスミッタ・クロック・ジッタや符号間干渉が大きい場合であっても、安定してクロック信号およびデータを復元することができる。

【発明を実施するための最良の形態】

【0036】

以下、添付図面を参照して、本発明を実施するための最良の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0037】

本発明は、波形劣化したデジタル信号において生じるパターン効果を考慮して為されたものである。そこで、先ずパターン効果について説明する。図1は、波形劣化したデジタル信号のアイパターンを模式的に示す図である。この図に示されるように、波形劣化したデジタル信号を分析すると、或るビットから次のビットへデータが遷移する際の時刻は、その時刻より前のデータのパターンに依存する。すなわち、同一データが続いた後のデータ遷移時刻は相対的に遅くなり(図中の実線)、これに対して、データが変化した後のデータ遷移時刻は相対的に早くなる(図中の破線)。

40

【0038】

或るビットのレベルは直前のビットの符号に依存する。すなわち、同じハイレベルであっても、そのビットは、直前のビットがハイレベルであれば高いハイレベルになり、直前のビットがローレベルであれば低いハイレベルになる。ローレベルについても同じである。或るビットの次の遷移は、そのビットのレベルに依存する。高いハイレベルからローレベ

50

ルに遷移する場合には、低いローレベルから遷移する場合よりも遠くから遷移するため、遷移時刻が遅くなる。低いローレベルからハイレベルに遷移する場合も同じである。高いハイレベルや低いローレベルは、直前2ビットに同レベルが続いた場合に現れる。したがって、同レベルのビットが連続した後の遷移時刻は相対的に遅くなると言える。別の見方をすると、高いハイレベルからローレベルに遷移する場合は、低いローレベルから遷移する場合よりも波形が高くなる。高いローレベルからハイレベルに遷移する場合も同じである。高いハイレベルや高いローレベルは、直前のビットがハイレベルの場合に出現する。したがって、直前のビットのレベルに依存して、直後の遷移波形のオフセットが変化する。このような現象をパターン効果という。データ遷移時刻の変動は、それより前の各ビットのデータのパターンに依存するが、特に直前の2ビットの各データの異同に大きく依存する。また、データ遷移波形は、直前のビットに依存して、オフセットを持つ。

10

【0039】

本発明では、このようなパターン効果を考慮した上で、直前の2ビットの各データが互いに異なる場合のデータ遷移時刻と、直前の2ビットの各データが互いに等しい場合のデータ遷移時刻と、を互いに区分して検出する。図2は、データ遷移時刻のデータをサンプリングするタイミングを説明する図である。同図(a)は、デジタル信号のアイパターンを模式的に示している。同図(b)は、直前の2ビットの各データが互いに異なる場合のデータ遷移時刻の分布、直前の2ビットの各データが互いに等しい場合のデータ遷移時刻の分布、および、本発明におけるデータ遷移時刻のデータをサンプリングするタイミングを示している。また、同図(c)は、直前の2ビットの各データの異同を区別しないときのデータ遷移時刻の分布、および、特許文献2に開示された発明におけるデータ遷移時刻のデータをサンプリングするタイミングを、比較の為に示している。

20

【0040】

同図(c)に示されるように、特許文献2に開示された発明では、直前の2ビットの各データの異同を区別しないときのデータ遷移時刻の分布の両端近傍のタイミングで、デジタル信号のデータをサンプリングする。これに対して、同図(a)、(b)に示されるように、本発明では、直前の2ビットの各データが互いに異なる場合のデータ遷移時刻の分布のピークのタイミング、および、直前の2ビットの各データが互いに等しい場合のデータ遷移時刻の分布のピークのタイミング、それぞれでデジタル信号のデータをサンプリングする。

30

【0041】

以下に、本発明に係るクロックデータ復元装置の第1実施形態および第2実施形態について説明する。第1実施形態では、直前の2ビットの各データが互いに異なる場合のデータ遷移時刻の分布のピークのタイミングをクロック信号CKXAが指示し、直前の2ビットの各データが互いに等しい場合のデータ遷移時刻の分布のピークのタイミングをクロック信号CKXBが指示するようにする。第2実施形態では、タイミング調整とオフセット量調整との間の等価関係を利用して、入力デジタル信号にオフセット電圧値(-Voff)を加算した第1信号、および、入力デジタル信号にオフセット電圧値(+Voff)を加算した第2信号それぞれについて、データ遷移時刻の分布のピークのタイミングを1つのクロック信号CKXが指示するようにするとともに、オフセット量Voffを調整する。

40

【0042】

(第1実施形態)

先ず、本発明に係るクロックデータ復元装置の第1実施形態について説明する。図3は、第1実施形態におけるデジタル信号のデータをサンプリングするタイミングを示す図である。同図(a)に示されるように、直前の2ビットの各データが互いに異なる場合、クロック信号CKXAが指示するタイミングでデジタル信号の値DXAをサンプリングする。同図(b)に示されるように、直前の2ビットの各データが互いに等しい場合、クロック信号CKXBが指示するタイミングでデジタル信号の値DXBをサンプリングする。また、データ安定期間に、クロック信号CKが指示するタイミングでデジタル信号の値Dをサンプリングする。

50

【 0 0 4 3 】

そして、直前の2ビットの各データが互いに異なる場合、値 $D \times A$ および値 D に基づいて、データ遷移時刻の分布のピークのタイミングと、クロック信号 $CK \times A$ が指示するタイミングと、の間の先後関係を表す UPA 信号および DNA 信号を得て、これにより両タイミングが一致するようにする。また、直前の2ビットの各データが互いに等しい場合、値 $D \times B$ および値 D に基づいて、データ遷移時刻の分布のピークのタイミングと、クロック信号 $CK \times B$ が指示するタイミングと、の間の先後関係を表す UPB 信号および DNB 信号を得て、これにより両タイミングが一致するようにする。

【 0 0 4 4 】

第1実施形態に係るクロックデータ復元装置1は、以上に説明したように、デジタル信号のデータをサンプリングするタイミングを、3つのクロック信号 $CK \times A$ 、クロック信号 $CK \times B$ およびクロック信号 CK で指示する。図4は、第1実施形態に係るクロックデータ復元装置1におけるデジタル信号のデータをサンプリングするタイミングを説明する図である。この図は、デジタル信号のアイパターンを模式的に示しており、また、データサンプリングのタイミングを $CK \times A$ 、 $CK \times B$ および CK で示している。

10

【 0 0 4 5 】

3つのクロック信号 $CK \times A$ 、クロック信号 $CK \times B$ およびクロック信号 CK は、同一の周期 T を有する。クロック信号 $CK \times A$ が指示するサンプリング時刻 t_{XA} に対して、クロック信号 $CK \times B$ が指示するサンプリング時刻 t_{XB} は時間 $\frac{T}{2}$ だけ遅延しており、クロック信号 CK が指示するサンプリング時刻 t_C は時間 $(\frac{T}{2} + \frac{T}{4})$ だけ遅延している。すなわち、「 $t_{XA} < t_{XB} < t_C$ 」、「 $t_{XA} = t_C - \frac{T}{2} - \frac{T}{4}$ 」および「 $t_{XB} = t_C - \frac{T}{2} + \frac{T}{4}$ 」なる関係が成り立つ。ただし、これらの周期 T 及び時間 $\frac{T}{4}$ はクロックデータ復元装置1により調整される。

20

【 0 0 4 6 】

また、図示されるように、周期 T の第 n の期間 $T(n)$ それぞれにおいて、3つのクロック信号 $CK \times A$ 、クロック信号 $CK \times B$ およびクロック信号 CK それぞれが指示するサンプリング時刻は、この順に並んでいる。 n は任意の整数である。そして、各期間 $T(n)$ においてクロック信号 $CK \times A$ が指示する時刻でサンプリングされるデジタル信号の値を $D \times A(n)$ と表し、各期間 $T(n)$ においてクロック信号 $CK \times B$ が指示する時刻でサンプリングされるデジタル信号の値を $D \times B(n)$ と表し、また、各期間 $T(n)$ においてクロック信号 CK が指示する時刻でサンプリングされるデジタル信号の値を $D(n)$ と表す。

30

【 0 0 4 7 】

なお、3つのクロック信号 $CK \times A$ 、クロック信号 $CK \times B$ およびクロック信号 CK それぞれは、単相であってもよいし、多相であってもよい。例えば、クロック信号 CK を4相とした場合を考えると、各々の周期が $4T$ であって位相が $\frac{T}{4}$ づつ異なっている4つのクロック信号 $CK \langle 1 \rangle$ 、 $CK \langle 2 \rangle$ 、 $CK \langle 3 \rangle$ 、 $CK \langle 4 \rangle$ を用い、また、これらの4つのクロック信号 $CK \langle 1 \rangle \sim CK \langle 4 \rangle$ に対応して4つのラッチ回路をサンブラ部に設けることになる。多相とした場合、サンブラ部の回路規模が大きくなるものの、各回路ブロックに要求されるスピードは緩和される。

【 0 0 4 8 】

また、3つのクロック信号 $CK \times A$ 、クロック信号 $CK \times B$ およびクロック信号 CK は、別個のものであってもよいし、何れか2つのクロック信号が共通のものであってもよい。後者の場合、例えば、共通クロック信号を周期 T でパルス幅 $\frac{T}{2}$ とし、共通クロック信号の立上がりエッジでクロック信号 $CK \times A$ を表し、共通クロック信号の立下がりエッジでクロック信号 $CK \times B$ を表してもよい。

40

【 0 0 4 9 】

図5は、第1実施形態に係るクロックデータ復元装置1の全体の概略構成を示す図である。この図に示されるように、クロックデータ復元装置1は、サンブラ部10、検出部20、タイミング決定部30およびクロック出力部40を備える。

【 0 0 5 0 】

50

サンブラ部 10 は、3 個のラッチ回路 11 ~ 13 を含み、クロック出力部 40 から出力された同一の周期 T を有するクロック信号 CKXA, クロック信号 CKXB およびクロック信号 CK を入力するとともに、復元対象のデジタル信号をも入力する。ラッチ回路 11 は、各期間 T(n) においてクロック信号 CKXA が指示する時刻でのデジタル信号の値 DXA(n) をサンプリングしホールドして検出部 20 へ出力する。ラッチ回路 12 は、各期間 T(n) においてクロック信号 CKXB が指示する時刻でのデジタル信号の値 DXB(n) をサンプリングしホールドして検出部 20 へ出力する。また、ラッチ回路 13 は、各期間 T(n) においてクロック信号 CK が指示する時刻でのデジタル信号の値 D(n) をサンプリングしホールドして検出部 20 へ出力する。

【0051】

検出部 20 は、各期間 T(n) においてサンブラ部 10 から出力されたデジタル値 DXA(n), デジタル値 DXB(n) およびデジタル値 D(n) を入力する。そして、検出部 20 は、「 $D(n-2) \neq D(n-1)$ 」である場合に、値 D(n-1), 値 DXA(n) および値 D(n) に基づいて、クロック信号 CKXA により指示される時刻とデジタル信号の値の遷移時刻との間の先後関係(第 1 先後関係)を検出し、この第 1 先後関係を表す UPA 信号および DNA 信号をタイミング決定部 30 へ出力する。また、検出部 20 は、「 $D(n-2) = D(n-1)$ 」である場合に、値 D(n-1), 値 DXB(n) および値 D(n) に基づいて、クロック信号 CKXB により指示される時刻とデジタル信号の値の遷移時刻との間の先後関係(第 2 先後関係)を検出し、この第 2 先後関係を表す UPB 信号および DNB 信号をタイミング決定部 30 へ出力する。さらに、検出部 20 は、上記の第 1 先後関係および第 2 先後関係に基づいて、クロック信号 CK とデジタル信号との間の位相関係を検出し、この位相関係を表す UP 信号および DN 信号をクロック出力部 40 へ出力する。

【0052】

タイミング決定部 30 は、検出部 20 により検出された第 1 先後関係および第 2 先後関係を表す UPA 信号, DNA 信号, UPB 信号および DNB 信号を入力する。そして、タイミング決定部 30 は、直前の 2 ビットの各データが互いに異なる場合(「 $D(n-2) \neq D(n-1)$ 」である場合)にクロック信号 CKXA により指示される時刻がデジタル信号の値の遷移時刻の分布の中心となるとともに、直前の 2 ビットの各データが互いに等しい場合(「 $D(n-2) = D(n-1)$ 」である場合)にクロック信号 CKXB により指示される時刻がデジタル信号の値の遷移時刻の分布の中心となるように、クロック信号 CKXA, クロック信号 CKXB およびクロック信号 CK それぞれのタイミング(すなわち、上記の時間)を決定する。

【0053】

クロック出力部 40 は、検出部 20 により検出された位相関係を表す UPB 信号および DNB 信号に基づいて、クロック信号 CK とデジタル信号との間の位相差が小さくなるように周期 T または位相を調整し、タイミング決定部 30 により決定されたタイミングに従って、クロック信号 CKXA, クロック信号 CKXB およびクロック信号 CK をサンブラ部 10 へ出力する。

【0054】

図 6 は、第 1 実施形態に係るクロックデータ復元装置 1 に含まれる検出部 20 の回路図である。検出部 20 は、レジスタ回路 21、先後関係検出回路 22、先後関係検出回路 23、位相関係検出回路 24 および排他的論理和回路 25 を含む。

【0055】

レジスタ回路 21 は、各期間 T(n) においてサンブラ部 10 から出力されたデジタル値 DXA(n), デジタル値 DXB(n) およびデジタル値 D(n) を入力し、これらを一定期間に亘って保持し所定のタイミングで出力する。すなわち、レジスタ回路 21 は、或る期間に同時に、値 D(n-2) および値 D(n-1) を排他的論理和回路 25 へ出力し、値 D(n-1), 値 D(n) および値 DXA(n) を先後関係検出回路 22 へ出力し、また、値 D(n-1), 値 D(n) および値 DXB(n) を先後関係検出回路 23 へ出力する。排他的論理和回路 25 は、レジスタ回路 21 から出力された値 D(n-2) および値 D(n-1) を入力して、これら 2 つの値が互いに

10

20

30

40

50

異なればハイレベル値を出力し、これら 2 つの値が互いに等しければローレベル値を出力する。

【 0 0 5 6 】

先後関係検出回路 2 2 は、位相比較回路 2 2 a を含み、レジスタ回路 2 1 から出力された値 $D(n-1)$ 、値 $D(n)$ および値 $D \times A(n)$ を入力して、排他的論理和回路 2 5 から出力される値がハイレベル値である場合（すなわち、「 $D(n-2) = D(n-1)$ 」である場合）に、「 $D(n-1) = D \times A(n)$ 」であるときに有意値となる U P A 信号、および、「 $D(n-1) = D \times A(n) = D(n)$ 」であるときに有意値となる D N A 信号を、上記の第 1 先後関係を表す信号として出力する。

【 0 0 5 7 】

先後関係検出回路 2 3 は、位相比較回路 2 3 a を含み、レジスタ回路 2 1 から出力された値 $D(n-1)$ 、値 $D(n)$ および値 $D \times B(n)$ を入力して、排他的論理和回路 2 5 から出力される値がローレベル値である場合（すなわち、「 $D(n-2) = D(n-1)$ 」である場合）に、「 $D(n-1) = D \times B(n)$ 」であるときに有意値となる U P B 信号、および、「 $D(n-1) = D \times B(n) = D(n)$ 」であるときに有意値となる D N B 信号を、上記の第 2 先後関係を表す信号として出力する。

【 0 0 5 8 】

位相関係検出回路 2 4 は、U P A 信号と U P B 信号との論理和を表す U P 信号、および、D N A 信号と D N B 信号との論理和を表す D N 信号を、上記の位相関係を表す信号として出力する。

【 0 0 5 9 】

図 7 (a) は、先後関係検出回路 2 2 に含まれる位相比較回路 2 2 a の入出力値の真理値表を示す図表である。また、図 7 (b) は、先後関係検出回路 2 3 に含まれる位相比較回路 2 3 a の入出力値の真理値表を示す図表である。これら 2 つの真理値表は、3 つの入力値のうち 1 つが $D \times A(n)$ および $D \times B(n)$ の何れかである点で相違するものの、この点を除けば、3 つの入力値と 2 つの出力値との間の関係については共通である。

【 0 0 6 0 】

図 7 (a) について説明すると、図 3 (a) にも示されるように、「 $D(n-1) = D \times A(n)$ 」であるときに有意値 1 となる U P A 信号は、クロック信号 C K X A により指示されるサンプリング時刻が入力デジタル信号の値の遷移時刻より遅いか否かを表し、したがって、当該サンプリング時刻を早めることの要否を表す。また、「 $D(n-1) = D \times A(n) = D(n)$ 」であるときに有意値 1 となる D N A 信号は、クロック信号 C K X A により指示されるサンプリング時刻が入力デジタル信号の値の遷移時刻より早いかな否かを表し、したがって、当該サンプリング時刻を遅らせることの要否を表す。

【 0 0 6 1 】

同様に図 7 (b) について説明すると、図 3 (b) にも示されるように、「 $D(n-1) = D \times B(n)$ 」であるときに有意値 1 となる U P B 信号は、クロック信号 C K X B により指示されるサンプリング時刻が入力デジタル信号の値の遷移時刻より遅いか否かを表し、したがって、当該サンプリング時刻を早めることの要否を表す。また、「 $D(n-1) = D \times B(n) = D(n)$ 」であるときに有意値 1 となる D N B 信号は、クロック信号 C K X B により指示されるサンプリング時刻が入力デジタル信号の値の遷移時刻より早いかな否かを表し、したがって、当該サンプリング時刻を遅らせることの要否を表す。

【 0 0 6 2 】

図 8 は、クロック信号 C K X A、C K X B により示されるサンプリング時刻と入力デジタル信号の値の遷移との関係を示す図である。同図 (a) は、波形劣化したデジタル信号のアイパターンを模式的に示す図である。

【 0 0 6 3 】

同図 (b) に示されるように、「 $D(n-2) = D(n-1)$ 」である場合にクロック信号 C K X A により指示されるサンプリング時刻が入力デジタル信号の値の遷移時刻分布の中心時刻より遅く、「 $D(n-2) = D(n-1)$ 」である場合にクロック信号 C K X B により指示されるサ

10

20

30

40

50

ンプリング時刻が入力デジタル信号の値の遷移時刻分布の中心時刻より早い場合、クロック信号 C K X A , C K X B それぞれが指示するサンプリング時刻の間の時間差 2τ を長くする必要はある。

【 0 0 6 4 】

逆に、同図 (c) に示されるように、「 $D(n-2) < D(n-1)$ 」である場合にクロック信号 C K X A により指示されるサンプリング時刻が入力デジタル信号の値の遷移時刻分布の中心時刻より早く、「 $D(n-2) = D(n-1)$ 」である場合にクロック信号 C K X B により指示されるサンプリング時刻が入力デジタル信号の値の遷移時刻分布の中心時刻より遅い場合、クロック信号 C K X A , C K X B それぞれが指示するサンプリング時刻の間の時間差 2τ を短くする必要はある。

10

【 0 0 6 5 】

タイミング決定部 3 0 は、図 8 で説明したような判定を行って時間 τ を調整する。図 9 は、第 1 実施形態に係るクロックデータ復元装置 1 に含まれるタイミング決定部 3 0 における処理を説明するフローチャートである。タイミング決定部 3 0 は、変数 cntEDG , 変数 cntINSIDE , 定数 cntEDGTH および定数 width を用いて、以下のような処理を行う。

【 0 0 6 6 】

ステップ S 1 1 では、変数 cntEDG および変数 cntINSIDE それぞれの値を初期値 0 に設定する。続くステップ S 1 2 では、U P A 信号 , U P B 信号 , D N A 信号 および D N B 信号 それぞれの値の和を変数 cntEDG の値に加算して、その加算値を変数 cntEDG の新たな値とし、また、D N A 信号 および U P B 信号 それぞれの値の和を変数 cntINSIDE の値に加算して、その加算値を変数 cntINSIDE の新たな値とする。更に続くステップ S 1 3 では、変数 cntEDG の値が定数 cntEDGTH と等しいか否かを判定して、変数 cntEDG の値が定数 cntEDGTH に達していればステップ S 1 4 へ進み、変数 cntEDG の値が定数 cntEDGTH に達していなければステップ S 1 2 へ戻る。

20

【 0 0 6 7 】

ステップ S 1 2 およびステップ S 1 3 それぞれの処理は各期間 $T(n)$ に 1 回行われる。すなわち、ステップ S 1 3 において変数 cntEDG の値が定数 cntEDGTH に達したと判定されるまで、周期 T の期間毎にステップ S 1 2 の処理が 1 回行われる。そして、ステップ S 1 3 において変数 cntEDG の値が定数 cntEDGTH に達したと判定されてステップ S 1 4 へ進む時点で、変数 cntEDG の値に対する変数 cntINSIDE の値の比は、クロック信号 C K X A , C K X B それぞれが指示するサンプリング時刻の間の時間差 2τ と、「 $D(n-2) < D(n-1)$ 」および「 $D(n-2) = D(n-1)$ 」それぞれの場合の入力デジタル信号の値の遷移時刻分布の中心時刻の間の時間差と、の関係 (すなわち、図 8 (b) および (c) の何れであるか) を示す。

30

【 0 0 6 8 】

ステップ S 1 4 およびステップ S 1 5 において、変数 cntEDG の値の 0.5 倍の値を中心として $2width$ を幅とする一定範囲に対して、変数 cntINSIDE の値が如何なる関係にあるかを判定する。変数 cntEDG の値の 0.5 倍に正定数 width を減算した値 ($0.5 * cntEDG - width$) と比べて変数 cntINSIDE の値が小さいと判定した場合には、ステップ S 1 6 において値 τ を増加させて、新たな値 τ をクロック出力部 4 0 へ通知する。変数 cntEDG の値の 0.5 倍に正定数 width を加算した値 ($0.5 * cntEDG + width$) と比べて変数 cntINSIDE の値が大きいと判定した場合には、ステップ S 1 7 において値 τ を減少させて、新たな値 τ をクロック出力部 4 0 へ通知する。また、上記一定範囲内に変数 cntINSIDE の値があると判定した場合には、ステップ S 1 8 において値 τ を維持する。そして、ステップ S 1 6 ~ S 1 8 の何れかの処理が終了すると、ステップ S 1 1 に戻り、これまでに説明した処理を繰り返す。

40

【 0 0 6 9 】

タイミング決定部 3 0 が以上のような処理を行うことで、一定範囲 ($0.5 * cntEDG - width \sim 0.5 * cntEDG + width$) 内に変数 cntINSIDE の値が存在するように、すなわち、「 D N A + U P B 」の累積加算値と「 U P A + D N B 」の累積加算値との差が基準値以下になるよ

50

うに、値 θ が調整される。このようにすることにより、クロック信号 $CKXA$, $CKXB$ それぞれが指示するサンプリング時刻の間の時間差 2θ は、「 $D(n-2) - D(n-1)$ 」および「 $D(n-2) = D(n-1)$ 」それぞれの場合の入力デジタル信号の値の遷移時刻分布の中心時刻の間の時間差と一致するように調整される。

【0070】

クロック出力部 40 は、検出部 20 から出力された UPB 信号および DNB 信号に基づいて、クロック信号 CK とデジタル信号との間の位相差が小さくなるように周期 T または位相を調整し、タイミング決定部 30 により決定された値 θ に基づいて、クロック信号 $CKXA$, クロック信号 $CKXB$ およびクロック信号 CK をサンプリング部 10 へ出力する。図 10 は、第 1 実施形態に係るクロックデータ復元装置 1 に含まれるクロック出力部 40 の構成を示す図である。この図に示されるように、クロック出力部 40 は、基準クロック発生回路 41 および遅延付与回路 42 を含む。

10

【0071】

基準クロック発生回路 41 は、検出部 20 から出力された UP 信号および DN 信号に基づいて周期 T または位相を調整した基準クロック信号を発生する。基準クロック発生回路 41 の回路構成としては、図 11 ~ 図 13 に示されるように種々の態様があり得る。遅延付与回路 42 は、タイミング決定部 30 により決定されたタイミングに従って所要の遅延を、基準クロック発生回路 41 から出力された基準クロック信号に付与して、クロック信号 $CKXA$, クロック信号 $CKXB$ およびクロック信号 CK を生成し、これらの信号を出力する。このとき、クロック信号 $CKXA$ が指示するサンプリングのタイミングに対して、クロック信号 $CKXB$ が指示するサンプリングのタイミングが時間 2θ だけ遅れ、クロック信号 CK が指示するサンプリングのタイミングが時間 $(T/2 + \theta)$ だけ遅れるよう、クロック信号 $CKXA$, $CKXB$ および CK を生成し出力する。

20

【0072】

図 11 は、基準クロック発生回路 41 の第 1 態様の回路構成を示す図である。この図に示される基準クロック発生回路 41 A は、 CP (ChargePump) 回路 411 , LPF (LowPass Filter) 回路 412 および VCO (Voltage-Controlled Oscillator) 回路 413 を含む。この基準クロック発生回路 41 A では、検出部 20 から出力された UP 信号および DN 信号を入力した CP 回路 411 は、 UP 信号および DN 信号の何れが有意値であるかに応じて、充電および放電の何れかの電流パルスを入力した LPF 回路 412 へ出力する。 LPF 回路 412 は、 CP 回路 411 から出力された電流パルスを入力して、その入力した電流パルスが充電および放電の何れであるかによって、出力電圧値を増減する。そして、 VCO 回路 413 は、 LPF 回路 412 から出力電圧値に応じた周期のクロック信号を発生して、この基準クロック信号を遅延付与回路 42 へ出力する。 VCO 回路 413 から遅延付与回路 42 へ出力されるクロック信号は、 UP 信号および DN 信号に基づいて周期が調整されたものとなる。

30

【0073】

図 12 は、基準クロック発生回路 41 の第 2 態様の回路構成を示す図である。この図に示される基準クロック発生回路 41 B は、 CP 回路 411 , LPF 回路 412 , PLL (PhaseLock Loop) 回路 414 および可変遅延回路 415 を含む。この基準クロック発生回路 41 B では、検出部 20 から出力された UP 信号および DN 信号を入力した CP 回路 411 は、 UP 信号および DN 信号の何れが有意値であるかに応じて、充電および放電の何れかの電流パルスを入力した LPF 回路 412 へ出力する。 LPF 回路 412 は、 CP 回路 411 から出力された電流パルスを入力して、その入力した電流パルスが充電および放電の何れであるかによって、出力電圧値を増減する。 PLL 回路 414 は、入力クロック $REFCLK$ から多相クロックを生成し、その多相クロックを可変遅延回路 415 へ出力する。そして、可変遅延回路 415 は、 PLL 回路 414 から出力された多相クロックを入力し、 LPF 回路 412 から出力された電圧値に応じた遅延を多相クロックに与えて、その遅延付与したクロックを遅延付与回路 42 へ出力する。可変遅延回路 415 から遅延付与回路 42 へ出力されるクロック信号は、 UP 信号および DN 信号に基づいて位相が調整された

40

50

ものとなる。なお、PLL回路に替えてDLL (Delay Lock Loop) 回路が用いられてもよい。

【0074】

図13は、基準クロック発生回路41の第3態様の回路構成を示す図である。この図に示される基準クロック発生回路41Cは、PLL回路414、位相制御回路416および位相補間回路417を含む。この基準クロック発生回路41Cでは、検出部20から出力されたUP信号およびDN信号を入力した位相制御回路416は、UP信号およびDN信号の何れが有意値であるかに応じて、位相補間回路417における位相調整量の増減を指示する制御信号を出力する。PLL回路414は、入力クロックREFCLKから多相クロックを生成し、その多相クロックを位相補間回路417へ出力する。そして、位相補間回路417は、PLL回路414から出力された多相クロックを入力し、位相制御回路416から出力された制御信号に基づいて多相クロックの位相を補間により調整して、その位相調整したクロックを遅延付与回路42へ出力する。位相補間回路417から遅延付与回路42へ出力されるクロック信号は、UP信号およびDN信号に基づいて位相が調整されたものとなる。なお、PLL回路に替えてDLL回路が用いられてもよい。

10

【0075】

以上のように構成されるクロックデータ復元装置1では、サンブラ部10、検出部20、タイミング決定部30およびクロック出力部40を含むループにおける処理により、クロック信号CKXA、クロック信号CKXBおよびクロック信号CKそれぞれの位相は、入力デジタル信号の位相と一致するように調整される。また、このループ処理により、クロック信号CKXAが指示するデジタル信号のサンプリング時刻は、直前の2ビットの値D(n-2)および値D(n-1)が互いに異なる場合のデータ遷移時刻の分布のピーク時刻と一致するように調整され、また、クロック信号CKXBが指示するデジタル信号のサンプリング時刻は、直前の2ビットの値D(n-2)および値D(n-1)が互いに等しい場合のデータ遷移時刻の分布のピーク時刻と一致するように調整される。そして、復元されたクロック信号として、クロック信号CKXA、クロック信号CKXBおよびクロック信号CKの何れかが出力される。また、復元されたデータとして、デジタル値D(n)の時系列データが出力される。

20

【0076】

図14は、第1実施形態に係るクロックデータ復元装置1におけるクロック信号CKXA、クロック信号CKXBおよびクロック信号CKそれぞれが指示するサンプリングのタイミングを示す図である。同図(a)は、入力デジタル信号のアイパターンの時間的変化の様子を示す。また、同図(b)は、入力デジタル信号の長期間に亘るアイパターンを示す。入力デジタル信号のデータ遷移時刻の変動は、そのデジタル信号を送出した送信器における電源電圧変動その他のノイズに因り生じるトランスミッタ・クロック・ジッタ、および、デジタル信号における不規則なデータパターンと伝送路における減衰との混合に因る符号間干渉、等に起因して生じる。

30

【0077】

同図(a)において、データ安定期間の中心時刻を時系列に結ぶ二点鎖線が曲線となっているのは、トランスミッタ・クロック・ジッタに因るものである。また、直前の2ビットの値D(n-2)および値D(n-1)の異同に依存してデータ遷移時刻が異なる現象は、符号間干渉に因るものである。トランスミッタ・クロック・ジッタが大きい場合には、同図(b)に示されるように入力デジタル信号の長期間に亘るアイパターンにおいてアイが閉じてしまい、特許文献2に開示された装置の如くデータ遷移時刻の分布の両端近傍にデジタル信号のサンプリング時刻を合わせようとする(図2(c)参照)、そのサンプリング時刻を定めることができず、したがって、データ安定期間の中心時刻をも定めることができない。

40

【0078】

これに対して、第1実施形態に係るクロックデータ復元装置1では、直前の2ビットの各データが互いに異なる場合のデータ遷移時刻の分布のピークのタイミングをクロック信

50

号CKXAが指示し、また、直前の2ビットの各データが互いに等しい場合のデータ遷移時刻の分布のピークのタイミングをクロック信号CKXBが指示するので(図2(a),(b)参照)、クロック信号CKXA,CKXBおよびCKそれぞれが指示するタイミング時刻を短期間で決定することができる。すなわち、第1実施形態に係るクロックデータ復元装置1は、トランスミッタ・クロック・ジッタや符号間干渉が大きい場合であっても、安定してクロック信号およびデータを復元することができる。

【0079】

(第2実施形態)

次に、本発明に係るクロックデータ復元装置の第2実施形態について説明する。図15は、デジタル信号のデータをサンプリングするタイミングとオフセットとの関係を説明する図である。この図15(a)において、破線で示される信号は、実線で示される入力デジタル信号にオフセットVoffが付与されたものである。オフセットVoffが付与された信号および元の入力デジタル信号を同一のラッチ回路でサンプリングすることを考えると、元の入力デジタル信号のサンプリングのタイミングと比べて、オフセットVoffが付与された信号のサンプリングのタイミングは、時間 $off (= Voff / Slew Rate)$ だけ早くしたものと等価となる。また、このオフセットVoffを付与した入力デジタル信号をラッチ回路によりサンプリングする効果は、図15(b)に示すように、オフセットを付与しない入力デジタル信号を閾値(-Voff)でサンプリングすること、すなわち、サンプリング閾値へのオフセット付与によっても得ることができる。そこで、以下に、上記オフセット付与の等価な2つの方法のうち、入力デジタル信号に付与するオフセットを調整することにより、入力デジタル信号のサンプリング時刻を調整した第1実施形態の場合と等価の処理をする構成について第2の実施形態として説明する。

【0080】

第2実施形態に係るクロックデータ復元装置2は、デジタル信号のデータをサンプリングするタイミングをクロック信号CKで指示し、また、デジタル信号にオフセット($\pm Voff$)が付与された信号のデータをサンプリングするタイミングをクロック信号CKXで指示する。図16は、第2実施形態に係るクロックデータ復元装置2におけるデジタル信号のデータをサンプリングするタイミングを説明する図である。この図は、デジタル信号のアイパターンを模式的に示しており、また、データサンプリングのタイミングをCKXおよびCKで示している。なお、簡単のため、デジタル信号のオフセットを揃えて示し、サンプリングの閾値にオフセットを付与した形で示しているが、上記説明したように動作としては信号にオフセットを加える場合と等価である。

【0081】

2つのクロック信号CKXおよびクロック信号CKは、同一の周期Tを有する。クロック信号CKXが指示するサンプリング時刻 t_x と、クロック信号CKが指示するサンプリング時刻 t_c とは、「 $t_c - t_x = T / 2$ 」なる関係を有する。また、周期Tの第nの期間T(n)それぞれにおいて、2つのクロック信号CKXおよびクロック信号CKそれぞれが指示するサンプリング時刻は、この順に並んでいる。nは任意の整数である。

【0082】

各期間T(n)においてクロック信号CKXが指示する時刻でサンプリングされる第1信号(=入力デジタル信号 - Voff)の値をDXA(n)と表し、各期間T(n)においてクロック信号CKXが指示する時刻でサンプリングされる第2信号(=入力デジタル信号 + Voff)の値をDXB(n)と表し、また、各期間T(n)においてクロック信号CKが指示する時刻でサンプリングされる入力デジタル信号の値をD(n)と表す。ただし、これらの周期T及びオフセット量Voffはクロックデータ復元装置2により調整される。

【0083】

なお、3つのクロック信号CKXA,クロック信号CKXBおよびクロック信号CKそれぞれは、単相であってもよいし、多相であってもよい。例えば、クロック信号CKを4相とした場合を考えると、各々の周期が4Tであって位相が $\pi/2$ づつ異なっている4つのクロック信号CK<1>,CK<2>,CK<3>,CK<4>を用い、また、これらの4つのク

10

20

30

40

50

ロック信号 $CK<1> \sim CK<4>$ に対応して4つのラッチ回路をサンブラ部に設けることになる。多相とした場合、サンブラ部の回路規模が大きくなるものの、各回路ブロックに要求されるスピードは緩和される。

【0084】

また、2つのクロック信号 CKX およびクロック信号 CK は、別個のものであってもよいし、共通のものであってもよい。後者の場合、共通クロック信号を周期 T でパルス幅 $T/2$ とし、共通クロック信号の立上がりエッジでクロック信号 CKX を表し、共通クロック信号の立下がりエッジでクロック信号 CK を表してもよい。

【0085】

図17は、第2実施形態に係るクロックデータ復元装置2の全体の概略構成を示す図である。この図に示されるように、クロックデータ復元装置2は、サンブラ部50、検出部60、オフセット決定部70、クロック出力部80およびDA変換部90を備える。

【0086】

サンブラ部50は、3個のラッチ回路51~53および2個の加算回路54, 55を含み、クロック出力部80から出力された同一の周期 T を有するクロック信号 CKX およびクロック信号 CK を入力し、DA変換部90から出力された電圧値 ($\pm V_{off}$) を入力し、また、復元対象のデジタル信号をも入力する。加算回路54は、入力したデジタル信号にオフセット電圧値 ($-V_{off}$) を加算して、その加算結果である第1信号をラッチ回路51へ出力する。加算回路55は、入力したデジタル信号にオフセット電圧値 ($+V_{off}$) を加算して、その加算結果である第2信号をラッチ回路52へ出力する。ラッチ回路51は、各期間 $T(n)$ においてクロック信号 CKX が指示する時刻での第1信号の値 $DXA(n)$ をサンプリングしホールドして検出部60へ出力する。ラッチ回路52は、各期間 $T(n)$ においてクロック信号 CKX が指示する時刻での第2信号の値 $DXB(n)$ をサンプリングしホールドして検出部60へ出力する。また、ラッチ回路53は、各期間 $T(n)$ においてクロック信号 CK が指示する時刻でのデジタル信号の値 $D(n)$ をサンプリングしホールドして検出部60およびオフセット決定部70へ出力する。

【0087】

なお、入力デジタル信号へのオフセット付与に代わり、ラッチ回路におけるサンプリング閾値をオフセットする構成とする場合には、加算回路54および加算回路55を省くことができる。その場合、ラッチ回路51およびラッチ回路52にDA変換部90から出力された電圧値 V_{off} および $-V_{off}$ をそれぞれ入力する。そして、ラッチ回路51およびラッチ回路52は、クロック信号 CKX が指示する時刻で入力デジタル信号を V_{off} および $-V_{off}$ だけシフトさせた閾値でサンプリングしホールドして検出部60へそれぞれ出力する。ここで、DA変換部90は、ラッチ回路51およびラッチ回路52におけるオフセット電圧 V_{off} および $-V_{off}$ そのものを出力するものとしたが、ラッチ回路51およびラッチ回路52に、サンプリング閾値を V_{off} および $-V_{off}$ オフセットさせる信号であれば、オフセット電圧 V_{off} および $-V_{off}$ そのものでなくてもよい。

【0088】

検出部60は、各期間 $T(n)$ においてサンブラ部50から出力されたデジタル値 $DXA(n)$, デジタル値 $DXB(n)$ およびデジタル値 $D(n)$ を入力する。そして、検出部60は、値 $D(n-2)$ がハイレベルである場合に、値 $D(n-1)$, 値 $DXA(n)$ および値 $D(n)$ に基づいて、クロック信号 CKX により指示される時刻とデジタル信号の値の遷移時刻との間の先後関係(第1先後関係)を検出し、この第1先後関係を表すUPA信号およびDNA信号をオフセット決定部70へ出力する。また、検出部20は、値 $D(n-2)$ がローレベルである場合に、値 $D(n-1)$, 値 $DXB(n)$ および値 $D(n)$ に基づいて、クロック信号 CKX により指示される時刻とデジタル信号の値の遷移時刻との間の先後関係(第2先後関係)を検出し、この第2先後関係を表すUPB信号およびDNB信号をオフセット決定部70へ出力する。さらに、検出部20は、上記の第1先後関係および第2先後関係に基づいて、クロック信号 CK とデジタル信号との間の位相関係を検出し、この位相関係を表すUP信号およびDN信号をクロック出力部80へ出力する。

【 0 0 8 9 】

なお、第 1 実施形態における検出部 2 0 では、「 $D(n-2) \quad D(n-1)$ 」および「 $D(n-2) = D(n-1)$ 」の何れの場合であるかによって、先後関係検出回路 2 2 および先後関係検出回路 2 3 の何れかから選択的に信号を出力した。これに対して、第 2 実施形態における検出部 6 0 では、値 $D(n-2)$ がハイレベルおよびローレベルの何れであるかによって、先後関係検出回路 6 2 および先後関係検出回路 6 3 の何れかから選択的に信号を出力する。これは、図 1 5 を用いて説明したようなタイミング調整とオフセット量調整との間の等価関係を考慮した結果に基づくものである。

【 0 0 9 0 】

オフセット決定部 7 0 は、検出部 6 0 により検出された第 1 先後関係および第 2 先後関係を表す U P A 信号、D N A 信号、U P B 信号および D N B 信号を入力し、また、サンプラ部 5 0 から出力されたデジタル値 $D(n)$ を入力する。そして、オフセット決定部 7 0 は、値 $D(n-2)$ がハイレベルである場合にクロック信号 C K X により指示される時刻が第 1 信号の値の遷移時刻の分布の中心となるとともに、値 $D(n-2)$ がローレベルである場合にクロック信号 C K X により指示される時刻が第 2 信号の値の遷移時刻の分布の中心となるように、サンプラ部 5 0 におけるオフセット付与量 V_{off} を決定し、その決定したオフセット付与量 V_{off} を D A 変換部 9 0 へ通知する。

【 0 0 9 1 】

クロック出力部 8 0 は、検出部 6 0 により検出された位相関係を表す U P B 信号および D N B 信号に基づいて、クロック信号 C K とデジタル信号との間の位相差が小さくなるように周期 T または位相を調整し、クロック信号 C K X およびクロック信号 C K をサンプラ部 5 0 へ出力する。D A 変換部 9 0 は、オフセット決定部 7 0 から通知されたオフセット付与量をアナログ電圧値としてサンプラ部 5 0 へ出力する。

【 0 0 9 2 】

図 1 8 は、第 2 実施形態に係るクロックデータ復元装置 2 に含まれる検出部 6 0 の回路図である。検出部 6 0 は、レジスタ回路 6 1、先後関係検出回路 6 2、先後関係検出回路 6 3 および位相関係検出回路 6 4 を含む。

【 0 0 9 3 】

レジスタ回路 6 1 は、各期間 $T(n)$ においてサンプラ部 5 0 から出力されたデジタル値 $D X A(n)$ 、デジタル値 $D X B(n)$ およびデジタル値 $D(n)$ を入力し、これらを一定期間に亘って保持し所定のタイミングで出力する。すなわち、レジスタ回路 6 1 は、或る期間に同時に、値 $D(n-2)$ 、値 $D(n-1)$ 、値 $D(n)$ および値 $D X A(n)$ を先後関係検出回路 6 2 へ出力し、また、値 $D(n-2)$ 、値 $D(n-1)$ 、値 $D(n)$ および値 $D X B(n)$ を先後関係検出回路 6 3 へ出力する。

【 0 0 9 4 】

先後関係検出回路 6 2 は、位相比較回路 6 2 a を含み、レジスタ回路 6 1 から出力された値 $D(n-2)$ 、値 $D(n-1)$ 、値 $D(n)$ および値 $D X A(n)$ を入力して、値 $D(n-2)$ がハイレベル値である場合に、「 $D(n-1) \quad D X A(n) = D(n)$ 」であるときに有意値となる U P A 信号、および、「 $D(n-1) = D X A(n) \quad D(n)$ 」であるときに有意値となる D N A 信号を、上記の第 1 先後関係を表す信号として出力する。この先後関係検出回路 6 2 に含まれる位相比較回路 6 2 a の入出力値の真理値表は、図 7 (a) に示したものと同様である。

【 0 0 9 5 】

先後関係検出回路 6 3 は、位相比較回路 6 3 a を含み、レジスタ回路 6 1 から出力された値 $D(n-2)$ 、値 $D(n-1)$ 、値 $D(n)$ および値 $D X B(n)$ を入力して、値 $D(n-2)$ がハイレベル値である場合に、「 $D(n-1) \quad D X B(n) = D(n)$ 」であるときに有意値となる U P B 信号、および、「 $D(n-1) = D X B(n) \quad D(n)$ 」であるときに有意値となる D N B 信号を、上記の第 2 先後関係を表す信号として出力する。この先後関係検出回路 6 3 に含まれる位相比較回路 6 3 a の入出力値の真理値表は、図 7 (b) に示したものと同様である。

【 0 0 9 6 】

位相関係検出回路 6 4 は、U P A 信号と U P B 信号との論理和を表す U P 信号、および

10

20

30

40

50

、DNA信号とDNB信号との論理和を表すDN信号を、上記の位相関係を表す信号として出力する。

【0097】

図19は、クロック信号CKXにより示されるサンプリング時刻とオフセット量Voffとの関係を示す図である。同図(a)に示されるように、値D(n-2)がハイレベルである場合にクロック信号CKXにより指示されるサンプリング時刻が第1信号の値の遷移時刻分布の中心時刻より遅く、値D(n-2)がローレベルである場合にクロック信号CKXにより指示されるサンプリング時刻が第2信号の値の遷移時刻分布の中心時刻より早い場合、オフセット量Voffを大きくする必要がある。逆に、同図(b)に示されるように、値D(n-2)がハイレベルである場合にクロック信号CKXにより指示されるサンプリング時刻が第1信号の値の遷移時刻分布の中心時刻より早く、値D(n-2)がローレベルである場合にクロック信号CKXにより指示されるサンプリング時刻が第2信号の値の遷移時刻分布の中心時刻より遅い場合、オフセット量Voffを小さくする必要がある。なお、この図は、デジタル信号の値がローレベルからハイレベルに遷移する場合を示しているが、ハイレベルからローレベルに遷移する場合も同様である。

10

【0098】

オフセット決定部70は、図19で説明したような判定を行ってオフセット量Voffを調整する。図20は、第2実施形態に係るクロックデータ復元装置2に含まれるオフセット決定部70における処理を説明するフローチャートである。オフセット決定部70は、変数cntEDG、変数cntINSIDE、定数cntEDGTH、定数widthおよび値D(n)を用いて、以下の

20

【0099】

ステップS21では、変数cntEDGおよび変数cntINSIDEそれぞれの値を初期値0に設定する。続くステップS22では、UPA信号、UPB信号、DNA信号およびDNB信号それぞれの値の和を変数cntEDGの値に加算して、その加算値を変数cntEDGの新たな値とする。また、ステップS22では、値D(n)がハイレベルであるときにはDNA信号およびUPB信号それぞれの値の和を変数cntINSIDEの値に加算し、値D(n)がローレベルであるときにはUPA信号およびDNB信号それぞれの値の和を変数cntINSIDEの値に加算して、その加算値を変数cntINSIDEの新たな値とする。更に続くステップS23では、変数cntEDGの値が定数cntEDGTHと等しいか否かを判定して、変数cntEDGの値が定数cntEDGTHに達していればステップS24へ進み、変数cntEDGの値が定数cntEDGTHに達していなければステップS22へ戻る。

30

【0100】

ステップS22およびステップS23それぞれの処理は各期間T(n)に1回行われる。すなわち、ステップS23において変数cntEDGの値が定数cntEDGTHに達したと判定されるまで、周期Tの期間毎にステップS22の処理が1回行われる。そして、ステップS23において変数cntEDGの値が定数cntEDGTHに達したと判定されてステップS24へ進む時点で、変数cntEDGの値に対する変数cntINSIDEの値の比は、図19(a)および(b)の何れであるかを示す。

【0101】

40

ステップS24およびステップS25において、変数cntEDGの値の0.5倍の値を中心として2widthを幅とする一定範囲に対して、変数cntINSIDEの値が如何なる関係にあるかを判定する。変数cntEDGの値の0.5倍に正定数widthを減算した値(0.5*cntEDG-width)と比べて変数cntINSIDEの値が小さいと判定した場合には、ステップS26においてオフセット量Voffを増加させて、新たなオフセット量VoffをDA変換部90へ通知する。変数cntEDGの値の0.5倍に正定数widthを加算した値(0.5*cntEDG+width)と比べて変数cntINSIDEの値が大きいと判定した場合には、ステップS27においてオフセット量Voffを減少させて、新たなオフセット量VoffをDA変換部90へ通知する。また、上記一定範囲内に変数cntINSIDEの値があると判定した場合には、ステップS28においてオフセット量Voffを維持する。そして、ステップS26~S28の何れかの処理が終了する

50

と、ステップ S 2 1 に戻り、これまでに説明した処理を繰り返す。

【 0 1 0 2 】

以上のように構成されるクロックデータ復元装置 2 は、サンプラ部 5 0 , 検出部 6 0 およびクロック出力部 8 0 を含む第 1 ループを有するとともに、サンプラ部 5 0 , 検出部 6 0 , オフセット決定部 7 0 および D A 変換部 9 0 を含む第 2 ループを有する。これら 2 つのループ処理により、クロック信号 C K X およびクロック信号 C K それぞれの位相は、入力デジタル信号の位相と一致するように調整され、クロック信号 C K X が指示するサンプリング時刻は、値 $D(n-2)$ がハイレベルである場合の第 1 信号のデータ遷移時刻の分布のピーク時刻と一致するように調整され、また、クロック信号 C K X が指示するサンプリング時刻は、値 $D(n-2)$ がローレベルである場合の第 2 信号のデータ遷移時刻の分布のピーク時刻と一致するように調整される。そして、復元されたクロック信号として、クロック信号 C K X およびクロック信号 C K の何れかが出力される。また、復元されたデータとして、デジタル値 $D(n)$ の時系列データが出力される。

10

【 0 1 0 3 】

この第 2 実施形態に係るクロックデータ復元装置 2 は、前の第 1 実施形態に係るクロックデータ復元装置 1 と同様に、トランスミッタ・クロック・ジッタや符号間干渉が大きい場合であっても、安定してクロック信号およびデータを復元することができる。加えて、第 2 実施形態に係るクロックデータ復元装置 2 は、以下のような効果をも奏することができる。すなわち、必要なクロック信号の個数は、第 1 実施形態では 3 個であったのに対して、第 2 実施形態では 2 個でよい。また、第 1 実施形態では各クロックのタイミングを調整したのに対して、第 2 実施形態では入力デジタル信号に付与するオフセット量を調整する。一般に、タイミング調整と比べてオフセット量調整は容易かつ高精度に可能である。このことから、第 1 実施形態と比較して、第 2 実施形態では、より安定してクロック信号およびデータを復元することができる。

20

【 0 1 0 4 】

(第 3 実施形態)

次に、本発明に係るクロックデータ復元装置の第 3 実施形態について説明する。以下に説明する第 3 実施形態に係るクロックデータ復元装置 3 は、前述の第 2 実施形態に係るクロックデータ復元装置 2 と等価の処理を行うものである。

【 0 1 0 5 】

図 2 1 は、第 3 実施形態に係るクロックデータ復元装置 3 の全体の概略構成を示す図である。この図に示されるように、クロックデータ復元装置 3 は、サンプラ部 5 0、検出部 6 0 A、オフセット決定部 7 0 A、クロック出力部 8 0 および D A 変換部 9 0 を備える。これらのうちサンプラ部 5 0、クロック出力部 8 0 および D A 変換部 9 0 それぞれは、前述の第 2 実施形態に係るクロックデータ復元装置 2 に含まれるものと同様のものである。

30

【 0 1 0 6 】

検出部 6 0 A は、各期間 $T(n)$ においてサンプラ部 5 0 から出力されたデジタル値 $D X A(n)$, デジタル値 $D X B(n)$ およびデジタル値 $D(n)$ を入力する。そして、検出部 6 0 A は、値 $D(n-2)$ がハイレベルであるときに「 $D X(n) = D X A(n)$ 」とし、値 $D(n-2)$ がローレベルであるときに「 $D X(n) = D X B(n)$ 」として、値 $D(n-1)$, 値 $D X(n)$ および値 $D(n)$ に基づいて、クロック信号 C K とデジタル信号との間の位相関係を検出し、この位相関係を表す U P 信号および D N 信号をクロック出力部 8 0 へ出力する。

40

【 0 1 0 7 】

オフセット決定部 7 0 A は、値 $D X(n)$, 値 $D(n-2)$, 値 $D(n-1)$ および値 $D(n)$ に基づいて、値 $D(n-2)$ がハイレベルである場合にクロック信号 C K X により指示される時刻が第 1 信号の値の遷移時刻の分布の中心となるとともに、値 $D(n-2)$ がローレベルである場合にクロック信号 C K X により指示される時刻が第 2 信号の値の遷移時刻の分布の中心となるように、サンプラ部 5 0 におけるオフセット付与量 V_{off} を決定し、その決定したオフセット付与量 V_{off} を D A 変換部 9 0 へ通知する。

【 0 1 0 8 】

50

図 2 2 は、第 3 実施形態に係るクロックデータ復元装置 3 に含まれる検出部 6 0 A の回路図である。検出部 6 0 A は、レジスタ回路 6 6、選択回路 6 7、および位相関係検出回路 6 8 を含む。

【 0 1 0 9 】

レジスタ回路 6 6 は、各期間 $T(n)$ においてサンプラ部 5 0 から出力されたデジタル値 $D \times A(n)$ 、デジタル値 $D \times B(n)$ およびデジタル値 $D(n)$ を入力し、これらを一定期間に亘って保持し所定のタイミングで出力する。すなわち、レジスタ回路 6 6 は、或る期間に同時に、値 $D(n-2)$ 、値 $D(n-1)$ 、値 $D(n)$ 、値 $D \times A(n)$ および値 $D \times B(n)$ を出力する。

【 0 1 1 0 】

選択回路 6 7 は、レジスタ回路 6 6 から出力された値 $D(n-2)$ 、値 $D \times A(n)$ および値 $D \times B(n)$ を入力して、値 $D(n-2)$ がハイレベルであるときに値 $D \times A(n)$ を値 $D \times (n)$ として出力し、値 $D(n-2)$ がローレベルであるときに値 $D \times B(n)$ を値 $D \times (n)$ として出力する。

【 0 1 1 1 】

位相関係検出回路 6 8 は、レジスタ回路 6 6 から出力された値 $D(n)$ および値 $D(n-1)$ を入力するとともに、選択回路 6 7 から出力された値 $D \times (n)$ を入力し、図 2 3 に示される審理値表に従う論理演算を行って、UP 信号および DN 信号を出力する。すなわち、位相関係検出回路 6 8 は、「 $D(n-1) \quad D \times (n) = D(n)$ 」であるときに有意値となる UP 信号、および、「 $D(n-1) = D \times (n) \quad D(n)$ 」であるときに有意値となる DN 信号を、位相関係を表す信号として出力する。

【 0 1 1 2 】

前述の第 2 実施形態における検出部 6 0 (図 1 8) と比較して、この第 3 実施形態における検出部 6 0 A (図 2 2) は、UP 信号および DN 信号の生成に関して、値 $D \times A(n)$ および値 $D \times B(n)$ の何れか一方を選択する処理と、位相関係を検出する処理と、を行う順序が異なるのみである。したがって、両者は、UP 信号および DN 信号の生成に関して、互いに等価の処理を行うものである。

【 0 1 1 3 】

図 2 4 は、第 3 実施形態に係るクロックデータ復元装置 3 に含まれるオフセット決定部 7 0 A における処理を説明するフローチャートである。前述の第 2 実施形態におけるオフセット決定部 7 0 と比較すると、この第 3 実施形態におけるオフセット決定部 7 0 A は、ステップ S 2 2 に替えて設けられるステップ S 2 2 A の点で相違する。

【 0 1 1 4 】

すなわち、ステップ S 2 2 A では、「 $D(n) \wedge D(n-1)$ 」の値を変数 cntEDG の値に加算して、その加算値を変数 cntEDG の新たな値とする。また、ステップ S 2 2 A では、「 $\{D(n) \wedge D(n-1)\} * \{D(n-2) \wedge D \times (n)\}$ 」の値を変数 cntINSIDE の値に加算して、その加算値を変数 cntINSIDE の新たな値とする。ここで、演算記号「 \wedge 」は排他的論理和を表す。この第 3 実施形態におけるステップ S 2 2 A の処理と、前述の第 2 実施形態におけるステップ S 2 2 の処理とは、互いに等価である。このことについて以下に説明する。

【 0 1 1 5 】

第 2 実施形態において、UP A 信号、DN A 信号、UP B 信号および DN B 信号それぞれは、下記 (1) 式で定義される。また、UP 信号および DN 信号それぞれは、下記 (2) 式で定義される。そして、(1) 式を (2) 式に代入して整理すると、下記 (3) 式が得られる。(3 c) 式の $D \times (n)$ は、第 3 実施形態における検出部 6 0 A に含まれる選択回路 6 7 から出力される値である。また、(3 a) 式の UP および (3 b) 式の DN は、第 3 実施形態における検出部 6 0 A に含まれる位相関係検出回路 6 8 から出力される値である。すなわち、第 3 実施形態における検出部 6 0 A と、前述の第 2 実施形態における検出部 6 0 とは、UP 信号および DN 信号の生成に関して、互いに等価の処理を行うものである。

【 0 1 1 6 】

10

20

30

40

【数 1】

$$UPA \equiv D(n-2) * \{ D(n) \wedge D(n-1) \} * \sim \{ D(n) \wedge DXA(n) \} \quad \dots(1a)$$

$$DNA \equiv D(n-2) * \{ D(n) \wedge D(n-1) \} * \{ D(n) \wedge DXA(n) \} \quad \dots(1b)$$

$$UPB \equiv \sim D(n-2) * \{ D(n) \wedge D(n-1) \} * \sim \{ D(n) \wedge DXB(n) \} \quad \dots(1c)$$

$$DNB \equiv \sim D(n-2) * \{ D(n) \wedge D(n-1) \} * \{ D(n) \wedge DXB(n) \} \quad \dots(1d)$$

【0117】

【数 2】

$$UP \equiv UPA + UPB \quad \dots(2a)$$

$$DN \equiv DNA + DNB \quad \dots(2b)$$

10

【0118】

【数 3】

$$UP = \{ D(n) \wedge D(n-1) \} * \{ D(n) \wedge DX(n) \} \quad \dots(3a)$$

$$DN = \{ D(n) \wedge D(n-1) \} * \sim \{ D(n) \wedge DX(n) \} \quad \dots(3b)$$

ただし、

$$DX(n) = D(n-2) * DXA(n) + \sim D(n-2) * DXB(n) \quad \dots(3c)$$

20

【0119】

第2実施形態におけるオフセット決定部70のステップS22の処理において、第1式の右辺を cntEDGEとおき、第2式の右辺を cntINSIDEとおく。上記(1)式を用いて整理すると、cntEDGEは下記(4)式で表され、cntINSIDEは下記(5)式で表される。これら(4)式および(5)式は、第3実施形態におけるオフセット決定部70AのステップS22Aの処理の第1式および第2式それぞれの右辺と一致する。すなわち、第3実施形態におけるオフセット決定部70Aと、前述の第2実施形態におけるオフセット決定部70とは、互いに等価の処理を行うものである。

【0120】

【数 4】

$$\begin{aligned} \Delta cntEDGE &\equiv UPA + DNA + UPB + DNB \\ &= D(n) \wedge D(n-1) \quad \dots(4) \end{aligned}$$

30

【0121】

【数 5】

$$\begin{aligned} \Delta cntINSIDE &\equiv D(n) * (UPB + DNA) + \sim D(n) * (UPA + DNB) \\ &= \{ D(n) \wedge D(n-1) \} * \{ D(n-2) \wedge DX(n) \} \quad \dots(5) \end{aligned}$$

【0122】

したがって、この第3実施形態に係るクロックデータ復元装置3は、前述の第2実施形態に係るクロックデータ復元装置2と同様に動作し同様に効果を奏することができる、加えて、第2実施形態における検出部60と比較すると、この第3実施形態における検出部60Aは、回路規模が小さいので、小型化が可能である。

40

【図面の簡単な説明】

【0123】

【図1】波形劣化したデジタル信号のアイパターンを模式的に示す図である。

【図2】データ遷移時刻のデータをサンプリングするタイミングを説明する図である。

【図3】第1実施形態におけるデジタル信号のデータをサンプリングするタイミングを示す図である。

【図4】第1実施形態に係るクロックデータ復元装置1におけるデジタル信号のデータを

50

サンプリングするタイミングを説明する図である。

【図5】第1実施形態に係るクロックデータ復元装置1の全体の概略構成を示す図である。

【図6】第1実施形態に係るクロックデータ復元装置1に含まれる検出部20の回路図である。

【図7】先後関係検出回路22, 23に含まれる位相比較回路22a, 23aの入出力値の真理値表を示す図表である。

【図8】クロック信号CKXA, CKXBにより示されるサンプリング時刻と入力デジタル信号の値の遷移との関係を示す図である。

【図9】第1実施形態に係るクロックデータ復元装置1に含まれるタイミング決定部30における処理を説明するフローチャートである。

10

【図10】第1実施形態に係るクロックデータ復元装置1に含まれるクロック出力部40の構成を示す図である。

【図11】基準クロック発生回路41の第1態様の回路構成を示す図である。

【図12】基準クロック発生回路41の第2態様の回路構成を示す図である。

【図13】基準クロック発生回路41の第3態様の回路構成を示す図である。

【図14】第1実施形態に係るクロックデータ復元装置1におけるクロック信号CKXA, クロック信号CKXBおよびクロック信号CKそれぞれが指示するサンプリングのタイミングを示す図である。

【図15】デジタル信号のデータをサンプリングするタイミングとオフセットとの関係を示す図である。

20

【図16】第2実施形態に係るクロックデータ復元装置2におけるデジタル信号のデータをサンプリングするタイミングを説明する図である。

【図17】第2実施形態に係るクロックデータ復元装置2の全体の概略構成を示す図である。

【図18】第2実施形態に係るクロックデータ復元装置2に含まれる検出部60の回路図である。

【図19】クロック信号CKXにより示されるサンプリング時刻とオフセット量Voffとの関係を示す図である。

【図20】第2実施形態に係るクロックデータ復元装置2に含まれるオフセット決定部70における処理を説明するフローチャートである。

30

【図21】第3実施形態に係るクロックデータ復元装置3の全体の概略構成を示す図である。

【図22】第3実施形態に係るクロックデータ復元装置3に含まれる検出部60Aの回路図である。

【図23】検出部60Aに含まれる位相関係検出回路68の入出力値の真理値表を示す図表である。

【図24】第3実施形態に係るクロックデータ復元装置3に含まれるオフセット決定部70Aにおける処理を説明するフローチャートである。

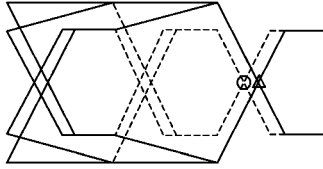
【符号の説明】

40

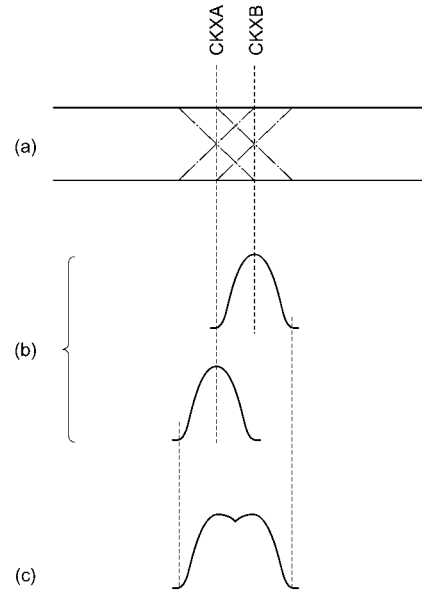
【0124】

1, 2...クロックデータ復元装置、10...サンブラ部、11~13...ラッチ回路、20...検出部、21...レジスタ回路、22A, 22B...先後関係検出回路、23...位相関係検出回路、30...タイミング決定部、40...クロック出力部、41...基準クロック発生回路、42...遅延付与回路、50...サンブラ部、51~53...ラッチ回路、54, 55...加算回路、60, 60A...検出部、61...レジスタ回路、62A, 62B...先後関係検出回路、63...位相関係検出回路、66...レジスタ回路、67...選択回路、68...位相関係検出回路、70, 70A...オフセット決定部、80...クロック出力部、90...DA変換部。

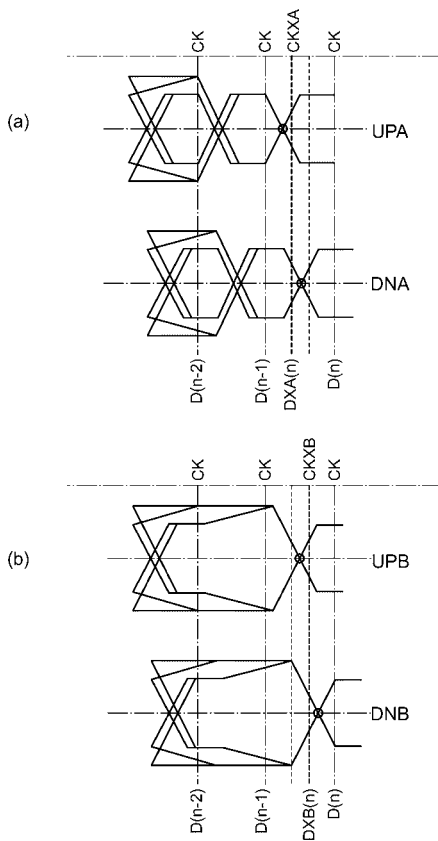
【 図 1 】



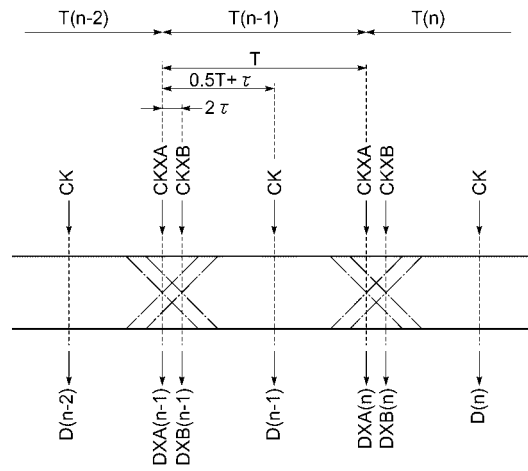
【 図 2 】



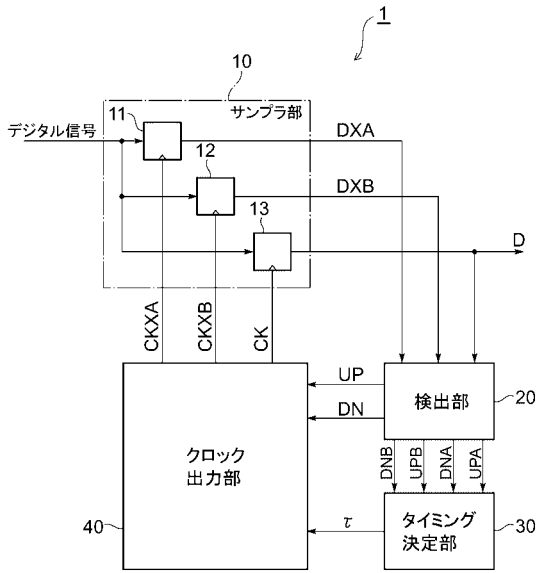
【 図 3 】



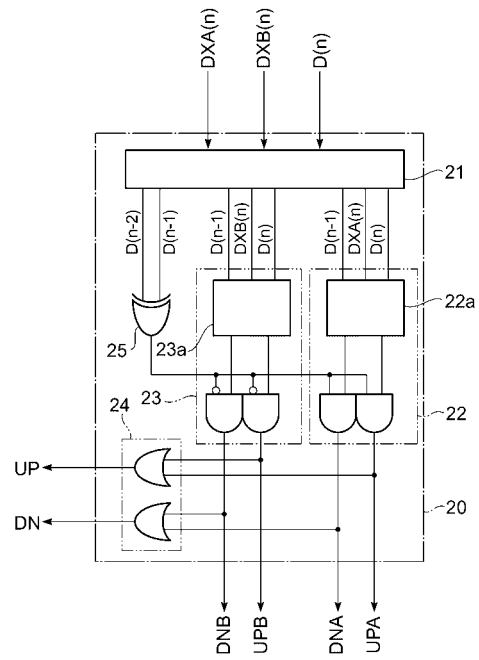
【 図 4 】



【図5】



【図6】



【図7】

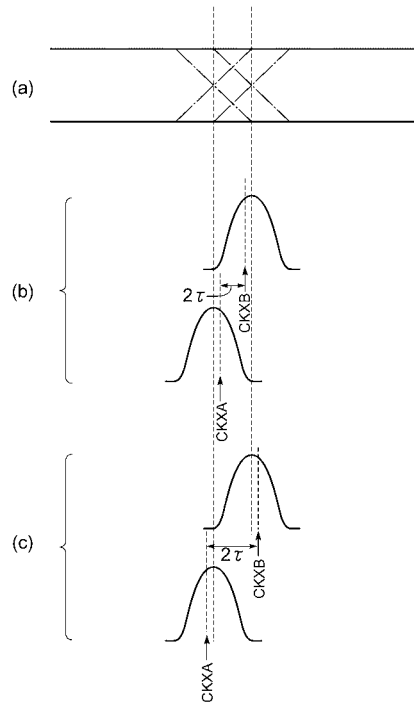
(a)

D(n-1)	DXA(n)	D(n)	UPA	DNA
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

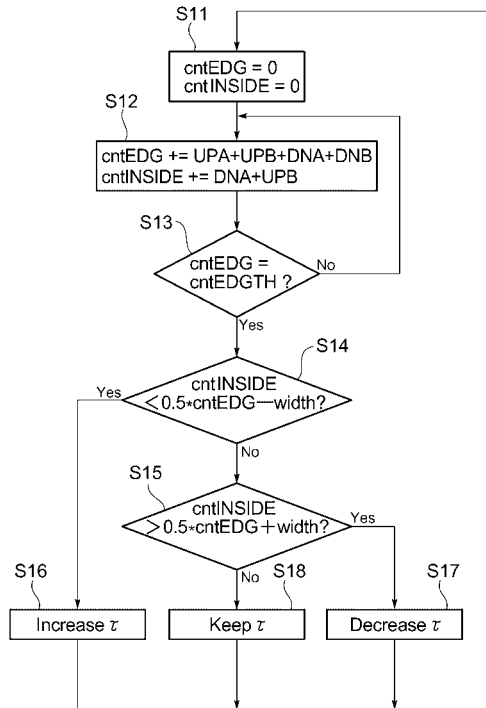
(b)

D(n-1)	DXB(n)	D(n)	UPB	DNB
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

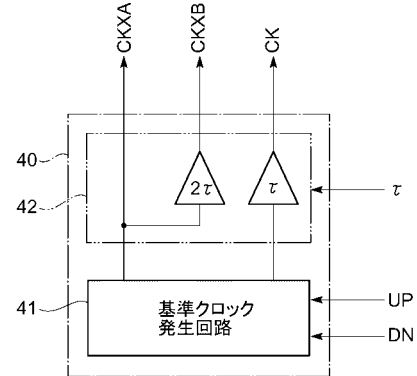
【図8】



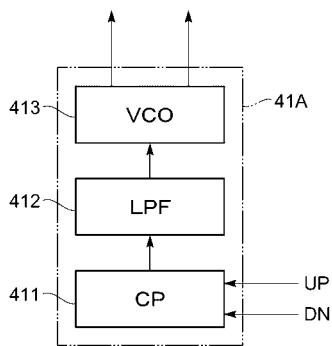
【図9】



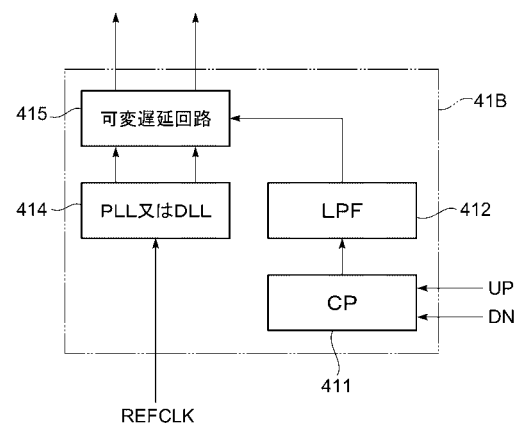
【図10】



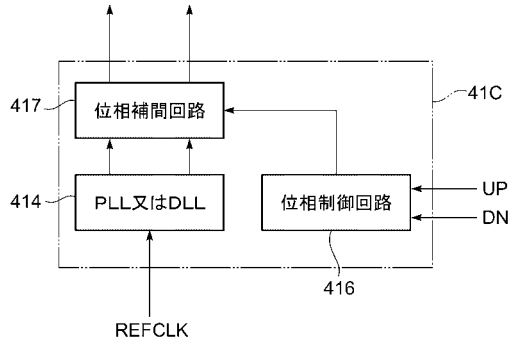
【図11】



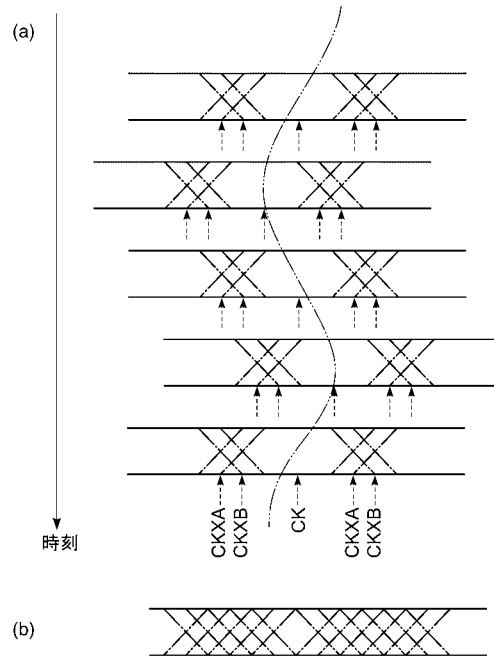
【図12】



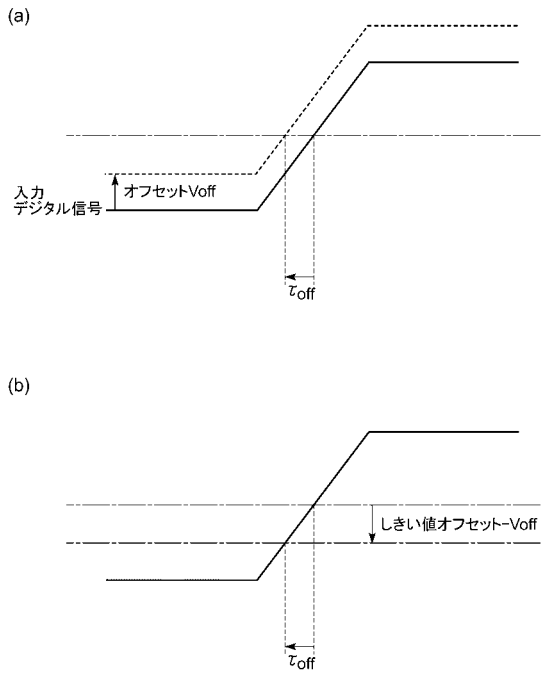
【図13】



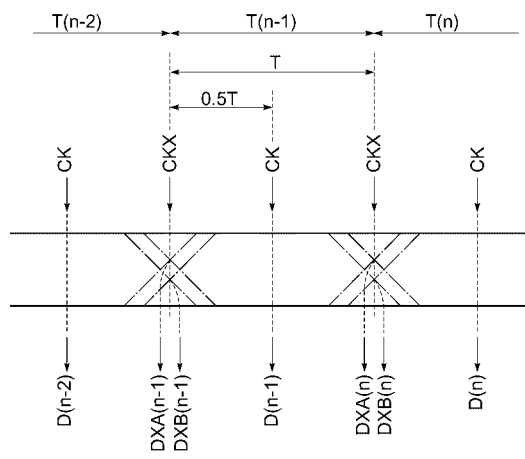
【図14】



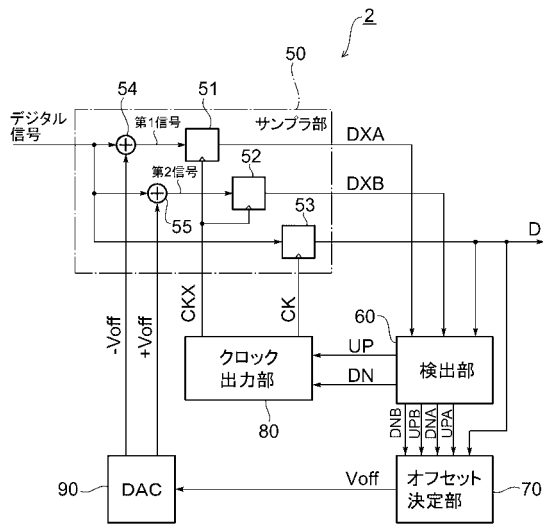
【図15】



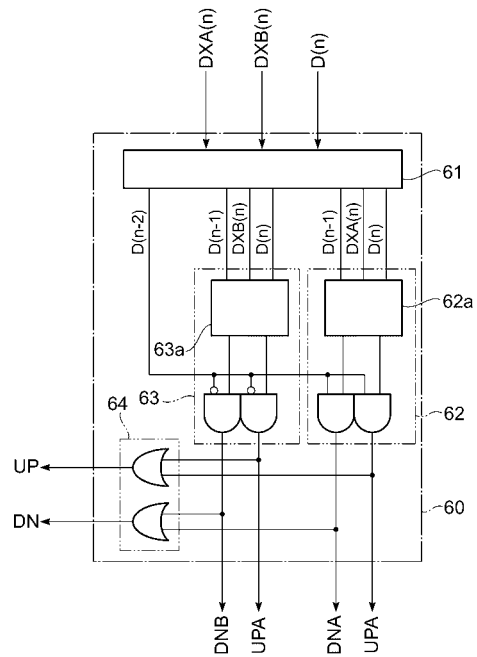
【図16】



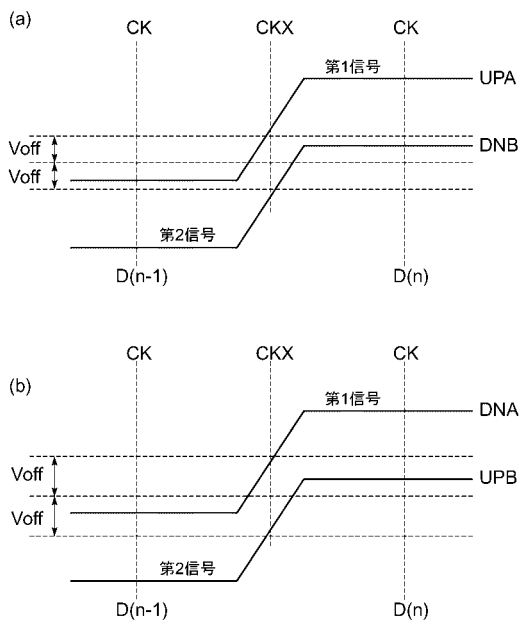
【図17】



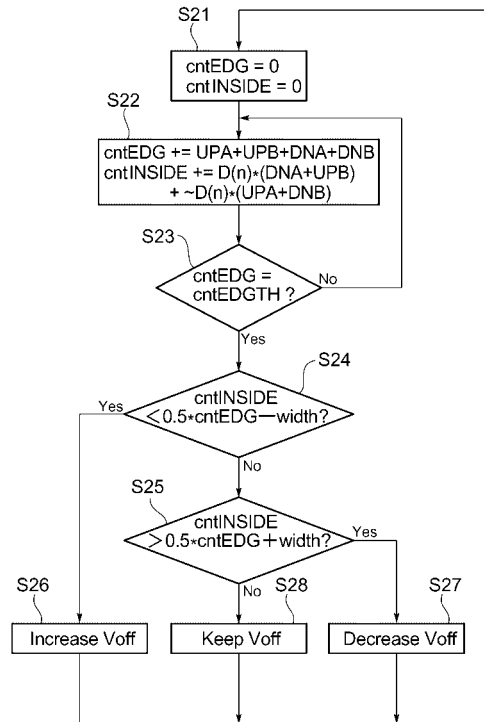
【図18】



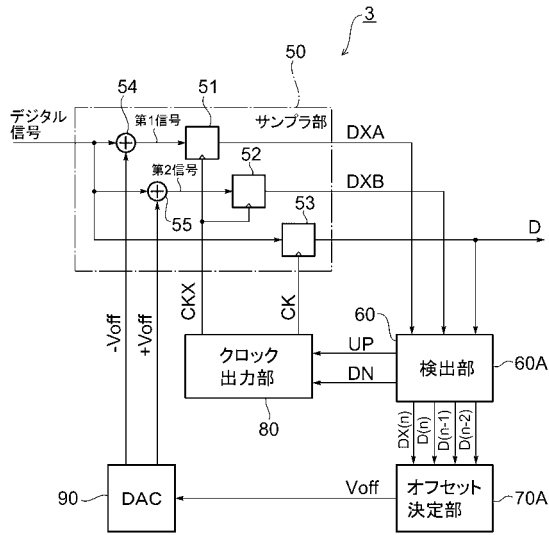
【図19】



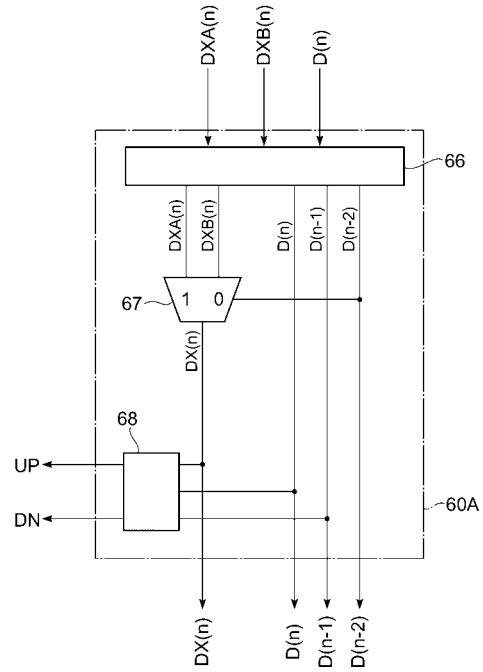
【図20】



【図 2 1】



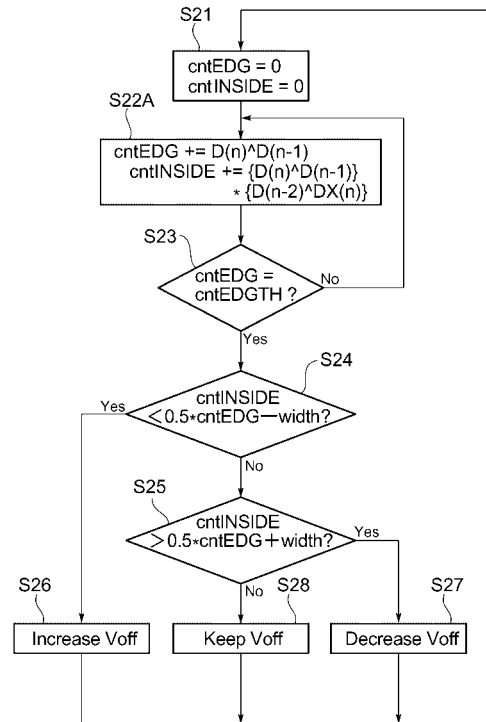
【図 2 2】



【図 2 3】

D (n-1)	DX (n)	D (n)	UP	DN
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

【図 2 4】



フロントページの続き

(56)参考文献 特開平7 - 221800 (JP, A)
特表2004 - 507963 (JP, A)
特開2004 - 254324 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H04L 7/033