



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월21일
 (11) 등록번호 10-0869795
 (24) 등록일자 2008년11월14일

(51) Int. Cl.

G09G 3/28 (2006.01) H01J 17/49 (2006.01)

(21) 출원번호 10-2006-0107744

(22) 출원일자 2006년11월02일

심사청구일자 2006년11월02일

(65) 공개번호 10-2008-0040145

(43) 공개일자 2008년05월08일

(56) 선행기술조사문헌

KR1020030029719 A

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김명관

서울특별시 영등포구 도림2동 동아아파트 104동 601호

정제석

충청남도 천안시 쌍용동 주공7단지아파트 302동 401호

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 11 항

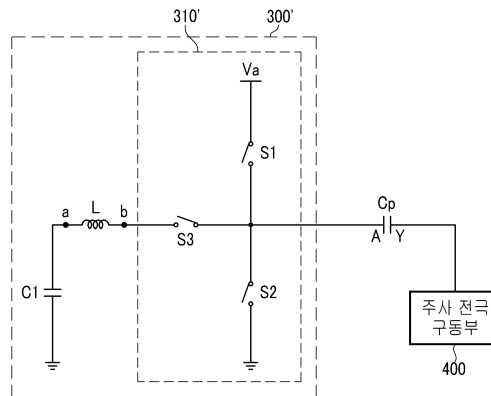
심사관 : 정재현

(54) 플라즈마 표시 장치 및 그 구동 방법

(57) 요약

본 발명은 플라즈마 표시 장치 및 그 구동 방법에 관한 것으로, 어드레스 전극 구동부에서 전력 회수용 커패시터와 패널 커패시터 사이에 전기적으로 연결되는 인덕터를 인쇄 회로 기판(Printed Circuit Board, PCB) 상에 배선 패턴으로 형성한다. 어드레스 기간에서 상기 인덕터와 상기 패널 커패시터간의 LC 공진을 이용하여 상기 어드레스 전극에 전압을 인가하거나 회수함으로써, 어드레스 기간에서 소모되는 전력의 크기를 줄임으로써, 플라즈마 표시 장치의 소비 전력의 효율을 높일 수 있다.

대표도 - 도5



특허청구의 범위

청구항 1

제1 전압과 상기 제1 전압보다 낮은 제2 전압을 가지는 어드레스 펄스가 인가되는 어드레스 전극,
 복수의 기판 층을 포함하는 인쇄 회로 기판,
 상기 인쇄 회로 기판과 상기 어드레스 전극 사이에 전기적으로 연결되는 복수의 스위치를 포함하며 상기 어드레스 전극에 상기 어드레스 펄스를 인가하는 어드레스 구동 회로,
 상기 인쇄 회로 기판에 형성되어 있으며, 상기 제1 전압과 상기 제2 전압 사이의 제3 전압을 충전하고 있는 커패시터, 및
 상기 인쇄 회로 기판에 상기 어드레스 구동 회로와 상기 커패시터를 연결하는 배선 패턴으로 구현되고, 상기 배선 패턴은 상기 어드레스 구동 회로와 상기 커패시터간의 직선 거리보다 길게 구현되는 인덕터를 포함하며,
 상기 어드레스 구동 회로는 상기 어드레스 전극과 상기 인쇄 회로 기판을 전기적으로 연결하는 테이프 캐리어 방식 집적 회로(Tape Carrier Package Integrated Circuit)에 내장되는 플라즈마 표시 장치.

청구항 2

제1항에 있어서,
 상기 인덕터의 배선 패턴은 파형 곡선 형태 또는 말굽 형상으로 굴곡지는 플라즈마 표시 장치.

청구항 3

제1항 또는 제2항에 있어서,
 상기 인덕터의 배선 패턴은 상기 인쇄 회로 기판을 이루는 어느 한 기판 층에 구현되는 플라즈마 표시 장치.

청구항 4

제1항 또는 제2항에 있어서,
 상기 인덕터의 배선 패턴은 상기 인쇄 회로 기판의 복수 기판 층에 각각 구현되고, 상기 각 층의 배선 패턴이 서로 연결되는 플라즈마 표시 장치.

청구항 5

제1항에 있어서,
 상기 어드레스 구동 회로는,
 상기 제1 전압을 공급하는 제1 전원과 상기 어드레스 전극 사이에 전기적으로 연결되는 제1 스위치,
 상기 제2 전압을 공급하는 제2 전원과 상기 어드레스 전극 사이에 전기적으로 연결되는 제2 스위치, 및
 상기 제1 스위치와 상기 어드레스 전극의 접점에 제1단이 전기적으로 연결되고, 제2단이 상기 커패시터와 전기적으로 연결되는 제3 스위치를 포함하는 플라즈마 표시 장치.

청구항 6

제5항에 있어서,
 상기 제3 스위치를 통해 상기 커패시터에 상기 제3 전압을 충전 또는 방전하는 플라즈마 표시 장치.

청구항 7

제5항에 있어서,
 상기 어드레스 펄스는
 어드레스 기간 중 제1 기간에서 상기 제3 스위치가 턴온되어, 상기 어드레스 전극에 의해 형성되는 패널 커패시

터와 상기 인덕터간의 공진에 의해 상기 어드레스 전극의 전압이 상기 제1 전압에서 상기 제2 전압 근처까지 증가하고,

상기 제1 기간에 이어 제2 기간에서 상기 제1 스위치가 턴온되어 상기 어드레스 전극의 전압이 상기 제2 전압을 유지하고,

상기 제2 기간에 이어 제3 기간에서 상기 제3 스위치가 턴온되어 상기 패널 커패시터와 상기 인덕터간의 공진에 의해 상기 어드레스 전극의 전압이 상기 제2 전압에서 상기 제1 전압 근처까지 감소하고,

상기 제3 기간에 이어 제4 기간에서 상기 제2 스위치가 턴온되어 상기 어드레스 전극의 전압이 상기 제1 전압을 유지하는 플라즈마 표시 장치.

청구항 8

제1항에 있어서,

상기 제2 전압은 접지 전압인 플라즈마 표시 장치.

청구항 9

제1항에 있어서,

상기 제3 전압은 상기 제1 전압과 상기 제2 전압 사이의 중간 레벨의 전압인 플라즈마 표시 장치.

청구항 10

제1항에 있어서,

상기 어드레스 구동 회로는 집적 회로(Integrated Circuit)로 구현되는 플라즈마 표시 장치.

청구항 11

삭제

청구항 12

제1항에 있어서,

상기 어드레스 구동 회로는 상기 테이프 캐리어 방식 집적 회로에 집적 회로로 내장되는 플라즈마 표시 장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 플라즈마 표시 장치 및 그 구동 방법에 관한 것이다.
- <12> 플라즈마 표시 장치는 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 픽셀(pixel)이 매트릭스(matrix) 형태로 배열되어 있다.
- <13> 플라즈마 표시 장치에서는 한 프레임(1TV 필드)이 각각의 가중치를 가지는 복수의 서브필드로 분할되어 구동되며, 각 서브필드는 시간적인 동작 변화로 표현하면 리셋 기간, 어드레스 기간 및 유지 기간으로 이루어진다.
- <14> 리셋 기간은 셀에 어드레싱 동작이 원활히 수행되도록 하기 위해 각 셀의 상태를 초기화시키는 기간이며, 어드레스 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하기 위하여 켜지는 셀(어드레싱된 셀)에 어드레스 전압을 인가하여 벽 전하를 쌓아두는 동작을 수행하는 기간이다. 즉, 어드레스 기간에서는 복수의 주사 전극에 순차적으로 주사 펄스가 인가되고, 어드레스 전극에 어드레스 펄스가 인가된다. 이때, 주사 펄스와 어드레스 펄스가 동시에 인가된 셀에서 어드레스 방전이 일어난다. 유지 기간에서는 켜질 셀에서 해당 서브필드의 가중치에 대응하는 횟수만큼 유지 방전이 일어나서 화상이 표시된다.
- <15> 한편, 켜질 셀과 켜지지 않을 셀을 구분하기 위해 어드레스 동작을 수행하는데 있어서, 어드레스 방전을 위한 전력 이외에 커패시턴스에 소정의 전압을 발생시키는 무효 전력이 많이 필요하다. 이때, 어드레스 전극에 어드레스 데이터를 인가하기 위한 스위치의 스위칭 회수가 많은 경우에는 더욱더 어드레스 전력이 소비된다.

발명이 이루고자 하는 기술적 과제

- <16> 본 발명이 이루고자 하는 기술적 과제는 어드레스 소비 전력의 효율을 높이는 플라즈마 표시 장치 및 그 구동 방법을 제공한다.

발명의 구성 및 작용

- <17> 본 발명의 특징에 따르면, 제1 전압과 상기 제1 전압보다 낮은 제2 전압을 가지는 어드레스 펄스가 인가되는 어드레스 전극, 복수의 기관 층을 포함하는 인쇄 회로 기관, 상기 인쇄 회로 기관과 상기 어드레스 전극 사이에 전기적으로 연결되는 복수의 스위치를 포함하며 상기 어드레스 전극에 상기 어드레스 펄스를 인가하는 어드레스 구동 회로, 상기 인쇄 회로 기관에 형성되어 있으며, 상기 제1 전압과 상기 제2 전압 사이의 제3 전압을 충전하고 있는 커패시터, 상기 인쇄 회로 기관에 상기 어드레스 구동 회로와 상기 커패시터를 연결하는 배선 패턴으로 구현되고, 상기 배선 패턴은 상기 어드레스 구동 회로와 상기 커패시터간의 직선 거리보다 길게 구현되는 인덕터를 포함하는 플라즈마 표시 장치가 제공된다.
- <18> 본 발명의 다른 특징에 따르면, 제1 전압과 상기 제1 전압보다 낮은 제2 전압을 가지는 어드레스 펄스가 인가되는 어드레스 전극과, 상기 어드레스 전극과 전기적으로 연결되어 상기 제1 전압과 상기 제2 전압 사이의 제3 전압이 충전되어 있는 커패시터를 포함하는 플라즈마 표시 장치의 구동 방법이 제공된다. 이 구동 방법은, 어드레스 기간에서, 상기 어드레스 전극과 상기 커패시터를 연결하는 인덕터를 통해 상기 커패시터에 충전된 상기 제3 전압을 상기 어드레스 전극에 공급하는 단계, 상기 제1 전압을 공급하는 전원과 상기 어드레스 전극을 연결하여 상기 어드레스 전극에 상기 제1 전압을 공급하는 단계, 상기 인덕터를 통해 상기 어드레스 전극의 전압을 상기 커패시터로 회수하는 단계, 상기 제2 전압을 공급하는 전원과 상기 어드레스 전극을 연결하여 상기 어드레스 전극에 상기 제2 전압을 공급하는 단계를 포함한다. 이때, 상기 인덕터는 복수의 기관 층을 포함하는 인쇄 회로 기관에 배선 패턴으로 구현된다.
- <19> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다. 또한, 명세서 전체에서 어떤 부분이 어떤 구성 요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- <20> 이제 본 발명의 실시 예에 따른 플라즈마 표시 장치 및 그 구동 방법에 대하여 도면을 참조하여 상세하게 설명한다.
- <21> 도 1은 본 발명의 실시 예에 따른 플라즈마 표시장치의 개략적인 평면도이다.
- <22> 도 1에 나타난 바와 같이 본 발명의 실시 예에 따른 플라즈마 표시장치는 플라즈마 표시 패널(100), 제어부

(200), 어드레스 전극 구동부(300), 주사 전극 구동부(400) 및 유지 전극 구동부(500)를 포함한다.

- <23> 플라즈마 표시 패널(100)은 열 방향으로 뻗어 있는 복수의 어드레스 전극(A1~Am), 그리고 행 방향으로 서로 쌍을 이루면서 뻗어 있는 복수의 유지 전극(X1~Xn) 및 주사 전극(Y1~Yn)을 포함한다. 유지 전극(X1~Xn)은 각 주사 전극(Y1~Yn)에 대응해서 형성되어 있으며, 유지 전극(X1~Xn)과 주사 전극(Y1~Yn)이 유지 기간에서 화상을 표시하기 위한 표시 동작을 수행한다. 어드레스 전극(A1~Am)은 유지 전극(X1~Xn) 및 주사 전극(Y1~Yn)과 직교하도록 배치된다. 이때, 어드레스 전극(A1~Am)과 주사 전극(Y1~Yn) 및 유지 전극(X1~Xn)의 교차부에 있는 방전 공간이 셀(12)을 형성한다. 이러한 플라즈마 표시 패널(100)의 구조는 일 예이며, 아래에서 설명하는 구동 방법이 적용될 수 있는 다른 구조의 패널도 본 발명에 적용될 수 있다.
- <24> 제어부(200)는 외부로부터 영상 신호를 수신하여 어드레스 전극 구동 제어신호, 유지 전극 구동 제어신호 및 주사 전극 구동 제어신호를 출력한다. 그리고 제어부(200)는 한 프레임을 복수의 서브필드로 분할하여 구동한다. 각 서브필드는 시간적인 동작 변화로 표현하면 리셋 기간, 어드레스 기간 및 유지 기간으로 이루어진다.
- <25> 어드레스 전극 구동부(300)는 제어부(200)로부터 어드레스 전극 구동 제어신호를 수신하여 표시하고자 하는 방전 셀을 선택하기 위한 표시 데이터 신호를 각 어드레스 전극에 인가한다.
- <26> 주사 전극 구동부(400)는 제어부(200)로부터 주사 전극 구동 제어신호를 수신하여 주사 전극에 구동 전압을 인가한다.
- <27> 유지 전극 구동부(500)는 제어부(200)로부터 유지 전극 구동 제어신호를 수신하여 유지 전극에 구동 전압을 인가한다.
- <28> 본 발명의 실시 예에 따르면, 주사, 유지 전극 구동부(400, 500)는 플라즈마 표시 패널(100)의 후면에 위치한 보드(도시하지 않음)에 형성되어 있다. 어드레스 전극 구동부(300)의 일부는 상기 보드와 플라즈마 표시 패널(100)을 전기적으로 연결하는 테이프 캐리어 방식 집적 회로(TCP IC: Tape Carrier Package Integrated circuit)(도 6에 도면부호 700으로 도시됨)에 내장되어 있다.
- <29> 도 2는 본 발명의 제1 실시 예에 따른 어드레스 전극 구동부(300)의 회로도이다.
- <30> 도 2에 도시한 바와 같이, 어드레스 전극 구동부(300)는 복수의 어드레스 전극에 각각 연결되는 복수의 어드레스 구동 회로(310)와, 전력 회수용 커패시터(C1)를 포함한다. 도 2에서는 설명의 편의상 하나의 어드레스 전극에 연결되어 있는 어드레스 구동 회로(310)만을 도시하였으며, 어드레스 전극과 주사 전극 사이에 형성되는 커패시턴스 성분은 패널 커패시터(Cp)로 도시하였다. 그리고 복수의 어드레스 구동 회로(310) 중에서 소정 개수의 어드레스 구동 회로는 하나의 집적 회로(Integrated Circuit, IC) 형태로 제작될 수 있다.
- <31> 그리고 각 어드레스 구동 회로(310)는 스위치(S1, S2, S3)를 포함한다. 도 2에서는 스위치(S1, S2, S3)를 각각 전계 효과 트랜지스터, 절연 게이트 바이폴라 트랜지스터 등으로 형성할 수 있다. 이때, 트랜지스터에는 각각 바디 다이오드가 형성될 수 있다. 그리고 스위치(S3)에 바디 다이오드가 형성되는 경우에는 바디 다이오드로 인한 경로를 차단하기 위해 스위치(S3)를 백투백 형태로 연결된 트랜지스터들로 형성할 수 있다.
- <32> 스위치(S1)는 어드레스 전압(Va)을 공급하는 Va 전원과 패널 커패시터(Cp)의 어드레스 전극 사이에 연결되어 있다. 스위치(S2)는 어드레스 전압보다 낮은 전압을 공급하는 전원(도 2에서는 접지 전압을 공급하는 접지단)과 패널 커패시터(Cp)의 어드레스 전극 사이에 연결되어 있다.
- <33> 한편, 어드레스 전극에 온 데이터가 인가되는 경우, 스위치(S1)를 턴온시키는 신호가 스위치(S1)의 제어 단자로 입력되고, 오프 데이터가 인가되는 경우, 스위치(S2)를 턴온시키는 신호가 스위치(S1)의 제어 단자로 입력된다. 또한, 스위치(S3)는 패널 커패시터(Cp)의 어드레스 전극과 회수용 커패시터(C1) 사이에 연결되어 있다.
- <34> 그리고 적어도 하나의 커패시터(C1)가 복수의 어드레스 전극(A1~Am)에 공통으로 연결될 수도 있으며, 소정 개수의 어드레스 전극마다 별개의 커패시터(C1)가 연결될 수도 있다. 이때, 커패시터(C1)의 크기가 패널 커패시터(Cp)에 비해서 커서, 스위치(S3)가 턴온될 때, 패널 커패시터(Cp)에서 충전 또는 방전되는 전류에 의한 커패시터(C1)의 전압 변화가 작은 것으로 가정한다. 그리고 커패시터(C1)는 Va 전압과 0V 사이의 전압, 특히 Va/2 전압 근처의 전압을 공급하는 것으로 가정한다.
- <35> 다음으로, 도 2의 어드레스 전극 구동부(300)의 동작에 대해서 도 3, 도 4a 및 도 4b를 참조하여 상세하게 설명한다.
- <36> 도 3은 본 발명의 제1 실시 예에 따른 어드레스 전극에 인가되는 구동 파형을 생성하기 위한 어드레스 구동 회

로(310)의 신호 타이밍을 나타낸 도면이며, 도 4a 및 도 4b는 각각 도 2에 도시된 본 발명의 제1 실시 예에 따른 어드레스 전극 구동부(300)의 어드레스 전력 회수 동작을 나타낸 도면이다.

- <37> 한편, 도 3에 나타낸 구동 파형은 도 3과 같이 데이터가 1에서 0, 0에서 1로 어드레스 데이터가 계속 변화하는 도트 패턴을 가지는 것으로 가정하였다.
- <38> 먼저, 기간(M1)이 시작되기 전에, 스위치(S2)가 턴온되어 패널 커패시터(Cp)의 양단 전압은 0V를 유지하며, 커패시터(C1)에는 어드레스 전압(Va)의 1/2만큼의 전압(Va/2)이 미리 충전되어 있는 것으로 가정한다.
- <39> 기간(M1)에서는 스위치(S3)를 턴온하고 스위치(S2)를 턴오프한다. 그러면, 도 4a에 나타낸 바와 같이, 커패시터(C1), 스위치(S3) 및 패널 커패시터(Cp)의 어드레스 전극으로 전류 경로가 형성된다(①). 이 경로(①)에 의해 전력 회수용 커패시터(C1)에 충전되었던 전압이 패널 커패시터(Cp)로 충전되어, 패널 커패시터(Cp)의 전압은 0V에서 Va/2 전압까지 증가한다. 이때, 어드레스 전극 구동부(300)는 최대한으로 전압을 상승시키더라도 패널 커패시터(Cp)의 전압을 커패시터(C1)에 충전된 전압, 즉 Va/2 전압까지만 상승시킬 수 있다.
- <40> 다음, 기간(M2)에서는 스위치(S3)가 턴오프되고 스위치(S1)가 턴온된다. 그러면, 도 4a에 나타낸 바와 같이, Va 전압, 스위치(S1) 및 패널 커패시터(Cp)의 어드레스 전극으로 전류 경로가 형성된다(②). 이 경로(②)에 의해 패널 커패시터(Cp)의 어드레스 전극에는 하드 스위칭에 의해 Va 전압이 인가된다.
- <41> 기간(M3)에서는 스위치(S1)가 턴오프되고 스위치(S3)가 턴온된다. 그러면, 도 4b에 나타낸 바와 같이, 패널 커패시터(Cp), 스위치(S3) 및 전력 회수용 커패시터(C1)으로 전류 경로가 형성된다(③). 이 경로(③)에 의해 패널 커패시터(Cp)에 충전되었던 전압이 전력 회수용 커패시터(C1)로 회수되어, 패널 커패시터(Cp)의 전압은 Va에서 Va/2 전압 근처까지 감소한다. 이때, 어드레스 전극 구동부(300)는 전압을 상승시킬 때와 마찬가지로 패널 커패시터(Cp)의 전압을 최대한으로 하강시키더라도 Va/2 전압까지만 하강시킨다.
- <42> 다음, 기간(M4)에서는 스위치(S3)가 턴오프되고 스위치(S2)가 턴온된다. 그러면, 도 4b에 나타낸 바와 같이, 패널 커패시터(Cp), 스위치(S2) 및 접지 전원으로 전류 경로가 형성된다(④). 이 경로(④)에 의해 패널 커패시터(Cp)의 어드레스 전극에는 하드 스위칭에 의해 0V 전압이 인가된다.
- <43> 이와 같이, 기간(M1)은 무효 소비 전력을 전력 회수용 커패시터(C1)로부터 패널 커패시터(Cp)에 공급하는 기간이며, 기간(M3)은 무효 소비 전력을 패널 커패시터(Cp)로부터 전력 회수용 커패시터(C1)로 다시 회수하는 기간이다.
- <44> 이와 같이, 스위치(S3)를 턴온 또는 턴오프하여 전력 회수용 커패시터(C1)로 전력을 회수하거나 공급함으로써, 스위칭에 의한 어드레스 소비 전력의 소모를 줄일 수 있고, 플라즈마 표시 장치의 전에 소비 전력을 줄일 수 있다.
- <45> 본 발명의 제2 실시 예에서는 본 발명의 제1 실시 예에 따른 어드레스 전극구동부(300)에서 전력 회수용 커패시터(C1)와 스위치(S3) 사이에 인덕터(L)를 추가하는 것을 제외하고 본 발명의 제1 실시 예와 동일하다.
- <46> 도 5는 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')의 회로도이고, 도 6은 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')의 개략적인 구성도이다.
- <47> 도 5에 도시한 바와 같이, 어드레스 전극 구동부(300')는 복수의 어드레스 전극에 각각 연결되는 복수의 어드레스 구동 회로(310'), 전력 회수용 커패시터(C1) 및 인덕터(L)를 포함한다. 도 5 및 도 6에서는 설명의 편의상 하나의 어드레스 전극에 연결되어 있는 어드레스 구동 회로(310')만을 도시하였으며, 어드레스 전극과 주사 전극 사이에 형성되는 커패시턴스 성분은 패널 커패시터(Cp)로 도시하였다. 그리고 복수의 어드레스 구동 회로(310') 중에서 소정 개수의 어드레스 구동 회로는 하나의 집적 회로(Integrated Circuit, IC) 형태로 제작된다.
- <48> 도 6에 도시한 바와 같이, 도 5에 도시된 어드레스 전극 구동부(300')는 패터닝된 인쇄 회로 기판(PCB: Printed Circuit Board)(600) 및 인쇄 회로 기판(600)과 플라즈마 표시 패널(100)을 전기적으로 연결하는 테이프 캐리어 방식 집적 회로(TCP IC: Tape Carrier Package Integrated circuit)(700)(이하, "TCP IC"라고 함) 상에 형성된다. 직접 회로(IC) 형태로 구성된 어드레스 구동 회로(310')는 TCP IC(700)에 내장되어 있고, 전력 회수용 커패시터(C1)는 칩(Chip) 형태로 인쇄 회로 기판(600)을 이루는 어느 한 기판 층에 장착된다. 또한, 도 5에 도시된 인덕터(L)는 인쇄 회로 기판(600)상에 다양한 배선 패턴(320)으로 형성된다. 이때, 인덕터(L)의 배선 패턴(320)은 최소한 어드레스 구동 회로(310')와 커패시터(C1)를 직선으로 연결하는 거리(점점 a에서 점점 b까지의 거리)보다 길도록 꾸불꾸불하게 굴곡진 형태로 구현된다. 도 6에서는 커패시터(C1)와 인덕터(L)의 배선 패턴(320)

0)이 같은 기관 층에 있는 것으로 도시하였지만, 커패시터(C1)와 인덕터(L)는 다른 기관 층에 있을 수도 있다.

- <49> 도 7a 및 도 7b는 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')에서 인덕터(L)의 배선 패턴의 변형 예를 도시한 인쇄 회로 기관의 부분 사시도이다.
- <50> 도 7a 및 도 7b에 나타난 바와 같이, 도 6에 도시된 인덕터(L)의 배선 패턴(320)은 나선형의 소용돌이 형상 또는 말굽 형상 등으로 구현할 수 있으며, 그 굵기와 길이에 따라 인덕턴스 성분이 달라질 수 있다. 인덕터(L)의 인덕턴스 성분이 클수록 전력 회수 효율이 증가하므로, 인덕터(L)의 배선 패턴(320, 320' 320")은 굵고 길수록 전력 회수 효율이 증가한다.
- <51> 여기서, 본 발명의 제2 실시 예에 따른 인덕터(L)의 배선 패턴은 그 형상이 소정의 파형 곡선 형상이나 말굽 형상으로 한정되는 것은 아니며 인쇄 회로 기관(600)에 자체 패턴링하여 인덕턴스를 조정할 수 있는 모든 형태가 적용 가능하다.
- <52> 또한, 인덕터(L)의 배선 패턴은 도 6, 도 7a 및 도 7b에 나타난 바와 같이 인쇄 회로 기관(600)을 이루는 어느 한 기관 층에 구현될 수 있다. 그러나 인덕터(L)의 배선 패턴은 도 8에 도시된 바와 같이 복수의 기관 층에 각각 구현되고 각 층의 배선 패턴이 서로 연결되어 형성될 수도 있다.
- <53> 도 8은 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')에서 인덕터(L)의 배선 패턴의 변형 예를 도시한 인쇄 회로 기관의 분해 사시도이다.
- <54> 도 8에 나타난 바와 같이, 배선 패턴(320)은 인쇄 회로 기관(600)을 이루는 서로 다른 각각의 기관 층에 겹거나 서로 다른 형성으로 굴곡지게 구현된 각 층의 배선 패턴(321~324)들을 서로 연결하여 그 경로를 보다 길게 연장하도록 형성된다. 따라서, 인쇄 회로 기관(600)보다 작은 공간에서도 배선 패턴(320)의 경로를 입체적으로 연장할 수 있게 된다.
- <55> 다음으로, 도 5 및 도 6의 어드레스 전극 구동부(300')의 동작에 대해서 도 9, 도 10a 및 도 10b를 참조하여 상세하게 설명한다.
- <56> 도 9은 본 발명의 제2 실시 예에 따른 어드레스 전극에 인가되는 구동 파형을 생성하기 위한 어드레스 구동 회로(310')의 신호 타이밍을 나타낸 도면이며, 도 10a 및 도 10b는 각각 도 5에 도시된 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')의 어드레스 전력 회수 동작을 나타낸 도면이다.
- <57> 한편, 도 9에 나타난 구동 파형은 도 9와 같이 데이터가 1에서 0, 0에서 1로 어드레스 데이터가 계속 변화하는 도트 패턴을 가지는 것으로 가정하였다.
- <58> 먼저, 기간(T1)이 시작되기 전에, 스위치(S2)가 턴온되어 패널 커패시터(Cp)의 양단 전압은 0V를 유지하며, 전력 회수용 커패시터(C1)에는 어드레스 전압(Va)의 1/2인 전압(Va/2)이 미리 충전되어 있는 것으로 가정한다.
- <59> 기간(T1)에서는 스위치(S3)를 턴온하고 스위치(S2)를 턴오프한다. 그러면, 도 10a에 나타난 바와 같이, 커패시터(C1), 인덕터(L), 스위치(S3) 및 패널 커패시터(Cp)의 어드레스 전극으로 전류 경로가 형성된다(①). 이 경로(①)에 의해 LC 공진 회로가 형성되어 전력 회수용 커패시터(C1)에 충전되었던 전압이 패널 커패시터(Cp)로 충전되어, 패널 커패시터(Cp)의 전압은 0V 에서 Va 전압 근처까지 증가한다.
- <60> 다음, 기간(T2)에서는 스위치(S3)가 턴오프되고 스위치(S1)가 턴온된다. 그러면, 도 10a에 나타난 바와 같이, Va 전원, 스위치(S1) 및 패널 커패시터(Cp)의 어드레스 전극으로 전류 경로가 형성된다(②). 이 경로(②)에 의해 패널 커패시터(Cp)의 어드레스 전극에는 Va 전압이 인가된다.
- <61> 기간(T3)에서는 스위치(S1)가 턴오프되고 스위치(S3)가 턴온된다. 그러면, 도 10b에 나타난 바와 같이, 패널 커패시터(Cp), 스위치(S3), 인덕터(L) 및 전력 회수용 커패시터(C1)로 전류 경로가 형성된다(③). 이 경로(③)에 의해 LC 공진 회로가 형성되어 패널 커패시터(Cp)에 충전되었던 전압이 전력 회수용 커패시터(C1)로 회수되어, 패널 커패시터(Cp)의 전압은 Va 전압에서 0V 전압 근처까지 감소한다. 이때, 전력 회수용 커패시터(C1)에는 Va 전압에 가까운 전력이 회수되고, 이는 본 발명의 제1 실시 예에서 Va/2 전압이 회수되는 것보다 회수 효율이 높다.
- <62> 다음, 기간(T4)에서는 스위치(S3)가 턴오프되고 스위치(S2)가 턴온된다. 그러면, 도 10b에 나타난 바와 같이, 패널 커패시터(Cp), 스위치(S2) 및 접지 전원으로 전류 경로가 형성된다(④). 이 경로(④)에 의해 패널 커패시터(Cp)의 어드레스 전극에는 0V 전압이 인가된다.

- <63> 이와 같이, 본 발명의 제2 실시 예에서는 기간(T1, T3) 동안 LC 공진을 이용하여 전력 회수용 커패시터(C1)와 패널 커패시터(Cp) 간의 충전 전압을 회수 또는 공급함으로써, 본 발명의 제1 실시 예보다 전력 회수 효율이 높다. 또한, 스위치(S3)를 턴온 또는 턴오프하여 전력 회수용 커패시터(C1)로 전력을 회수하거나 공급함으로써, 스위칭에 의한 어드레스 소비 전력의 소모를 줄일 수 있고, 플라즈마 표시 장치의 소비 전력을 줄일 수 있다.
- <64> 이상에서 본 발명의 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

발명의 효과

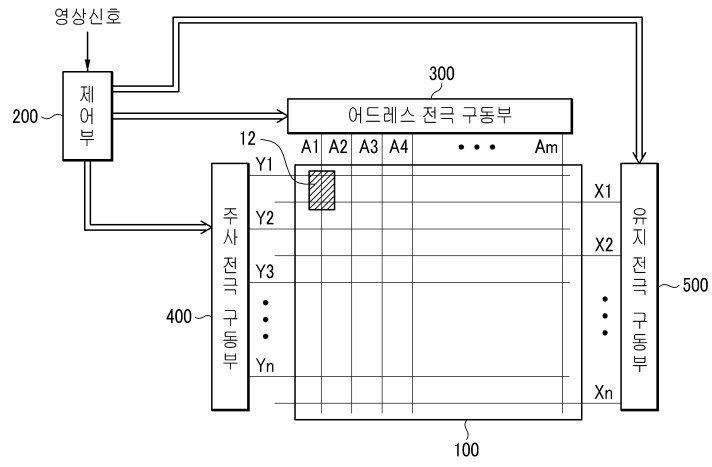
- <65> 이상에서 살펴본 바와 같이, 본 발명의 실시 예에서는 인쇄 회로 기판상에 배선 패턴으로 구현되는 인덕터와 패널 커패시터 간의 LC 공진을 이용하여 어드레스 전극에 어드레스 전압을 인가함으로써, 어드레스 기간에서 소모되는 전력의 크기를 줄일 수 있고, 플라즈마 표시 장치의 소비 전력의 효율을 높일 수 있다.

도면의 간단한 설명

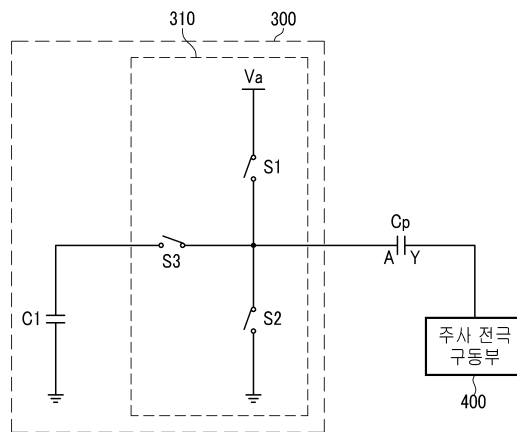
- <1> 도 1은 본 발명의 실시 예에 따른 플라즈마 표시장치의 개략적인 평면도이다.
- <2> 도 2는 본 발명의 제1 실시 예에 따른 어드레스 전극 구동부(300)의 회로도이다.
- <3> 도 3은 본 발명의 제1 실시 예에 따른 어드레스 전극에 인가되는 구동 파형을 생성하기 위한 어드레스 구동 회로(310)의 신호 타이밍을 나타낸 도면이다.
- <4> 도 4a 및 도 4b는 각각 도 2에 도시된 본 발명의 제1 실시 예에 따른 어드레스 전극 구동부(300)의 어드레스 전력 회수 동작을 나타낸 도면이다.
- <5> 도 5는 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')의 회로도이다.
- <6> 도 6은 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')의 개략적인 구성도이다.
- <7> 도 7a 및 도 7b는 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')에서 인덕터(L)의 배선 패턴의 변형 예를 도시한 인쇄 회로 기판의 부분 사시도이다.
- <8> 도 8은 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')에서 인덕터(L)의 배선 패턴의 변형 예를 도시한 인쇄 회로 기판의 분해 사시도이다.
- <9> 도 9은 본 발명의 제2 실시 예에 따른 어드레스 전극에 인가되는 구동 파형을 생성하기 위한 어드레스 구동 회로(310')의 신호 타이밍을 나타낸 도면이다.
- <10> 도 10a 및 도 10b는 각각 도 5에 도시된 본 발명의 제2 실시 예에 따른 어드레스 전극 구동부(300')의 어드레스 전력 회수 동작을 나타낸 도면이다.

도면

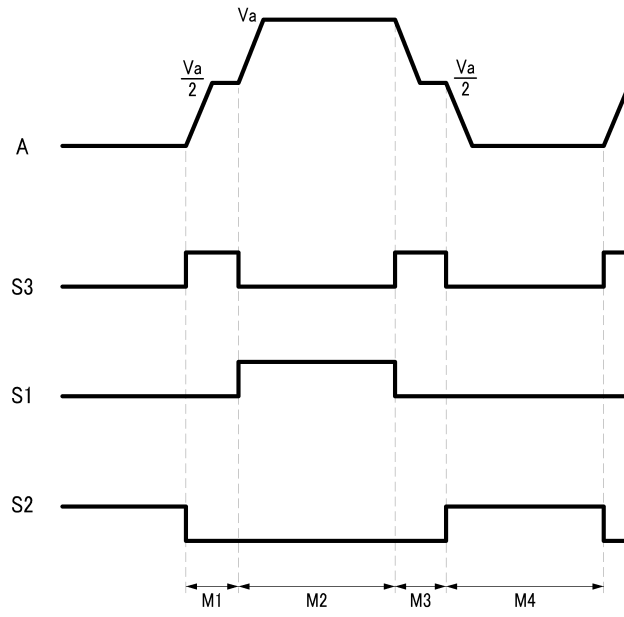
도면1



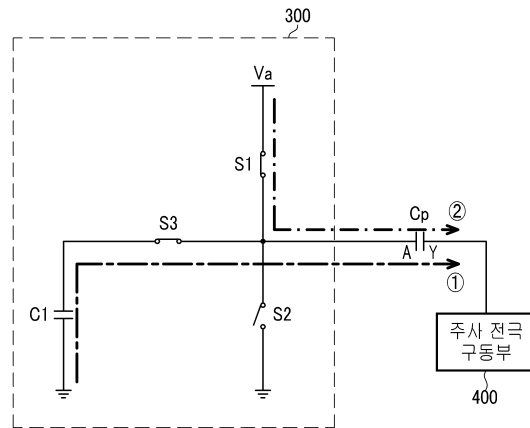
도면2



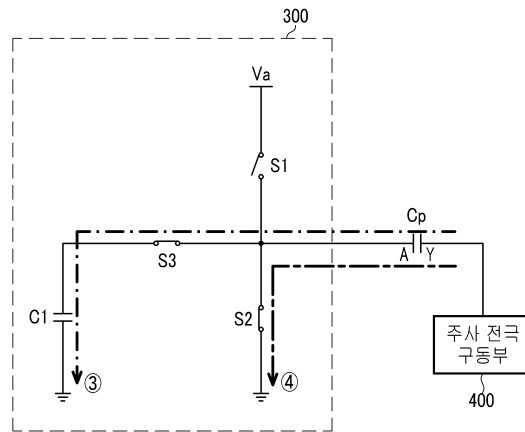
도면3



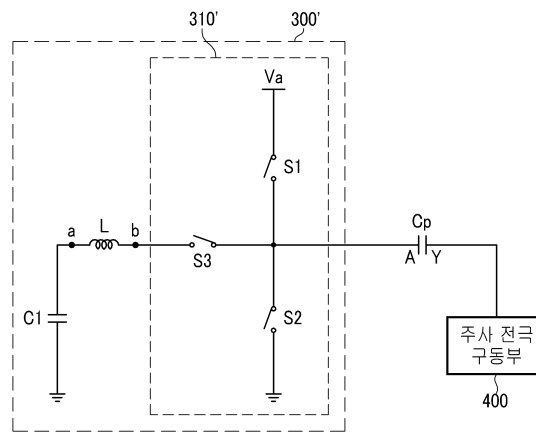
도면4a



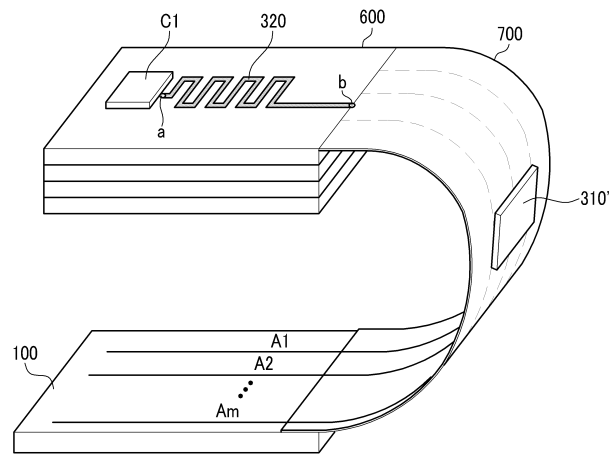
도면4b



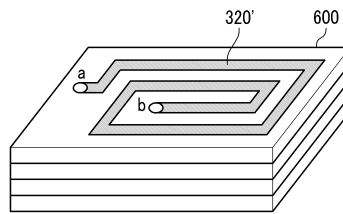
도면5



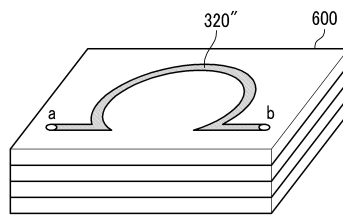
도면6



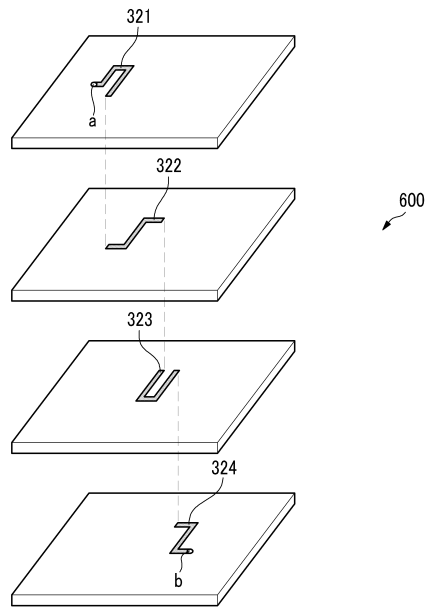
도면7a



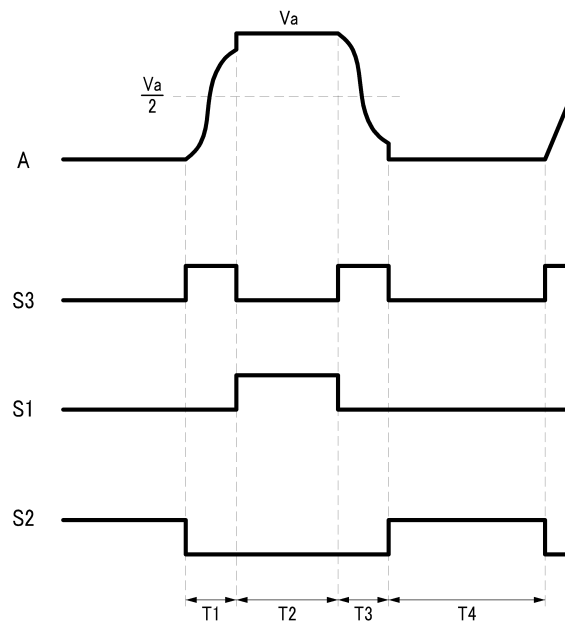
도면7b



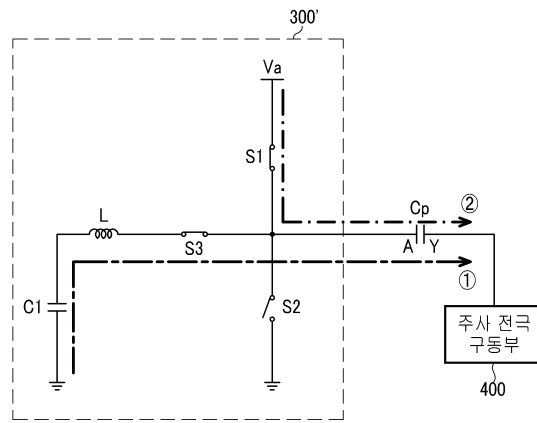
도면8



도면9



도면10a



도면10b

