

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-345603

(P2005-345603A)

(43) 公開日 平成17年12月15日(2005.12.15)

(51) Int. Cl.<sup>7</sup>

G09G 3/36  
G02F 1/133  
G09G 3/20

F I

G09G 3/36  
G02F 1/133 550  
G02F 1/133 575  
G09G 3/20 621A  
G09G 3/20 621B

テーマコード(参考)

2H093  
5C006  
5C080

審査請求 未請求 請求項の数 9 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2004-163162 (P2004-163162)

(22) 出願日 平成16年6月1日(2004.6.1)

(71) 出願人 502356528

株式会社 日立ディスプレイズ  
千葉県茂原市早野3300番地

(71) 出願人 503273790

株式会社日立ディスプレイデバイス  
千葉県茂原市早野3681番地

(74) 代理人 100083552

弁理士 秋田 収喜

(72) 発明者 中村 雅志

千葉県茂原市早野3681番地 株式会社  
日立ディスプレイデバイス内

(72) 発明者 武田 伸宏

千葉県茂原市早野3300番地 株式会社  
日立ディスプレイズ内

最終頁に続く

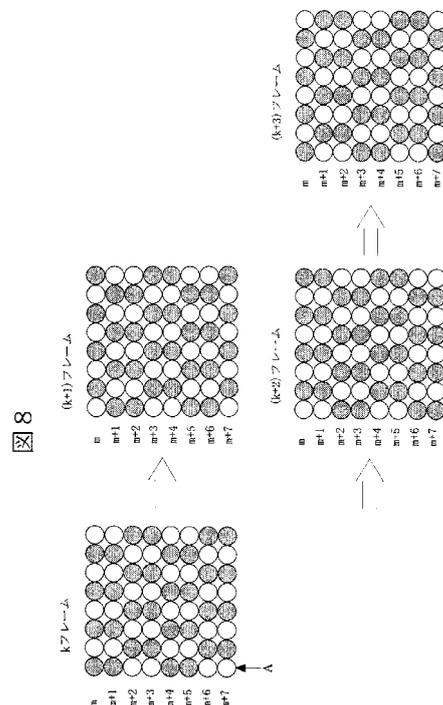
(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

【課題】 新たな表示制御信号を設けることなく、階調電圧の極性を $N(N-2)$ ライン毎に反転させる場合に、表示画面に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能な液晶表示装置の駆動方法を提供する。

【解決手段】 複数の画素と、前記複数の画素に階調電圧を印加する複数の映像線とを有し、前記各映像線に供給する階調電圧の極性を $N(N-2)$ ライン毎に反転させる液晶表示装置の駆動方法であって、前記階調電圧の極性が正極性から負極性、あるいは、負極性から正極性へと変化する極性反転ライン位置を、各フレームで異ならせる。この場合に、連続するフレーム間において、前記極性反転ライン位置が不連続である。また、連続する $2N$ フレーム間において、各画素に、正極性の階調電圧と負極性の階調電圧とを $(N/2)$ 回ずつ供給する。

【選択図】 図8



## 【特許請求の範囲】

## 【請求項 1】

複数の画素と、  
 前記複数の画素に階調電圧を印加する複数の映像線とを有し、  
 前記各映像線に供給する階調電圧の極性を  $N(N/2)$  ライン毎に反転させる液晶表示装置の駆動方法であって、  
 前記階調電圧の極性が正極性から負極性、あるいは、負極性から正極性へと変化する極性反転ライン位置を、各フレームで異ならせたことを特徴とする液晶表示装置の駆動方法。

## 【請求項 2】

連続するフレーム間において、前記極性反転ライン位置が不連続であることを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

10

## 【請求項 3】

連続する  $2N$  フレーム間において、各画素に、正極性の階調電圧と負極性の階調電圧とを  $(N/2)$  回ずつ供給することを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置の駆動方法。

## 【請求項 4】

前記  $N$  は、2 であることを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の液晶表示装置の駆動方法。

## 【請求項 5】

複数の画素と、  
 前記複数の画素に階調電圧を印加する複数の映像線と、  
 前記複数の映像線に対して階調電圧力する駆動手段とを有し、  
 前記駆動手段は、前記各映像線に供給する階調電圧の極性を  $N(N/2)$  ライン毎に反転させる液晶表示装置であって、  
 前記駆動手段は、前記階調電圧の極性が正極性から負極性、あるいは、負極性から正極性へと変化する極性反転ライン位置を、各フレームで異ならせたことを特徴とする液晶表示装置。

20

## 【請求項 6】

前記駆動手段に対して、交流化信号を出力する表示制御装置とを備え、  
 前記駆動手段は、前記表示制御手段から出力される交流化信号に基づき、前記各映像線に供給する階調電圧の極性を  $N(N/2)$  ライン毎に反転させることを特徴とする請求項 5 に記載の液晶表示装置。

30

## 【請求項 7】

前記駆動手段は、連続するフレーム間において、前記極性反転ライン位置を不連続としたことを特徴とする請求項 5 または請求項 6 に記載の液晶表示装置。

## 【請求項 8】

前記駆動手段は、連続する  $2N$  フレーム間において、各画素に、正極性の階調電圧と負極性の階調電圧とを  $(N/2)$  回ずつ供給することを特徴とする請求項 5 ないし請求項 7 のいずれか 1 項に記載の液晶表示装置。

40

## 【請求項 9】

前記  $N$  は、2 であることを特徴とする請求項 5 ないし請求項 8 のいずれか 1 項に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、液晶表示装置およびその駆動方法に係わり、特に、画素に印加する階調電圧の極性を複数ライン毎に反転する  $N$  ライン反転駆動方法に適用して有効な技術に関する。

## 【背景技術】

## 【0002】

50

例えば、薄膜トランジスタ ( T F T ; Thin Film Transistor ) などの能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、パーソナルコンピュータ等の表示装置として広く使用されている。

一般に、液晶層は、長時間同じ電圧 ( 直流電圧 ) が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

これを防止するために、液晶表示モジュールにおいては、液晶層に印加する電圧をある一定時間毎に交流化、即ち、コモン電極 ( または共通電極 ) に印加する共通電圧を基準にして、画素電極に印加する階調電圧を、一定時間毎に正電圧側 / 負電圧側に变化させるようにしている。

この液晶層に交流電圧を印加する駆動方法として、コモン対称法が知られている。コモン対称法とは、コモン電極に印加される共通電圧を一定とし、画素電極に印加する階調電圧を、コモン電極に印加される共通電圧を基準にして、交互に正側、負側に反転させる方法であり、ドット反転法、 $n$ ライン ( 例えば、2ライン ) 反転法などが知られている。

10

#### 【 0 0 0 3 】

図 1 6 は、液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、各画素に書き込まれる階調電圧の極性を説明するための図である。

ドット反転では、図 1 6 に示すように、例えば、奇数フレームの奇数ラインでは、奇数番目の画素に、コモン電極に印加される共通電圧 (  $V_{com}$  ) に対して負極性の階調電圧 ( 図 1 6 では  $V_{11}$  で示す ) が、また、偶数番目の画素に、コモン電極に印加される共通電圧 (  $V_{com}$  ) に対して正極性の階調電圧 ( 図 1 6 では  $V_{12}$  で示す ) が印加される。

20

さらに、奇数フレームの偶数ラインでは、奇数番目の画素に正極性の階調電圧が、また、偶数番目の画素に負極性の階調電圧が印加される。

また、各ライン毎の極性はフレーム毎に反転され、即ち、図 1 6 に示すように、偶数フレームの奇数ラインでは、奇数番目の画素に正極性の階調電圧が、また、偶数番目の画素に負極性の階調電圧が印加される。

さらに、偶数フレームの偶数ラインでは、奇数番目の画素に負極性の階調電圧が、また、偶数番目の画素に正極性の階調電圧が印加される。

#### 【 0 0 0 4 】

このドット反転法では、コモン電極に流れる電流が少なく電圧降下が大きくなならないため、コモン電極の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

30

しかしながら、このドット反転法では、1ライン毎に、ドレイン信号線を、正極性の階調電圧から負極性の階調電圧に放電、あるいは、負極性の階調電圧から正極性の階調電圧に充電する必要があり、消費電力が大きいという問題点がある。

この問題点は、 $N$ ライン ( 例えば、2ライン ) 反転法を採用し、ドレインドライバからドレイン信号線に印加する階調電圧の極性を、 $N$ ライン毎に反転させることにより解決することができる ( 下記特許文献 1 参照 ) 。

しかしながら、駆動方法として、 $N$ ライン反転法を採用した場合には、図 1 7 に示すように、例えば、同じ階調で、かつ、同じ色を画面全体に表示したときなどに、 $N$ ライン毎に、表示画面中に横筋が生じ、液晶表示パネルの表示品質を著しく損なわせるという問題点があった。

40

#### 【 0 0 0 5 】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献 1】特開 2 0 0 1 - 2 1 5 4 6 9 号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【 0 0 0 6 】

前述の特許文献 1 では、 $N$ ライン毎に、表示画面中に横筋が生じるのを防止するために、所定時間  $A$  が経過してからゲートラインを “ H ” として、液晶セルの書き込みを開始させることが開示されている。

しかしながら、前述の特許文献 1 では、所定時間  $A$  が経過してからゲートラインを “ H ”

50

” とするために、出力イネーブル信号 / V O E という新たな表示制御信号が必要になるという問題点がある。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置およびその駆動方法において、新たな表示制御信号を設けることなく、階調電圧の極性を  $N(N-2)$  ライン毎に反転させる場合に、表示画面に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる技術を提供することにある。

本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

#### 【課題を解決するための手段】

10

##### 【0007】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

即ち、本発明は、液晶表示装置において、各映像線に供給する階調電圧の極性を  $N(N-2)$  ライン毎に反転させる際に、前記階調電圧の極性が正極性から負極性、あるいは、負極性から正極性へと変化する極性反転ライン位置を、各フレームで異ならせたことを特徴とする。

#### 【発明の効果】

##### 【0008】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

20

本発明の液晶表示装置およびその駆動方法によれば、新たな表示制御信号を設けることなく、階調電圧の極性を  $N(N-2)$  ライン毎に反転させる場合に、表示画面に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる。

#### 【発明を実施するための最良の形態】

##### 【0009】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

本発明が適用される T F T 方式の液晶表示モジュールの基本構成

30

図 1 は、本発明が適用される液晶表示モジュールの概略構成を示すブロック図である。

図 1 に示す液晶表示モジュールは、液晶表示パネル 10 の長辺側にドレインドライバ 130 が配置され、また、液晶表示パネル 10 の短辺側にゲートドライバ 140 が配置される。

このドレインドライバ 130、ゲートドライバ 140 は、液晶表示パネル 10 の一方のガラス基板（例えば、T F T 基板）の周辺部に直接実装される。

インタフェース部 100 はインタフェース基板に実装され、このインタフェース基板は、液晶表示パネル 10 の裏側に実装される。

##### 【0010】

図 1 に示す液晶表示パネル 10 の構成

40

図 2 は、図 1 に示す液晶表示パネル 10 の一例の等価回路を示す図であり、図 2 に示すように、液晶表示パネル 10 は、マトリクス状に形成される複数の画素を有する。

各画素は、隣接する 2 本の信号線（ドレイン信号線（D）またはゲート信号線（G））と、隣接する 2 本の信号線（ゲート信号線（G）またはドレイン信号線（D））との交差領域内に配置される。

各画素は、薄膜トランジスタ（T F T 1 , T F T 2）を有し、各画素の薄膜トランジスタ（T F T 1 , T F T 2）のソース電極は、画素電極（I T O 1）に接続される。

また、画素電極（I T O 1）とコモン電極（I T O 2）との間に液晶層が設けられるので、画素電極（I T O 1）とコモン電極（I T O 2）の間には、液晶容量（C L C）が等価的に接続される。

50

さらに、薄膜トランジスタ ( T F T 1 , T F T 2 ) のソース電極と前段のゲート信号線 ( G ) との間には、保持容量 ( C A D D ) が接続される。

#### 【 0 0 1 1 】

図 3 は、図 1 に示す液晶表示パネル 1 0 の他の例の等価回路を示す図である。

図 2 に示す例では、前段のゲート信号線 ( G ) とソース電極との間に保持容量 ( C A D D ) が形成されているが、図 3 に示す例の等価回路では、共通信号線 ( C N ) とソース電極との間に付加容量 ( C S T G ) が形成されている点が異なっている。

本発明は、どちらにも適用可能であるが、前者の方式では、前段のゲート信号線 ( G ) パルスが保持容量 ( C A D D ) を介して画素電極 ( I T O 1 ) に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。

10

なお、図 2、図 3 は、縦電界方式の液晶表示パネルの等価回路を示しており、図 2、図 3 において、A R は表示領域である。また、図 2、図 3 は回路図であるが、実際の幾何学的配置に対応して描かれている。

図 2、図 3 に示す液晶表示パネル 1 0 において、列方向に配置された各画素の薄膜トランジスタ ( T F T 1 , T F T 2 ) のドレイン電極は、それぞれドレイン信号線 ( D ) に接続され、各ドレイン信号線 ( D ) は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ 1 3 0 に接続される。

また、行方向に配置された各画素における薄膜トランジスタ ( T F T 1 , T F T 2 ) のゲート電極は、それぞれゲート信号線 ( G ) に接続され、各ゲート信号線 ( G ) は、1 水平走査時間、行方向の各画素の薄膜トランジスタ ( T F T 1 , T F T 2 ) のゲート電極に走査駆動電圧 ( 正のバイアス電圧あるいは負のバイアス電圧 ) を供給するゲートドライバ 1 4 0 に接続される。

20

#### 【 0 0 1 2 】

図 1 に示すインタフェース部 1 0 0 の構成と動作概要

図 1 に示す表示制御装置 1 1 0 は、1 個の半導体集積回路 ( L S I ) から構成され、コンピュータ本体側から送信されてくる外部クロック信号 ( D C L K )、ディスプレイタイミング信号 ( D T M G )、水平同期信号 ( H s y n c )、垂直同期信号 ( V s y n c ) の各表示制御信号および表示用データ ( R ・ G ・ B ) を基に、ドレインドライバ 1 3 0、および、ゲートドライバ 1 4 0 を制御・駆動する。

表示制御装置 1 1 0 は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、スタートパルス ( 表示データ取込開始信号 ) を信号線 1 3 5 を介して第 1 番目のドレインドライバ 1 3 0 へ出力し、さらに、受け取った単純 1 列の表示データを、表示データのバスライン 1 3 3 を介してドレインドライバ 1 3 0 へ出力する。

30

その際、表示制御装置 1 1 0 は、各ドレインドライバ 1 3 0 のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック ( C L 2 ) ( 以下、単に、クロック ( C L 2 ) と称する。 ) を信号線 1 3 1 を介して出力する。

本体コンピュータ側からの表示データは、例えば、6 ビットで、1 画素単位、即ち、赤 ( R )、緑 ( G )、青 ( B ) の各データを 1 つの組にして単位時間毎に転送される。

また、第 1 番目のドレインドライバ 1 3 0 へ入力されたスタートパルスにより第 1 番目のドレインドライバ 1 3 0 におけるデータラッチ回路のラッチ動作が制御される。

40

この第 1 番目のドレインドライバ 1 3 0 におけるデータラッチ回路のラッチ動作が終了すると、第 1 番目のドレインドライバ 1 3 0 からスタートパルスが、第 2 番目のドレインドライバ 1 3 0 へ入力され、第 2 番目のドレインドライバ 1 3 0 におけるデータラッチ回路のラッチ動作が制御される。

以下、同様にして、各ドレインドライバ 1 3 0 におけるデータラッチ回路のラッチ動作が制御され、誤った表示データがデータラッチ回路に書き込まれるのを防止している。

#### 【 0 0 1 3 】

表示制御装置 1 1 0 は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1 水平分の表示データが終了したものと、各ドレインドライバ 1 3 0 におけるデータラッチ回路に蓄

50

えていた表示データに対応する階調電圧を、液晶表示パネル 10 のドレイン信号線 (D) に出力するための表示制御信号である出力タイミング制御用クロック (CL1) (以下、単にクロック (CL1) と称する。) を信号線 132 を介して各ドレインドライバ 130 に出力する。

また、表示制御装置 110 は、垂直同期信号入力後に、第 1 番目のディスプレイタイミング信号が入力されると、これを第 1 番目の表示ラインと判断して信号線 142 を介してゲートドライバ 140 にフレーム開始指示信号 (FLM) を出力する。

さらに、表示制御装置 110 は、水平同期信号に基づいて、1 水平走査時間毎に、順次液晶表示パネル 10 の各ゲート信号線 (G) に正のバイアス電圧を印加するように、信号線 141 を介してゲートドライバ 140 へ 1 水平走査時間周期のシフトクロックであるクロック (CL3) を出力する。

10

これにより、液晶表示パネル 10 の各ゲート信号線 (G) に接続された複数の薄膜トランジスタ (TFT1, TFT2) が、1 水平走査時間の間導通する。

以上の動作により、液晶表示パネル 10 に画像が表示される。

#### 【0014】

図 1 に示す電源回路 120 の構成

図 1 に示す電源回路 120 は、階調基準電圧生成回路 121、コモン電極 (対向電極) 電圧生成回路 123、ゲート電極電圧生成回路 124 から構成される。

階調基準電圧生成回路 121 は、直列抵抗分圧回路で構成され、例えば、10 値の階調基準電圧 (V0 ~ V9) を出力する。この階調基準電圧 (V0 ~ V9) は、各ドレインドライバ 130 に供給される。

20

また、各ドレインドライバ 130 には、表示制御装置 110 からの交流化信号 (交流化タイミング信号; M) も、信号線 134 を介して供給される。

コモン電極電圧生成回路 123 はコモン電極 (ITO2) に印加する共通電圧 (Vcom) を、ゲート電極電圧生成回路 124 は薄膜トランジスタ (TFT1, TFT2) のゲート電極に印加する駆動電圧 (正のバイアス電圧および負のバイアス電圧) を生成する。

#### 【0015】

図 1 に示すドレインドライバ 130 の構成

図 4 は、図 1 に示すドレインドライバ 130 の一例の概略構成を示すブロック図である。なお、ドレインドライバ 130 は、1 個の半導体集積回路 (LSI) から構成される。

30

同図において、正極性階調電圧生成回路 151a は、階調基準電圧生成回路 121 から供給される 5 値の階調基準電圧 (V0 ~ V4) に基づいて、正極性の 64 階調の階調電圧を生成し、電圧バスライン 158a を介して出力回路 157 に出力する。

負極性階調電圧生成回路 151b は、階調基準電圧生成回路 121 から供給される負極性の 5 値の階調基準電圧 (V5 ~ V9) に基づいて、負極性の 64 階調の階調電圧を生成し、電圧バスライン 158b を介して出力回路 157 に出力する。

また、ドレインドライバ 130 の制御回路 152 内のシフトレジスタ回路 153 は、表示制御装置 110 から入力されるクロック (CL2) に基づいて、入力レジスタ回路 154 のデータ取り込み用信号を生成し、入力レジスタ回路 154 に出力する。

入力レジスタ回路 154 は、シフトレジスタ回路 153 から出力されるデータ取り込み用信号に基づき、表示制御装置 110 から入力されるクロック (CL2) に同期して、各色毎 6 ビットの表示データを出力本数分だけラッチする。

40

ストレージレジスタ回路 155 は、表示制御装置 110 から入力されるクロック (CL1) に応じて、入力レジスタ回路 154 内の表示データをラッチする。このストレージレジスタ回路 155 に取り込まれた表示データは、レベルシフト回路 156 を介して出力回路 157 に入力される。

出力回路 157 は、正極性の 64 階調の階調電圧、あるいは負極性の 64 階調の階調電圧に基づき、表示データに対応した 1 つの階調電圧 (64 階調の中の 1 つの階調電圧) を選択して、各ドレイン信号線 (D) に出力する。

#### 【0016】

50

図5は、出力回路157の構成を中心に、図4に示すドレインドライバ130の構成を説明するためのブロック図である。

同図において、153は図4に示す制御回路152内のシフトレジスタ回路、156は図4に示すレベルシフト回路であり、また、データラッチ部265は、図4に示す入力レジスタ回路154とストレージレジスタ回路155とを表し、さらに、デコーダ部(階調電圧選択回路)261、アンプ回路対263、アンプ回路対263の出力を切り替えるスイッチ部(2)264が、図4に示す出力回路157を構成する。

ここで、スイッチ部(1)262およびスイッチ部(2)264は、交流化信号(M)に基づいて制御される。また、Y1~Y6は、それぞれ第1番目~第6番目のドレイン信号線(D)を示している。

10

図5に示すドレインドライバ130においては、スイッチ部(1)262により、データラッチ部265(より詳しくは、図4に示す入力レジスタ154)に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の隣合うデータラッチ部265に入力する。

#### 【0017】

デコーダ部261は、階調電圧生成回路151aから電圧バスライン158aを介して出力される正極性の64階調の階調電圧の中から、各データラッチ部265(より詳しくは、図4に示すストレージレジスタ155)から出力される表示用データに対応する正極性の階調電圧を選択する高電圧用デコーダ回路278と、階調電圧生成回路151bから電圧バスライン158bを介して出力される負極性の64階調の階調電圧の中から、各データラッチ部265から出力される表示用データに対応する負極性の階調電圧を選択する低電圧用デコーダ回路279とから構成される。

20

この高電圧用デコーダ回路278と低電圧用デコーダ回路279とは、隣接するデータラッチ部265毎に設けられる。

アンプ回路対263は、高電圧用アンプ回路271と低電圧用アンプ回路272とにより構成される。

#### 【0018】

高電圧用アンプ回路271には高電圧用デコーダ回路278で生成された正極性の階調電圧が入力され、高電圧用アンプ回路271は正極性の階調電圧を電流増幅して出力する。

30

低電圧用アンプ回路272には低電圧用デコーダ回路279で生成された負極性の階調電圧が入力され、低電圧用アンプ回路272は負極性の階調電圧を電流増幅して出力する。

ドット反転法では、隣接する各色の階調電圧は互いに逆極性となり、また、アンプ回路対263の高電圧用アンプ回路271および低電圧用アンプ回路272の並びは、高電圧用アンプ回路271 低電圧用アンプ回路272 高電圧用アンプ回路271 低電圧用アンプ回路272となるので、スイッチ部(1)262により、データラッチ部265に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを、各色毎の隣り合うデータラッチ部265に入力し、それに合わせて、高電圧用アンプ回路271あるいは低電圧用アンプ回路272から出力される出力電圧をスイッチ部(2)264により切り替え、各色毎の階調電圧が出力されるドレイン信号線(Y)、例えば、第1番目のドレイン信号線(Y1)と第4番目のドレイン信号線(Y4)とに出力することにより、各ドレイン信号線(Y)に正極性あるいは負極性の階調電圧を出力することが可能となる。

40

#### 【0019】

##### 本発明の概要

以下、本発明の概要を、駆動方法として、2ライン反転法を採用した場合について説明する。

図6は、液晶表示モジュールの駆動方法として、2ライン反転法を使用した場合において、ドレインドライバ130からドレイン信号線(D)に出力される階調電圧(即ち、画素電極に印加される階調電圧)の極性を説明するための図である。なお、この図6では、

50

正極性の階調電圧を で、また、負極性の階調電圧を で表している。

2ライン反転法では、2ライン毎に、ドレインドライバ130からドレイン信号線(D)に出力される階調電圧の極性が反転する点で、前述の図16に示すドット反転法と異なるだけであるので、その詳細な説明は省略する。

例えば、数ラインに渡って、液晶表示パネル10に同じ階調の画像を表示する場合に、2ライン反転法では、ドレインドライバ130が、2ライン毎に極性を反転した階調電圧をドレイン信号線(D)に出力する。

#### 【0020】

以下、2ライン反転法を用いた場合に、前述の横筋が発生する理由を、図7を用いて説明する。

今、ドレインドライバ130が、ドレイン信号線(D)に出力する階調電圧の極性を、負極性から正極性に变化させた場合を考える。

この場合に、ドレイン信号線(D)上の階調電圧は、階調電圧の極性反転前は負極性で、極性反転後は正極性となるが、ドレイン信号線(D)は、一種の分布定数線路と見なせるので、直ちに、負極性の階調電圧から正極性の階調電圧に変化することができず、図7の電圧波形に示すように、ある遅延時間を持って、負極性の階調電圧から正極性の階調電圧に変化する。

これに対して、極性反転直後のラインに続くラインでは、ドレインドライバ130からドレイン信号線(D)に出力される階調電圧の極性は変化しないので、速やかに正極性の階調電圧となる。

これは、ドレインドライバ130が、ドレイン信号線(D)に出力する階調電圧の極性を、正極性から負極性に变化させた場合も同様である。

そのため、極性反転直後のライン上の画素に書き込まれる電圧と、同じ階調を表示しようとしているにもかかわらず、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とが異なる(図7のVdifの電位差)ことになり、2ライン毎に、前述した横筋が発生することになる。

このように、前述した横筋は、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とが異なることが原因で発生する。

#### 【0021】

そこで、本発明では、図8に示すように、階調電圧の極性が、正極性から負極性、あるいは、負極性から正極性へと変化する極性反転ライン位置を、各フレームで異ならせることを特徴とする。なお、この図8において、正極性の階調電圧を で、また、負極性の階調電圧を で表している。

例えば、図8に示すように、任意のkフレームにおける任意のmラインにおいて、奇数番目の画素に対して負極性の階調電圧が、偶数番目の画素に対して正極性の階調電圧が書き込まれる。同様に、(m+1)ラインでも、奇数番目の画素に対して負極性の階調電圧が、偶数番目の画素に対して正極性の階調電圧が供給される。

また、(m+2)、(m+3)ラインでは、奇数番目の画素に対して正極性の階調電圧が、偶数番目の画素に対して負極性の階調電圧が書き込まれる。

これ以降同様に、各画素に対して、2ライン毎に、順次極性が反転された階調電圧が書き込まれる。

このkフレームでは、階調電圧の極性が、正極性から負極性へと変化する極性反転ライン位置は、mライン、(m+4)ラインであり、また、階調電圧の極性が、負極性から正極性へと変化する極性反転ライン位置は、(m+2)ライン、(m+6)ラインとなる。

#### 【0022】

次に、(k+1)フレームにおけるmラインでは、奇数番目の画素に対して正極性の階調電圧が、偶数番目の画素に対して負極性の階調電圧が書き込まれる。

また、(m+1)、(m+2)ラインでは、奇数番目の画素に対して負極性の階調電圧が、偶数番目の画素に対して正極性の階調電圧が書き込まれる。

10

20

30

40

50

これ以降同様に、各画素に対して、2ライン毎に、順次極性が反転された階調電圧が書き込まれる。

この $(k+1)$ フレームでは、階調電圧の極性が、正極性から負極性へと変化する極性反転ライン位置は、 $(m+1)$ ライン、 $(m+5)$ ラインであり、また、階調電圧の極性が、負極性から正極性へと変化する極性反転ライン位置は、 $(m+3)$ ライン、 $(m+7)$ ラインとなる。

次に、 $(k+2)$ フレームにおける $m$ 、 $(m+1)$ ラインでは、奇数番目の画素に対して正極性の階調電圧が、偶数番目の画素に対して負極性の階調電圧が書き込まれる。

また、 $(m+2)$ 、 $(m+3)$ ラインでは、奇数番目の画素に対して負極性の階調電圧が、偶数番目の画素に対して正極性の階調電圧が書き込まれる。

10

これ以降同様に、各画素に対して、2ライン毎に、順次極性が反転された階調電圧が書き込まれる。

#### 【0023】

この $(k+2)$ フレームでは、階調電圧の極性が、正極性から負極性へと変化する極性反転ライン位置は、 $(m+2)$ ライン、 $(m+6)$ ラインであり、また、階調電圧の極性が、負極性から正極性へと変化する極性反転ライン位置は、 $m$ ライン、 $(m+4)$ ラインとなる。

次に、 $(k+3)$ フレームにおける $m$ ラインでは、奇数番目の画素に対して負極性の階調電圧が、偶数番目の画素に対して正極性の階調電圧が書き込まれる。

また、 $(m+1)$ 、 $(m+2)$ ラインでは、奇数番目の画素に対して正極性の階調電圧が、偶数番目の画素に対して負極性の階調電圧が書き込まれる。

20

これ以降同様に、各画素に対して、2ライン毎に、順次極性が反転された階調電圧が書き込まれる。

この $(k+3)$ フレームでは、階調電圧の極性が、正極性から負極性へと変化する極性反転ライン位置は、 $(m+3)$ ライン、 $(m+7)$ ラインであり、また、階調電圧の極性が、負極性から正極性へと変化する極性反転ライン位置は、 $(m+1)$ ライン、 $(m+5)$ ラインとなる。

#### 【0024】

図9は、順次連続するフレームにおいて、図8のAの列の画素に書き込まれる階調電圧の極性を示す図である。なお、この図9でも、正極性の階調電圧を  $\square$  で、また、負極性の階調電圧を  $\square$  で表している。

30

この図9から分かるように、任意の $k$ フレームから連続する $(k+4)$ フレーム間において、階調電圧の極性が正極性から負極性へと変化する極性反転ライン位置が、 $m$ ライン、 $(m+1)$ ライン、 $(m+2)$ ライン、 $(m+3)$ ライン、 $(m+4)$ ラインと、 $m$ ラインから $(m+1)$ ラインまで順次移動している。

同様に、階調電圧の極性が負極性から正極性へと変化する極性反転ライン位置が、 $(m+2)$ ライン、 $(m+3)$ ライン、 $(m+4)$ ライン、 $(m+5)$ ラインと、 $(m+2)$ ラインから $(m+5)$ ラインまで順次移動している。

このように、本実施例では、階調電圧の極性が、正極性から負極性、あるいは、負極性から正極性へと変化する極性反転ライン位置を、各フレームで異ならせるようにしたので、ライン毎に発生していた書き込み電圧の差が平均化され、前述した横スジの発生を防止することができる。

40

#### 【0025】

今、1ライン前の階調電圧の極性が正極性、現在の階調電圧の極性が正極性のときの書き込み電圧を $V_a$ 、1ライン前の階調電圧の極性が負極性、現在の階調電圧の極性が負極性のときの書き込み電圧を $V_b$ 、1ライン前の階調電圧の極性が正極性、現在の階調電圧の極性が負極性のときの書き込み電圧を $V_c$ 、1ライン前の階調電圧の極性が負極性、現在の階調電圧の極性が正極性のときの書き込み電圧を $V_d$ とすると、図9に示す $(m+1)$ ラインの画素は、 $k$ フレームでは $V_b$ 、 $(k+1)$ フレームでは $V_c$ 、 $(k+2)$ フレームでは $V_a$ 、 $(k+3)$ フレームでは $V_d$ となることがわかる。

50

したがって、図 9 に示す  $(m + 1)$  ラインの画素は、 $k$  フレームから  $(k + 3)$  フレームまでの連続する 4 フレームの間において、書き込み電圧の合計は、 $(V_a + V_b + V_c + V_d)$  となる。他のラインも同様になり、連続する 4 フレームの間における各画素に対する書き込み電圧が均一となる。

したがって、本実施例では、前述した横スジを防止することができ、低消費電力で高画質の液晶表示パネルを提供することが可能となる。

#### 【0026】

各フレームにおける、階調電圧の極性を正極性から負極性、あるいは、負極性から正極性へと変化させる極性反転ライン位置のパターンは、図 9 以外にも、図 10 (a) ~ 図 14 (a) のパターンもある。

この図 10 (a) ~ 図 14 (a) は、図 9 と同様、順次連続するフレームにおいて、図 8 の A の列の画素に書き込まれる階調電圧の極性を示す図であり、図 10 (a) ~ 図 14 (a) のパターンでも、前述した横スジを防止することが可能となる。

なお、図 9、図 14 (a) のパターンのときは、前述した横スジが画面の上から下、あるいは、画面の下から上へ流れるように観察される場合もあるが、図 10 (a) ~ 図 13 (a) のパターンの場合は、前述した横スジが画面の上から下、あるいは、画面の下から上へ流れるように観察されるのも防止することができる。

また、図 10 (b) ~ 図 14 (b) に示すように、図 10 (a) ~ 図 14 (a) に示すパターンは、 $k$  フレームから  $(k + 3)$  フレームの中の 2 つのフレームを入れ替えると、図 9 に示すパターンと同じである。

なお、前述の説明では、ドレインドライバ 130 からドレイン信号線 (D) に印加する階調電圧の極性を 2 ライン毎に反転する場合について説明したが、本発明は、これに限定されるものではなく、ドレインドライバ 130 からドレイン信号線 (D) に印加する階調電圧の極性を、 $N$  ライン ( $N = 2$ ) 毎に反転させるようにしてもよい。

この場合には、各画素に書き込まれる電圧は、任意の  $k$  フレームから  $(k + (2 \times N - 1))$  フレームまでの連続する  $2N$  フレーム間で均一となる。

#### 【0027】

前述したように、図 6 に示すスイッチ部 (1) 262 およびスイッチ部 (2) 264 は、交流化信号 (M) に基づいて制御される。即ち、ドレインドライバ 130 からドレイン信号線 (D) に印加される階調電圧の極性は、交流化信号 (M) により制御される。

例えば、前述の図 9 のパターンの場合には、交流化信号 (M) が High レベルのときに階調電圧が正極性 (図 9 の場合) となり、交流化信号 (M) が Low レベルのときに階調電圧が負極性 (図 9 の場合) となる。

したがって、交流化信号 (M) の周期、または、交流化信号 (M) の立ち上がり位置、あるいは、立ち下がり位置を調整することにより、前述の図 9 ~ 図 14 (a) のパターンのように、階調電圧の極性が正極性から負極性、あるいは、負極性から正極性へと変化させる極性反転ライン位置を、各フレームで異ならせることができる。

以下、交流化信号 (M) を生成するための回路構成について説明する。

#### 【0028】

図 15 は、本実施の形態における、交流化信号 (M) を生成するための交流化信号生成回路の回路構成を示すブロック図である。

なお、図 15 に示す交流化信号生成回路 30 は、ドレインドライバ 130 からドレイン信号線に印加する階調電圧の極性を、2 ライン ( $N = 2$ ) 毎に反転させる場合の回路構成を示し、また、図 15 に示す交流化信号生成回路 30 は、図 1 に示す表示制御手段 110 内に設けられる。

図 15 に示す交流化信号生成回路 30 は、4 フレームカウンタ 31 と、ラインカウンタ 32 と、デコード回路 33 とを備え、4 フレームカウンタ 31 が、垂直同期信号 (Vsync) をカウントし、ラインカウンタ 32 が、水平同期信号 (Hsync) をカウントする。

4 フレームカウンタ 31 と、ラインカウンタ 32 との出力は、デコード回路 33 に入力

10

20

30

40

50

され、デコード回路 33 から交流化信号 (M) が出力される。

ここで、4 個の垂直同期信号 (Vsync) をカウントするたびにリセットされる。また、ラインカウンタ 32 は、垂直同期信号 (Vsync) によりリセットされる。

なお、前述の説明では、縦電界方式の液晶表示パネルに本発明を適用した実施の形態について説明したが、これに限定されず、本発明は、横電界方式の液晶表示パネルにも適用可能である。

さらに、本発明は、1 フレームを 2 つのフィールドに分割して 2 倍速駆動で駆動する倍速駆動方法にも適用可能である。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。 10

#### 【図面の簡単な説明】

##### 【0029】

【図 1】本発明が適用される液晶表示モジュールの概略構成を示すブロック図である。

【図 2】図 1 に示す液晶表示パネルの一例の等価回路を示す図である。

【図 3】図 1 に示す液晶表示パネルの他の例の等価回路を示す図である。

【図 4】図 1 に示すドレインドライバの一例の概略構成を示すブロック図である。

【図 5】出力回路の構成を中心に、図 5 に示すドレインドライバの構成を説明するためのブロック図である。

【図 6】液晶表示モジュールの駆動方法として、2 ライン反転法を使用した場合において、ドレインドライバからドレイン信号線 (D) に出力される階調電圧の極性を説明するための図である。 20

【図 7】液晶表示モジュールの駆動方法として、2 ライン反転法を使用した場合に、表示画面中に横筋を発生する理由を説明するための図である。

【図 8】本発明の駆動方法の一例の概要を説明するための図である。

【図 9】順次連続するフレームにおいて、図 8 の A の列の画素に書き込まれる階調電圧の極性を示す図である。

【図 10】本発明の駆動方法の他の例の概要を説明するための図である。

【図 11】本発明の駆動方法の他の例の概要を説明するための図である。

【図 12】本発明の駆動方法の他の例の概要を説明するための図である。 30

【図 13】本発明の駆動方法の他の例の概要を説明するための図である。

【図 14】本発明の駆動方法の他の例の概要を説明するための図である。

【図 15】本発明の実施の形態の液晶表示モジュールにおける、交流化信号 (M) を生成するための交流化信号生成回路の回路構成を示すブロック図である。

【図 16】液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、各画素に書き込まれる階調電圧の極性を説明するための図である。

【図 17】駆動方法として、N ライン反転法を採用した場合に、液晶表示パネルに生じる、N ライン毎の横筋を示す模式図である。

#### 【符号の説明】

##### 【0030】

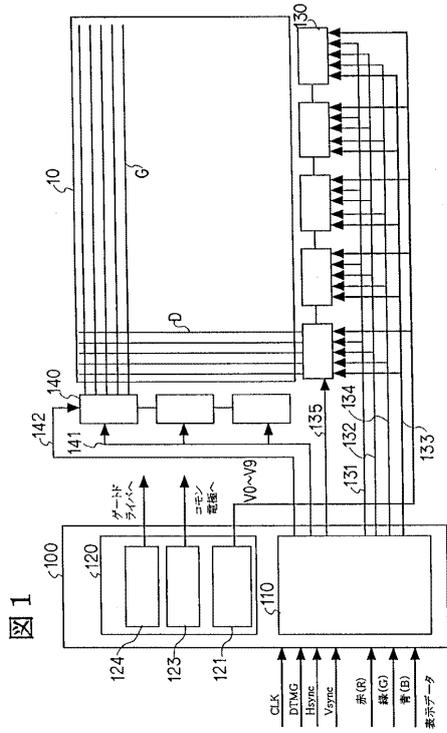
- 10 液晶表示パネル
- 30 交流化信号生成回路
- 31 4 フレームカウンタ
- 32 ラインカウンタ
- 33, 278, 279 デコーダ回路
- 100 インタフェース部
- 110 表示制御装置
- 120 電源回路
- 121, 122 電圧生成回路
- 123 コモン電極電圧生成回路

40

50

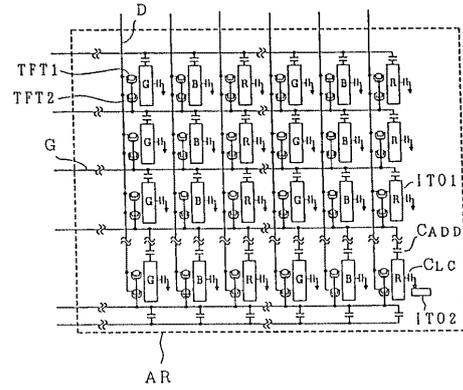
1 2 4	ゲート電極電圧生成回路	
1 3 0	ドレインドライバ	
1 3 1 , 1 3 2 , 1 3 4 , 1 3 5 , 1 4 1 , 1 4 2	信号線	
1 3 3	表示データのバスライン	
1 4 0	ゲートドライバ	
1 5 1 a , 1 5 1 b	階調電圧生成回路	
1 5 2	制御回路	
1 5 3	シフトレジスタ回路	
1 5 4	入力レジスタ回路	
1 5 5	ストレージレジスタ回路	10
1 5 6 , L S	レベルシフト回路	
1 5 7	出力回路	
1 5 8 a , 1 5 8 b	電圧バスライン	
2 6 1	デコーダ部	
2 6 2 , 2 6 4	スイッチ部	
2 6 3	アンプ回路対	
2 6 5	データラッチ部	
2 7 1	高電圧用アンプ回路	
2 7 2	低電圧用アンプ回路	
D , Y	ドレイン信号線 (映像線または垂直信号線)	20
G	ゲート信号線 (走査信号線または水平信号線)	
I T O 1	画素電極	
I T O 2	コモン電極	
C T	対向電極	
C L	対向電極信号線	
T F T	薄膜トランジスタ	
C L C	液晶容量	
C S T G	付加容量	
C A D D	保持容量	

【 図 1 】



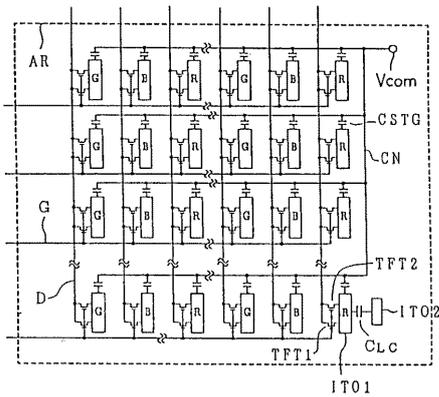
【 図 2 】

図 2



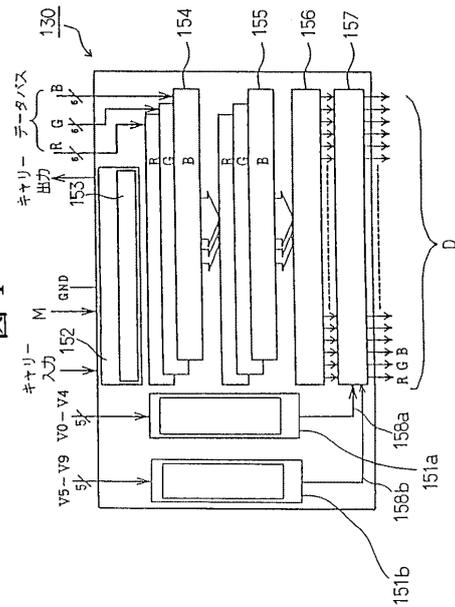
【 図 3 】

図 3



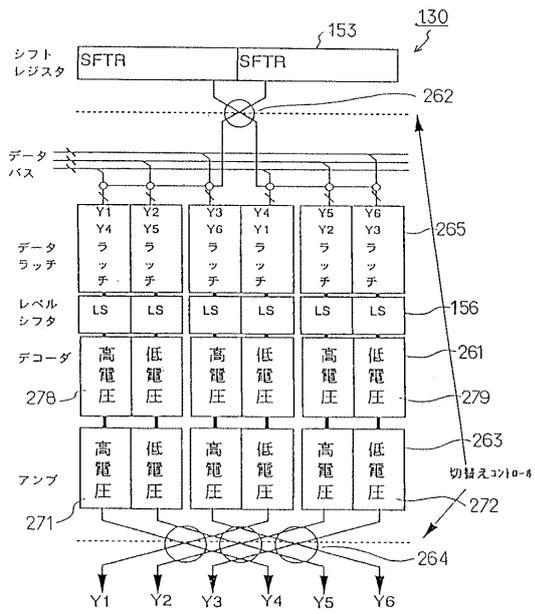
【 図 4 】

図 4



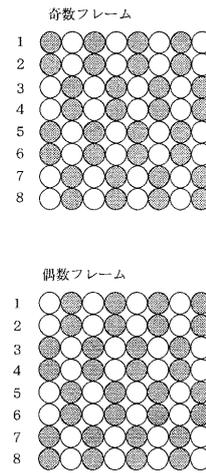
【 図 5 】

図 5



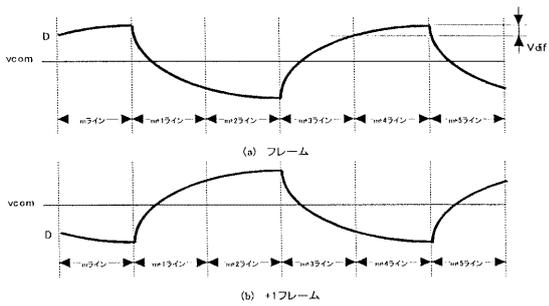
【 図 6 】

図 6



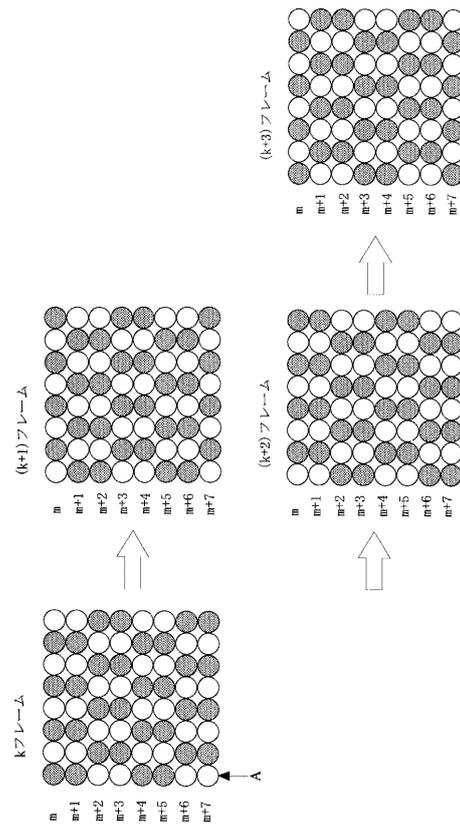
【 図 7 】

図 7



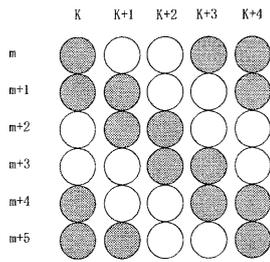
【 図 8 】

図 8



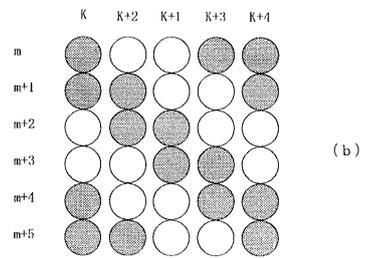
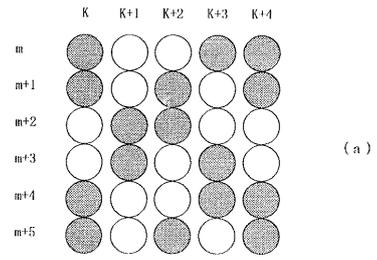
【 図 9 】

図 9



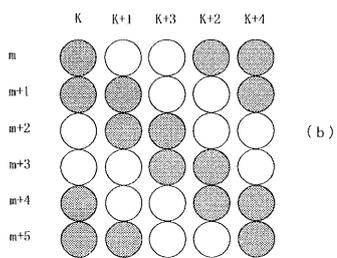
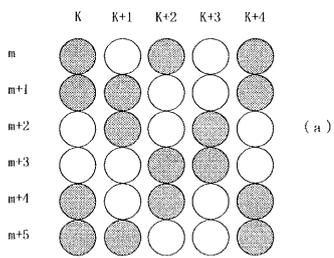
【 図 10 】

図 10



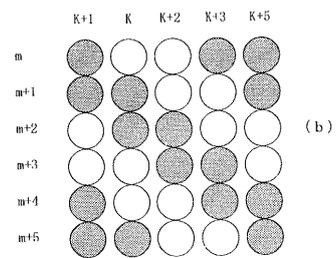
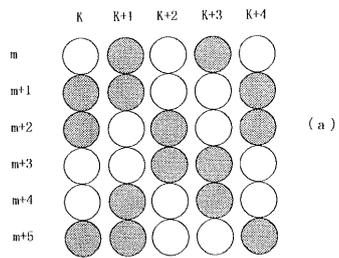
【 図 11 】

図 11



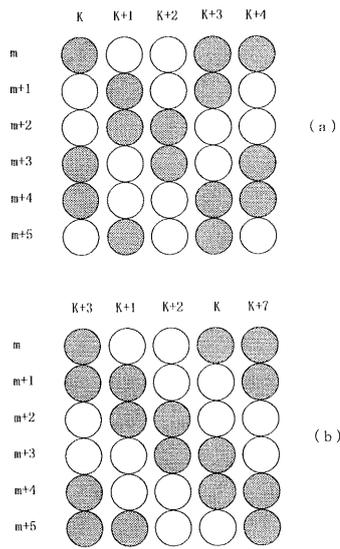
【 図 12 】

図 12



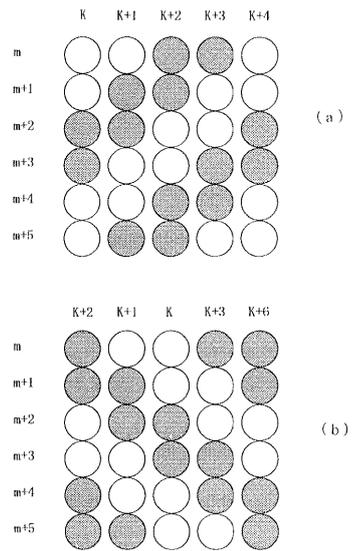
【 図 1 3 】

図 1 3



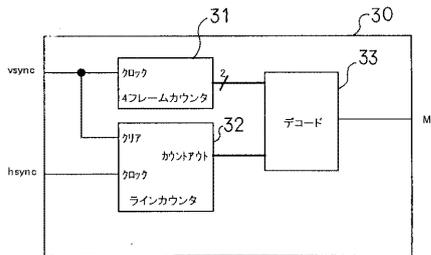
【 図 1 4 】

図 1 4



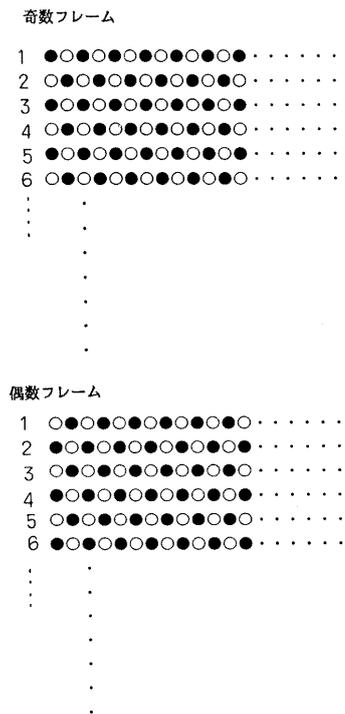
【 図 1 5 】

図 1 5



【 図 1 6 】

図 1 6



【図 17】

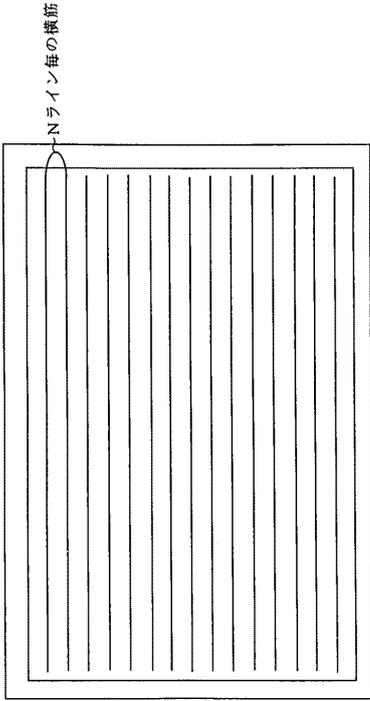


図 17

## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 C

G 0 9 G 3/20 6 4 2 A

Fターム(参考) 2H093 NA32 NA34 NC03 NC16 NC22 NC26 NC34 NC50 ND06 ND32  
NF04  
5C006 AA16 AA22 AC11 AC21 AC27 AC28 AF42 AF44 AF51 BB16  
BC12 BF03 BF04 FA22  
5C080 AA10 BB05 CC03 DD05 EE29 FF11 JJ02 JJ03 JJ04