

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6693214号
(P6693214)

(45) 発行日 令和2年5月13日(2020.5.13)

(24) 登録日 令和2年4月20日(2020.4.20)

(51) Int.Cl. F I
GO 1 P 15/08 (2006.01) GO 1 P 15/08 I O 2 Z
GO 1 P 15/125 (2006.01) GO 1 P 15/125 V
GO 1 C 19/5614 (2012.01) GO 1 C 19/5614

請求項の数 17 (全 34 頁)

| | |
|--|---|
| <p>(21) 出願番号 特願2016-61314 (P2016-61314) (22) 出願日 平成28年3月25日 (2016. 3. 25) (65) 公開番号 特開2017-173208 (P2017-173208A) (43) 公開日 平成29年9月28日 (2017. 9. 28) 審査請求日 平成31年2月21日 (2019. 2. 21)</p> | <p>(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区新宿四丁目1番6号 (74) 代理人 100104710 弁理士 竹腰 昇 (74) 代理人 100090479 弁理士 井上 一 (74) 代理人 100124682 弁理士 黒田 泰 (72) 発明者 上原 純 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 審査官 森 雅之</p> |
|--|---|

最終頁に続く

(54) 【発明の名称】 物理量検出装置、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項1】

第1の物理量トランスデューサーと、

第2の物理量トランスデューサーと、

回路装置と、

前記第1の物理量トランスデューサー、前記第2の物理量トランスデューサー及び前記回路装置を収納するパッケージと、

を含み、

前記回路装置は、

前記第1の物理量トランスデューサーからの第1の検出信号が

前記第2の物理量トランスデューサーからの第2の検出信号が

前記第1の検出回路からの前記第1の物理量信号と前記第2の検出回路からの前記第2の物理量信号を含む複数の信号のうちいずれかの信号を選択するマルチプレクサーと、前記マルチプレクサーにより選択された信号のA/D変換を行いデジタル信号を出力するA/D変換回路と、

前記A/D変換回路からの前記デジタル信号の処理を行うロジック回路と、

10

20

を含み、

前記パッケージ内において、前記第 1 の検出回路の上方に前記第 1 の物理量トランスデューサーが配置され、前記第 2 の検出回路の上方に前記第 2 の物理量トランスデューサーが配置され、

前記回路装置である半導体チップのレイアウト配置において、前記回路装置の第 1 の辺に沿った方向を第 1 の方向とし、前記第 1 の辺から前記第 1 の辺の反対側の第 2 の辺に向かう方向を第 2 の方向とする場合に、

前記第 1 の検出回路は、前記第 1 の辺より前記第 2 の方向側に配置され、

前記第 2 の検出回路は、前記第 1 の辺より前記第 2 の方向側であり、且つ、前記第 1 の検出回路より前記第 1 の方向側に配置され、

10

前記 A / D 変換回路は、前記第 1 の検出回路及び前記第 2 の検出回路の少なくとも一方と、前記ロジック回路との間に配置されていることを特徴とする物理量検出装置。

【請求項 2】

請求項 1 に記載の物理量検出装置において、

前記マルチプレクサーは、前記第 1 の検出回路及び前記第 2 の検出回路の少なくとも一方と、前記ロジック回路との間に配置されていることを特徴とする物理量検出装置。

【請求項 3】

請求項 1 又は 2 に記載の物理量検出装置において、

前記第 1 の方向の反対方向を第 3 の方向とする場合に、

前記 A / D 変換回路は、前記マルチプレクサーより前記第 3 の方向側又は前記第 1 の方向側に配置されていることを特徴とする物理量検出装置。

20

【請求項 4】

請求項 3 に記載の物理量検出装置において、

前記回路装置は、

電源電圧を供給する電源回路を含み、

前記 A / D 変換回路が前記マルチプレクサーより前記第 3 の方向側に配置される場合には、前記電源回路は、前記マルチプレクサーより前記第 1 の方向側に配置され、

前記 A / D 変換回路が前記マルチプレクサーより前記第 1 の方向側に配置される場合には、前記電源回路は、前記マルチプレクサーより前記第 3 の方向側に配置されていることを特徴とする物理量検出装置。

30

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の物理量検出装置において、

前記第 2 の方向の反対方向を第 4 の方向とする場合に、

前記ロジック回路は、前記第 2 の辺より前記第 4 の方向側であって、前記第 1 の検出回路及び前記第 2 の検出回路の少なくとも一方より前記第 2 の方向側に配置されていることを特徴とする物理量検出装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の物理量検出装置において、

前記回路装置は、

前記第 1 の物理量信号のローパスフィルター処理を行う第 1 のローパスフィルターを含み、

前記第 1 のローパスフィルターは、前記第 1 の検出回路と前記マルチプレクサーとの間に配置されていることを特徴とする物理量検出装置。

40

【請求項 7】

請求項 6 に記載の物理量検出装置において、

前記回路装置は、

前記第 2 の物理量信号のローパスフィルター処理を行う第 2 のローパスフィルターを含み、

前記第 2 のローパスフィルターは、前記第 2 の検出回路と前記マルチプレクサーとの間に配置されていることを特徴とする物理量検出装置。

50

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の物理量検出装置において、
前記第 1 の辺及び前記第 2 の辺に交差する辺を第 3 の辺とし、前記第 1 の辺及び前記第 2 の辺に交差すると共に前記第 3 の辺の反対側の辺を第 4 の辺とし、前記第 3 の辺及び前記第 4 の辺に平行な境界線と前記第 3 の辺とにより区画される前記回路装置の領域を第 1 の領域とし、前記境界線と前記第 4 の辺とにより区画される前記回路装置の領域を第 2 の領域とする場合に、

前記第 1 の検出回路は、前記第 1 の領域に配置され、

前記第 2 の検出回路は、前記第 2 の領域に配置されていることを特徴とする物理量検出装置。

10

【請求項 9】

請求項 8 に記載の物理量検出装置において、

前記回路装置は、

前記第 1 の物理量トランスデューサーを駆動する第 1 の駆動回路と、

前記第 2 の物理量トランスデューサーを駆動する第 2 の駆動回路と、

を含み、

前記第 1 の駆動回路は、前記第 1 の領域に配置され、前記第 2 の駆動回路は、前記第 2 の領域に配置されていることを特徴とする物理量検出装置。

【請求項 10】

請求項 9 に記載の物理量検出装置において、

前記第 1 の駆動回路は、前記第 3 の辺と前記ロジック回路との間、又は前記第 2 の辺と前記ロジック回路との間に配置されていることを特徴とする物理量検出装置。

20

【請求項 11】

請求項 8 乃至 10 のいずれか一項に記載の物理量検出装置において、

前記 A / D 変換回路は、前記第 1 の領域に配置されていることを特徴とする物理量検出装置。

【請求項 12】

請求項 8 乃至 11 のいずれか一項に記載の物理量検出装置において、

前記回路装置は、

マスタークロック信号を生成するマスタークロック信号生成回路を含み、

前記マスタークロック信号生成回路は、前記第 2 の領域に配置されていることを特徴とする物理量検出装置。

30

【請求項 13】

請求項 1 乃至 12 のいずれか一項に記載の物理量検出装置において、

前記回路装置は、

デジタル信号の入力及び出力の少なくとも一方を行うデジタルインターフェース回路を含み、

前記デジタルインターフェース回路は、前記ロジック回路と前記第 2 の辺との間に配置されていることを特徴とする物理量検出装置。

【請求項 14】

請求項 1 乃至 13 のいずれか一項に記載の物理量検出装置において、

前記第 1 の物理量は、所定軸回りの角速度であり、

前記第 2 の物理量は、前記所定軸とは異なる軸回りの角速度であることを特徴とする物理量検出装置。

40

【請求項 15】

請求項 1 乃至 13 のいずれか一項に記載の物理量検出装置において、

前記第 1 の物理量は、角速度であり、

前記第 2 の物理量は、加速度であることを特徴とする物理量検出装置。

【請求項 16】

請求項 1 乃至 15 のいずれか一項に記載の物理量検出装置を含むことを特徴とする電子

50

機器。

【請求項 17】

請求項 1 乃至 15 のいずれか一項に記載の物理量検出装置を含むことを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物理量検出装置、電子機器及び移動体等に関する。

【背景技術】

【0002】

従来より、物理量トランスデューサーからの検出信号に基づいて物理量を検出する物理量検出装置が知られている。ジャイロセンサーを例にとれば、物理量として角速度等を検出する。ジャイロセンサーは、例えばデジタルカメラ、スマートフォン等の電子機器や、車、飛行機等の移動体に組み込まれ、検出された角速度等の物理量を用いて、手振れ補正、姿勢制御、GPS 自律航法等が行われる。

【0003】

このような物理量検出装置の従来技術としては、例えば特許文献 1 に開示される技術がある。特許文献 1 には、基板に形成された振動型角速度センサー素子と、当該基板に形成された加速度センサー素子と、パッケージとを備えた複合センサーが開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2010 - 203990 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 の複合センサーのように、複数の物理量トランスデューサーが設けられた物理量検出装置では、以下の課題がある。

【0006】

例えば第 1、第 2 の物理量トランスデューサーからの検出信号が、回路装置（IC チップ）内の検出回路に入力されるまでの信号経路が長いと、当該信号経路の配線には微弱な信号（電流信号等）の検出信号が流れるため、ノイズの重畳等が原因で特性が劣化する可能性があった。

【0007】

また微弱な信号である検出信号を処理する第 1 の回路ブロックと、比較的大きな電圧振幅の信号を扱う第 2 の回路ブロックとが、回路装置内において近くに配置されたとする。第 1 の回路ブロックは、例えば物理量トランスデューサーからの検出信号が入力される検出回路である。第 2 の回路ブロックは、例えば当該検出回路の出力信号を A/D 変換したデジタル信号の処理を行うロジック回路である。この場合に、第 1 の回路ブロック（検出回路）に対して、第 2 の回路ブロック（ロジック回路）からのノイズが回り込むことにより、第 1 の回路ブロックの検出特性や出力特性などが劣化する可能性があった。

【0008】

また回路装置に対して、複数の物理量トランスデューサーに対応する複数の検出回路を設けたとする。この場合には、複数の検出回路からの複数の物理量信号のいずれかを選択するマルチプレクサーや、マルチプレクサーにより選択された信号の A/D 変換を行う A/D 変換回路などが必要になる。このようなマルチプレクサーや A/D 変換回路を配置する場所によっては、回路装置が大規模化するなどの問題が生じる。

【0009】

本発明の幾つかの態様によれば、複数の物理量トランスデューサーに対応する複数の検出回路を設けた場合における特性の劣化等を低減できる回路装置、物理量検出装置、電子

10

20

30

40

50

機器及び移動体等を提供できる。

【課題を解決するための手段】

【0010】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態又は態様として実現することが可能である。

【0011】

本発明の一態様は、第1の物理量トランスデューサーからの第1の検出信号に基づいて、第1の物理量に対応する第1の物理量信号を検出する第1の検出回路と、第2の物理量トランスデューサーからの第2の検出信号に基づいて、第2の物理量に対応する第2の物理量信号を検出する第2の検出回路と、前記第1の検出回路からの前記第1の物理量信号と前記第2の検出回路からの前記第2の物理量信号を含む複数の信号のうちいずれかの信号を選択するマルチプレクサーと、前記マルチプレクサーにより選択された信号のA/D変換を行いデジタル信号を出力するA/D変換回路と、前記A/D変換回路からの前記デジタル信号の処理を行うロジック回路と、を含む回路装置であって、前記回路装置の第1の辺に沿った方向を第1の方向とし、前記第1の辺から前記第1の辺の反対側の第2の辺に向かう方向を第2の方向とする場合に、前記第1の検出回路は、前記第1の辺より前記第2の方向側に配置され、前記第2の検出回路は、前記第1の辺より前記第2の方向側であり、且つ、前記第1の検出回路より前記第1の方向側に配置され、前記A/D変換回路は、前記第1の検出回路及び前記第2の検出回路の少なくとも一方と、前記ロジック回路との間に配置されている回路装置に関する。

10

20

【0012】

本発明の一態様では、第1、第2の物理量トランスデューサーに対応する第1、第2の検出回路が設けられ、第1、第2の検出回路からの第1、第2の物理量信号を含む複数の信号のうちいずれかの信号が、マルチプレクサーにより選択され、選択された信号のA/D変換が行われる。そして第1の検出回路は、回路装置の第1の辺より第2の方向側に配置され、第2の検出回路は、第1の辺より第2の方向側であり、且つ、第1の検出回路より第1の方向側に配置される。またA/D変換回路は、第1、第2の検出回路の少なくとも一方とロジック回路との間に配置される。このようにすれば、第1、第2の検出回路に対応する場所に第1、第2の物理量トランスデューサーが配置される場合に、第1、第2の検出回路と第1、第2の物理トランスデューサーとの間の信号経路を最適にすることが可能になり、特性の劣化等の低減を図れる。またノイズ源となるロジック回路を微弱な検出信号を処理する回路ブロックから離れた位置に配置することなどが可能になり、当該ノイズ源を原因とする特性の劣化等も低減できる。従って、複数の物理量トランスデューサーに対応する複数の検出回路を設けた場合における特性の劣化等を低減できる回路装置の提供が可能になる。

30

【0013】

また本発明の一態様では、前記マルチプレクサーは、前記第1の検出回路及び前記第2の検出回路の少なくとも一方と、前記ロジック回路との間に配置されてもよい。

【0014】

このようにすれば、第1、第2の検出回路とマルチプレクサーとの間の信号経路についても最適にすることが可能になり、第1、第2の検出回路からの第1、第2の物理量信号が、当該信号経路での信号伝送等により劣化するのを低減できるようになる。

40

【0015】

また本発明の一態様では、前記第1の方向の反対方向を第3の方向とする場合に、前記A/D変換回路は、前記マルチプレクサーより前記第3の方向側又は前記第1の方向側に配置されてもよい。

【0016】

このようにすれば、マルチプレクサーとA/D変換回路との間の信号経路も最適にすることが可能になり、マルチプレクサーからの信号が、当該信号経路での信号伝送等により劣化することを低減できるようになる。

50

【0017】

また本発明の一態様では、電源電圧を供給する電源回路を含み、前記A/D変換回路が前記マルチプレクサーより前記第3の方向側に配置される場合には、前記電源回路は、前記マルチプレクサーより前記第1の方向側に配置され、前記A/D変換回路が前記マルチプレクサーより前記第1の方向側に配置される場合には、前記電源回路は、前記マルチプレクサーより前記第3の方向側に配置されてもよい。

【0018】

このように電源回路を配置すれば、電源回路と回路装置の各回路ブロックとの間の電源線を最適に配線できるようになり、電源線の配線効率の向上や電源供給のインピーダンスの最適化などを図れるようになる。

10

【0019】

また本発明の一態様では、前記第2の方向の反対方向を第4の方向とする場合に、前記ロジック回路は、前記第2の辺より前記第4の方向側であって、前記第1の検出回路及び前記第2の検出回路の少なくとも一方より前記第2の方向側に配置されてもよい。

【0020】

このようにすれば、ノイズ源となるロジック回路を、微少な信号を扱うアナログ回路等から離すことが可能となる。これにより、ロジック回路からのノイズを原因とする、アナログ回路の特性の劣化等を効果的に低減できるようになる。

【0021】

また本発明の一態様では、前記第1の物理量信号のローパスフィルター処理を行う第1のローパスフィルターを含み、前記第1のローパスフィルターは、前記第1の検出回路と前記マルチプレクサーとの間に配置されてもよい。

20

【0022】

このようにすれば、第1の検出回路から第1のローパスフィルターに入力された信号を、マルチプレクサーに対してショートパスで伝送できるようになる。

【0023】

また本発明の一態様では、前記第2の物理量信号のローパスフィルター処理を行う第2のローパスフィルターを含み、前記第2のローパスフィルターは、前記第2の検出回路と前記マルチプレクサーとの間に配置されてもよい。

【0024】

このようにすれば、第2の検出回路から第2のローパスフィルターに入力された信号を、マルチプレクサーに対してショートパスで伝送できるようになる。

30

【0025】

また本発明の一態様では、前記第1の辺及び前記第2の辺に交差する辺を第3の辺とし、前記第1の辺及び前記第2の辺に交差すると共に前記第3の辺の反対側の辺を第4の辺とし、前記第3の辺及び前記第4の辺に平行な境界線と前記第3の辺とにより区画される前記回路装置の領域を第1の領域とし、前記境界線と前記第4の辺とにより区画される前記回路装置の領域を第2の領域とする場合に、前記第1の検出回路は、前記第1の領域に配置され、前記第2の検出回路は、前記第2の領域に配置されてもよい。

【0026】

このようにすれば、例えば回路装置の第1の領域に対応する場所に第1の物理量トランスデューサーが配置され、第2の領域に対応する場所に第2の物理量トランスデューサーが配置される場合に、第1、第2の検出回路と第1、第2の物理トランスデューサーとの間の信号経路を最適にすることが可能になり、特性の劣化等の低減を図れる。

40

【0027】

また本発明の一態様では、前記第1の物理量トランスデューサーを駆動する第1の駆動回路を含み、前記第1の駆動回路は、前記第1の領域に配置されてもよい。

【0028】

このようにすれば、回路装置の第1の領域に対応する場所に第1の物理量トランスデューサーが配置される場合に、第1の駆動回路と第1の物理量トランスデューサーとの間の

50

信号経路を最適化でき、第1の物理量トランスデューサーの効率的な駆動が可能になる。

【0029】

また本発明の一態様では、前記第1の駆動回路は、前記第3の辺と前記ロジック回路との間、又は前記第2の辺と前記ロジック回路との間に配置されてもよい。

【0030】

このようにすれば、例えば第1の駆動回路を第1の検出回路等から離れた場所に配置することが可能になり、第1の駆動回路で発生したノイズが、第1の検出回路の特性等に与える悪影響を低減できる。

【0031】

また本発明の一態様では、前記A/D変換回路は、前記第1の領域に配置されてもよい。 10

【0032】

このようにすれば、例えば第1の検出回路とA/D変換回路との間の距離を近づけることなどが可能になり、第1の検出回路からの信号をショートパスでA/D変換回路に入力できるようになる。

【0033】

また本発明の一態様では、マスタークロック信号を生成するマスタークロック信号生成回路を含み、前記マスタークロック信号生成回路は、前記第2の領域に配置されてもよい。

【0034】

このようにすれば、マスタークロック信号生成回路からのノイズが、第1の領域に配置されるアナログ回路の特性等に与える悪影響を効果的に低減できる。 20

【0035】

また本発明の一態様では、デジタル信号の入力及び出力の少なくとも一方を行うデジタルインターフェース回路を含み、前記デジタルインターフェース回路は、前記ロジック回路と前記第2の辺との間に配置されてもよい。

【0036】

このようにすれば、デジタルインターフェース回路とアナログ系の回路との間の距離を離すことが可能になり、デジタルインターフェース回路からのノイズを原因とするアナログ系の回路の特性の劣化等を低減することが可能になる。 30

【0037】

また本発明の一態様では、前記第1の物理量は、所定軸回りの角速度であり、前記第2の物理量は、前記所定軸とは異なる軸回りの角速度であってもよい。

【0038】

このようにすれば、複数の軸回りの角速度を検出可能な複合センサーを実現できる。

【0039】

また本発明の一態様では、前記第1の物理量は、角速度であり、前記第2の物理量は、加速度であってもよい。

【0040】

このようにすれば、角速度と加速度の両方を検出可能な複合センサーを実現できる。 40

【0041】

また本発明の他の態様は、上記に記載の回路装置と、前記第1の物理量トランスデューサーと、前記第2の物理量トランスデューサーと、を含む物理量検出装置に係する。

【0042】

また本発明の他の態様は、上記に記載の回路装置を含む電子機器に係する。

【0043】

また本発明の他の態様は、上記に記載の回路装置を含む移動体に係する。

【図面の簡単な説明】

【0044】

【図1】本実施形態の回路装置の構成例。 50

- 【図 2】回路装置の回路ブロックの配置構成例。
- 【図 3】回路装置の回路ブロックの他の配置構成例。
- 【図 4】本実施形態の物理量検出装置の一例の平面図。
- 【図 5】図 4 の物理量検出装置の A - A 断面図。
- 【図 6】図 4 の物理量検出装置の B - B 断面図。
- 【図 7】Z 軸回り用の角速度センサーの動作説明図。
- 【図 8】X 軸回り用の角速度センサーの動作説明図。
- 【図 9】X 軸回り用の角速度センサーの動作説明図。
- 【図 10】本実施形態の回路装置の詳細な構成例。
- 【図 11】回路装置の回路ブロックの配置構成例。 10
- 【図 12】本実施形態の回路ブロックの配置手法の説明図。
- 【図 13】本実施形態の回路ブロックの配置手法の説明図。
- 【図 14】駆動回路、検出回路の構成例。
- 【図 15】ローパスフィルターの構成例。
- 【図 16】A / D 変換回路、マルチプレクサーの構成例。
- 【図 17】マスタークロック信号生成回路の構成例。
- 【図 18】デジタル I / F 回路の構成例。
- 【図 19】電源回路の構成例。
- 【図 20】加速度センサー及び加速度センサー用の第 2 の検出回路の構成例。 20
- 【図 21】本実施形態の回路装置が組み込まれる移動体の例。
- 【図 22】本実施形態の回路装置が組み込まれる電子機器の例。
- 【図 23】本実施形態の回路装置が組み込まれる電子機器の例。
- 【図 24】本実施形態の回路装置が組み込まれる移動体（電子機器）の例。
- 【発明を実施するための形態】
- 【0045】
- 以下、本発明の好適な実施形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。
- 【0046】 30
1. 回路装置
- 図 1 に本実施形態の回路装置 20 の構成例を示す。図 1 に示すように本実施形態の回路装置 20 は、第 1、第 2 の検出回路 61、62、マルチプレクサー 90、A / D 変換回路 100、ロジック回路 110 を含む。また本実施形態の物理量検出装置 300（複合センサー、物理量検出センサー）は、第 1、第 2 の物理量トランスデューサー 11、12 と回路装置 20 を含む。なお回路装置 20、物理量検出装置 300 は図 1 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。
- 【0047】 40
- 第 1 の検出回路 61 は、第 1 の物理量トランスデューサー 11 からの第 1 の検出信号 SA（第 1 のセンサー信号）に基づいて、第 1 の物理量に対応する第 1 の物理量信号 PSA（第 1 の所望信号）を検出する。そして検出した第 1 の物理量信号 PSA を出力する。第 2 の検出回路 62 は、第 2 の物理量トランスデューサー 12 からの第 2 の検出信号 SB（第 2 のセンサー信号）に基づいて、第 2 の物理量に対応する第 2 の物理量信号 PSB（第 2 の所望信号）を検出する。そして検出した第 2 の物理量信号 PSB を出力する。第 1、第 2 の検出信号 SA、SB は、例えば電流信号や電圧信号などのアナログの電気信号である。第 1、第 2 の物理量信号 PSA、PSB も、電圧信号などのアナログの電気信号である。なお第 1、第 2 の検出信号 SA、SB の各々や、第 1、第 2 の物理量信号 PSA、PSB の各々は、差動信号であってもよいし、シングルエンドの信号であってもよい。
- 【0048】 50
- マルチプレクサー 90 は、第 1 の検出回路 61 からの第 1 の物理量信号 PSA と第 2 の

検出回路62からの第2の物理量信号P B Sを含む複数の信号のうちのいずれかの信号を選択する。そして選択された信号を信号M Qとして出力する。マルチプレクサー90は例えば複数のスイッチ素子により構成され、各スイッチ素子はM O Sトランジスタなどにより実現される。

【0049】

なお図1では、マルチプレクサー90には、第1、第2の物理量信号P S A、P S Bだけが入力されているが、P S A、P S B以外の信号が入力されてもよい。例えば第1、第2の検出回路61、62に加えて、他の物理量信号を検出する1又は複数の他の検出回路を設けて、当該他の検出回路からの物理量信号をマルチプレクサー90に入力してもよい。また温度センサーからの温度検出信号などをマルチプレクサー90に入力してもよい。

10

【0050】

A/D変換回路100は、マルチプレクサー90により選択された信号M QのA/D変換を行いデジタル信号D Tを出力する。即ち、アナログの信号M QをA/D変換することにより得られたデジタル信号D Tを出力する。マルチプレクサー90により信号を選択し、選択された信号のA/D変換を行うことで、マルチプレクサー90に入力される複数の各信号に対する時分割のA/D変換が可能になる。

【0051】

A/D変換回路100としては、例えば逐次比較型やデルタシグマ型などの種々の方式のA/D変換回路を採用できる。例えばデルタシグマ型を採用する場合には、例えば1/fノイズ低減のためのC D S (Correlated double sampling) やチョッパーの機能などを有し、例えば2次のデルタシグマ変調器などにより構成されるA/D変換回路を用いることができる。逐次比較型を採用する場合には、例えばD A Cの素子ばらつきよるS/N比の劣化を低減するD E M (Dynamic Element Matching) の機能などを有し、容量D A C及び逐次比較制御ロジックにより構成されるA/D変換回路を用いることができる。なおA/D変換回路100は、信号M Qのゲインを調整するプログラマブルゲインアンプ(P G A)などを含んでもよい。

20

【0052】

ロジック回路110は、A/D変換回路100からのデジタル信号D Tの処理を行う。例えばロジック回路110(D S P部)は、デジタル信号D Tに対して各種のデジタル信号処理を行う。例えばロジック回路110は、A/D変換回路100からのデジタル信号D Tに対して、デジタルフィルタ処理やデジタル補正処理を行う。デジタルフィルタ処理としては、例えば所望信号のアプリケーションに応じた帯域制限のデジタルフィルタ処理や、A/D変換回路100等により発生したノイズを除去するデジタルフィルタ処理がある。デジタル補正処理としては、例えばゼロ点補正処理(オフセット補正)や感度補正処理(ゲイン補正)などがある。またロジック回路110は、回路装置20の各種の制御処理も行う。例えば回路装置20の各回路ブロックの制御処理なども行う。このロジック回路110は、例えばゲートアレイ回路等の自動配置配線の回路などにより実現できる。

30

【0053】

図1において、第1の物理量は、例えば所定軸回りの角速度であり、第2の物理量は、当該所定軸とは異なる軸回りの角速度である。所定軸(例えば第1の軸)は、X軸、Y軸、Z軸のうちの1つの軸であり、所定軸とは異なる軸(例えば第2の軸)は、X軸、Y軸、Z軸のうち、当該1つの軸とは異なる軸である。この場合には、第1、第2の物理量トランスデューサー11、12は角速度センサー(ジャイロセンサー)となる。そして第1、第2の検出回路61、62は、角速度センサーである第1、第2の物理量トランスデューサー11、12からの検出信号(電流信号、電荷信号)に基づいて、角速度信号である第1、第2の物理量信号P S A、P S Bを検出して出力する。このようにすれば、回路装置20を用いて、例えば第1軸、第2軸というように複数軸の回りでの角速度を検出できるようになる。なお、第1軸、第2軸とは異なる第3軸回りの角速度を検出するための検出回路を、回路装置20に更に設けるようにしてもよい。

40

50

【 0 0 5 4 】

また第1の物理量は角速度であり、第2の物理量は加速度であってもよい。この場合には、第1物理量トランスデューサー11は角速度センサー（ジャイロセンサー）となり、第2の物理量トランスデューサー12は加速度センサーになる。そして第1の検出回路61は、角速度センサーである第1の物理量トランスデューサー11からの検出信号に基づいて、角速度信号である第1の物理量信号PSAを検出して出力する。第2の検出回路62は、加速度センサーである第2の物理量トランスデューサー12からの検出信号に基づいて、加速度信号である第2の物理量信号PSBを検出して出力する。このようにすれば、回路装置20を用いて、所定軸（第1、第2又は第3の軸）の回りでの角速度の検出が可能になると共に、所定軸方向（第1、第2又は第3の軸方向）での加速度の検出が可能になる。

10

【 0 0 5 5 】

なお回路装置20、物理量検出装置300の構成としては種々の変形実施が可能である。例えば図1には、2つの物理量トランスデューサー（11、12）とそれに対応する2つの検出回路（61、62）を設けた構成を示しているが、3つ以上の物理量トランスデューサーとそれに対応する検出回路を設ける変形実施も可能である。例えば物理量トランスデューサーが角速度センサーである場合に、複数の軸回りの角速度センサーとそれに対応する検出回路を設けてもよい。また角速度センサーは、圧電型の振動ジャイロであってもよいし、シリコン基板などから形成された静電容量検出方式の振動ジャイロであってもよい。また物理量トランスデューサーが加速度センサーである場合に、複数の軸方向での

20

【 0 0 5 6 】

図2に本実施形態の回路装置20の回路ブロックの配置構成例を示す。図2は回路装置20の半導体チップのレイアウト配置を示す図である。

【 0 0 5 7 】

回路装置20（半導体チップ）は、第1、第2、第3、第4の辺SD1、SD2、SD3、SD4を有する。第1の辺SD1の反対側の辺が第2の辺SD2である。第3、第4の辺SD3、SD4は、第1、第2の辺SD1、SD2に交差（直交）する辺であり、第3の辺SD3の反対側の辺が第4の辺SD4である。そして図2では、回路装置20の第1の辺SD1に沿った方向を第1の方向DR1とし、第1の辺SD1から第1の辺SD1の反対側の第2の辺SD2に向かう方向を第2の方向DR2としている。第2の方向DR2は第1の方向DR1に交差（直交）する方向である。また第1の方向DR1の反対方向を第3の方向DR3とし、第2の方向DR2の反対方向を第4の方向DR4としている。

30

【 0 0 5 8 】

この場合に第1の検出回路61は、回路装置20の第1の辺SD1より第2の方向DR2側に配置されている。例えば第1の検出回路61は、第1の辺SD1より第2の方向DR2側の領域（所定幅の領域）において、第1の方向DR1に沿って配置される。例えば第1の方向DR1が長辺方向になるように第1の検出回路61が配置される。

40

【 0 0 5 9 】

また第2の検出回路62は、第1の辺SD1より第2の方向DR2側であり、且つ、第1の検出回路61より第1の方向DR1側に配置される。図2では第1の検出回路61より第1の方向DR1側において、第1の検出回路61に隣合うように第2の検出回路62が配置されている。例えば第2の検出回路62は、第1の辺SD1より第2の方向DR2側の領域（所定幅の領域）において、第1の方向DR1に沿って配置される。例えば第1の方向DR1が長辺方向になるように第2の検出回路62が配置される。

【 0 0 6 0 】

50

そしてA/D変換回路100は、第1の検出回路61及び第2の検出回路62の少なくとも一方と、ロジック回路110との間に配置される。例えば図2では、第1の検出回路61とロジック回路110との間にA/D変換回路100が配置されている。即ち、第1の検出回路61より第2の方向DR2側にA/D変換回路100が配置され、A/D変換回路100より第2の方向DR2側にロジック回路110が配置される。なお、第2の検出回路62とロジック回路110との間にA/D変換回路100を配置してもよい。即ち、第2の検出回路62より第2の方向DR2側にA/D変換回路100を配置してもよい。或いは、第1、第2の検出回路61、62の両方とロジック回路110との間に位置するように、A/D変換回路100を配置してもよい。

【0061】

例えば図3は本実施形態の回路装置20の他の配置構成例(レイアウト配置例)である。図3では、A/D変換回路100は、第1、第2の検出回路61、62の両方とロジック回路110との間に配置されている。即ち、第1、第2の検出回路61、62の両方の第2の方向DR2側に、A/D変換回路100が配置されている。

【0062】

また本実施形態では、マルチプレクサ90は、第1の検出回路61及び第2の検出回路62の少なくとも一方と、ロジック回路110との間に配置される。例えば図2では、マルチプレクサ90は、第1の検出回路61とロジック回路110の間に配置される。即ち第1の検出回路61より第2の方向DR2側にマルチプレクサ90が配置され、マルチプレクサ90より第2の方向DR2側にロジック回路110が配置される。なお、マルチプレクサ90を、第2の検出回路62とロジック回路110の間に配置してもよい。即ち、第2の検出回路62より第2の方向DR2側にマルチプレクサ90を配置してもよい。或いは第1、第2の検出回路61、62の両方とロジック回路110の間に位置するように、マルチプレクサ90を配置してもよい。或いは図3の他の配置構成例に示すように、第1の検出回路61と第2の検出回路62の間にマルチプレクサ90を配置してもよい。

【0063】

また本実施形態では、第1の方向DR1の反対方向を第3の方向DR3とする場合に、A/D変換回路100は、マルチプレクサ90より第3の方向DR3側又は第1の方向DR1側に配置される。例えば図2では、A/D変換回路100は、マルチプレクサ90より第3の方向DR3側に配置されている。或いは、A/D変換回路100を、マルチプレクサ90より第1の方向DR1側に配置してもよい。なお図3の他の配置構成例では、マルチプレクサ90より第2の方向DR2側にA/D変換回路100が配置されている。

【0064】

また本実施形態では、第2の方向DR2の反対方向を第4の方向DR4とする場合に、ロジック回路110は、第2の辺SD2より第4の方向DR4側であって、第1の検出回路61及び第2の検出回路62の少なくとも一方より第2の方向DR2側に配置される。例えば図2、図3では、ロジック回路110は、第2の辺SD2より第4の方向DR4側であって、第1、第2の検出回路61、62の両方の第2の方向DR2側に配置されている。なお、ロジック回路110を、第1の検出回路61の第2の方向DR2側だけに配置したり、第2の検出回路62の第2の方向DR2側だけに配置してもよい。

【0065】

図2、図3ではロジック回路110は、第2の辺SD2に沿ったI/O領域(パッド配置領域)の第4の方向DR4側に隣合って配置されている。I/O領域は、パッド、I/O回路及び保護回路(静電気保護等)の少なくとも1つが配置される領域である。例えばロジック回路110の第2の方向DR2側の長辺が、当該I/O領域の長辺に沿うように、ロジック回路110が配置されている。当該I/O領域には、例えばロジック回路110用のパッド(広義には端子)などが配置される。

【0066】

一方、第1、第2の検出回路61、62は、第1の辺SD1に沿ったI/O領域(パッド配置領域)の第2の方向DR2側に隣合って配置される。例えば、第1、第2の検出回路61、62の第4の方向DR4側の長辺が、当該I/O領域の長辺に沿うように、第1、第2の検出回路61、62が配置されている。当該I/O領域には、第1の検出回路61用のパッドTA1、TA2や、第2の検出回路62用のパッドTB1、TB2が配置される。例えば第1の検出回路61には、パッドTA1、TA2(端子)を介して、図1の検出信号SA(差動の検出信号)が入力される。第2の検出回路62には、パッドTB1、TB2(端子)を介して、検出信号SB(差動の検出信号)が入力される。

【0067】

以上のように本実施形態では、第1の検出回路61は、回路装置20の第1の辺SD1より第2の方向DR2側に配置され、第2の検出回路62は、第1の辺SD1より第2の方向DR2側であり、且つ、第1の検出回路61より第1の方向DR1側に配置される。即ち、第1の辺SD1の第2の方向DR2側において、第1、第2の検出回路61、62が第1の方向DR1に沿って配置される。従って、図1の第1の物理量トランスデューサー11と第1の検出回路61との間の第1の信号経路(第1の信号配線)や、第2の物理量トランスデューサー12と第2の検出回路62との間の第2の信号経路(第2の信号配線)を、短い配線の信号経路で実現できるようになる。

【0068】

例えば後述する図4~図6の物理量検出装置300では、第1の物理量トランスデューサー11(例えばZ軸用の角速度センサー)が、第1の検出回路61の上方(鉛直方向での上方向)に配置され、第2の物理量トランスデューサー12(例えばX軸用の角速度センサー)が、第2の検出回路62の上方に配置される。このような配置構成の場合に、図2、図3のように、第1の辺SD1の第2の方向DR2側において第1、第2の検出回路61、62を第1の方向DR1に沿って配置すれば、第1、第2の物理量トランスデューサー11、12と第1、第2の検出回路61、62との間の第1、第2の信号経路を、短い信号経路で実現できるようになる。これらの第1、第2の信号経路では、微小振幅の信号(電流信号)が伝送されるため、信号経路の配線が長くなってしまうと、ノイズが重畳して、第1、第2の検出回路61、62の検出特性等が劣化するおそれがある。この点、本実施形態の配置構成によれば、第1、第2の信号経路を短い配線の信号経路にできるため、ノイズ等を原因とする特性の劣化を低減することが可能になる。

【0069】

また本実施形態では、第1、第2の検出回路61、62の少なくとも一方とロジック回路110の間にA/D変換回路100が配置されるため、ロジック回路110を、第2の辺SD2側に配置することが可能になる。従って、ノイズ源となるロジック回路110を、第1、第2の検出回路61、62の少なくとも一方から離れた位置に配置できるようになる。従って、ロジック回路110からのノイズが、第1、第2の検出回路61、62などの微弱な信号を扱うアナログ系の回路に伝達されて、アナログ特性が劣化するのを効果的に低減できる。従って、複数の物理量トランスデューサーに対応する複数の検出回路を設けた場合における特性の劣化等を低減できる回路装置20の提供が可能になる。

【0070】

また本実施形態では、A/D変換回路100を、第1、第2の検出回路61、62の少なくとも一方とロジック回路110の間に配置している。このようにすれば、第1、第2の検出回路61、62の少なくとも一方とロジック回路110の間の領域を有効活用して、A/D変換回路100を配置できるため、レイアウト効率を向上でき、回路装置20の小規模化(小面積化)も図れるようになる。従って、特性の劣化の低減と回路装置20の小規模化とを両立して実現することも可能になる。

【0071】

また本実施形態では、マルチプレクサー90は、第1、第2の検出回路61、62の少なくとも一方と、ロジック回路110との間に配置される。このようにすれば、第1の検出回路61とマルチプレクサー90との間の第3の信号経路や、第2の検出回路62とマ

10

20

30

40

50

マルチプレクサ－90との間の第4の信号経路も、短い信号経路にすることができる。従って、第1、第2の検出回路61、62からの第1、第2の物理量信号PSA、PSBが、当該第3、第4の信号経路での信号伝送により劣化するのを低減できるようになり、信号特性の劣化の低減を図れる。

【0072】

そして本実施形態では、A/D変換回路100は、マルチプレクサ－90より第3の方向DR3側又は第1の方向DR1側に配置される。例えばA/D変換回路100はマルチプレクサ－90に隣合うように配置される。このようにすれば、マルチプレクサ－90とA/D変換回路100との間の第5の信号経路も、短い信号経路にすることができる。従って、マルチプレクサ－90からの信号MQが、当該第5の信号経路での信号伝送により劣化するのを低減できるようになり、信号特性の劣化の低減を図れる。例えばマルチプレクサ－90は、信号の選択回路であり、信号MQの出力インピーダンスが高くなってしまふ。従って、信号MQを伝送する第5の信号経路が長い配線になると、ノイズが信号に重畳されて、信号特性が劣化するおそれがある。この点、本実施形態によれば、当該第5の信号経路を短い配線で実現できるため、このような信号特性の劣化を効果的に低減できる。

10

【0073】

また本実施形態では、ロジック回路110が、第2の辺SD2より第4の方向DR4側であって、第1、第2の検出回路61、62の少なくとも一方より第2の方向DR2側に配置される。即ち、ロジック回路110を、第1の辺SD1に比べて、第2の辺SD2に近い位置に配置できる。従って、ノイズ源となるロジック回路110を、第1、第2の検出回路61、62などの微少な信号を扱う回路からできるだけ離すことが可能となる。例えばロジック回路110を第2の辺SD2側に配置することで、例えばロジック系の回路は第2の辺SD2側に配置する一方で、アナログ系の回路は、第2の辺SD2の反対側の第1の辺SD1側に配置できる。従って、ロジック回路110からのノイズを原因とする、アナログ系の回路の特性の劣化を効果的に低減することが可能になる。

20

【0074】

2. 物理量検出装置

次に本実施形態の物理量検出装置300（複合センサー）の一例について説明する。図4は、本実施形態の物理量検出装置300の一例の平面図である。図5は、図4の物理量検出装置300のA-A断面図であり、図6はB-B断面図である。

30

【0075】

物理量検出装置300は、角速度センサー13、14とパッケージ310を含む。パッケージ310はベース312とリッド314を有する。ベース312は、上面に開口する凹部を有するキャピティー状の部材である。リッド314は、ベース312の凹部の開口を塞いでベース312に接合される部材である。

【0076】

角速度センサー13は、例えばZ軸回りの角速度を検出するためのセンサーであり、角速度センサー14は、例えばX軸回りの角速度を検出するためのセンサーである。ここでは互いに直交する3つの軸（第1、第2、第3の軸）をX軸、Y軸、Z軸としている。Z軸は、図4の平面視において鉛直方向（紙面に垂直な方向）に沿った軸であり、リッド314に直交する方向に沿った軸である。X軸、Y軸は、Z軸に直交する軸である。

40

【0077】

角速度センサー13、14は、各々、振動片340、360により構成される。振動片340、360は、水晶基板の結晶軸及び電気軸で規定される平面に広がりをもつ、光軸方向に厚みを有する板状をなしている。各振動片340、360により実現される振動子は、例えばATカットタイプやSCカットタイプなどの厚みすべり振動タイプの水晶振動子等や屈曲振動タイプなどの圧電振動子である。なお、振動子としては、圧電振動子としてのSAW（Surface Acoustic Wave）共振子、シリコン製振動子としてのMEMS（Micro Electro Mechanical Systems）振動子等を採用してもよい。振動子（振動片）の基板

50

材料としては、水晶、タンタル酸リチウム、ニオブ酸リチウム等の圧電単結晶や、ジルコン酸チタン酸鉛等の圧電セラミックス等の圧電材料、又はシリコン半導体材料等を用いることができる。振動子の励振手段としては、圧電効果によるものを用いてもよいし、クーロン力による静電駆動を用いてもよい。

【0078】

振動片340は、ダブルT型の振動片であり、駆動腕341、342と、検出腕343と、基部344と、基部344と駆動腕341、342を連結する連結腕345、346を有する。基部344の下面側（Z軸の負方向側）には、複数の電極（不図示）が設けられ、これらの電極にはリード351、352、353、354、355、356が接続される。リード351、352及びこれらのリードに接続される電極は、例えば検出用（検出信号用、検出接地用）のリード及び電極である。リード353、354、355、356及びこれらのリードに接続される電極は、例えば駆動用（駆動信号用、駆動接地用）のリード及び電極である。

10

【0079】

振動片360は、H型の振動片であり、駆動腕361、362と、検出腕363、364と、基部365を有する。基部365の下面側（Z軸の負方向側）には、複数の電極（不図示）が設けられ、これらの電極にはリード371、372、373、374、375、376が接続される。リード371、372及びこれらのリードに接続される電極は、例えば駆動用（駆動信号用、駆動接地用）のリード及び電極である。リード373、374、375、376及びそれに接続される電極は、検出用（検出信号用、検出接地用）のリード及び電極である。なお駆動腕361、362、検出腕363、364に加えて一对の調整腕を設けてもよい。

20

【0080】

図5、図6に示すように、パッケージ310は、ベース312の凹部の開口がリッド314で塞がれることで形成される内部空間Sを有する。そして、この内部空間Sに、角速度センサー13、14（振動片340、360）と、回路装置20（IC）を収納している。内部空間Sは、気密密封されて、減圧状態（例えば真空）になっている。

【0081】

ベース312には、内部空間Sを囲むように複数の内部端子316及び複数の内部端子318が設けられている。内部端子318は、ベース312内に形成された不図示の内部配線を介して、ベース312の底面に形成された外部端子315に接続される。また内部端子318は、ボンディングワイヤー382を介して回路装置20に接続されると共に、不図示の内部配線を介して内部端子316に接続される。そして図5では内部端子316は、リード352（351、353～356）を介して角速度センサー13（振動片340）に電氣的に接続されており、これにより回路装置20と角速度センサー13を電氣的に接続できる。また図6では内部端子316は、リード372（371、373～376）を介して角速度センサー14（振動片360）に電氣的に接続されており、これにより回路装置20と角速度センサー14を電氣的に接続できる。

30

【0082】

支持基板330は、いわゆるTAB（Tape Automated Bonding）実装用のTAB基板である。支持基板330は、図3～図5に示すように、棒状の基部332と、基部332に設けられた複数のリード351～356、371～376を有する。基部332はベース312に固定されている。そしてリード351～356の先端部には角速度センサー13の振動片340が固定される。またリード371～376の先端部には角速度センサー14の振動片360が固定される。これにより、支持基板330を介して振動片340、360がベース312に固定（支持）された状態になる。

40

【0083】

具体的にはリード351～356、371～376の各々は、途中で傾斜しており、図5、図6に示すように、各リードの先端部が、支持基板330の開口334を通過して基部332よりも上方に位置している。これにより基部332に邪魔されることなく、支持基

50

板 330 の上方で、リード 351 ~ 356、371 ~ 376 の先端部に振動片 340、360 を固定できるようになる。

【0084】

図7は角速度センサー13の動作を模式的に説明する図である。角速度センサー13は、Z軸回りの角速度を検出するダブルT型のジャイロセンサーである。

【0085】

後述する図10の第1の駆動回路31により交流の駆動信号DSAが印加されると、駆動腕341A、341B、342A、342Bは、逆圧電効果により矢印C1に示すような屈曲振動(励振振動)を行う。例えば実線の矢印で示す振動姿態と点線の矢印で示す振動姿態を所定の周波数で繰り返す。即ち、駆動腕341A、342Aの先端が互いに接近と離間を繰り返す。即ち、駆動腕341B、342Bの先端も互いに接近と離間を繰り返す屈曲振動を行う。このとき駆動腕341A、341Bと駆動腕342A、342Bとが、基部344の重心位置を通るX軸に対して線対称の振動を行っているため、基部344、連結腕345、346、検出腕343A、343Bはほとんど振動しない。

【0086】

この状態で、振動片340に対してZ軸を回転軸とした角速度が加わると(振動片340がZ軸回りで回転すると)、コリオリ力により駆動腕341A、341B、342A、342Bは矢印C2に示すように振動する。即ち、矢印C1の方向とZ軸の方向とに直交する矢印C2の方向のコリオリ力が、駆動腕341A、341B、342A、342Bに作用することで、矢印C2の方向の振動成分が発生する。この矢印C2の振動が連結腕345、346を介して基部344に伝わり、これにより検出腕343A、343Bが矢印C3の方向で屈曲振動を行う。この検出腕343A、343Bの屈曲振動による圧電効果で発生した電荷信号が、検出信号SA(差動の検出信号)として図10の第1の検出回路61に入力されて、Z軸回りの角速度が検出されるようになる。この検出信号SAは図10の駆動信号DSAに対して位相が90度だけずれた信号になる。

【0087】

例えば、Z軸回りの振動片340の角速度を ω とし、質量を m とし、振動速度を v とすると、コリオリ力は $F_c = 2m \cdot v \cdot \omega$ と表される。従って第1の検出回路61が、コリオリ力に応じた信号である所望信号を検出することで、Z軸回りの角速度 ω を求めることができる。

【0088】

図8、図9は角速度センサー14の動作を模式的に説明する図である。角速度センサー14は、X軸回りの角速度を検出するH型のジャイロセンサーである。

【0089】

図10の第2の駆動回路32により交流の駆動信号DSBが印加されると、図8のD1の矢印に示すように駆動腕361、362がY軸方向に逆相で屈曲振動する。例えば実線の矢印で示す振動姿態と点線の矢印で示す振動姿態を所定の周波数で繰り返す。この状態では、駆動腕361、362の振動が互いにキャンセルされるため、検出腕363、364は実質的に振動しない。この状態で、振動片360に対してX軸を回転軸とした角速度が加わると(振動片360がX軸回りで回転すると)、駆動腕361、362にコリオリ力が作用して、図9に示すようにZ軸方向の屈曲振動が励振される。そして、この駆動腕361、362の屈曲振動に呼応するように、検出腕363、364がZ軸方向に屈曲振動する。このような屈曲振動による圧電効果で発生した電荷信号が、検出信号SB(差動信号)として図10の第2の検出回路62に入力されて、X軸回りの角速度が検出されるようになる。

【0090】

以上のように本実施形態の物理量検出装置300では、図1の第1、第2の物理量トランスデューサー11、12として、図4に示すような角速度センサー13、14が設けられる。そして図5、図6に示すように、角速度センサー13、14は回路装置20の上方側(Z軸の正方向側)に配置される。より具体的には、図2、図3の第1の検出回路61

10

20

30

40

50

の上方側に角速度センサー 13 が配置され、第 2 の検出回路 62 の上方側に角速度センサー 14 が配置されるようになる。例えば図 2、図 3 の第 3 の方向 DR3 が図 4 の Y 軸方向に対応し、第 3 の方向 DR4 が X 軸方向に対応する。

【0091】

このように図 2、図 3 の配置構成例によれば、第 1 の検出回路 61 の上方側（上方側に近い位置）に角速度センサー 13 が配置され、第 2 の検出回路 62 の上方側（上方側に近い位置）に角速度センサー 14 が配置されるようになる。従って、第 1 の検出回路 61 と角速度センサー 13 との間の第 1 の信号経路や、第 2 の検出回路 62 と角速度センサー 14 との間の第 2 の信号経路を、より短い信号経路にすることが可能になる。

【0092】

例えば図 5 において、回路装置 20 から、ボンディングワイヤー 382、内部端子 318、不図示の内部配線、内部端子 316、リード 352 を介して、角速度センサー 13 に至る第 1 の信号経路を、より短い信号経路にすることができる。また図 6 において、回路装置 20 から、ボンディングワイヤー 382、内部端子 318、不図示の内部配線、内部端子 316、リード 372 を介して、角速度センサー 14 に至る第 2 の信号経路を、より短い信号経路にすることができる。従って、これらの第 1、第 2 の信号経路により、微小振幅の信号（SA、SB 等）を伝送した場合に、これらの信号に重畳するノイズを低減することが可能になり、検出特性等の劣化を効果的に低減できるようになる。

【0093】

なお図 5 のボンディングワイヤー 382 は、図 2、図 3 の第 1 の検出回路 61 用のパッド TA1、TA2（差動信号である検出信号の入力用の 2 つのパッド）に接続される。図 6 のボンディングワイヤー 382 は、第 2 の検出回路 62 用のパッド TB1、TB2（差動信号である検出信号の入力用の 2 つのパッド）に接続される。

【0094】

3. 詳細な構成例

図 10 に本実施形態の回路装置 20、物理量検出装置 300 の詳細な構成例を示す。図 10 では、図 1 の第 1、第 2 の物理量トランスデューサー 11、12 として、角速度センサー 13、14 が設けられている。図 4～図 9 で説明したように、角速度センサー 13 は Z 軸回りの角速度を検出するためのセンサーであり、角速度センサー 14 は X 軸回りの角速度を検出するためのセンサーである。そして回路装置 20 には、図 1 で説明した第 1、第 2 の検出回路 61、62、マルチプレクサー 90、A/D 変換回路 100、ロジック回路 110 に加えて、第 1、第 2 の駆動回路 31、32、第 1、第 2 のローパスフィルター 87、88、マスタークロック信号生成回路 120、デジタル I/F 回路（デジタルインターフェース回路）130、電源回路 140 が設けられている。なお回路装置 20、物理量検出装置 300 は図 10 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【0095】

第 1 の駆動回路 31 は、角速度センサー 13（広義には第 1 の物理量トランスデューサー）を駆動する回路である。例えば第 1 の駆動回路 31 は駆動信号 DSA を出力して角速度センサー 13 を駆動する。具体的には角速度センサー 13 の振動片 340（図 4）を駆動周波数で振動させる駆動を行う。例えば角速度センサー 13 からのフィードバック信号 DGA を受けて、矩形波又は正弦波の駆動信号 DSA を角速度センサー 13 に出力する。これにより角速度センサー 13 は一定の駆動周波数で駆動されるようになり、例えば駆動周波数に応じた周波数で振動片 340 が振動するようになる。また第 1 の駆動回路 31 は、同期検波のための同期信号 SYCA を第 1 の検出回路 61 に出力する。

【0096】

第 2 の駆動回路 32 は、角速度センサー 14（広義には第 2 の物理量トランスデューサー）を駆動する回路である。例えば第 2 の駆動回路 32 は駆動信号 DSB を出力して角速度センサー 14 を駆動する。具体的には角速度センサー 14 の振動片 360（図 4）を駆動周波数で振動させる駆動を行う。例えば角速度センサー 14 からのフィードバック信号

10

20

30

40

50

DGBを受けて、矩形波又は正弦波の駆動信号DSBを角速度センサー14に出力する。これにより角速度センサー14は一定の駆動周波数で駆動されるようになり、例えば駆動周波数に応じた周波数で振動片360が振動するようになる。また第2の駆動回路32は、同期検波のための同期信号SYCBを第2の検出回路62に出力する。

【0097】

第1の検出回路61は、第1の駆動回路31により駆動される角速度センサー13からの検出信号SA（差動信号）を受けて、角速度信号AVA（広義には第1の物理量信号）を検出する。具体的には、第1の駆動回路31からの同期信号SYCAを用いた同期検波を行って、所望信号である角速度信号AVAを検出して出力する。角速度信号AVAは例えばZ軸回りで角速度（広義には第1の物理量）を表す信号である。

10

【0098】

第2の検出回路62は、第2の駆動回路32により駆動される角速度センサー14からの検出信号SB（差動信号）を受けて、角速度信号AVB（広義には第2の物理量信号）を検出する。具体的には、第2の駆動回路32からの同期信号SYCBを用いた同期検波を行って、所望信号である角速度信号AVBを検出して出力する。角速度信号AVBは例えばX軸回りで角速度（広義には第2の物理量）を表す信号である。

【0099】

第1のローパスフィルター87（LPFA）は、第1の検出回路61からの角速度信号AVA（第1の物理量信号）のローパスフィルター処理を行う。例えば第1のローパスフィルター87は、第1の検出回路61とマルチプレクサー90の間に設けられる。そして第1のローパスフィルター87は、例えば抵抗やキャパシターなどのパッシブ素子により構成されるパッシブフィルターであり、アナログのローパスフィルター処理を行って、ローパスフィルター処理後の角速度信号AVA'をマルチプレクサー90に出力する。

20

【0100】

第2のローパスフィルター88（LPFB）は、第2の検出回路62からの角速度信号AVB（第2の物理量信号）のローパスフィルター処理を行う。例えば第2のローパスフィルター88は、第2の検出回路62とマルチプレクサー90の間に設けられる。そして第2のローパスフィルター88は、例えば抵抗やキャパシターなどのパッシブ素子により構成されるパッシブフィルターであり、アナログのローパスフィルター処理を行って、ローパスフィルター処理後の角速度信号AVB'をマルチプレクサー90に出力する。

30

【0101】

第1、第2のローパスフィルター87、88はA/D変換回路100の前置きフィルター（アンチエイリアスフィルター）として機能する。また第1、第2のローパスフィルター87、88により離調周波数の周波数成分を除去する。離調周波数は、駆動振動のモードの共振周波数（駆動周波数）と検出振動のモードの共振周波数（検出周波数）との差に相当する周波数である。離調周波数は、例えば数百Hz～数kHzの範囲内の周波数である。この離調周波数の周波数成分は同期検波によっては除去できないため、第1、第2のローパスフィルター87、88のローパスフィルター処理により十分に減衰させる必要がある。

【0102】

マルチプレクサー90は、第1、第2の検出回路61、62から第1、第2のローパスフィルター87、88を介して入力された角速度信号AVA'、AVB'を含む複数の信号のうちいずれかの信号を選択する。そして、選択された信号を信号MQとして、A/D変換回路100に出力する。具体的にはマルチプレクサー90は、A/D変換回路100において時分割のA/D変換を行うための信号の選択処理を行う。例えば第1の期間では、マルチプレクサー90は、第1の検出回路61（第1のローパスフィルター87）からの角速度信号AVA'を選択して、信号MQとしてA/D変換回路100に出力し、A/D変換回路100が、信号MQである角速度信号AVA'のA/D変換を行う。また第1の期間の次の第2の期間では、マルチプレクサー90は、第2の検出回路62（第2のローパスフィルター88）からの角速度信号AVB'を選択して、信号MQとしてA/D

40

50

変換回路100に出力し、A/D変換回路100が、信号MQである角速度信号AVB'のA/D変換を行う。マルチプレクサー90での信号選択は、ロジック回路110からの制御信号に基づいて行われる。なお、マルチプレクサー90には、角速度信号AVA'、AVB'以外のアナログ信号(例えば温度検出信号等)が入力されてもよく、この場合にはA/D変換回路100は、角速度信号AVA'、AVB'と、当該アナログ信号を、時分割でA/D変換することになる。

【0103】

マスタークロック信号生成回路120は、回路装置20のマスタークロック信号MCKを生成する。ロジック回路110は、このマスタークロック信号MCKに基づいて動作する。マスタークロック信号MCKは、ロジック回路110等の回路ブロックの基準となるクロック信号である。例えばロジック回路110は、マスタークロック信号MCKの分周を行って、分周後の各種のクロック信号を、第1、第2の駆動回路31、32、第1、第2の検出回路61、62、A/D変換回路100等の各回路ブロックに供給して、これらの回路ブロックを動作させる。

10

【0104】

デジタルI/F回路130は、デジタル信号の入力及び出力の少なくとも一方を行う回路である。例えばデジタルI/F回路130は、シリアルインターフェース処理を行う回路により実現できる。例えばデジタルI/F回路130は、シリアルデータ線とシリアルクロック線を含む2線、3線又は4線のシリアルインターフェース回路などにより実現できる。即ち、デジタルI/F回路130のインターフェース処理は、シリアルクロック線とシリアルデータ線を用いた同期式のシリアル通信方式により実現できる。例えば3線又は4線のSPI(Serial Peripheral Interface)方式や、I2C(Inter-Integrated Circuit)方式などにより実現できる。

20

【0105】

電源回路140は各種の電源電圧を生成して回路装置20の各回路ブロックに供給する。例えば回路装置20の外部接続端子(パッド)を介して入力された電源電圧のレギュレート動作などを行って、各種の電圧の電源電圧を生成する。そして第1、第2の駆動回路31、32、第1、第2の検出回路61、62、A/D変換回路100、ロジック回路110、マスタークロック信号生成回路120、デジタルI/F回路130などの各回路ブロックに、各種の電圧の電源電圧を供給する。この電源回路140は、電圧のレギュレート動作を行うレギュレーター回路や、基準電流や基準電圧を生成する回路などにより実現できる。

30

【0106】

図11に、図10の回路装置20の回路ブロックの配置構成例を示す。図11は回路装置20の半導体チップのレイアウト配置例を示す図である。図11では図2、図3と同様に、第1の検出回路61は、第1の辺SD1より第2の方向DR2側に配置され、第2の検出回路62は、第1の辺SD1より第2の方向DR2側であり、第1の検出回路61より第1の方向DR1側に配置される。このように第1、第2の検出回路61、62が配置されることで、図4の角速度センサー13の下方に第1の検出回路61が配置され、角速度センサー14の下方に第2の検出回路62が配置されるようになる。

40

【0107】

そしてA/D変換回路100は、第1、第2の検出回路61、62の少なくとも一方とロジック回路110との間に配置される。図11ではA/D変換回路100は第1の検出回路61とロジック回路110との間に配置される。またマルチプレクサー90は、第1、第2検出回路61、62の少なくとも一方と、ロジック回路110との間に配置される。図11ではマルチプレクサー90は第1の検出回路61とロジック回路110との間に配置される。

【0108】

また図11ではA/D変換回路100は、マルチプレクサー90より第3の方向DR3側に配置される。なおA/D変換回路100をマルチプレクサー90より第1の方向DR

50

1側に配置するようにしてもよい。

【0109】

そして回路装置20は、電源電圧を供給する電源回路140を含む。電源回路140は回路装置20の各回路ブロックに電源電圧を供給する。そして図11では、A/D変換回路100がマルチプレクサー90の第3の方向DR3側に配置されており、この場合には、電源回路140は、マルチプレクサー90より第1の方向DR1側に配置される。即ち、A/D変換回路100と電源回路140の間にマルチプレクサー90が配置される。なおA/D変換回路100がマルチプレクサー90の第1の方向DR1側に配置される場合には、電源回路140を、マルチプレクサー90の第3の方向DR3側に配置すればよい。

10

【0110】

図11のように電源回路140を配置すれば、電源回路140を回路装置20の中央部付近に配置できるようになる。電源回路140は回路装置20の各回路ブロック(第1、第2の検出回路61、62、第1、第2の駆動回路31、32、A/D変換回路100等)に電源電圧を分配して供給する。従って、電源回路140を回路装置20の中央付近に配置することで、電源回路140と各回路ブロックとの間の電源線の長さを最適にすることができる。即ち、電源回路140からの電源電圧が複数の回路ブロックに供給される場合に、一部の回路ブロックに対する電源線の長さだけが極端に長くなってしまおうような事態を防止できる。従って、電源線の配線効率が向上すると共に、電源供給のインピーダンスの最適化を図れる。

20

【0111】

なお図11においても図2、図3と同様に、ロジック回路110は、第2の辺SD2より第4の方向DR4側であって、第1、第2の検出回路61、62の少なくとも一方(図11では両方)の第2の方向DR2側に配置される。

【0112】

また回路装置20は、角加速度信号AVA(第1の物理量信号)のローパスフィルター処理を行う第1のローパスフィルター87(LPFA)を含む。そして第1のローパスフィルター87は、第1の検出回路61とマルチプレクサー90(A/D変換回路100)との間に配置される。例えば第1の検出回路61とマルチプレクサー90との間の信号経路上に、第1のローパスフィルター87が位置する。例えば第1のローパスフィルター87は、マルチプレクサー90に隣合うように配置される。例えば図11では第1の検出回路61より第2の方向DR2側に、第1のローパスフィルター87が配置され、第1のローパスフィルター87より第2の方向DR2側に、マルチプレクサー90が配置される。このようにすれば、第1の検出回路61から第1のローパスフィルター87に入力された信号を、第1のローパスフィルター87からマルチプレクサー90に対してショートパスで伝送できるようになる。

30

【0113】

また回路装置20は、角加速度信号AVB(第2の物理量信号)のローパスフィルター処理を行う第2のローパスフィルター88(LPFB)を含む。そして第2のローパスフィルター88は、第2の検出回路62とマルチプレクサー90(A/D変換回路100)との間に配置される。例えば第2の検出回路62とマルチプレクサー90との間の信号経路上に、第2のローパスフィルター88が位置する。例えば第2のローパスフィルター88は、マルチプレクサー90に隣合うように配置される。このようにすれば、第2の検出回路62から第2のローパスフィルター88に入力された信号を、第2のローパスフィルター88からマルチプレクサー90に対してショートパスで伝送できるようになる。

40

【0114】

例えば第1、第2のローパスフィルター87、88がパッシブフィルターである場合には、その出力インピーダンスが高い。特に第1、第2のローパスフィルター87、88に、離調周波数成分を除去するローパスフィルター特性を持たせた場合には、その出力インピーダンスが非常に高くなる。従って、第1のローパスフィルター87とマルチプレクサ

50

ー 90 (A/D変換回路100)との間の信号配線が長くなったり、第2のローパスフィルター88とマルチプレクサー90 (A/D変換回路100)との間の信号配線が長くなると、伝送される信号の特性(S/N等)が劣化してしまう。

【0115】

この点、本実施形態では図12に示すように、第1の検出回路61とマルチプレクサー90との間に第1のローパスフィルター87が配置され、第1のローパスフィルター87に隣合うようにマルチプレクサー90が配置される。これにより、第1のローパスフィルター87とマルチプレクサー90との間の信号配線を短くできる。従って、第1のローパスフィルター87がパッシブフィルターであり、その出力インピーダンスが高い場合にも、当該信号配線を短くできることで、信号の劣化を低減できるようになる。

10

【0116】

また、本実施形態では図12に示すように、第2の検出回路62とマルチプレクサー90との間に第2のローパスフィルター88が配置され、第2のローパスフィルター88に隣合うようにマルチプレクサー90が配置される。これにより、第2のローパスフィルター88とマルチプレクサー90との間の信号配線を短くできる。従って、第2のローパスフィルター88がパッシブフィルターであり、その出力インピーダンスが高い場合にも、当該信号配線を短くできることで、信号の劣化を低減できるようになる。即ち、第2の検出回路62は例えばバッファ回路等を用いて信号を出力しているため、第2の検出回路62の出力インピーダンスは比較的低い。従って、第2の検出回路62と第2のローパスフィルター88との間の信号配線が長くなっても、それほど悪影響がない。これに対して、第2のローパスフィルター88の出力インピーダンスは非常に高いため、第2のローパスフィルター88とマルチプレクサー90との間の信号配線が長くなると、信号劣化の問題が生じる。この点、本実施形態では、第2のローパスフィルター88とマルチプレクサー90との間の信号配線が、第2のローパスフィルター88と第2の検出回路62との間の信号配線に比べて短くなるため、上記の信号劣化の問題を解決できる。

20

【0117】

またA/D変換回路100はマルチプレクサー90に隣合うように配置される。図12ではマルチプレクサー90より第3の方向DR3側において、マルチプレクサー90に隣合うようにA/D変換回路100が配置される。このようにすることで、マルチプレクサー90の出力信号をショートパスでA/D変換回路100に入力できる。従って、出力インピーダンスが高いマルチプレクサー90からの出力信号に対して、ノイズ等が重畳して、信号特性が劣化するのを低減できるようになる。例えばA/D変換回路100は、その前段側に、後述するようにプログラムゲインアンプ等の増幅回路を有している。そして、この増幅回路の入力信号(マルチプレクサー90の出力信号)の信号劣化は問題になるが、増幅回路は出力インピーダンスが低いため、増幅回路の出力信号については信号配線が長くても、信号劣化はそれほど問題にならない。

30

【0118】

また図13において、回路装置20の第3の辺SD3は第1、第2の辺SD1、SD2に交差する辺である。第4の辺SD4は、第1、第2の辺SD1、SD2に交差すると共に第3の辺SD3の反対側の辺である。そして第3の辺SD3と第4の辺SD4に平行な線を境界線BDLとする。この境界線BDLは、第3の辺SD3と第4の辺SD4の間に設定される線(仮想線)であり、回路装置20の中央付近において、第2の方向DR2に沿って延びる線である。そして境界線BDLと第3の辺SD3とにより区画される回路装置20の領域を、第1の領域AR1とし、境界線BDLと第4の辺SD4とにより区画される回路装置20の領域を、第2の領域AR2とする。

40

【0119】

この場合に本実施形態では、図13に示すように、第1の検出回路61は第1の領域AR1に配置され、第2の検出回路62は第2の領域AR2に配置される。即ち第1の検出回路61は、回路装置20の中央付近の境界線BDLよりも第3の方向DR3側の領域に配置され、第2の検出回路62は、境界線BDLよりも第1の方向DR1側の領域に配置

50

される。

【 0 1 2 0 】

このようにすれば、図 4 のように回路装置 2 0 の第 1 の領域 A R 1 の上方側に角速度センサー 1 3 が配置され、第 2 の領域 A R 2 の上方側に角速度センサー 1 4 が配置される場合に、第 1、第 2 の検出回路 6 1、6 2 と角速度センサー 1 3、1 4 との間の信号経路を短くできる。これらの信号経路を短くすることで、角速度センサー 1 3、1 4 からの微弱な信号を、第 1、第 2 の検出回路 6 1、6 2 が検出する場合に、この微弱な信号にノイズが重畳されて検出特性が劣化するのを効果的に低減できる。

【 0 1 2 1 】

また回路装置 2 0 は角速度センサー 1 3 (第 1 の物理量トランスデューサー) を駆動する第 1 の駆動回路 3 1 を含む。そして図 1 3 に示すように、この第 1 の駆動回路 3 1 も、第 1 の領域 A R 1 に配置される。即ち、角速度センサー 1 3 からの信号を検出する第 1 の検出回路 6 1 と、角速度センサー 1 3 を駆動する第 1 の駆動回路 3 1 の両方が、第 1 の領域 A R 1 に配置される。

10

【 0 1 2 2 】

このようにすれば、図 4 のように回路装置 2 0 の第 1 の領域 A R 1 の上方側に角速度センサー 1 3 が配置される場合に、第 1 の駆動回路 3 1 と角速度センサー 1 3 との間の信号経路を短くできる。このように信号経路を短くすることで、第 1 の駆動回路 3 1 からの駆動信号をショートパスで角速度センサー 1 3 に出力できるようになり、角速度センサー 1 3 の効率的な駆動が可能になる。

20

【 0 1 2 3 】

なお、角速度センサー 1 4 (第 2 の物理量トランスデューサー) を駆動する第 2 の駆動回路 3 2 は、図 1 3 に示すように第 2 の領域 A R 2 に配置される。即ち、角速度センサー 1 4 からの信号を検出する第 2 の検出回路 6 2 と、角速度センサー 1 4 を駆動する第 2 の駆動回路 3 2 の両方が、第 2 の領域 A R 2 に配置される。このようにすれば、図 4 のように回路装置 2 0 の第 2 の領域 A R 2 の上方側に角速度センサー 1 4 が配置される場合に、第 2 の駆動回路 3 2 と角速度センサー 1 4 との間の信号経路を短くできる。これにより、第 2 の駆動回路 3 2 からの駆動信号をショートパスで角速度センサー 1 4 に出力できるようになり、角速度センサー 1 4 の効率的な駆動が可能になる。なお第 2 の物理量トランスデューサー 1 2 が加速度センサー等である場合には、図 1 3 のような第 2 の領域 A R 2 への第 2 の駆動回路 3 2 の配置は不要になる。

30

【 0 1 2 4 】

また本実施形態では、第 1 の駆動回路 3 1 は、回路装置 2 0 の第 3 の辺 S D 3 とロジック回路 1 1 0 との間、又は第 2 の辺 S D 2 とロジック回路 1 1 0 との間に配置される。例えば図 1 1 では、第 1 の駆動回路 3 1 は、回路装置 2 0 の第 3 の辺 S D 3 とロジック回路 1 1 0 との間に配置されている。例えば第 3 の辺 S D 3 に沿って配置される I / O 領域 (パッド配置領域) の第 1 の方向 D R 1 側に、第 1 の駆動回路 3 1 が配置される。また第 1 の駆動回路 3 1 の第 1 の方向 D R 1 側にロジック回路 1 1 0 が配置される。この場合に、当該 I / O 領域と第 1 の駆動回路 3 1 は第 1 の方向 D R 1 において例えば隣合って配置される。また第 1 の駆動回路 3 1 とロジック回路 1 1 0 も第 1 の方向 D R 1 において隣合って配置される。第 2 の辺 S D 2 とロジック回路 1 1 0 の間に第 1 の駆動回路 3 1 を配置する場合にも、同様のレイアウト配置になる。例えば第 1 の辺 S D 2 に沿った I / O 領域の第 4 の方向 D R 4 側に例えば隣合うように第 1 の駆動回路 3 1 を配置する。また第 1 の駆動回路 3 1 の第 4 の方向 D R 4 側に例えば隣合うようにロジック回路 1 1 0 を配置する。

40

【 0 1 2 5 】

このように第 1 の駆動回路 3 1 を配置すれば、例えば第 1 の駆動回路 3 1 と第 1 の検出回路 6 1 との間の距離を離すことができる。例えば第 1 の駆動回路 3 1 を、第 2 の辺 S D 2 と第 3 の辺 S D 3 が交差するコーナー部分に配置することで、第 1 の駆動回路 3 1 と第 1 の検出回路 6 1 との間の距離を長くできる。このようにすれば、第 1 の駆動回路 3 1 で発生したノイズが、第 1 の検出回路 6 1 の検出特性に与える悪影響を低減できる。例えば

50

第1の駆動回路31が矩形波の駆動信号などで角速度センサー13を駆動した場合には、大きなノイズが第1の駆動回路31において発生する。このノイズは、駆動周波数のノイズであるため、当該ノイズが第1の検出回路61に伝達すると、検出特性が大きく劣化する。例えば検出周波数に近い周波数である駆動周波数のノイズが第1の検出回路61に伝達すると、当該ノイズを除去するのが困難となるため、検出特性が大きく劣化する。この点、図11では、第1の駆動回路31と第1の検出回路61との間を最大限に離すことができるため、当該ノイズを原因とする検出特性の劣化を効果的に低減できる。

【0126】

なお本実施形態では、第2の駆動回路32についても、回路装置20の第4の辺SD4とロジック回路110との間、又は第2の辺SD2とロジック回路110との間に配置することが望ましい。例えば図11では、第2の駆動回路32は、回路装置20の第4の辺SD4とロジック回路110との間に配置されている。例えば第4の辺SD4に沿ったI/O領域の第3の方向DR3側に例えば隣合って第2の駆動回路32が配置される。具体的には、第2の辺SD2と第4の辺SD4が交差するコーナー部分に、第2の駆動回路32が配置される。このように配置すれば、例えば第2の駆動回路32と第2の検出回路62との間の距離を離すことができ、第2の駆動回路32で発生したノイズが、第2の検出回路62の検出特性に与える悪影響を低減できる。

10

【0127】

また図13に示すようにA/D変換回路100は第1の領域AR1に配置される。即ち、A/D変換回路100は第1の検出回路61と共に第1の領域AR1に配置される。こうすることで、第1の検出回路61とA/D変換回路100との間の距離を近づけることができ、第1の検出回路61からの信号をショートパスでA/D変換回路100に入力できるようになる。従って、アナログ信号に重畳するノイズを最大限に抑えながら、当該アナログ信号のA/D変換を実行できるようになる。

20

【0128】

また回路装置20は、マスタークロック信号を生成するマスタークロック信号生成回路120を含む。そして図13に示すようにマスタークロック信号生成回路120は第2の領域AR2に配置される。このようにすればマスタークロック信号生成回路120とA/D変換回路100との間の距離を長くできる。またマスタークロック信号生成回路120と第1の検出回路61との間の距離も長くできる。例えばマスタークロック信号の周波数は高いため（例えば数MHz～数十MHz）、マスタークロック信号生成回路120は大きなノイズ源となる。例えばマスタークロック信号生成回路120は後述するように発振回路を有しており、この発振回路からは大きなノイズが発生する。このマスタークロック信号生成回路120を第2の領域AR2に配置し、A/D変換回路100を第1の領域AR1に配置すれば、マスタークロック信号生成回路120とA/D変換回路100との間の距離を離すことができ、マスタークロック信号生成回路120からのノイズが、A/D変換回路100のアナログ特性に与える悪影響を効果的に低減できる。

30

【0129】

また後述するように、第1の検出回路61が角速度センサー用の検出回路であり、第2の検出回路62が加速度センサー用の検出回路である場合には、第1の検出回路61の方が、第2の検出回路62に比べて、より微弱な信号を扱うことになるため、ノイズが検出特性に与える悪影響の度合いが大きい。この点、マスタークロック信号生成回路120を第2の領域AR2に配置し、第1の検出回路61を第1の領域AR1に配置すれば、マスタークロック信号生成回路120と第1の検出回路61との間の距離を離すことができる。従って、マスタークロック信号の生成によるノイズが第1の検出回路61の検出特性に与える悪影響を、効果的に低減できるようになる。

40

【0130】

また本実施形態の回路装置20は、デジタル信号の入力及び出力の少なくとも一方を行うデジタルI/F回路130を含む。そして図11に示すように、デジタルI/F回路130は、ロジック回路110と第2の辺SD2との間に配置される。例えば第2の辺SD

50

2 に沿って配置される I / O 領域 (パッド配置領域) の第 4 の方向 DR 4 側に、デジタル I / F 回路 1 3 0 が配置され、デジタル I / F 回路 1 3 0 の第 4 の方向 DR 4 側に、ロジック回路 1 1 0 が配置される。具体的には、当該 I / O 領域の第 4 の方向 DR 4 側に隣合うようにデジタル I / F 回路 1 3 0 が配置され、デジタル I / F 回路 1 3 0 の第 4 の方向 DR 4 側に隣合うようにロジック回路 1 1 0 が配置される。

【 0 1 3 1 】

なおデジタル I / F 回路 1 3 0 を構成する一部の回路を、第 2 の辺 SD 2 に沿った I / O 領域に配置してもよい。例えばデジタル I / F 回路 1 3 0 の I / O バッファ回路等を、当該 I / O 領域のパッドとパッドの間に配置してもよい。この場合にもデジタル I / F 回路 1 3 0 を構成する回路が、ロジック回路 1 1 0 と第 2 の辺 SD 2 との間に配置されることになる。

10

【 0 1 3 2 】

デジタル I / F 回路 1 3 0 では、例えば 3 V ~ 5 V 程度の電圧振幅で、クロック信号線やデータ線の信号が変化するため、大きなデジタルノイズが発生する。またノイズの発生タイミング等も、外部装置の処理タイミング等に依存し、回路装置 2 0 の内部タイミングとは非同期である。このためデジタル I / F 回路 1 3 0 からのデジタルノイズが、第 1、第 2 の検出回路 6 1、6 2 や A / D 変換回路 1 0 0 に伝達されると、検出特性や A / D 変換特性などの特性に大きな悪影響を与えてしまう。

【 0 1 3 3 】

この点、図 1 1、図 1 3 では、デジタル I / F 回路 1 3 0 は第 2 の辺 SD 2 に沿って配置されており、デジタル I / F 回路 1 3 0 と、第 1、第 2 の検出回路 6 1、6 2 や A / D 変換回路 1 0 0 との間の距離を十分に離すことができる。従って、デジタル I / F 回路 1 3 0 からのデジタルノイズを原因とする第 1、第 2 の検出回路 6 1、6 2、A / D 変換回路 1 0 0 の特性の劣化を低減することが可能になる。特に、デジタル I / F 回路 1 3 0 のクロック信号やデータ信号のパッド (端子) において大きなデジタルノイズが発生するが、これらのパッドと第 1、第 2 の検出回路 6 1、6 2、A / D 変換回路 1 0 0 との間の距離を離すことで、特性の劣化を最小限に抑えることが可能になる。

20

【 0 1 3 4 】

なお図 1 1 では、ロジック用のレギュレーター回路 1 4 1 が、第 4 の辺 SD 4 より第 3 の方向 DR 3 側に配置されている。例えば第 4 の辺に沿った I / O 領域 (パッド配置領域) の第 3 の方向 DR 3 側に隣合うように、レギュレーター回路 1 4 1 が配置されている。このレギュレーター回路 1 4 1 は電源回路 1 4 0 の構成回路の一部である。例えばレギュレーター回路 1 4 1 が生成するデジタル用の電源電圧は、外付け部品である外部コンデンサー (パスコン) により電圧の安定化が図られる。このため、レギュレーター回路 1 4 1 の第 1 の方向 DR 1 側の I / O 領域には、当該外部コンデンサーを接続するための接続用パッド (端子) が配置される。従って、レギュレーター回路 1 4 1 を、第 4 の辺 SD 4 より第 3 の方向 DR 3 側に配置することで、レギュレーター回路 1 4 1 と当該接続用パッドとの間の配線を短くでき、当該配線のインピーダンスを低くできる。これにより、外部コンデンサーによるデジタル用の電源電圧の安定化を実現できるようになる。またレギュレーター回路 1 4 1 が生成する電源電圧には、デジタル回路による大きなノイズが重畳するため、レギュレーター回路 1 4 1 は大きなノイズ源となる。従って、図 1 1 のようにレギュレーター回路 1 4 1 を配置することで、ノイズ源であるレギュレーター回路 1 4 1 と、第 1 の検出回路 6 1 や A / D 変換回路 1 0 0 との間の距離を離すことができ、ノイズを原因とする特性の劣化を効果的に低減できる。

30

40

【 0 1 3 5 】

4 . 各回路ブロックの詳細な構成例

次に回路装置 2 0 の各回路ブロックの詳細な構成例について説明する。図 1 4 は駆動回路 3 0、検出回路 6 0 の構成例である。なお図 1 4 では説明の簡素化のため、第 1、第 2 の駆動回路 3 1、3 2 の構成を駆動回路 3 0 の構成として示しており、第 1、第 2 の検出回路 6 1、6 2 の構成を検出回路 6 0 の構成として示している。

50

【 0 1 3 6 】

駆動回路 30 (31、32) は、角速度センサー (13、14) からのフィードバック信号 DG (DGA、DGB) が入力される増幅回路 34 と、自動ゲイン制御を行うゲイン制御回路 40 と、駆動信号 DS (DSA、DSB) を角速度センサー (13、14) に出力する駆動信号出力回路 50 を含む。また同期信号 SYC (SYCA、SYCB) を検出回路 60 に出力する同期信号出力回路 52 を含む。

【 0 1 3 7 】

増幅回路 34 (I / V 変換回路) は、角速度センサー (振動片) からのフィードバック信号 DG を増幅する。例えば角速度センサーからの電流の信号 DG を電圧の信号 DV に変換して出力する。この増幅回路 34 は、演算増幅器、帰還抵抗、帰還キャパシターなどにより実現できる。

10

【 0 1 3 8 】

駆動信号出力回路 50 は、増幅回路 34 による増幅後の信号 DV に基づいて、駆動信号 DS を出力する。例えば駆動信号出力回路 50 が、矩形波 (又は正弦波) の駆動信号を出力する場合には、駆動信号出力回路 50 はコンパレータ等により実現できる。

【 0 1 3 9 】

ゲイン制御回路 40 (AGC) は、駆動信号出力回路 50 に制御電圧 CV を出力して、駆動信号 DS の振幅を制御する。具体的には、ゲイン制御回路 40 は、信号 DV を監視して、発振ループのゲインを制御する。例えば駆動回路 30 では、ジャイロセンサーの感度を一定に保つために、角速度センサー (振動片) に供給する駆動電圧の振幅を一定に保つ必要がある。このため、駆動振動系の発振ループ内に、ゲインを自動調整するためのゲイン制御回路 40 が設けられる。ゲイン制御回路 40 は、角速度センサーからのフィードバック信号 DG の振幅 (振動片の振動速度) が一定になるように、ゲインを可変に自動調整する。このゲイン制御回路 40 は、増幅回路 34 の出力信号 DV を全波整流する全波整流器や、全波整流器の出力信号の積分処理を行う積分器などにより実現できる。

20

【 0 1 4 0 】

同期信号出力回路 52 は、増幅回路 34 による増幅後の信号 DV を受け、同期信号 SYC (参照信号) を検出回路 60 に出力する。この同期信号出力回路 52 は、正弦波 (交流) の信号 DV の 2 値化処理を行って矩形波の同期信号 SYC を生成するコンパレータや、同期信号 SYC の位相調整を行う位相調整回路 (移相器) などにより実現できる。

30

【 0 1 4 1 】

検出回路 60 (61、62) は、増幅回路 64、同期検波回路 81 を含む。増幅回路 64 は、角速度センサーからの差動の第 1、第 2 の検出信号 S1、S2 を受けて、電荷 - 電圧変換や差動の信号増幅やゲイン調整などを行う。同期検波回路 81 は、駆動回路 30 からの同期信号 SYC に基づいて同期検波を行う。そして、所望波の信号である角速度信号 AV (AVA、AVB) を出力する。

【 0 1 4 2 】

図 15 はローパスフィルター 86 の構成例である。図 15 では説明の簡素化のために、第 1、第 2 のローパスフィルター 87、88 の構成をローパスフィルター 86 の構成として示している。

40

【 0 1 4 3 】

ローパスフィルター 86 は、抵抗 RA1、RA2、RA3、RA4 とキャパシター CA1、CA2 を含み、RC のパッシブローパスフィルターを構成している。ローパスフィルター 86 は、差動の信号 IPA、INA が入力され、差動の信号 QPA、QNA を出力する。信号 IPA、INA は、検出回路 60 (61、62) から入力される角速度信号 (AVA、AVB) であり、信号 QPA、QNA は、マルチプレクサー 90 に出力されるローパスフィルター処理後の角速度信号 (AVA'、AVB') である。また RA1 ~ RA4 は例えばポリ抵抗により実現され、CA1、CA2 は例えば MIM (Metal-Insulator-Metal) のキャパシターにより実現される。前述したようにローパスフィルター 86 には、離調周波数の周波数成分を十分に減衰できるカットオフ周波数を持たせる必要があるため

50

、R A 1 ~ R A 4 の抵抗値やC A 1、C A 2 の容量値は大きくなる。従って、ローパスフィルター 8 6 の出力インピーダンスが高くなってしまふ。この点、本実施形態では図 1 2 で説明したように、ローパスフィルター 8 6 (8 7、8 8) とマルチプレクサー 9 0 との間の配線長が短くなるようにレイアウト配置されている。従って、ローパスフィルター 8 6 の出力インピーダンスが高いことに起因する信号特性の劣化を最小限に抑えることができる。

【 0 1 4 4 】

図 1 6 はマルチプレクサー 9 0、A / D 変換回路 1 0 0 の構成例である。マルチプレクサー 9 0 には複数の信号 I P 1、I N 1、I P 2、I N 2、I P 3、I N 3・・・I P M、I N M が入力される。I P 1 及び I N 1 は一対の差動信号を構成する。I P 2 及び I N 2、I P 3 及び I N 3・・・I P M 及び I N M の各々も一対の差動信号を構成する。マルチプレクサー 9 0 にはこれの信号 I P 1、I N 1・・・I P M、I N M として、第 1 の検出回路 6 1 からの信号 (差動信号) や第 2 の検出回路 6 2 からの信号 (差動信号) が入力される。その他にも例えば温度センサー等からの信号も入力される。

10

【 0 1 4 5 】

マルチプレクサー 9 0 からの差動の出力信号 M Q P、M Q N は A / D 変換回路 1 0 0 に入力される。A / D 変換回路 1 0 0 は、プログラマブルゲインアンプ (P G A) 1 0 1 と A / D 変換器 1 0 2 を含む。プログラマブルゲインアンプ (P G A) 1 0 1 は、入力信号 M Q P、M Q N のゲインを可変に調整する。A / D 変換器 1 0 2 は、ゲイン調整後のアナログ信号の A / D 変換を行い、デジタル信号 D T を出力する。

20

【 0 1 4 6 】

図 1 7 にマスタークロック信号生成回路 1 2 0 の構成例を示す。マスタークロック信号生成回路 1 2 0 はレギュレーター回路 1 2 2 と発振回路 1 2 4 を含む。レギュレーター回路 1 2 2 は、デジタル用の電源電圧 V D D D に基づいてレギュレート動作を行い、定電圧の電源電圧 V O S C を生成して、発振回路 1 2 4 に供給する。発振回路 1 2 4 は電源電圧 V O S C が供給されて発振動作を行い、マスタークロック信号 M C K を生成する。発振回路 1 2 4 は、例えば 2 状態が相互に切り替わることで発振するマルチバイブレーターにより実現できる。或いは発振回路 1 2 4 を、奇数個の反転回路をリング状に接続したリングオシレーターや、反転回路の出力を C R 回路 (キャパシターと抵抗で構成される回路) で帰還させる C R 発振回路等により実現してもよい。

30

【 0 1 4 7 】

図 1 8 にデジタル I / F 回路 1 3 0 の構成例を示す。図 1 8 はデジタル I / F 回路 1 3 0 を S P I 方式により実現した場合の構成例である。但しデジタル I / F 回路 1 3 0 は I 2 C 方式などにより実現してもよい。

【 0 1 4 8 】

デジタル I / F 回路 1 3 0 は、S P I 制御回路 1 3 2 とレジスター回路 1 3 4 を含む。S P I 制御回路 1 3 2 には、外部装置からシリアルクロック線を介してシリアルクロック信号 S C K が入力され、第 1 シリアルデータ線を介して受信シリアルデータ M O S I が入力され、スレーブセレクト線を介してスレーブセレクト信号 S S が入力される。また S P I 制御回路 1 3 2 は、外部装置へ第 2 シリアルデータ線を介して送信シリアルデータ M I S O を出力する。具体的には、S P I 制御回路 1 3 2 は、物理層回路、通信処理回路を含む。例えば物理層回路は、シリアルクロック信号 S C K、受信シリアルデータ M O S I、送信シリアルデータ M I S O、スレーブセレクト信号 S S の送受信を行う I / O バッファ回路である。通信処理回路は、S P I 通信の通信処理を行うロジック回路である。例えば通信処理回路は、受信シリアルデータ M O S I のシリアルパラレル変換や、コマンドの解釈処理、送信シリアルデータ M I S O の生成処理、送信シリアルデータ M I S O のパラレルシリアル変換、レジスター回路 1 3 4 の読み書き制御等を行う。そしてレジスター回路 1 3 4 には、S P I 制御回路 1 3 2 により受信した情報や、S P I 制御回路 1 3 2 により送信される情報などが設定される。

40

【 0 1 4 9 】

50

図19に電源回路140の構成例を示す。電源回路140は、レギュレーター回路141、142、基準電流生成回路143、バンドギャップ回路144、基準電圧生成回路145を含む。パッド(端子)TVDDには、外部からの電源電圧VDDが供給される。回路装置20内において、電源線が第1の電源線と第2の電源線に分岐する。そして第1の電源線を介して、アナログ用の電源電圧VDDAがレギュレーター回路142に供給される。また第2の電源線を介して、デジタル用の電源電圧VDDDがレギュレーター回路141に供給される。

【0150】

レギュレーター回路142は、アナログ用の電源電圧VDDAに基づいてレギュレート動作を行い、定電圧の電源電圧VDDRを生成する。基準電流生成回路143は、電源電圧VDDRが供給されて、各種の基準電流を生成する。生成された基準電流は、回路装置20の各アナログ回路に供給される。バンドギャップ回路144は、電源電圧VDDRが供給されて、バンドギャップリファレンス電圧VBGを生成する。基準電圧生成回路145は、バンドギャップリファレンス電圧VBGに基づいて、回路装置20の各回路ブロックに供給する各種の基準電圧を生成する。例えば検出回路用の基準電圧、駆動回路用の基準電圧、或いはA/D変換回路用の基準電圧などを生成する。

10

【0151】

レギュレーター回路141は、デジタル用の電源電圧VDDDに基づいてレギュレート動作を行い、定電圧の電源電圧VDDLを生成する。この電源電圧VDDLはロジック回路110等に供給される。また前述したように、電源電圧VDDLは、外付け部品である外部コンデンサーCLにより電圧の安定化が図られる。

20

【0152】

図20は、第2の物理量トランスデューサー12が加速度センサー15である場合の当該加速度センサー15の構成例と、加速度センサー用の第2の検出回路62の構成例を示す図である。

【0153】

図20の加速度センサー15は静電容量型の加速度センサーである。この加速度センサー15は、可動電極16、17と固定電極18、19を含む。可動電極16、17、固定電極18、19は例えば梁構造体などにより構成されている。可動電極16と固定電極18により容量CS1が形成され、可動電極17と固定電極19により容量CS2が形成される。容量CS1の固定電極18には基準信号PF1(搬送波)が入力される。容量CS2の固定電極19には、基準信号PF1をインバーター回路により反転した信号PF2(搬送波)が入力される。このように固定電極18、19に対して互いに反転する電圧を周期的に印加することで、可動電極16、17の変位に応じた差動容量の変化に基づく加速度の検出が可能になる。

30

【0154】

第2の検出回路62は、C/V変換回路66(チャージアンプ)とサンプルホールド回路67を含む。C/V変換回路66は、上述の差動容量の変化を電圧の信号に変換する回路であり、得られた電圧信号をサンプルホールド回路67に出力する。C/V変換回路66は、例えば演算増幅器、帰還抵抗、帰還キャパシターなどにより実現できる。サンプルホールド回路67は、C/V変換回路66からの電圧信号をサンプリングして、一定期間保持する。サンプルホールド回路67の出力電圧から例えば所定の周波数帯域の成分のみ取り出すことで、第2の物理量信号である加速度信号ACが検出される。なお加速度センサー15は図20のような静電容量型には限定されず、圧電型や熱検知型などの種々の方式の加速度センサーを用いることができる。

40

【0155】

第2の物理量トランスデューサー12として加速度センサー15を用いた場合には、例えば図4の角速度センサー14の位置には当該加速度センサー15が配置されることになる。この加速度センサー15は、例えば第1軸の方向、第2軸の方向というように複数軸の方向での加速度を検出できるセンサーであってもよい。そして図4において、回路装置

50

20の第1の検出回路61の上方側には角速度センサー13が配置され、第2の検出回路62の上方側には、加速度センサー15が配置されることになる。この場合にも、第1の検出回路61と角速度センサー13との間の信号経路や、第2の検出回路62と加速度センサー15との信号経路を短くすることができ、ノイズ等を原因とする検出特性の劣化を低減できる。

【0156】

また、このように第2の物理量トランスデューサー12として加速度センサー15を用いた場合には、図11の第2の駆動回路32は設けられなくなる。そして第1の検出回路61は、第2の検出回路62に比べて、より微弱な信号を扱うため、ノイズによる検出特性の劣化の程度が大きい。従って、図13に示すように第1の検出回路61を第1の領域AR1に配置し、デジタルI/F回路130やマスタークロック信号生成回路120を第2の領域AR2に配置することで、ノイズ源となるデジタルI/F回路130やマスタークロック信号生成回路120を、第1の検出回路61から離れた位置に配置できるようになる。この結果、これらのノイズ源からのノイズを原因とする第1の検出回路61の検出特性の劣化を、効果的に低減することが可能になる。

【0157】

5. 移動体、電子機器

図21～図24は、本実施形態の回路装置20を含む移動体、電子機器の例である。本実施形態の回路装置20は、例えば、車、飛行機、バイク、自転車、或いは船舶等の種々の移動体に組み込むことができる。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器を備えて、地上や空や海上を移動する機器・装置である。

【0158】

図21は、移動体の具体例としての自動車206を概略的に示したものである。自動車206には、第1、第2の物理量トランスデューサー11、12と回路装置20を有する物理量検出装置300が組み込まれている。物理量検出装置300（ジャイロセンサー、複合センサー）は車体207の姿勢を検出することができる。物理量検出装置300の検出信号は車体姿勢制御装置208に供給される。車体姿勢制御装置208は例えば車体207の姿勢に応じてサスペンションの硬軟を制御したり個々の車輪209のブレーキを制御したりすることができる。その他、こういった姿勢制御は二足歩行ロボットや航空機、ヘリコプター等の各種の移動体において利用されることができる。姿勢制御の実現にあたって物理量検出装置300（回路装置20）は移動体に組み込まれることになる。

【0159】

図22、図23は、電子機器の具体例としてのデジタルカメラ210、生体情報検出装置220を概略的に示したものである。このように、本実施形態の回路装置20はデジタルカメラ210や生体情報検出装置220（ウェアラブル健康機器。例えば脈拍計、歩数計、活動量計等）などの種々の電子機器に適用できる。例えばデジタルカメラ210においてジャイロセンサーや加速度センサーを用いた手ぶれ補正等を行うことができる。また生体情報検出装置220において、ジャイロセンサーや加速度センサーを用いて、ユーザーの体動を検出したり、運動状態を検出することができる。

【0160】

なお、デジタルカメラ210、生体情報検出装置220などの電子機器は、本実施形態の回路装置20、処理部、記憶部、操作部などを含むことができる。また表示部などを含んでもよい。半導体メモリー（RAM、ROM）やHDDなどにより実現される記憶部は、各種の情報を記憶する。CPU、MPUなどにより実現される処理部（プロセッサ）は、記憶部（メモリー）に記憶された情報に基づいて各種の処理を行う。操作部は、ユーザーが電子機器を操作するためのものであり、表示部は種々の情報をユーザーに表示する。なお電子機器としては、デジタルカメラ210や生体情報検出装置220以外にも、スマートフォン、携帯電話機、カーナビゲーションシステム、ゲーム機、時計、健康器具、或いは携帯型情報端末等の種々の機器を想定できる。

【 0 1 6 1 】

図 2 4 は、移動体又は電子機器の具体例としてのロボット 2 3 0 を概略的に示したものである。このように、本実施形態の回路装置 2 0 はロボット 2 3 0 の可動部（アーム、関節）や本体部にも適用できる。ロボット 2 3 0 は、移動体（走行・歩行ロボット）、電子機器（非走行・非歩行ロボット）のいずれも想定できる。走行・歩行ロボットの場合には、例えば自律走行に本実施形態の回路装置 2 0 を利用できる。

【 0 1 6 2 】

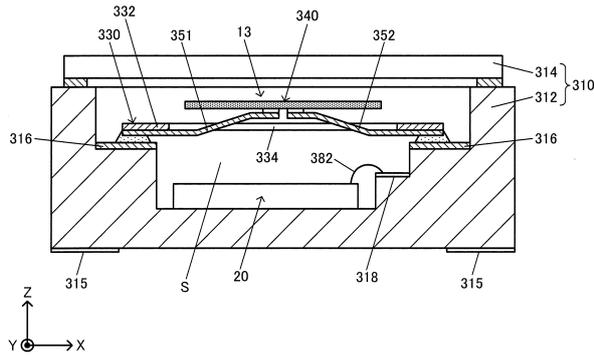
なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項及び効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義又は同義な異なる用語（第 1 の物理量トランスデューサー、第 2 の物理量トランスデューサー、第 1 の物理量、第 2 の物理量、端子等）と共に記載された用語（角速度センサー、角速度センサー・加速度センサー、角速度、角速度・加速度、パッド等）は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また、回路装置や物理量検出装置や電子機器や移動体の構成、振動片の構造等も、本実施形態で説明したものに限定されず、種々の変形実施が可能である。

【 符号の説明 】

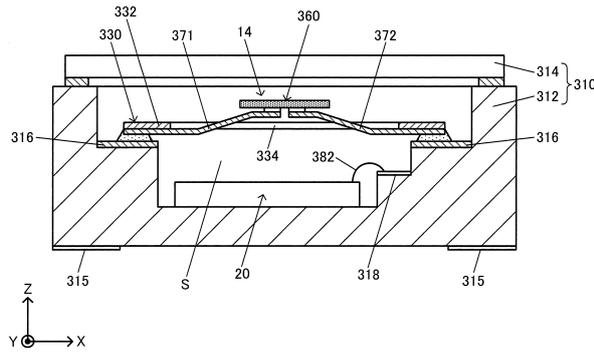
【 0 1 6 3 】

S D 1 ~ S D 4 ... 第 1 ~ 第 4 の辺、 D R 1 ~ D R 4 ... 第 1 ~ 第 4 の方向、
 A R 1 ... 第 1 の領域、 A R 2 ... 第 2 の領域、
 1 1 ... 第 1 の物理量トランスデューサー、 1 2 ... 第 2 の物理量トランスデューサー、
 1 3 ... 角速度センサー（ Z 軸用）、 1 4 ... 角速度センサー（ X 軸用）、
 1 5 ... 加速度センサー、 1 6、 1 7 ... 可動電極、 1 8、 1 9 ... 固定電極、
 2 0 ... 回路装置、 3 0 ... 駆動回路、 3 1 ... 第 1 の駆動回路、 3 2 ... 第 2 の駆動回路、
 3 4 ... 増幅回路、 4 0 ... ゲイン制御回路、 5 0 ... 駆動信号出力回路、
 5 2 ... 同期信号出力回路、 6 0 ... 検出回路、 6 1 ... 第 1 の検出回路、
 6 2 ... 第 2 の検出回路、 6 4 ... 増幅回路、 6 6 ... C / V 変換回路、
 6 7 ... サンプルホールド回路、 8 1 ... 同期検波回路、 8 6 ... ローパスフィルター、
 8 7 ... 第 1 のローパスフィルター、 8 8 ... 第 2 のローパスフィルター、
 9 0 ... マルチプレクサー、 1 0 0 ... A / D 変換回路、
 1 0 1 ... プログラマブルゲインアンプ、 1 0 2 ... A / D 変換器、 1 1 0 ... ロジック回路、
 1 2 0 ... マスタークロック信号生成回路、 1 2 2 ... レギュレーター回路、
 1 2 4 ... 発振回路、 1 3 0 ... デジタル I / F 回路、 1 3 2 ... S P I 制御回路、
 1 3 4 ... レジスター回路、 1 4 0 ... 電源回路、 1 4 1、 1 4 2 ... レギュレーター回路、
 1 4 3 ... 基準電流生成回路、 1 4 4 ... バンドギャップ回路、 1 4 5 ... 基準電圧生成回路、
 2 0 6 ... 自動車、 2 0 7 ... 車体、 2 0 8 ... 車体姿勢制御装置、 2 0 9 ... 車輪、
 2 1 0 ... デジタルカメラ、 2 2 0 ... 生体情報検出装置、 2 3 0 ... ロボット、
 3 0 0 ... 物理量検出装置、 3 1 0 ... パッケージ、 3 1 2 ... ベース、 3 1 4 ... リッド、
 3 1 5 ... 外部端子、 3 1 6、 3 1 8 ... 内部端子、 3 3 0 ... 支持基板、 3 3 2 ... 基部、
 3 3 4 ... 開口、 3 4 0 ... 振動片、 3 4 1、 3 4 2 ... 駆動腕、 3 4 3 ... 検出腕、
 3 4 4 ... 基部、 3 4 5、 3 4 6 ... 連結腕、 3 5 1 ~ 3 5 6 ... リード、
 3 6 0 ... 振動片、 3 6 1、 3 6 2 ... 振動腕、 3 6 3、 3 6 4 ... 検出腕、
 3 6 5 ... 基部、 3 7 1 ~ 3 7 6 ... リード、 3 8 2 ... ボンディングワイヤー、

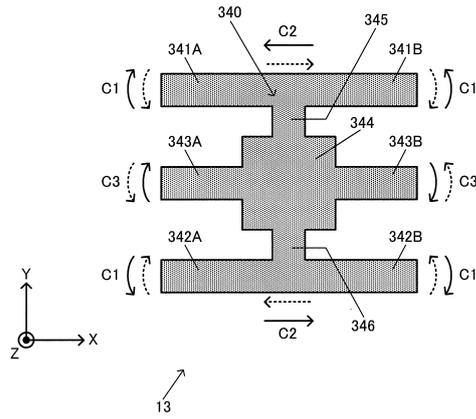
【図5】



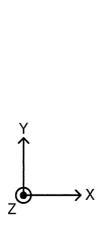
【図6】



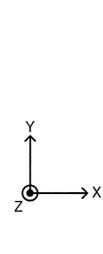
【図7】



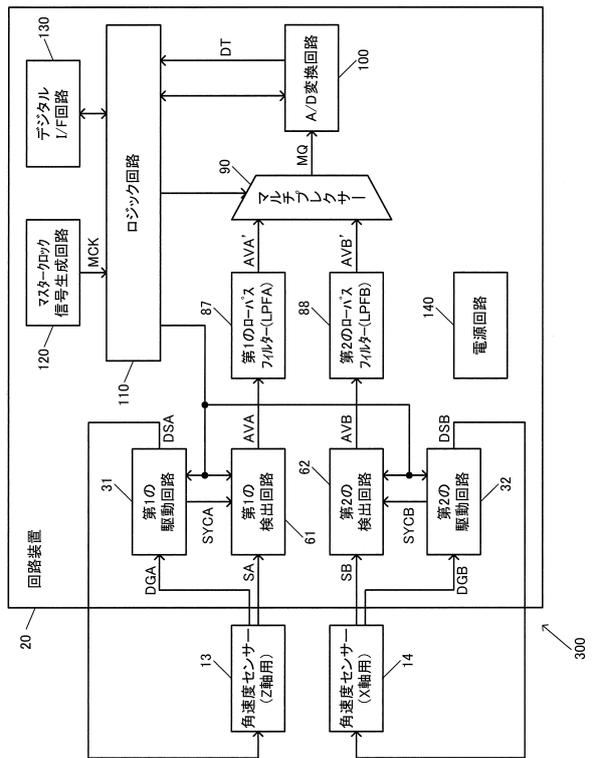
【図8】



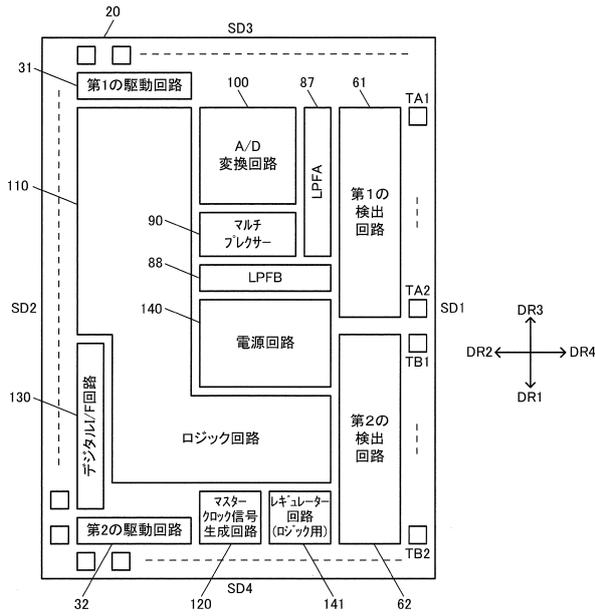
【図9】



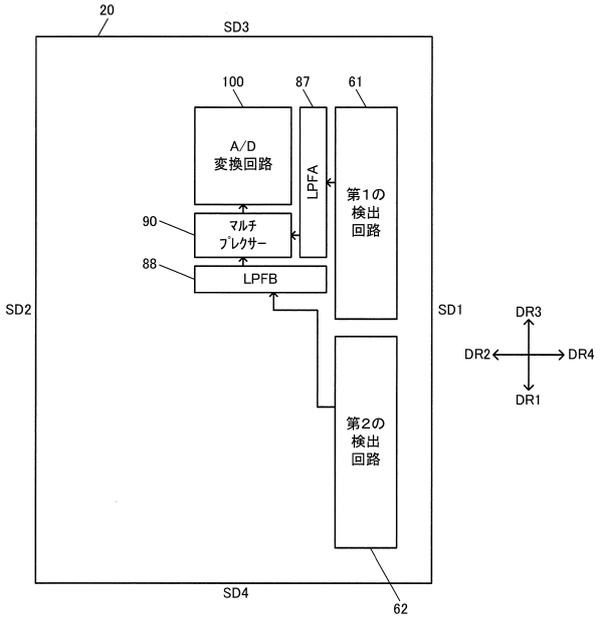
【図10】



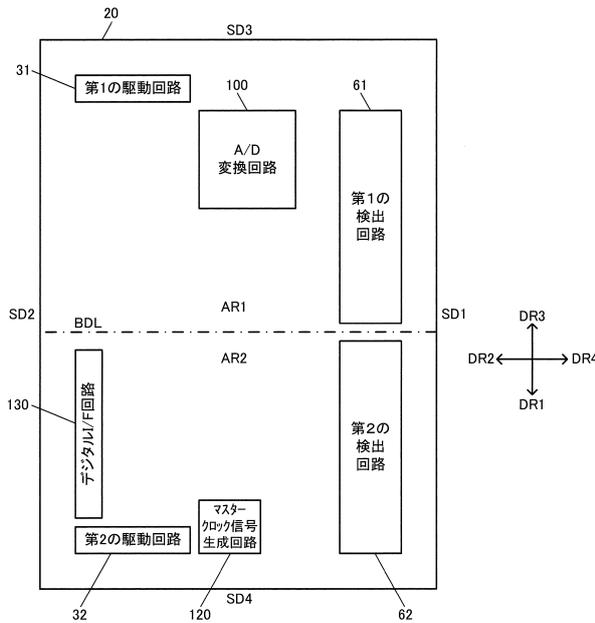
【図11】



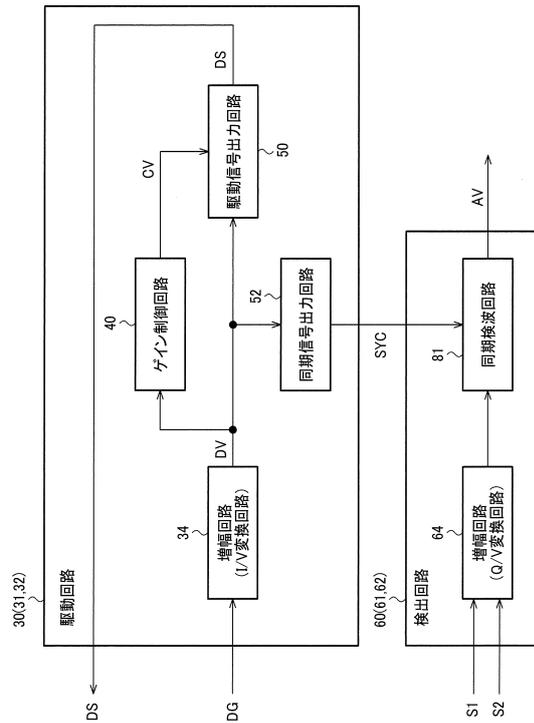
【図12】



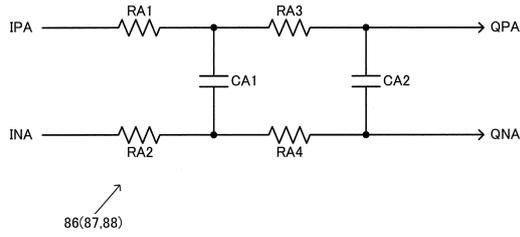
【図13】



【図14】

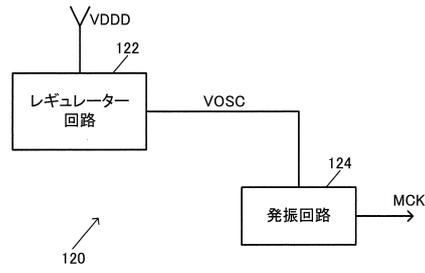


【図15】



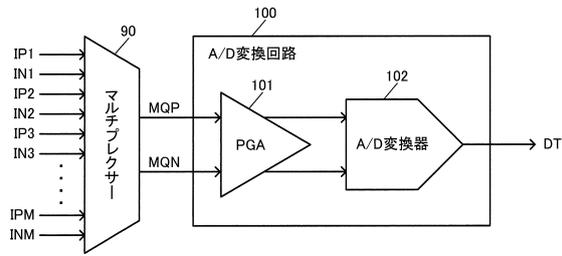
86(87,88)

【図17】

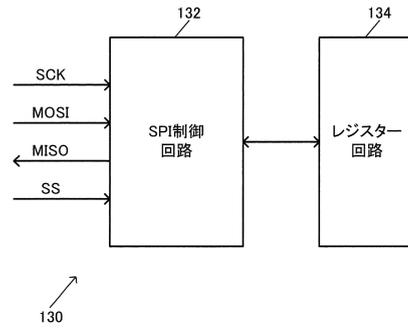


120

【図16】

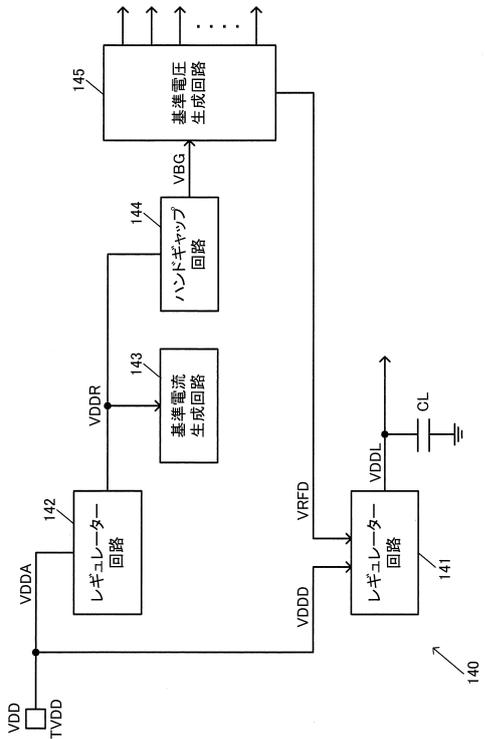


【図18】



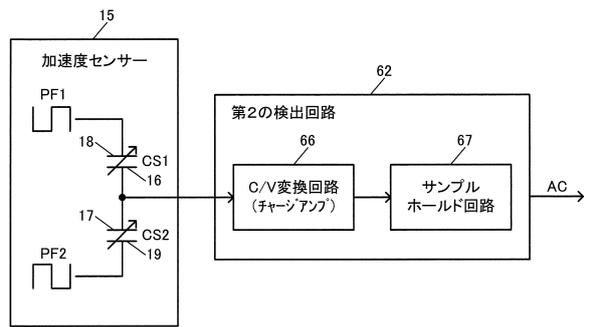
130

【図19】

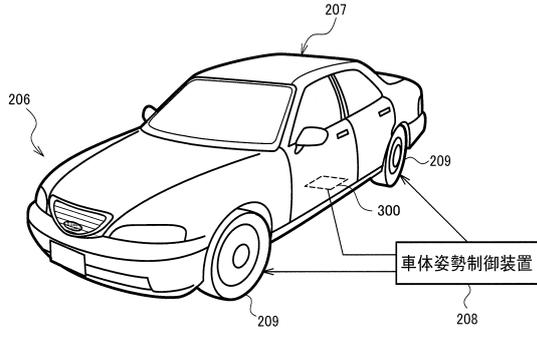


140

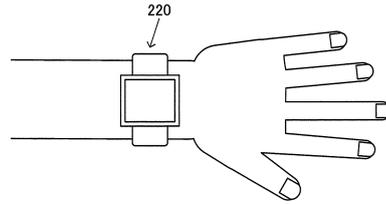
【図20】



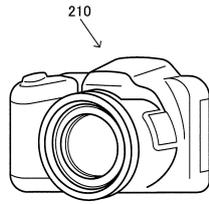
【図 2 1】



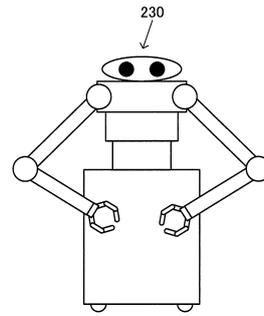
【図 2 3】



【図 2 2】



【図 2 4】



フロントページの続き

- (56)参考文献 特許第5764885(JP, B2)
特許第5321150(JP, B2)
特許第6369086(JP, B2)
特許第6241246(JP, B2)
米国特許第7950281(US, B2)

(58)調査した分野(Int.Cl., DB名)

G01P

G01C