

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-96589
(P2004-96589A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int. Cl.⁷
H03J 3/18

F I
H03J 3/18

テーマコード(参考)
5K058

審査請求 未請求 請求項の数 7 O L (全 7 頁)

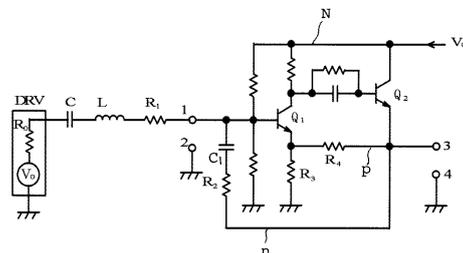
(21) 出願番号	特願2002-257367 (P2002-257367)	(71) 出願人	390033363 株式会社ゼネラル リサーチ オブ エレクトロニクス 東京都港区三田3丁目12番17号
(22) 出願日	平成14年9月3日(2002.9.3)	(74) 代理人	100072383 弁理士 永田 武三郎
		(72) 発明者	川井 一夫 東京都港区三田3-12-17 株式会社 ゼネラルリサーチオブエレクトロニクス 内
		Fターム(参考)	5K058 AA13 AA15 BA01 DA01 DA13 EA07

(54) 【発明の名称】 同調回路

(57) 【要約】

【課題】同調回路とその等価直列抵抗成分を補償する負性抵抗回路とで構成され、簡単な回路で設計、調整が容易な負性抵抗回路を用いた同調回路を提供することである。

【解決手段】C、L、R₁ から成る直列共振回路に直列に負性抵抗回路Nを接続した同調回路であり、負性抵抗回路Nにおいて、初段トランジスタQ₁ はエミッタ回路に抵抗R₃ を持たせた反転増幅器とし、次段トランジスタQ₂ をエミッタフォロウ出力回路とする。このエミッタフォロウ出力より初段トランジスタQ₁ のエミッタ回路へ帰還することにより正帰還回路pが構成され、出力端子より初段トランジスタQ₁ のベース回路へ帰還することにより負帰還回路nが構成されるので、このベース入力端子と接地間に負性抵抗が発生する。このとき両帰還回路の帰還量を調整することにより所望の負性抵抗値が得られるので、同調回路のQを任意の値に設定できる。



【選択図】 図1

【特許請求の範囲】**【請求項 1】**

直列共振回路の一端に駆動回路が接続され、その他端には負性抵抗回路が接続された同調回路において、

上記負性抵抗は、上記負性抵抗回路に接続される反転増幅回路と、該反転増幅回路に接続される非反転型低出力インピーダンス回路とから成り、該低出力インピーダンス回路の出力を上記反転増幅回路の入力へ帰還させて負帰還回路を構成し、低出力インピーダンス回路の出力を反転増幅回路の同相側出力に帰還させて正帰還回路を構成したことを特徴とする同調回路。

【請求項 2】

前記反転増幅回路はエミッタ回路に抵抗を有する 1 個の第 1 のトランジスタから成り、前記低出力インピーダンス回路は 1 個の第 2 のトランジスタから成るエミッタフォロワ回路であることを特徴とする請求項 1 記載の同調回路。

【請求項 3】

前記負帰還回路は前記第 2 のトランジスタのエミッタ回路出力から第 1 のトランジスタのベースへ帰還するように構成され、前記正帰還回路は前記第 2 のトランジスタのエミッタ回路出力から第 1 のトランジスタのエミッタに帰還するように構成されたことを特徴とする請求項 2 記載の同調回路。

【請求項 4】

前記第 2 のトランジスタは、抵抗分割によって電源電圧からバイアス電流が供給され、かつ前記正帰還回路は、第 2 のトランジスタのエミッタ回路から直接帰還するように構成されたことを特徴とする請求項 3 記載の同調回路。

【請求項 5】

前記第 1 及び第 2 のトランジスタは、夫々エミッタ抵抗を有し、前記正帰還回路は両エミッタ抵抗を介して接続して成ることを特徴とする請求項 3 記載の同調回路。

【請求項 6】

前記第 1 のトランジスタのコレクタが第 2 のトランジスタのベースに直結され、前記正帰還回路にキャパシタが挿入されていることを特徴とする請求項 5 記載の同調回路。

【請求項 7】

前記正帰還回路は、前記第 2 のトランジスタのエミッタから抵抗を介して第 1 のトランジスタのエミッタに帰還されるように構成され、前記負帰還回路は、第 1 のトランジスタのエミッタからそのベースに帰還するように構成されたことを特徴とする請求項 2 記載の同調回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、負性抵抗回路を用いて同調回路の周波数選択度を改善するための同調回路の回路構成法に関するものである。

【0002】**【従来の技術】**

無線受信機において、同調回路の周波数選択度を改善する方法に、負性抵抗回路を用いて同調回路の Q を改善する方法があるが、その 1 つに、インダクタとキャパシタを直列接続してその一端から入力信号を加え、他端は負性抵抗回路を通じて接地するよう構成することにより同調回路の等価直列抵抗成分を補償する方法がある。等価直列抵抗成分を補償するのは、以下の 2 つの利点、すなわち、同調周波数を変えると L の値は変わるが、等価直列抵抗成分 r は変わらないから Q は周波数に比例して変わる ($Q = L / r$) こととなり、このため 3 dB 帯域幅は一定に保たれるという利点と、また、同調回路の出力として電流成分を取り出せば、同調点での最大値、すなわち同調回路としての回路利得は周波数に無関係に一定であるという利点が活用できるためである。

【0003】

10

20

30

40

50

負性抵抗は、増幅器に正帰還回路があると生じることから、負性抵抗回路を構成するに際しての一つの考え方としては、正帰還回路があると回路は不安定になりがちであるが、これを抑えて安定な正帰還動作を行わせるには、負帰還回路も同時に存在させれば良いのではないかということが考えられるが、事実そのようにすれば構成できる。負性抵抗回路としては種々の方法による回路が知られているが、設計、調整が容易で、高周波帯でも十分動作し、回路構成が簡単な回路はあまり見当たらない。そこで、本発明者は同調回路の構成案として特願2002-218036を出願した。

【0004】

上記出願の同調回路は、2つのトランジスタのエミッタを直結した差動増幅回路と、エミッタフォロウのような低インピーダンス出力回路を用い、エミッタフォロウ出力信号を直接差動増幅回路の同相入力側へ帰還するよう構成し、さらにここから負性抵抗値設定用抵抗を通じて逆相入力側へ帰還するよう構成することによって、この逆相入力端子と接地間に負性抵抗を得る、という構成の回路であった。この回路は通常よく利用される回路だけで構成されているため、設計、調整は容易であり、単純な回路であるため比較的高い周波数まで安定に動作する。

10

【0005】**【発明が解決しようとする課題】**

しかし、この負性抵抗回路には少なくとも3個のトランジスタが必要であるから、さらに高い周波数まで動作可能とするためには、もっと回路を簡単にして内部での位相回転量も減らすことが必要であり、そのためには、トランジスタの個数をさらに少なくすることが

20

【0006】

本発明の課題は、直列共振タイプの同調回路の等価直列抵抗成分を負性抵抗回路を用いて補償する回路として、簡単な回路構成で設計、調整が容易な回路構成法を提供することにある。

【0007】**【課題を解決するための手段】**

上記課題を解決するため、本発明は、直列共振回路の一端に駆動回路が接続され、その他端には負性抵抗回路が接続された同調回路において、上記負性抵抗は、上記負性抵抗回路に接続される反転増幅回路と、該反転増幅回路に接続される非反転型低出力インピーダンス回路とから成り、該低出力インピーダンス回路の出力を上記反転増幅回路の入力へ帰還させて負帰還回路を構成し、低出力インピーダンス回路の出力を反転増幅回路の同相側出力に帰還させて正帰還回路を構成したことを要旨とする。

30

【0008】

上述した本発明の同調回路において、下記のような構成をとることができる。

(1) 前記反転増幅回路はエミッタ回路に抵抗を有する1個の第1のトランジスタから成り、前記低出力インピーダンス回路は1個の第2のトランジスタから成るエミッタフォロウ回路である。

(2) 前記負帰還回路は前記第2のトランジスタのエミッタ回路出力から第1のトランジスタのベースへ帰還するように構成され、前記正帰還回路は前記第2のトランジスタのエミッタ回路出力から第1のトランジスタのエミッタに帰還するように構成される。

40

(3) 前記第2のトランジスタは、抵抗分割によって電源電圧からバイアス電流が供給され、かつ前記正帰還回路は、第2のトランジスタのエミッタ回路から直接帰還するように構成される。

(4) 前記第1及び第2のトランジスタは、夫々エミッタ抵抗を有し、前記正帰還回路は両エミッタ抵抗を介して接続して成る。

(5) 前記第1のトランジスタのコレクタが第2のトランジスタのベースに直結され、前記正帰還回路にキャパシタが挿入されている。

(6) 前記正帰還回路は、前記第2のトランジスタのエミッタから抵抗を介して第1のトランジスタのエミッタに帰還されるように構成され、前記負帰還回路は、第1のトランジ

50

スタのエミッタからそのベースに帰還するように構成される。

【0009】

【発明の実施の形態】

本発明の同調回路の構成としては、直列抵抗成分を補償するのであるから、上述した理由から、当然、インダクタとキャパシタを直列接続してその一端から入力信号を加え、他端は負性抵抗回路を通じて接地することによって、電流成分を取り出せるよう構成する。したがって、このとき負性抵抗回路に必要とされる要件は、2段のトランジスタ増幅回路で構成するとすれば、その前段の回路の入力端子（負性抵抗回路としての入力端子）は同調回路に接続されるから、この回路の入力抵抗が負性抵抗を呈する必要がある、この回路を反転増幅回路とすれば、これに続く後段の回路は非反転増幅で低インピーダンス出力の構成とせねばならない。2段の回路をこのように構成すれば、後段の低インピーダンス出力端子より前段の入力端子へ帰還させれば負帰還となり、同じく後段の低インピーダンス出力端子より前段のエミッタ側出力（同相出力）へ帰還させれば正帰還となるから、以上のような構成によって少なくとも2個のトランジスタ回路で負性抵抗回路を構成できることとなる。

10

【0010】

以下、上述した原理に基づく本発明の同調回路を図面を用いて詳細に説明する。

図1は本発明の一実施例を示す同調回路の全回路構成図である。図1において、DRVは同調回路の駆動回路であって V_0 は駆動源電圧であり、 R_0 はその内部抵抗である。C、L、 R_1 は直列共振回路を形成する同調用キャパシタ、同調用インダクタおよびその等価直列抵抗成分であり、1、2は負性抵抗回路Nの入力端子であって、この回路Nにより R_0 と R_1 の直列抵抗成分 $R_0 + R_1$ が補償されるようになっており、3、4は出力端子である。負性抵抗回路Nは図示のように2つのトランジスタ回路 Q_1 、 Q_2 で構成される。前段のトランジスタ Q_1 はエミッタ回路に抵抗を有する反転増幅器であり、後段のトランジスタ Q_2 が低出力インピーダンスを与えるためのエミッタフォロワ回路である。図1の例では、正帰還回路pは後段のトランジスタ Q_2 のエミッタ出力から抵抗 R_4 を通じて前段エミッタ出力（同相出力）へ帰還することによってかけられ、負帰還回路nは同じくエミッタ出力から R_2 、 C_1 を通じて前段のトランジスタ Q_1 のベースへ帰還することによってかけられている。

20

【0011】

この前後段のトランジスタ回路 Q_1 、 Q_2 の段間接続および正負の帰還回路の構成法には、図1の方法以外にも種々の方法が考えられる。即ち、後段トランジスタ Q_2 のバイアス電流供給法および正負の帰還のかけ方により種々の構成とすることができるが、その幾つかの例を図2に示す。

30

【0012】

図2(a)は後段トランジスタ Q_2 のバイアス電流を電源電圧 V_{cc} から抵抗 R_6 、 R_7 による抵抗分割によって供給した場合であり、図2(c)は前段トランジスタ Q_1 のコレクタ出力を後段トランジスタ Q_2 へ直結した場合である。また帰還回路については、図2(a)は後段トランジスタ Q_2 の出力を前段トランジスタ Q_1 に直結して100%正帰還した場合であり、図2(b)は前後段のトランジスタ回路 Q_1 、 Q_2 ともにエミッタ抵抗 R_3 、 R_5 を設け、この両者を抵抗 R_4 で結ぶことにより正帰還回路pをかけ、前段トランジスタ Q_1 のエミッタより自己のベースへ C_1 、 R_2 で接続することにより負帰還回路nをかけた場合である。また、図2(c)は正帰還回路pに C_2 を挿入して直流での正帰還を回避した場合であり、図2(d)は正帰還回路pを抵抗 R_4 を通じて設け、負帰還回路nは前段トランジスタ Q_1 のエミッタからベースに接続されている。

40

【0013】

図1(図2を含めた)の同調回路を機能に応じたブロックに分解表示すると図3のように表せる。

図3において R_{0+1} は駆動源の内部抵抗 R_0 と同調回路の直列抵抗成分 R_1 の和 $R_0 + R_1$ を表しており、SUBは負性抵抗回路Nの減算機能を表している。Aは初段増幅器Q

50

V_1 の増幅度であり、 V_1 は正帰還回路 p の帰還量、すなわち図 1 では $R_3 / (R_3 + R_4)$ であるが、図 2 (a) の場合は、当然、 $V_1 = 1$ である。

図 3 において次式が成り立つ。

【 0 0 1 4 】

【 数 1 】

$$I_1 + \frac{V_2 - V_1}{R_2} = 0 \quad (1)$$

【 0 0 1 5 】

【 数 2 】

$$V_2 = (V_2 \beta - V_1) A \quad (2)$$

この 2 式より端子 1、2 より右を見た回路の入力抵抗、すなわち負性抵抗回路 N としての入力抵抗値は

【 0 0 1 6 】

【 数 3 】

$$\frac{V_1}{I_1} = R_2 \frac{1 - \beta A}{1 + A(1 - \beta)} \quad (3)$$

となるから $1 < A$ のとき負性抵抗を示し、その値は R_2 によって設定できる。

同調点における駆動源より出力端子までの増幅度は、図 3 より容易に得られ

【 0 0 1 7 】

【 数 4 】

$$\frac{V_2}{V_0} = \frac{R_2}{\{\beta - (1/A)\}(R_{0+1} + R_2) - R_{0+1}} \quad (4)$$

となる。

【 0 0 1 8 】

図 4 は図 1 の回路において、 $L = 3.3 \mu\text{H}$ 、 R_{0+1} すなわち $R_0 + R_1 = 20 \Omega$ とし、直列共振回路の C のみを 500 pF 、 70 pF 、 20 pF 、 8 pF と変化させたときのそれぞれにたいする周波数選択度特性 $S_1 \sim S_4$ と、比較のため、負性抵抗回路のない場合の周波数選択度特性のシミュレーション結果の一例 S_5 を示す。この図より、キャパシタ C の容量を変化させて同調周波数を変えても、通過帯域巾すなわち周波数選択度特性は一定であり、同調回路利得も一定に保たれていることが分かる。

【 0 0 1 9 】

【 発明の効果 】

以上、詳細に述べたように、本発明の負性抵抗回路を用いた同調回路によれば、極めて簡単な回路で Q を増大できるばかりでなく、同調周波数を変えるためにキャパシタ C の容量を変化させても、通過帯域巾すなわち周波数選択度特性は一定のまま同調周波数を変えることができ、しかもその間、同調回路利得も一定である、という同調回路を提供することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の一実施例を示す回路構成図である。

【 図 2 】 図 1 のトランジスタ回路例以外の回路例を示す図である。

【 図 3 】 本発明の動作原理を説明するための等価回路図である。

【 図 4 】 本発明の効果を示すシミュレーション結果図である。

【 符号の説明 】

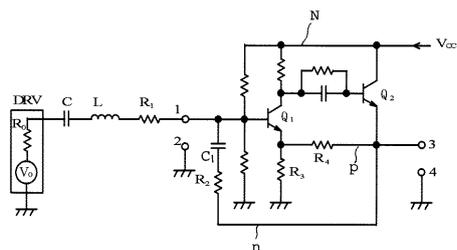
A トランジスタ回路の増幅度

C 同調用キャパシタ

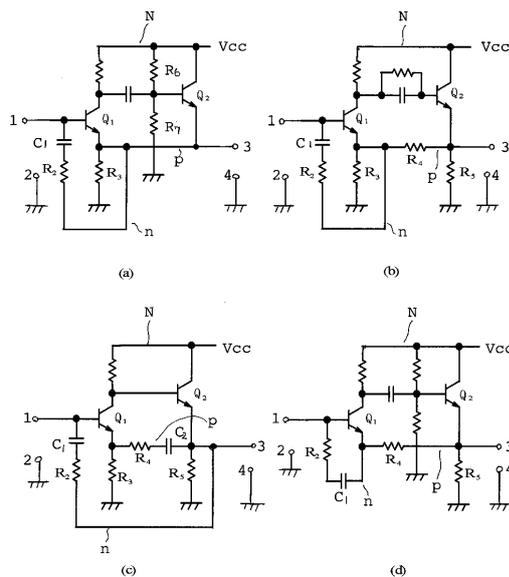
D R V 同調回路の駆動回路

- L 同調用インダクタ
- Q_1 、 Q_2 トランジスタ
- R_0 、 R_1 、 R_{0+1} 、 R_2 、 R_3 、 R_4 、 R_6 抵抗
- SUB 減算回路
- V_0 、 V_1 、 V_2 特定部の電圧
- V_{cc} 供給電源
- 1、2、3、4 負性抵抗回路の入出力端子
- 正帰還回路の帰還量
- N 負性抵抗回路
- p 正帰還回路
- n 負帰還回路

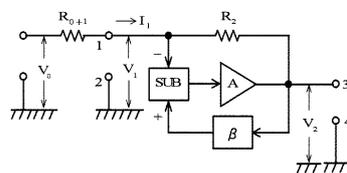
【図1】



【図2】



【図3】



【 図 4 】

