

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-93531

(P2005-93531A)

(43) 公開日 平成17年4月7日(2005.4.7)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/822	HO 1 L 27/04	5 F O 3 3
HO 1 L 21/768	HO 1 L 21/90	5 F O 3 8
HO 1 L 27/04		

審査請求 有 請求項の数 9 O L (全 11 頁)

(21) 出願番号	特願2003-321633 (P2003-321633)	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成15年9月12日 (2003.9.12)	(71) 出願人	591048162 宮城沖電気株式会社 宮城県黒川郡大衡村沖の平1番
		(74) 代理人	100082050 弁理士 佐藤 幸男
		(72) 発明者	谷島 司 宮城県黒川郡大衡村沖の平1番 宮城沖電気株式会社内
		Fターム(参考)	5F033 HH09 JJ19 KK09 PP06 PP15 QQ08 QQ09 QQ10 QQ11 QQ37 QQ48 RR04 RR06 RR08 SS11 VV10 XX01 XX03

最終頁に続く

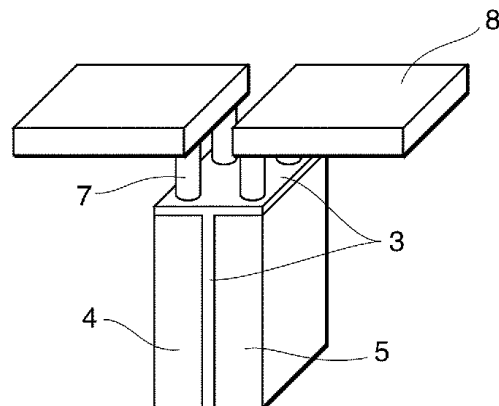
(54) 【発明の名称】 半導体素子の構造とその製造方法

(57) 【要約】

【課題】 垂直構造のキャパシタとすることで、飛躍的な容量の増大と微細化を可能とする。

【解決手段】 基板に対し厚く形成された電極材料膜と、当該電極材料膜に対し、その厚さに対して狭く形成された隙間と、当該隙間内に埋め込まれた絶縁膜3とからなる構造をつくり、この構造体から、一組の対向電極4、5を形成して、プラグ7を介して配線8を接続し、キャパシタを構成する。

【選択図】 図1



本発明のキャパシタの構成

**【特許請求の範囲】****【請求項 1】**

基板に対して対向面を基板面と垂直にして立てた状態に形成された一組の対向電極と、当該垂直な一組の対向電極の両対向面間の隙間に埋め込まれた絶縁膜とからなることを特徴とする半導体素子の構造。

**【請求項 2】**

請求項 1 に記載の構造上に形成された層間膜と、当該層間膜を貫通し、前記一組の対向電極にそれぞれ接続されたプラグと、当該プラグに接続された配線とから成ることを特徴とする請求項 1 記載の半導体素子の構造。

10

**【請求項 3】**

前記絶縁膜は、前記一組の対向電極間の隙間に埋め込まれるとともに、前記垂直な一組の対向電極の上面にも形成されることを特徴とする請求項 1 記載の半導体素子の構造。

**【請求項 4】**

請求項 3 に記載の構造上に形成された層間膜と、当該層間膜および前記上部絶縁膜を貫通し、前記一組の対向電極にそれぞれ接続されたプラグと、当該プラグに接続された配線とから成ることを特徴とする請求項 3 記載の半導体素子の構造。

20

**【請求項 5】**

請求項 1 に記載の構造を、その長手方向に引き延ばし、複数回の折り返しを行って、所定の面積に納めたことを特徴とする請求項 1 記載の半導体素子の構造。

**【請求項 6】**

基板に対して対向面を基板面と垂直にして立てた状態に形成された一組の対向電極と、当該垂直な一組の対向電極の両対向面間の隙間に埋め込まれるとともに、垂直な一組の対向電極上面およびそれらの対向電極の外側の側面に形成された絶縁膜とからなることを特徴とする半導体素子の構造。

**【請求項 7】**

請求項 6 に記載の構造上に形成された層間膜と、当該層間膜および前記上部絶縁膜を貫通し、前記一組の対向電極にそれぞれ接続されたプラグと、当該プラグに接続された配線とから成ることを特徴とする請求項 6 記載の半導体素子の構造。

30

**【請求項 8】**

基板に対し対向面を基板面と垂直にして一組の対向電極を垂直に立てた場合の高さに相当する厚さに電極材料膜を形成する工程と、当該電極材料膜に対し、前記垂直な一組の対向電極の対向面の位置に電極板間隔に相当する幅の隙間を形成する工程と、当該隙間内に絶縁膜を埋め込む工程と、当該電極材料膜をエッチングして垂直な一組の対向電極を形成する工程とからなることを特徴とする半導体素子の製造方法。

40

**【請求項 9】**

基板に対し対向面を基板面と垂直にして一組の対向電極を垂直に立てた場合の高さに相当する厚さに電極材料膜を形成する工程と、当該電極材料膜をエッチングして垂直な一組の対向電極を形成するとともに、当該電極材料膜に対し、前記垂直な一組の対向電極の対向面の位置に電極板間隔に相当する幅の隙間を形成する工程と、当該隙間内に絶縁膜を埋め込むとともに、垂直な一組の対向電極上面およびそれらの外側の側面に絶縁膜を形成する工程とからなることを特徴とする半導体素子の製造方法。

**【発明の詳細な説明】**

50

## 【技術分野】

## 【0001】

本発明は、RF回路およびアナログ回路で使用されるMIM（金属・絶縁体・金属）キャパシタであって、基板に対し垂直方向の並行平板キャパシタ構造を有する半導体素子の構造とその製造方法に関するものである。

## 【背景技術】

## 【0002】

近年、携帯電話を始めとする無線通信分野の進歩は目覚ましいものがあるが、さらに、その通信速度の向上および装置の小型化が求められている。このような時代の要請により、そのRF回路用のICの高集積化および低コスト化が求められている。

10

従来、RF回路用のICとしては、GaAs半導体やバイポーラ技術が用いられていたが、コストが高く、ベースバンド部等の集積には、適していなかった。

## 【0003】

このような状況下において、近年、CMOSの微細化技術が進歩し、その動作周波数も高くなってきた。このため、CMOSを使ってベースバンド部の集積化を行うことが可能となってきた。

このCMOS技術は、特に、高集積化と低コスト化の面で優れており、これを使って、RF回路部とベースバンド部とをワンチップ化する技術が開発されつつある。

## 【0004】

ところが、RF回路をCMOSへ集積させるためには、無線通信を取り扱うRF回路と、人間とのインターフェースを取り扱うアナログ回路とを同一基板に集積する必要がある。そして、このような基板に搭載される受動素子として、キャパシタ、インダクタ、バラクタなどがある。

20

これらのうち、キャパシタとしては、プロセス上の作りやすさや、電圧依存性の小ささなどの利点から、一般的に、MIM構造が採用される。そして、このMIMキャパシタ構造を微細化する必要がある。

## 【0005】

しかしながら、従来の水平な構造のキャパシタ、すなわち、水平な2枚の電極板の間に絶縁膜を挟んだキャパシタ構造では、微細化に限界があった。

ところで、従来のキャパシタとして、DRAMでは、蓄積電極を2重の円筒状にして蓄積容量を増大させたものがある（例えば、特許文献1参照）。

30

また、従来の他のキャパシタとして、上下の2枚の水平な電極板にそれぞれ内向きの柱を設けて電極の面積を増加させ、蓄積容量を増大させたものがある（例えば、特許文献2参照）。

## 【0006】

しかし、これらの従来技術では、2重の円筒および内向きの柱といういずれも補助的な手段を使ったものに過ぎないため、キャパシタの微細化を飛躍的に進歩させることはできないという欠点があった。

## 【0007】

【特許文献1】特開平6-77430号公報

40

【特許文献2】特開2002-299555号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0008】

解決しようとする点は、キャパシタの微細化を飛躍的に進歩させる点である。

## 【課題を解決するための手段】

## 【0009】

本発明の半導体素子の構造は、基板に対して対向面を基板面と垂直にして立てた状態に形成された一組の対向電極と、当該垂直な一組の対向電極の両対向面間の隙間に埋め込まれた絶縁膜とからなることを最も主要な特徴とする。

50

## 【 0 0 1 0 】

また、本発明の半導体素子の製造方法は、基板に対し対向面を基板面と垂直にして一組の対向電極を垂直に立てた場合の高さに相当する厚さに電極材料膜を形成する工程と、当該電極材料膜に対し、前記垂直な一組の対向電極の対向面の位置に電極板間隔に相当する幅の隙間を形成する工程と、当該隙間内に絶縁膜を埋め込む工程と、当該電極材料膜をエッチングして一組の対向電極を形成する工程とからなることを最も主要な特徴とする。

## 【 発明の効果 】

## 【 0 0 1 1 】

本発明の半導体素子の構造とその製造方法は、MIMキャパシタにおいて、単位面積当たりの容量を増加させることができる。その結果、RF回路の高集積化を図ることができるという利点がある。

10

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 2 】

垂直構造のキャパシタを構成するという目的を、通常のリソグラフィおよびエッチング技術で実現した。

## 【 実施例 1 】

## 【 0 0 1 3 】

図 1 は、本発明の半導体素子の構造の要部を示す斜視図である。

図示の構造は、垂直に形成されたMIMキャパシタ構造である。この構造において、3が絶縁膜、4と5が一組の対向電極である。また、7がプラグで、8が配線である。絶縁膜3は、一組の対向電極4、5の間に垂直に挟み込まれている。これによって、垂直なキャパシタ構造が構成されている。

20

## 【 0 0 1 4 】

一組の対向電極4、5は、基板に対して垂直にして立てた状態に形成されている。

また、当該垂直な一組の対向電極4、5の両対向面を両側面とするように隙間が形成されている。そして、当該隙間内に絶縁膜3が埋め込まれている。

一組の対向電極4、5と、配線8とは、プラグ7によって接続されている。この場合、プラグ7は、一組の対向電極4、5の図中上面すなわち垂直に立てられた一組の対向電極4、5の端の部分に結合されている。この際、この端の部分すなわち一組の対向電極4、5の図中上面にも、絶縁膜3が存在している。

30

## 【 0 0 1 5 】

一組の対向電極4、5は、図示しない基板に対し厚く（例えば、10000）形成された金属膜を材料として形成される。そして、この金属膜に対しては、その高さに対して狭い幅の隙間を形成してある。そのようにしておいて、その隙間の中に絶縁膜3を埋め込んである。

## 【 0 0 1 6 】

次に、図2ないし図7を参照して上述した図1のキャパシタ構造を形成する方法すなわち本発明の半導体素子の構造の製造方法を説明する。

## 【 0 0 1 7 】

まず、基板に対し金属膜からなる電極材料膜1を厚く形成する工程を行う（図2）。これにより、基板に対し一組の対向電極4、5を垂直に立てた場合の高さに相当する厚さに電極材料膜1を形成する。これは、図示しない基板に対し、例えば、Ai-Cuをスパッタ法により堆積させることにより行う。具体的な厚さは、例えば、10000である。

40

その後、当該電極材料膜1に対し、その高さに対して狭い幅の隙間2を形成する工程を行う（図3）。これにより、当該電極材料膜1に対し、前記垂直な一組の対向電極4、5の対向面の位置に電極板間隔に相当する幅の隙間2を形成する。これは、図示しないレジストを電極材料膜1に塗布し、これをパターンニングし、そのパターンニングに従って電極材料膜1をドライエッチングすることにより行う。

## 【 0 0 1 8 】

次に、当該隙間2内に絶縁膜3を埋め込む工程を行う（図4）。これは、CVD等によ

50

り絶縁膜 3 を堆積させることにより行う。絶縁膜 3 の種類は、回路上で必要とされる容量に応じて、酸化窒素膜、酸化膜、窒素膜のいずれかを選択する。膜厚は、隙間 2 の幅に対して埋め込みが可能な厚さとする。

【 0 0 1 9 】

ここで、絶縁膜 3 は、隙間 2 内に埋め込まれるとともに、電極材料膜 1 の上面にも形成される。絶縁膜 3 は、後に形成される左右の電極を完全に絶縁するために隙間 2 内に十分に充填させる必要がある。このため、隙間 2 の開口からあふれるように絶縁膜 3 を堆積するようにされる。この結果、電極材料膜 1 の上面にも絶縁膜 3 が形成される。

しかしながら、この電極材料膜 1 の上面の絶縁膜 3 は、キャパシタの端部で漏洩する電界を低減させるのに役立つ。また、後に形成される電極に結合されるプラグ間の絶縁性を良好とするためにも役立つ（図 7 参照）。

10

【 0 0 2 0 】

その後、当該電極材料膜 1 をエッチングして垂直な一組の対向電極 4、5 を形成する工程を行う（図 5）。これは、図示は省略するが、電極材料膜 1 に塗布したレジストをパターンニングし、そのパターンニングに従って絶縁膜 3 と電極材料膜 1 をエッチングすることにより行う。

【 0 0 2 1 】

次に、上述のように形成した構造上に層間膜 6 を形成する（図 6）。これは、CVD 法により例えば 15000 Å 堆積させる。そして、CMP 法により表面を研磨し、平坦化させる。

20

その後、当該層間膜 6 および上部の絶縁膜 3 を貫通し、コンタクトを開口する。

【 0 0 2 2 】

そして、一組の対向電極 4、5 にプラグ 7 を接続する（図 7）。これは、CVD 法によりタングステン堆積させ、CMP 法により全面を研磨することにより行う。

【 0 0 2 3 】

最後に、当該プラグ 7 に配線 8 を接続する。すなわち、スパッタ法により Al-Cu を例えば 5000 Å 堆積させる。そして、通常の写真リソグラフィによりパターンニングを行い、ドライエッチングにより配線を形成する。

【 0 0 2 4 】

以上のようにして、本発明に係る垂直な MIM キャパシタ構造が完成する。このような構造により、MIM キャパシタにおいて、単位面積当たりの容量を増加させることができる。その結果、RF 回路の高集積化を図ることができる。

30

【 0 0 2 5 】

ここで、図を参照して本発明の半導体素子の全体構造を説明する。

図 8 は、本発明に係るキャパシタの全体構造を示す平面図である。また、図 9 は、図 8 の構造の一部分を詳細に示す斜視図である。

図 8 に示すように、図 1 のキャパシタ構造が複数回折り返されて所定の面積に納められる。この場合、図 3 の工程により隙間 2 が先に形成され、図 4 の工程でキャパシタ用の所定の誘電率の絶縁膜 3 が埋め込まれる。その後、図 5 の工程で一組の対向電極 4、5 が形成され、図 6 の工程で層間膜 6 が埋め込まれる。

40

【 0 0 2 6 】

一組の対向電極 4、5 の幅は、 $0.2 \mu\text{m}$  であり、高さは、 $1 \mu\text{m}$  である。長さは、約  $130 \mu\text{m}$  である。これを 13 回折り返して、図 8 に示すように、 $10 \mu\text{m} \times 10 \mu\text{m}$  の正方形内に納めている。

よって、キャパシタの電極の総面積は、 $130 \mu\text{m}^2$  となる。これは、 $10 \mu\text{m} \times 10 \mu\text{m}$  の正方形の電極の水平型キャパシタの場合の 1.3 倍となる。

さらに、両電極の幅と隙間幅を小さくすることで、容量増加が期待でき、高集積化が可能となる。

【 0 0 2 7 】

ところで、一般に、RF 回路では、キャパシタの比精度が重要であり、製造ばらつきを

50

抑えることが望まれる。しかしながら、従来の水平方向のMIMキャパシタでは、絶縁膜の厚さのばらつきが容量のばらつきにつながる。これに対し、本発明に係る垂直方向のキャパシタでは、フォトリソグラフィおよびエッチングの寸法変換差で容量が決定される。このため、寸法ばらつきが小さく抑えられる。その結果、比精度が向上する。

【実施例2】

【0028】

図10は、本発明の半導体素子の他の構造の要部を示す斜視図である。

図示の構造は、垂直に形成されたMIMキャパシタ構造である。この構造において、3'が絶縁膜、4と5が垂直な一組の対向電極である。また、7がプラグで、8が配線である。絶縁膜3'は、一組の対向電極4、5との間に垂直に挟み込まれている。これによって、垂直なキャパシタ構造が構成されている。

10

【0029】

一組の対向電極4、5と、配線8とは、プラグ7によって接続されている。この場合、プラグ7は、一組の対向電極4、5の図中上面すなわち垂直に立てられた一組の対向電極4、5の端の部分に結合されている。この際、この端の部分すなわち一組の対向電極4、5の図中上面にも、絶縁膜3'が存在している。さらに、一組の対向電極4、5の側面にも絶縁膜3'が存在している。

【0030】

一組の対向電極4、5は、図示しない基板に対し厚く（例えば、10000）形成された金属膜を材料として形成される。そして、この金属膜に対しては、その高さに対して狭い幅の隙間を形成してある。そのようにしておいて、その隙間の中に絶縁膜3'を埋め込んである。

20

【0031】

次に、図11ないし図15を参照して上述した図10のキャパシタ構造を形成する方法すなわち本発明の半導体素子の構造の製造方法を説明する。

【0032】

まず、図示しない基板に対し電極材料膜1を厚く形成する工程を行う（図11）。これは、基板に対し、例えば、Ai-Cuをスパッタ法により堆積させることにより行う。具体的な厚さは、例えば、10000である。

その後、電極材料膜1から一組の対向電極4、5を形成するとともに、当該電極材料膜1から形成される一組の対向電極4、5の間に、その高さに対して狭い幅の隙間2を形成する工程を行う（図12）。これは、図示は省略するが、レジストを電極材料膜1に塗布し、これをパターニングし、一組の対向電極4、5と、隙間2のパターンをつくる。そして、そのパターニングに従って電極材料膜1をドライエッチングすることにより、これらの形成を行う。

30

【0033】

次に、当該隙間2内に絶縁膜3'を埋め込む工程を行う（図13）。これは、CVD等により絶縁膜3'を堆積させることにより行う。絶縁膜3'の種類は、回路上で必要とされる容量に応じて、酸窒化膜、酸化膜、窒化膜のいずれかを選択する。膜厚は、隙間の幅に対して埋め込みが可能な厚さとする。例えば、0.2μmである。

40

【0034】

ここで、絶縁膜3'は、隙間2内に埋め込まれるとともに、一組の対向電極4、5の上面および側面にも形成される。絶縁膜3'は、左右の電極を完全に絶縁するために隙間2内に十分に充填させる必要がある。このため、隙間2の開口からあふれるように絶縁膜3'を堆積するようにされる。この結果、一組の対向電極4、5の上面および側面にも絶縁膜3'が形成される。

しかしながら、この一組の対向電極4、5の上面および側面の絶縁膜は、キャパシタの端部で漏洩する電界を低減させるのに役立つ。また、後に電極に結合されるプラグ間の絶縁性を良好とするためにも役立つ。

【0035】

50

次に、上述のように形成した構造上に層間膜 6 を形成する（図 1 4）。これは、C V D 法により例えば 1 5 0 0 0 堆積させる。そして、C M P 法により表面を研磨し、平坦化させる。

その後、当該層間膜 6 および上部絶縁膜 3 ' を貫通し、コンタクトを開口する。

【 0 0 3 6 】

そして、一組の対向電極 4、5 にプラグ 7 を接続する（図 1 5）。これは、C V D 法によりタングステン堆積させ、C M P 法により全面を研磨することにより行う。

【 0 0 3 7 】

最後に、当該プラグ 7 に配線 8 を接続する。すなわち、スパッタ法により Al-Cu を例えば 5 0 0 0 堆積させる。そして、通常の写真リソグラフィによりパターンニングを行い、ドライエッチングにより配線 8 を形成する。

10

【 0 0 3 8 】

以上のようにして、本発明に係る垂直な M I M キャパシタ構造が完成する。このような構造により、M I M キャパシタにおいて、単位面積当たりの容量を増加させることができる。その結果、R F 回路の高集積化を図ることができる。

【 0 0 3 9 】

また、実施例 2 の特有の効果として、電極材料膜 1 から一組の対向電極 4、5 と隙間 2 とを同時に形成することで、2 回の写真リソグラフィおよびエッチング工程を 1 回にすることができる。このような工程の簡略化により、製造コストを低減することができる。

20

実施例 2 でも、図 8 に示すように、図 1 0 のキャパシタ構造が複数回折り返されて所定の面積に納められる。この場合、図 1 2 の工程により隙間 2、一組の対向電極 4、5 が同時に形成され、図 1 3 の工程でキャパシタ用の所定の誘電率の絶縁膜 3 ' が埋め込まれる。

【産業上の利用可能性】

【 0 0 4 0 】

小型の M I M キャパシタ構造を、例えば、携帯電話機等の R F 回路に適用でき、その小型化に貢献できる。

【図面の簡単な説明】

【 0 0 4 1 】

30

【図 1】本発明の半導体素子の構造を示した説明図である。（実施例 1）

【図 2】本発明の半導体素子の製造方法の第 1 工程を示した説明図である。（実施例 1）

【図 3】本発明の半導体素子の製造方法の第 2 工程を示した説明図である。（実施例 1）

【図 4】本発明の半導体素子の製造方法の第 3 工程を示した説明図である。（実施例 1）

【図 5】本発明の半導体素子の製造方法の第 4 工程を示した説明図である。（実施例 1）

【図 6】本発明の半導体素子の製造方法の第 5 工程を示した説明図である。（実施例 1）

【図 7】本発明の半導体素子の製造方法の第 6 工程を示した説明図である。（実施例 1）

【図 8】本発明の半導体素子の実体構造を示した説明図である。（実施例 1、実施例 2 も共通）

【図 9】本発明の半導体素子の実体構造の寸法を示した説明図である。（実施例 1、実施例 2 も共通）

40

【図 1 0】本発明の半導体素子の他の構造を示した説明図である。（実施例 2）

【図 1 1】本発明の半導体素子の他の製造方法の第 1 工程を示した説明図である。（実施例 2）

【図 1 2】本発明の半導体素子の他の製造方法の第 2 工程を示した説明図である。（実施例 2）

【図 1 3】本発明の半導体素子の他の製造方法の第 3 工程を示した説明図である。（実施例 2）

【図 1 4】本発明の半導体素子の他の製造方法の第 4 工程を示した説明図である。（実施例 2）

50

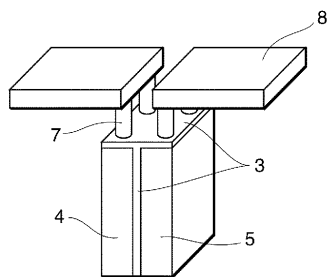
【図15】本発明の半導体素子の他の製造方法の第5工程を示した説明図である。(実施例2)

【符号の説明】

【0042】

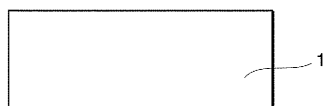
- 1 電極材料膜
- 2 隙間
- 3、3' 絶縁膜
- 4、5 一組の対向電極
- 6 層間膜
- 7 プラグ
- 8 配線

【図1】



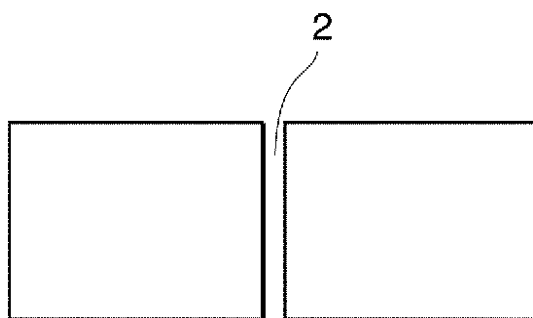
本発明のキャパシタの構成

【図2】



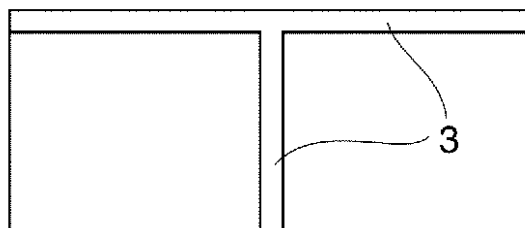
本発明のキャパシタの製造工程(その1)

【図3】



本発明のキャパシタの製造工程(その2)

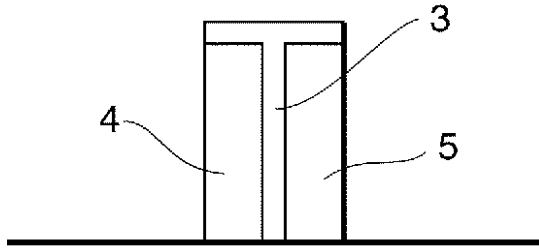
【図4】



本発明のキャパシタの製造工程(その3)

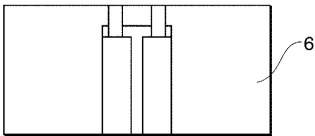


【 図 5 】



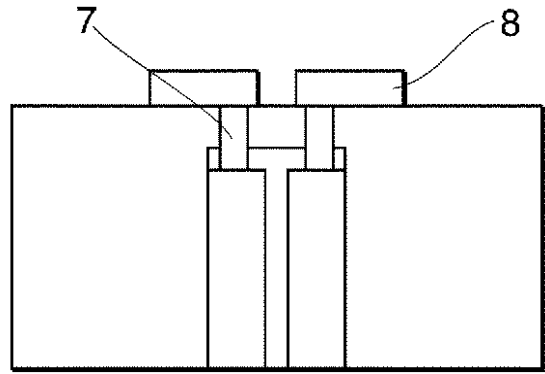
本発明のキャパシタの製造工程(その4)

【 図 6 】



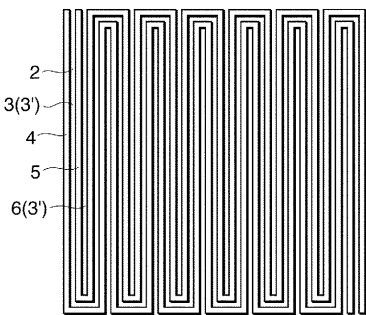
本発明のキャパシタの製造工程(その5)

【 図 7 】



本発明のキャパシタの製造工程(その6)

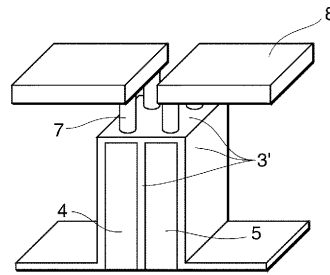
【 図 8 】



$$S=10\mu\text{m} \times 1\mu\text{m} \times 13=130\mu\text{m}^2$$

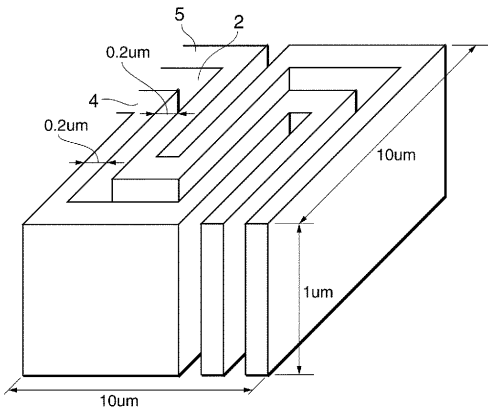
本発明のキャパシタの実体構造

【 図 10 】



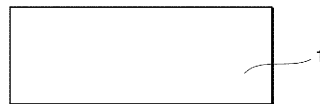
本発明のキャパシタの他の構成

【 図 9 】



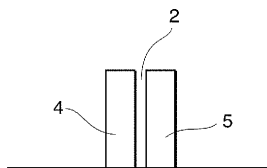
本発明のキャパシタの寸法

【 図 11 】



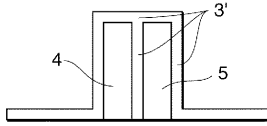
本発明のキャパシタの他の製造工程(その1)

【 図 12 】



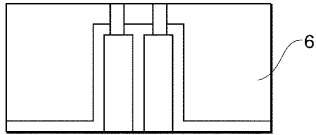
本発明のキャパシタの他の製造工程(その2)

【 図 1 3 】



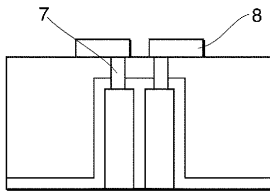
本発明のキャパシタの他の製造工程(その3)

【 図 1 4 】



本発明のキャパシタの他の製造工程(その4)

【 図 1 5 】



本発明のキャパシタの他の製造工程(その5)

フロントページの続き

Fターム(参考) 5F038 AC02 AC04 AC05 AC15 AC20 DF02 EZ14 EZ15 EZ20