

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5701806号  
(P5701806)

(45) 発行日 平成27年4月15日(2015.4.15)

(24) 登録日 平成27年2月27日(2015.2.27)

|              |       |           |        |       |         |
|--------------|-------|-----------|--------|-------|---------|
| (51) Int.Cl. |       | F I       |        |       |         |
| HO 1 P       | 3/08  | (2006.01) | HO 1 P | 3/08  |         |
| HO 1 Q       | 15/14 | (2006.01) | HO 1 Q | 15/14 | Z       |
| HO 1 L       | 23/12 | (2006.01) | HO 1 L | 23/12 | E       |
| HO 1 L       | 25/04 | (2014.01) | HO 1 L | 23/12 | 3 O 1 C |
| HO 1 L       | 25/18 | (2006.01) | HO 1 L | 25/04 | Z       |

請求項の数 6 (全 8 頁)

(21) 出願番号 特願2012-75519 (P2012-75519)  
 (22) 出願日 平成24年3月29日(2012.3.29)  
 (65) 公開番号 特開2013-207621 (P2013-207621A)  
 (43) 公開日 平成25年10月7日(2013.10.7)  
 審査請求日 平成26年2月6日(2014.2.6)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100119035  
 弁理士 池上 徹真  
 (74) 代理人 100141036  
 弁理士 須藤 章  
 (74) 代理人 100088487  
 弁理士 松山 允之  
 (72) 発明者 佐々木 忠寛  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 板谷 和彦  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

最終頁に続く

(54) 【発明の名称】 EBG構造体および半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の導電体で形成され、空隙が設けられる電極部と、  
 前記電極部に略平行に設けられ、第2の導電体で形成されるパッチ部と、  
 前記電極部と前記パッチ部との間に設けられる絶縁層と、  
 前記絶縁層内の前記パッチ部と前記電極部との間に設けられ、前記パッチ部と前記電極部とに接続される第1のビアと、  
 前記絶縁層内の前記パッチ部と前記空隙との間に設けられ、前記パッチ部に接続され前記電極部とは接続されない第2のビアと、  
 を備えることを特徴とするEBG(Electromagnetic Band Gap)構造体。

【請求項2】

前記第2のビアの空隙側端部が、前記空隙まで達していることを特徴とする請求項1記載のEBG構造体。

【請求項3】

前記電極部がグラウンド線または電源線であることを特徴とする請求項1または請求項2記載のEBG構造体。

【請求項4】

前記第1の導電体がアルミニウム(Al)または金(Au)であり、前記第2の導電体がアルミニウム(Al)または金(Au)であることを特徴とする請求項1ないし請求項

3 いずれか一項記載の E B G 構造体。

【請求項 5】

前記パッチ部のサイズが 1 0 m m 角以下であることを特徴とする請求項 1 ないし請求項 4 いずれか一項記載の E B G 構造体。

【請求項 6】

請求項 1 ないし請求項 5 いずれか一項記載の E B G 構造体を備えることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施の形態は、E B G 構造体および半導体装置に関する。

10

【背景技術】

【0002】

例えば、従来のデジタル・アナログ・RF 混在回路を搭載する基板、SOC (system on chip)、擬似 SOC 等の半導体装置では、素子間の相互の電磁界干渉や GND (グラウンド) 線、電源線に伝播するノイズが誤作動を引き起こすという問題がある。この問題を回避するためには、素子間のスペースを大きく取る必要がある。このため、チップ面積や実装面積の縮小が困難であるという問題があった。

【0003】

このスペースを削減させる手段として、例えば、GND 線、または、電源線に伝播する、回路動作に有害な周波数領域のノイズを防ぐためのフィルターが使われる。この場合、ストップバンド領域という限られた周波数領域内のノイズレベルを落とすフィルターを利用する。フィルターは、例えば、インダクタチップとキャパシタチップを用いて形成される。このため、実装部品の増加を招くことは避けられない。

20

【0004】

そこで、チップ部品でフィルターを形成するより、縮小効果が高いことから、誘電体の基板内に E B G (Electromagnetic Band Gap) 構造が考案されている。しかし、E B G 構造の場合、ストップバンド領域を低い周波数領域 (6 GHz 以下) に設定した場合、E B G 構造が大きくなり、小型化できないという問題が残っている。また、広いストップバンド領域を確保することが困難であるという問題がある。

30

【0005】

これに対して、E B G 構造の大きさを縮小するために、E B G 構造を改良する取り組みが行われている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2 0 0 9 - 2 1 8 9 6 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明が解決しようとする課題は、簡易な構成で、小型かつ広いストップバンド領域を備える E B G 構造体およびこれを備える半導体装置を提供することにある。

40

【課題を解決するための手段】

【0008】

実施の形態の E B G 構造体は、第 1 の導電体で形成され、空隙が設けられる電極部と、前記電極部に略平行に設けられ、第 2 の導電体で形成されるパッチ部と、前記電極部と前記パッチ部との間に設けられる絶縁層と、前記絶縁層内の前記パッチ部と前記電極部との間に設けられ、前記パッチ部と前記電極部とに接続される第 1 のビアと、前記絶縁層内の前記パッチ部と前記空隙との間に設けられ、前記パッチ部に接続され前記電極部とは接続されない第 2 のビアと、を備える。

50

## 【図面の簡単な説明】

【0009】

【図1】第1の実施の形態の半導体装置の模式断面図である。

【図2】第1の実施の形態のEBG構造体の模式斜視図である。

【図3】シミュレーションを行ったEBG構造体の模式断面図である。

【図4】Sパラメータのシミュレーション結果を示す図である。

【図5】第2の実施の形態の半導体装置の模式断面図である。

【図6】第3の実施の形態の半導体装置の模式断面図である。

【図7】第4の実施の形態の半導体装置の模式断面図である。

【発明を実施するための形態】

10

【0010】

本明細書中、半導体装置とは、半導体チップまたは1個の半導体チップが封止された半導体パッケージのみならず、例えば、複数の半導体チップを樹脂で接着し、相互のチップ間を配線層で接続する半導体製品、いわゆる疑似SOC(System On Chip)や、複数の半導体チップをプリント基板上に実装した製品等も包含する概念である。

【0011】

(第1の実施の形態)

本実施の形態のEBG構造体は、第1の導電体で形成され、空隙が設けられる電極部と、電極部に略平行に設けられ、第2の導電体で形成されるパッチ部と、電極部とパッチ部との間に設けられる絶縁層と、絶縁層内のパッチ部と電極部との間に設けられ、パッチ部と電極部とに接続される第1のビアと、絶縁層内のパッチ部と空隙との間に設けられ、パッチ部に接続され電極部とは接続されない第2のビアと、を備える。

20

【0012】

また、本実施の形態の半導体装置は、上記EBG構造体を備え、複数の半導体チップを樹脂で接着し、相互のチップ間を配線層で接続する半導体製品である。すなわち、いわゆる疑似SOCである。

【0013】

図1は、本実施の形態の半導体装置の模式断面図である。疑似SOC100は、複数の半導体チップ10a~10eを備えている。半導体チップ10a~10eは樹脂12で接着されている。半導体チップ10a~10e相互間は、例えば、多層配線層14で電氣的に接続されている。

30

【0014】

疑似SOC100の半導体チップ10a~10e下部には、EBG構造体16が設けられる。図1中、点線で囲まれた領域が、EBG構造体16の1ユニットとなる。この1ユニットが規則的に配置される構成となっている。図2は、本実施の形態のEBG構造体の模式斜視図である。

【0015】

EBG構造体16は、空隙18が設けられる電極部20と、電極部20に略平行に設けられるパッチ部22とを備える。また、電極部20とパッチ部22との間に設けられる絶縁層24を備える。そして、第1のビア26と第2のビア28を備える。

40

【0016】

電極部20は、例えば、グラウンド線である。第1の導電体は、例えば、アルミニウム(Al)または金(Au)等の金属である。電極部20がパターンングされることで、第1の導電体のない空隙18が設けられている。空隙18の形状は、特に限定されるものではなく、四角形、円形、その他の形状であってもかまわない。

【0017】

パッチ部22は、第2の導電体で形成される。第2の導電体は、例えば、アルミニウム(Al)または金(Au)等の金属である。パッチ部22の形状は、特に限定されるものではなく、四角形、円形、その他の形状であってもかまわない。

【0018】

50

パッチ部 22 のサイズは、所望のストップバンド領域を得るために最適化される。パッチ部 22 のサイズは、半導体装置のサイズを小さくする観点から、10 mm 角以下であることが望ましい。

【0019】

絶縁層 24 は、例えば、有機樹脂である。

【0020】

第 1 のビア 26、第 2 のビア部 28 はそれぞれ導電体で形成される。用いられる導電体は特に限定されず、金属、半導体、または導電性の樹脂であってもかまわない。

【0021】

第 1 のビア 26 は、絶縁層 24 内のパッチ部 22 と電極部 20 との間に設けられ、パッチ部 22 と電極部 20 とに接続されている。一方、第 2 のビア 28 は、絶縁層 24 内のパッチ部 22 と空隙 18 との間に設けられ、パッチ部 22 に接続されるが電極部 20 とは接続されない。第 2 のビア 28 の直下の電極部 20 に空隙 18 が設けられている。

10

【0022】

次に、本実施の形態の EBG 構造体の作用および効果について説明する。本実施の形態の 3次元構造の電磁解析をシミュレーションにより行った。

【0023】

図 3 は、シミュレーションを行った EBG 構造体の模式断面図である。EBG 構造体 16 は、パッチ部 22 は 1 辺が 1 mm (1 mm 角) の正方形、第 1 および第 2 のビア 26、28 は、径 200  $\mu\text{m}$  で高さ 200  $\mu\text{m}$ 、空隙 18 は 500  $\mu\text{m}$  角、絶縁層 24 の誘電率は 4.47 とした。

20

【0024】

EBG 構造体 16 の上部に、絶縁層 24 を介して両端に、入力端子 (IN) と出力端子 (OUT) を備える配線 30 を設けた。この入力端子と出力端子間で伝搬する信号の S パラメータ  $S_{21}$  をシミュレーションした。

【0025】

図 4 は、S パラメータのシミュレーション結果を示す図である。比較のために、図 3 の構造で空隙 18 がいない場合、EBG 構造体がない場合についてもシミュレーションした。

【0026】

空隙がない EBG の場合、 $S_{21}$  が -10 dB のアイソレーションを確保できるストップバンド領域は、図中、点線の矢印で示す 34 GHz ~ 40 GHz 帯となる。一方、空隙を設けた本実施の形態の場合、ストップバンド領域は、図中、実線の矢印で示す 18 GHz ~ 32 GHz 帯となる。このように、空隙を設けることで、ストップバンド領域を大幅に下げるとともに、広げることが可能となる。

30

【0027】

一般に、ストップバンド領域の周波数帯を下げるためには、パッチ部の面積を大きくする必要はある。本実施の形態によれば、パッチ部の面積が同一の場合でも、電極部に空隙を設けることでストップバンド領域の周波数帯を大幅に下げることが可能となる。あるいは、同一のストップバンド領域の周波数帯を小さいパッチ部の面積で実現できる。したがって、この EBG 構造体を備えることで、サイズが小さく、素子間の電磁界干渉やノイズによる誤動作が抑制された高性能な疑似 SOC を実現することが可能となる。

40

【0028】

また、高性能な EBG 構造を簡易な構造で実現する。このため、プロセス数の大幅な増加や、厳しいプロセス精度が要求されず、製造コストが抑制された高歩留まりの疑似 SOC を実現することが可能となる。

【0029】

なお、第 2 のビア 28 の空隙 18 側の端部が、空隙 18 まで達していることが、ストップバンド領域の周波数帯を低下させ、かつ、広げる観点から望ましい。

【0030】

(第 2 の実施の形態)

50

本実施の形態の半導体装置は、E B G構造体が、半導体チップ10 a ~ 10 eと下部電極との間に設けられる点で、第1の実施の形態と相違する。第1の実施の形態と重複する内容については記述を省略する。

【0031】

図5は、本実施の形態の半導体装置の模式断面図である。疑似SOC200は、E B G構造体16の下部に絶縁層34を介して下部電極36が設けられている

【0032】

疑似SOC200において、電極部20は、例えば電源線であり、下部電極36はグラウンド線である。電極部20を電源線とした場合には、電源線に起因するノイズ等による誤動作を防止することが可能となる。

【0033】

(第3の実施の形態)

本実施の形態の半導体装置は、例えば、SOC等の半導体チップ内に、多層配線層を利用してE B G構造体が設けられる点において、第1の実施の形態と相違する。第1の実施の形態と重複する内容については記述を省略する。

【0034】

図6は、本実施の形態の半導体装置の模式断面図である。半導体装置300では、例えば、シリコン基板40上にトランジスタやダイオード等の素子が形成される。それぞれの素子間は、多層配線層14によって接続される。

【0035】

本実施の形態においては、第1の実施の形態で説明したE B G構造体16が、多層配線層14の一部の配線とビアを利用することで形成されている。

【0036】

本実施の形態によれば、半導体チップの製造プロセスにおいて、プロセスを追加することなくE B G構造体16が形成可能である。したがって、製造コストを増加させることなく高性能かつ小型の半導体チップを実現することが可能となる。

【0037】

(第4の実施の形態)

本実施の形態の半導体装置は、例えば、デジタル・アナログ・RF混在回路を搭載する基板のように、プリント基板上に複数の半導体チップ等が実装された製品である。このプリント基板中にE B G構造体が設けられる点において、第1の実施の形態と相違する。第1の実施の形態と重複する内容については記述を省略する。

【0038】

図7は、本実施の形態の半導体装置の模式断面図である。半導体装置400では、プリント基板54上に、例えば、バンプ電極52により複数の半導体チップ50 a ~ 50 eが実装されている。例えば、半導体チップ50 a ~ 50 eは、デジタルチップ、アナログチップ、RFチップ、ダイオード等から選ばれる半導体チップである。

【0039】

そして、プリント基板54内に、第1の実施の形態で説明したE B G構造体16が形成されている。

【0040】

本実施の形態によれば、高性能かつ小型の半導体チップを実現することが可能となる。

【0041】

以上、具体例を参照しつつ本発明の実施の形態について説明した。上記、実施の形態はあくまで、例として挙げられているだけであり、本発明を限定するものではない。また、実施の形態の説明においては、E B G構造体、半導体装置等で、本発明の説明に直接必要としない部分等については記載を省略したが、必要とされるE B G構造体、半導体装置等に関わる要素を適宜選択して用いることができる。

【0042】

その他、本発明の要素を具備し、当業者が適宜設計変更しうる全てのE B G構造体、半

10

20

30

40

50

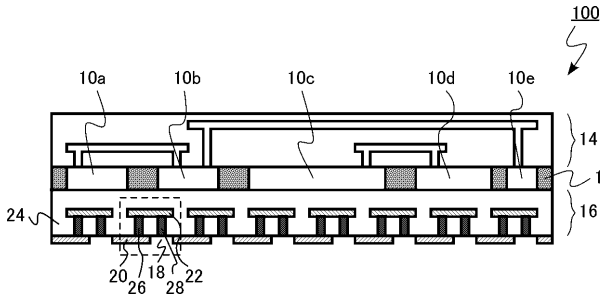
導体装置が、本発明の範囲に包含される。本発明の範囲は、特許請求の範囲およびその均等物の範囲によって定義されるものである。

【符号の説明】

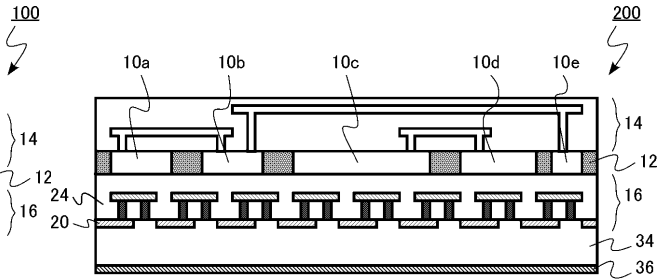
【 0 0 4 3 】

- 1 6 E B G 構造体
- 1 8 空隙
- 2 0 電極部
- 2 2 パッチ部
- 2 4 絶縁層
- 2 6 第 1 のビア
- 2 8 第 2 のビア
- 1 0 0 半導体装置

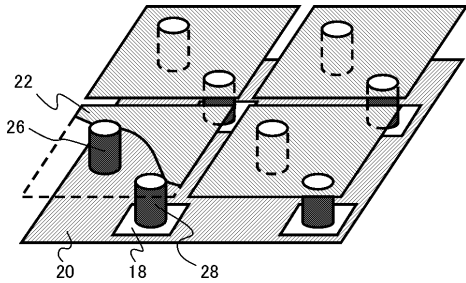
【 図 1 】



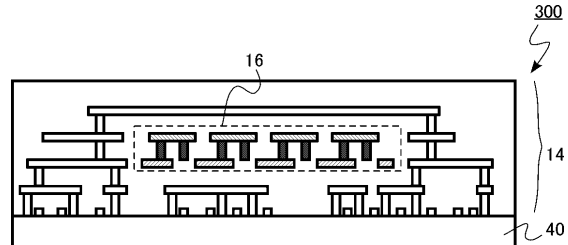
【 図 5 】



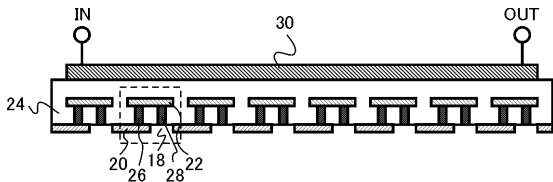
【 図 2 】



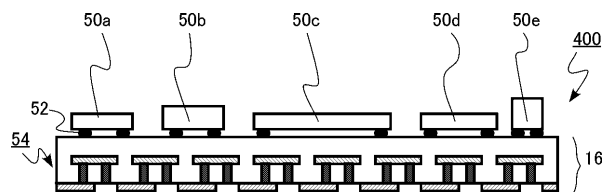
【 図 6 】



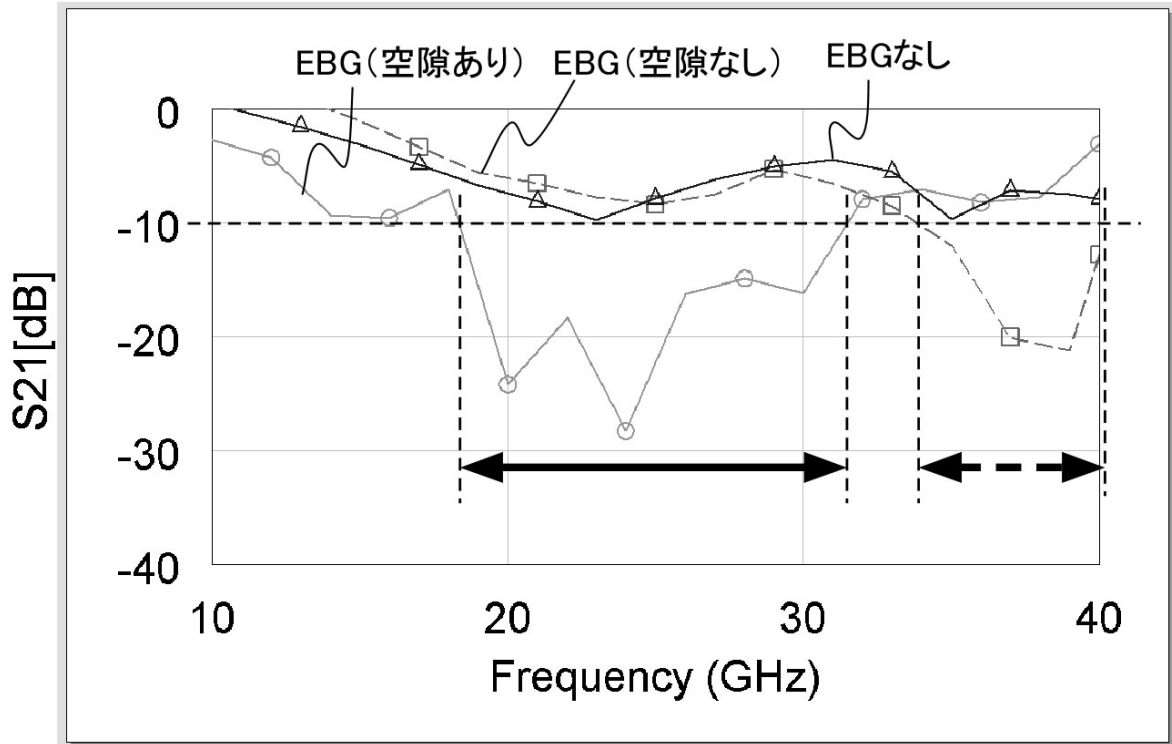
【 図 3 】



【 図 7 】



【 図 4 】



---

フロントページの続き

(72)発明者 山田 浩  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 麻生 哲朗

(56)参考文献 特開2010-016554(JP,A)  
特開2009-224567(JP,A)  
特開2011-258910(JP,A)  
特開2004-022587(JP,A)  
特開2009-218966(JP,A)  
特表2005-538629(JP,A)  
特開2011-249862(JP,A)

(58)調査した分野(Int.Cl., DB名)

|      |       |
|------|-------|
| H01P | 3/08  |
| H01L | 23/12 |
| H01L | 25/04 |
| H01L | 25/18 |
| H01Q | 15/14 |