

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-271389

(P2008-271389A)

(43) 公開日 平成20年11月6日(2008.11.6)

(51) Int.Cl.		F I	テーマコード (参考)			
H03K	17/08	(2006.01)	H03K	17/08	C	5C580
H03K	17/687	(2006.01)	H03K	17/687	F	5J032
H03K	19/0175	(2006.01)	H03K	19/00	101F	5J055
H03K	19/003	(2006.01)	H03K	19/003	E	5J056
G09G	3/28	(2006.01)	G09G	3/28	J	

審査請求 未請求 請求項の数 14 O L (全 26 頁)

(21) 出願番号 特願2007-114304 (P2007-114304)  
 (22) 出願日 平成19年4月24日 (2007. 4. 24)

(71) 出願人 00005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100077931  
 弁理士 前田 弘  
 (74) 代理人 100110939  
 弁理士 竹内 宏  
 (74) 代理人 100110940  
 弁理士 嶋田 高久  
 (74) 代理人 100113262  
 弁理士 竹内 祐二  
 (74) 代理人 100115059  
 弁理士 今江 克実  
 (74) 代理人 100115691  
 弁理士 藤田 篤史

最終頁に続く

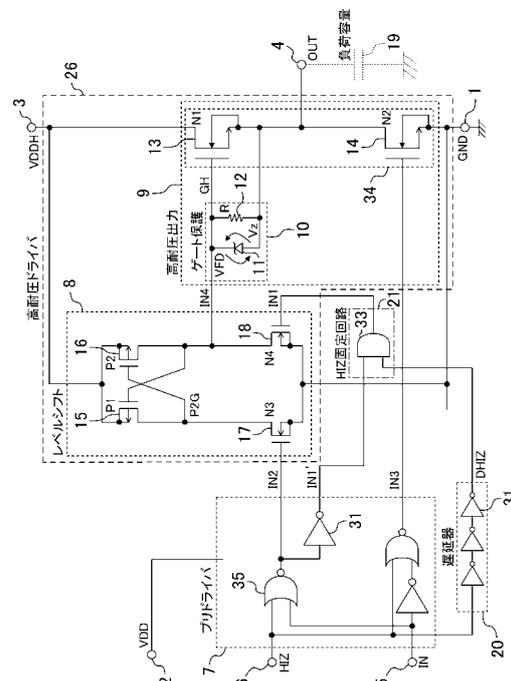
(54) 【発明の名称】 出力回路及び多出力回路

(57) 【要約】

【課題】 出力端子からツェナーダイオードを通してレベルシフト回路へ負荷電流が流れる経路を遮断して、出力端子を完全にハイインピーダンスにする出力回路を提供する。

【解決手段】 出力回路は、ハイサイドトランジスタ13と、ローサイドトランジスタ14と、ゲート保護回路10と、レベルシフト回路8と、プリドライバ回路7とを備える。レベルシフト回路8は、ハイサイドトランジスタ13をオフさせてから所定時間経過後に、出力端子4からレベルシフト回路8への電流経路を遮断状態にする。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

ハイサイドトランジスタと、  
ローサイドトランジスタと、  
前記ハイサイドトランジスタのゲート電圧を保護するゲート保護回路と、  
前記ゲート保護回路を介して、前記ハイサイドトランジスタを駆動するレベルシフト回路と、

前記レベルシフト回路及び前記ローサイドトランジスタを駆動するブリドライバ回路とを備え、

前記ハイサイドトランジスタと前記ローサイドトランジスタとの接続点を出力端子とする出力回路であって、

前記レベルシフト回路は、前記ハイサイドトランジスタをオフさせてから所定時間経過後に、前記出力端子から前記レベルシフト回路への電流径路を遮断状態にする、出力回路。

10

**【請求項 2】**

請求項 1 に記載の出力回路において、

前記レベルシフト回路は、前記ハイサイドトランジスタをオフした後に、ハイインピーダンス状態になることで、前記電流径路を遮断状態にする、出力回路。

**【請求項 3】**

請求項 1 に記載の出力回路において、

互いに直列接続された複数のインバーターよりなり、前記所定時間を経過させる遅延器をさらに備える、出力回路。

20

**【請求項 4】**

請求項 1 に記載の出力回路において、

前記所定時間は、前記ハイサイドトランジスタが確実にオフ状態となるまでの時間よりも長い、出力回路。

**【請求項 5】**

請求項 3 に記載の出力回路において、

前記遅延器は、前記電流径路の遮断状態の解除を所定時間経過させることなく行う、出力回路。

30

**【請求項 6】**

請求項 1 に記載の出力回路を複数備えた多出力回路であって、

前記出力回路の各出力を順次出力させるシフトレジスタと、

互いに直列接続された複数のインバーターよりなり、前記レベルシフト回路の各々に対応する前記所定時間を経過させる 1 つ以上の遅延器とをさらに備える、多出力回路。

**【請求項 7】**

ハイサイドトランジスタと、

前記ハイサイドトランジスタと並列に接続されたハイサイド回生ダイオードと、

ローサイドトランジスタと、

前記ローサイドトランジスタと並列に接続されたローサイド回生ダイオードと、

前記ハイサイドトランジスタのゲート電圧を保護するゲート保護回路と、

前記ゲート保護回路を介して、前記ハイサイドトランジスタを駆動するレベルシフト回路と、

40

前記レベルシフト回路及び前記ローサイドトランジスタを駆動するブリドライバ回路とを備え、

前記ハイサイドトランジスタと前記ローサイドトランジスタとの接続点を出力端子とする出力回路であって、

前記レベルシフト回路は、前記ハイサイドトランジスタをオフさせてから所定時間経過後に、前記出力端子から前記レベルシフト回路への電流径路を遮断状態にする、出力回路。

50

## 【請求項 8】

請求項 7 に記載の出力回路において、

前記レベルシフト回路は、前記ハイサイドトランジスタをオフした後に、ハイインピーダンス状態になることで、前記電流経路を遮断状態にする、出力回路。

## 【請求項 9】

請求項 7 に記載の出力回路において、

互いに直列接続された複数のインバーターよりなり、前記所定時間を経過させる遅延器をさらに備える、出力回路。

## 【請求項 10】

請求項 7 に記載の出力回路において、

前記所定時間は、前記ハイサイドトランジスタが確実にオフ状態となるまでの時間よりも長い、出力回路。

10

## 【請求項 11】

請求項 9 に記載の出力回路において、

前記遅延器は、前記電流経路の遮断状態の解除を所定時間経過させることなく行う、出力回路。

## 【請求項 12】

請求項 7 に記載の出力回路を複数備えた多出力回路であって、

前記出力回路の各出力を順次出力させるシフトレジスタと、

互いに直列接続された複数のインバーターよりなり、前記レベルシフト回路の各々に対応する前記所定時間を経過させる 1 つ以上の遅延器とをさらに備える、多出力回路。

20

## 【請求項 13】

ハイサイドトランジスタと、

ローサイドトランジスタと、

前記ハイサイドトランジスタのゲート電圧を保護するゲート保護回路と、

前記ゲート保護回路を介して、前記ハイサイドトランジスタを駆動するレベルシフト回路と、

前記レベルシフト回路及び前記ローサイドトランジスタを駆動するプリドライバ回路とを備え、

前記ハイサイドトランジスタと前記ローサイドトランジスタとの接続点を出力端子とする出力回路であって、

30

前記レベルシフト回路と前記ゲート保護回路との間に接続されたダイオードをさらに備える、出力回路。

## 【請求項 14】

ハイサイドトランジスタと、

前記ハイサイドトランジスタと並列に接続されたハイサイド回生ダイオードと、

ローサイドトランジスタと、

前記ローサイドトランジスタと並列に接続されたローサイド回生ダイオードと、

前記ハイサイドトランジスタのゲート電圧を保護するゲート保護回路と、

前記ゲート保護回路を介して、前記ハイサイドトランジスタを駆動するレベルシフト回路と、

40

前記レベルシフト回路及び前記ローサイドトランジスタを駆動するプリドライバ回路とを備え、

前記ハイサイドトランジスタと前記ローサイドトランジスタとの接続点を出力端子とする出力回路であって、

前記レベルシフト回路と前記ゲート保護回路との間に接続されたダイオードをさらに備える、出力回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

50

本発明は出力回路及び多出力回路に関し、特にプラズマディスプレイなどの容量性負荷を駆動するための多チャンネル容量負荷駆動回路に関するものである。

【背景技術】

【0002】

図15は、従来に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の回路構成例を示している。

【0003】

図15に示す出力回路は、高耐圧出力回路9及びレベルシフト回路8を有する高耐圧ドライバ26とプリドライバ回路7とを備えている。

【0004】

高耐圧ドライバ26を構成する高耐圧出力回路9は、ハイサイドトランジスタ13及びローサイドトランジスタ14によって構成されているハーフブリッジ回路34と、ツェナーダイオード11及び抵抗12によって構成され、ハイサイドトランジスタ13のゲートを保護するゲート保護回路10とを備えている。また、高耐圧ドライバ26を構成するレベルシフト回路8は、ハイサイドトランジスタ13を駆動する。

【0005】

プリドライバ回路7は、インバータ31及びNOR回路35によって構成され、レベルシフト回路8及びローサイドトランジスタ14を駆動する。なお、高耐圧出力回路9の出力端子4は、ハイサイドトランジスタ13とローサイドトランジスタ14との共通接続端子に接続されている。また、基準電源端子1は、基準電位の端子であり、低圧電源端子2は、5V程度の低圧電源の端子であり、高圧電源端子3は、100V以上の高圧電源の端子であり、制御入力端子5及び6は、図示しない低耐圧制御部からの入力信号を入力する。

【0006】

次に、以上の構成を有する従来に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ26を含む出力回路の動作について説明する。

【0007】

図16は、従来に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ26を含む出力回路の動作を説明するタイミング図を示している。

【0008】

図16において、制御入力端子5及び6に入力される低耐圧制御部からの入力信号IN及びHIZと、入力信号IN3及びHIZに応じてレベルシフト回路8を駆動するプリドライバ回路7の出力信号IN1及びIN2、入力信号IN及びHIZに応じてローサイドトランジスタ14を駆動するプリドライバ回路7の出力信号INと、プリドライバ回路7の出力信号IN1及びIN2に応じてハイサイドトランジスタ13を駆動するレベルシフト回路8の出力信号IN4と、レベルシフト回路8を構成する厚膜ゲートP型MOSトランジスタ16のゲート駆動信号P2Gと、レベルシフト回路8の出力信号IN4を受けてゲート保護回路10に応じて決定されるハイサイドトランジスタ13のゲート-ソース間電圧GHと、プリドライバ回路7の出力信号IN3に応じて出力される高耐圧出力回路9の出力端子4の電圧波形OUTとを示している。

【0009】

ここで、制御入力端子6にGNDレベルの信号が入力され、入力信号HIZがLレベル(GND)となっている場合について説明する。

【0010】

まず、入力端子5にGNDレベルの信号が入力され、入力信号INがLレベル(GND)になると、出力信号IN1はLレベル(GND)、出力信号IN2はHレベル(VDD)と夫々なり、ゲート駆動信号P2GがLレベル(GND)、出力信号IN4がHレベル(VDDH)となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11によりOUT+Vz(降伏電圧)となって、ハイサイドトランジスタ13のしきい値電圧Vth(N1)以上とされることで、ハイサイドトランジスタ13はオンする。また、出力信号IN3はLレベル(GND)となり、ローサイドトランジスタ14をオフするため、出力電圧波形OUTはHレベル(VDDH)となる。

10

20

30

40

50

## 【 0 0 1 1 】

次に、入力端子 5 に VDD レベルの信号が入力され、入力信号 IN が H レベル (VDD) になると、出力信号 IN1 は H レベル (VDD)、出力信号 IN2 は L レベル (GND) と夫々なり、ゲート駆動信号 P2G が H レベル (VDDH)、出力信号 IN4 が L レベル (GND) となる。よって、ゲート - ソース間電圧 GH は、ツェナーダイオード 11 が順バイアスされて、OUT - VFD (ツェナー順方向電圧) となって、ハイサイドトランジスタ 13 のしきい値電圧  $V_{th}(N1)$  以下とされることで、ハイサイドトランジスタ 13 はオフする。また、出力信号 IN3 は H レベル (VDD) となり、ローサイドトランジスタ 14 をオンするため、出力電圧波形 OUT は L レベル (GND) となる。

## 【 0 0 1 2 】

一方、制御入力端子 6 に VDD レベルの信号が入力された場合について説明する。

## 【 0 0 1 3 】

この場合、入力端子 5 に GND レベルの信号が入力されていても VDD レベルの信号が入力されていても、出力信号 IN1 は H レベル (VDD)、出力信号 IN2 は L レベル (GND) と夫々なり、ゲート駆動信号 P2G が H レベル (VDDH) となって、レベルシフト回路 8 を構成する薄膜ゲート N 型 MOS トランジスタ 18 がオンする。このとき、ゲート - ソース間電圧 GH は、ゲート保護回路 10 を構成するツェナーダイオード 11 が順バイアスされて、OUT - VFD (ツェナー順方向電圧) となって、ハイサイドトランジスタ 13 のしきい値電圧  $V_{th}(N1)$  以下とされることで、ハイサイドトランジスタ 13 はオフする。また、出力信号 IN3 も、L レベル (GND) となってローサイドトランジスタ 14 はオフとなるが、薄膜ゲート N 型 MOS トランジスタ 18 がオンしているため、ツェナーダイオード 11 を通して出力端子 4 から負荷電流が流れ込むため、出力電圧波形 OUT は、やがて L レベル (GND) となる。

【特許文献 1】特開 2005 - 20142 号公報 (図 4)

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 1 4 】

ところで、上記従来に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ 26 では、レベルシフト回路 8 を構成する薄膜ゲート N 型 MOS トランジスタ 18 とツェナーダイオード 11 とによって負荷電流経路が発生するため、出力端子 4 を完全にハイインピーダンスにはできないという問題がある。

## 【 0 0 1 5 】

また、数百 pF 以上ある容量負荷を通常、小さなサイズの薄膜ゲート N 型 MOS トランジスタ 18 で長い時間かけて放電することになるため、このトランジスタが自己発熱等で破壊するという問題もある。この場合、トランジスタの破壊を避ける目的で、トランジスタのサイズを大きくすることもできるが、チップ面積が増大するという問題が当然に発生してしまう。

## 【 0 0 1 6 】

前記に鑑み、本発明の目的は、出力端子からツェナーダイオードを通してレベルシフト回路へ負荷電流が流れる経路を遮断して、出力端子を完全にハイインピーダンスにできる構成を有する出力回路及び多出力回路を提供することである。

## 【課題を解決するための手段】

## 【 0 0 1 7 】

前記の目的を達成するために、本発明の第 1 の形態に係る出力回路は、ハイサイドトランジスタと、ローサイドトランジスタと、ハイサイドトランジスタのゲート電圧を保護するゲート保護回路と、ゲート保護回路を介して、ハイサイドトランジスタを駆動するレベルシフト回路と、レベルシフト回路及びローサイドトランジスタを駆動するプリドライバ回路とを備え、ハイサイドトランジスタとローサイドトランジスタとの接続点を出力端子とする出力回路であって、レベルシフト回路は、ハイサイドトランジスタをオフさせてから所定時間経過後に、出力端子からレベルシフト回路への電流経路を遮断状態にする。

## 【 0 0 1 8 】

10

20

30

40

50

本発明の第1の形態に係る出力回路において、レベルシフト回路は、ハイサイドトランジスタをオフした後に、ハイインピーダンス状態になることで、電流径路を遮断状態にする。

【0019】

本発明の第1の形態に係る出力回路において、互いに直列接続された複数のインバーターよりなり、所定時間を経過させる遅延器をさらに備える。

【0020】

本発明の第1の形態に係る出力回路において、所定時間は、ハイサイドトランジスタが確実にオフ状態となるまでの時間よりも長い。

【0021】

本発明の第1の形態に係る出力回路において、遅延器は、電流径路の遮断状態の解除を所定時間経過させることなく行う。

【0022】

本発明の第1の形態に係る出力回路を複数備えた第1の多出力回路は、出力回路の各出力を順次出力させるシフトレジスタと、互いに直列接続された複数のインバーターよりなり、レベルシフト回路の各々に対応する所定時間を経過させる1つ以上の遅延器とをさらに備える。

【0023】

本発明の第2の形態に係る出力回路は、ハイサイドトランジスタと、ハイサイドトランジスタと並列に接続されたハイサイド回生ダイオードと、ローサイドトランジスタと、ローサイドトランジスタと並列に接続されたローサイド回生ダイオードと、ハイサイドトランジスタのゲート電圧を保護するゲート保護回路と、ゲート保護回路を介して、ハイサイドトランジスタを駆動するレベルシフト回路と、レベルシフト回路及びローサイドトランジスタを駆動するブリドライバ回路とを備え、ハイサイドトランジスタとローサイドトランジスタとの接続点を出力端子とする出力回路であって、レベルシフト回路は、ハイサイドトランジスタをオフさせてから所定時間経過後に、出力端子からレベルシフト回路への電流径路を遮断状態にする。

【0024】

本発明の第2の形態に係る出力回路において、レベルシフト回路は、ハイサイドトランジスタをオフした後に、ハイインピーダンス状態になることで、電流径路を遮断状態にする。

【0025】

本発明の第2の形態に係る出力回路において、互いに直列接続された複数のインバーターよりなり、所定時間を経過させる遅延器をさらに備える。

【0026】

本発明の第2の形態に係る出力回路において、所定時間は、ハイサイドトランジスタが確実にオフ状態となるまでの時間よりも長い。

【0027】

本発明の第2の形態に係る出力回路において、遅延器は、電流径路の遮断状態の解除を所定時間経過させることなく行う。

【0028】

本発明の第2の形態に係る出力回路を複数備えた第2の多出力回路であって、出力回路の各出力を順次出力させるシフトレジスタと、互いに直列接続された複数のインバーターよりなり、レベルシフト回路の各々に対応する所定時間を経過させる1つ以上の遅延器とをさらに備える。

【0029】

本発明の第3の形態に係る出力回路は、ハイサイドトランジスタと、ローサイドトランジスタと、ハイサイドトランジスタのゲート電圧を保護するゲート保護回路と、ゲート保護回路を介して、ハイサイドトランジスタを駆動するレベルシフト回路と、レベルシフト回路及びローサイドトランジスタを駆動するブリドライバ回路とを備え、ハイサイドトラン

10

20

30

40

50

ンジスタとローサイドトランジスタとの接続点を出力端子とする出力回路であって、レベルシフト回路とゲート保護回路との間に接続されたダイオードをさらに備える。

【0030】

本発明の第4の形態に係る出力回路は、ハイサイドトランジスタと、ハイサイドトランジスタと並列に接続されたハイサイド回生ダイオードと、ローサイドトランジスタと、ローサイドトランジスタと並列に接続されたローサイド回生ダイオードと、ハイサイドトランジスタのゲート電圧を保護するゲート保護回路と、ゲート保護回路を介して、ハイサイドトランジスタを駆動するレベルシフト回路と、レベルシフト回路及びローサイドトランジスタを駆動するプリドライバ回路とを備え、ハイサイドトランジスタとローサイドトランジスタとの接続点を出力端子とする出力回路であって、レベルシフト回路とゲート保護回路との間に接続されたダイオードをさらに備える。

10

【発明の効果】

【0031】

本発明に係る出力回路及び多出力回路によると、薄いゲート酸化膜を持つハイサイドトランジスタを用いるためにツェナーダイオードを含むゲート保護回路を用いた構成において、高耐圧出力端子を完全にハイインピーダンスにできる。

【発明を実施するための最良の形態】

【0032】

以下、本発明の各実施形態について図面を参照しながら説明する。

【0033】

20

(第1の実施形態)

図1は、本発明の第1の実施形態に係る多チャンネル容量負荷駆動回路を構成する高耐圧ドライバを含む出力回路の回路構成例を示している。

【0034】

図1に示す出力回路は、高耐圧出力回路9及びレベルシフト回路8を有する高耐圧ドライバ26と、プリドライバ回路7と、遅延器20と、HIZ固定回路21とを備えている。

【0035】

高耐圧ドライバ26を構成する高耐圧出力回路9は、ハイサイドトランジスタ13及びローサイドトランジスタ14によって構成されているハーフブリッジ回路34と、ツェナーダイオード11及び抵抗12によって構成され、ハイサイドトランジスタ13のゲートを保護するゲート保護回路10とを備えている。また、高耐圧ドライバ26を構成するレベルシフト回路8は、厚膜ゲートP型MOSトランジスタ15及び16並びに薄膜ゲートN型MOSトランジスタ17及び18によって構成され、ハイサイドトランジスタ13を駆動する。

30

【0036】

プリドライバ回路7は、インバータ31及びNOR回路35によって構成され、図示しない低耐圧制御部からの制御入力端子5の信号に応じて高耐圧ドライバ26を駆動すると共にローサイドトランジスタ14を駆動し、負荷容量19の充放電を行う。なお、高耐圧出力回路9の出力端子4は、ハイサイドトランジスタ13とローサイドトランジスタ14との共通接続端子に接続されている。また、基準電源端子1は、基準電位の端子であり、低圧電源端子2は、5V程度の低圧電源の端子であり、高圧電源端子3は、100V以上の高圧電源の端子であり、制御入力端子5及び6は、図示しない低耐圧制御部から入力信号を出力し、制御入力端子6は、制御入力端子5の状態にかかわらず、遅延器20、HIZ固定回路21及びプリドライバ回路7を通して、レベルシフト回路8、ハイサイドトランジスタ13及びローサイドトランジスタ14を強制的にハイインピーダンス状態とする。ハイサイドトランジスタ13がハイレベル出力用であり、ローサイドトランジスタ14がローレベル出力用である。

40

【0037】

遅延器20は複数のインバータ31によって構成されており、HIZ固定回路21は

50

AND回路33によって構成されている。

【0038】

次に、以上の構成を有する本発明の第1の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ26を含む出力回路の動作について説明する。

【0039】

図2は、本発明の第1の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ26を含む出力回路の動作を説明するタイミング図を示している。

【0040】

図2において、制御入力端子6に入力される低耐圧制御部からの入力信号HIZと、制御入力端子5に入力される低耐圧制御部からの入力信号INと、入力信号IN及び入力信号HIZに応じてレベルシフト回路8を駆動するプリドライバ回路7の出力信号IN2と、HIZ固定回路21の出力信号IN1と、入力信号IN及び入力信号HIZに応じてローサイドトランジスタ14を駆動するプリドライバ回路7の出力信号IN3と、プリドライバ回路7の出力信号IN1'と入力信号HIZからの入力信号を受け遅延器20で遅延を持った出力信号DHIZとがANDされたHIZ固定回路21からの出力信号IN1に応じてハイサイドトランジスタ13を駆動するレベルシフト回路8の出力信号P2G及びIN4と、レベルシフト回路8の出力信号IN4を受けてゲート保護回路10に応じて決定されるハイサイドトランジスタ13のゲート-ソース間電圧GHと、プリドライバ回路7の出力信号IN3に応じて出力される高耐圧出力回路9の出力電圧波形OUTとを示している。

10

【0041】

ここで、制御入力端子6にGNDレベルの信号が入力され、入力信号HIZがLレベル(GND)となっている場合について説明する。

20

【0042】

この場合、遅延器20の出力信号DHIZはHレベル(VDD)となるため、HIZ固定回路21は出力信号IN1'と同論理の出力信号IN1を出力できるようになる。

【0043】

このとき、まず、入力端子5にGNDレベルの信号が入力され、入力信号INがLレベル(GND)になると、出力信号IN1'はLレベル(GND)となるため、出力信号IN1もLレベル(GND)となる。また、出力信号IN2はHレベル(VDD)となり、出力信号P2GはLレベル(GND)及び出力信号IN4がHレベル(VDDH)と夫々なる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11によりOUT+Vz(降伏電圧)となって、ハイサイドトランジスタ13のしきい値電圧Vth(N1)以上とされることで、ハイサイドトランジスタ13はオンする。また、出力信号IN3はLレベル(GND)となり、ローサイドトランジスタ14をオフするため、出力電圧波形OUTはHレベル(VDDH)となる。

30

【0044】

次に、入力端子5にVDDレベルの信号が入力され、入力端子INがHレベル(VDD)になると、出力信号IN1'はHレベル(VDD)となるため、出力信号IN1もHレベル(VDD)となる。また、出力信号IN2はLレベル(GND)となり、出力信号P2GはHレベル(VDDH)及び出力信号IN4がLレベル(GND)となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11が順バイアスされて、OUT-VFD(ツェナー順方向電圧)となって、ハイサイドトランジスタ13のしきい値電圧Vth(N1)以下とされることで、ハイサイドトランジスタ13はオフする。その後、抵抗12により出力端子4と同電位に戻る。また、出力信号IN3はHレベル(VDD)となり、ローサイドトランジスタ14をオンするため、出力電圧波形OUTはLレベル(GND)となる。

40

【0045】

一方、出力端子4をハイインピーダンスとするために、制御入力端子6にVDDレベルの信号が入力された場合について説明する。

【0046】

この場合、入力信号HIZがHレベル(VDD)となっているとき、プリドライバ回路7の出力信号IN1'はHレベル(VDD)となり、遅延器20の出力信号DHIZは、遅延分があるため

50

に最初はHレベル(VDD)であるので、HIZ固定回路21により出力信号IN1'と同論理の出力信号IN1を出力する。よって、出力信号IN1はHレベル(VDD)となる。また、出力信号IN2はLレベル(GND)となり、出力信号P2GはHレベル(VDDH)及び出力信号IN4はLレベル(GND)となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11が順バイアスされて、OUT-VFD(ツェナー順方向電圧)となって、ハイサイドトランジスタ13のゲートのしきい値電圧Vth(N1)以下とされることで、ハイサイドトランジスタ13はオフする。

#### 【0047】

このとき、薄膜ゲートN型MOSトランジスタ18がオンしているため、ツェナーダイオード11を通して出力端子4から負荷電流が流れ込むため、出力電圧波形OUTはゆっくり、Lレベル(GND)に向かって下降していく。しかしながら、遅延器20の出力が所定時間経過後にLレベル(GND)となるため、出力信号IN1がLレベル(GND)となる。よって、薄膜ゲートN型MOSトランジスタ18がオフするため、ツェナーダイオード11を通して出力端子4から負荷電流が流れ込む経路が遮断されるので、出力端子4はハイインピーダンスとなる。

10

#### 【0048】

ここで、遅延回路20で遅延を持たせる所定時間としては、ハイサイドトランジスタ13が確実にオフとなり、且つ、レベルシフト回路8の出力信号P2GがHレベル(VDDH)となって、厚膜ゲートP型MOSトランジスタ16がオフ状態でラッチするだけの時間分が確保されるとよい。通常、この時間は、数百nsレベルで十分なことと、薄膜ゲートN型MOSトランジスタ18は、負荷容量19を急速に放電するローサイドトランジスタ14に比べて2桁以上サイズが小さいことから、出力電圧波形OUTはほとんど変化しない内にハイインピーダンスとなる。

20

#### 【0049】

(第2の実施形態)

図3は、本発明の第2の実施形態に係る多チャンネル容量負荷駆動回路を構成する高耐圧ドライバを含む出力回路の回路構成例を示している。

#### 【0050】

図3に示す出力回路は、高耐圧出力回路9及びレベルシフト回路8を有する高耐圧ドライバ26と、プリドライバ回路7と、遅延器20と、HIZ固定回路21とを備えている。

30

#### 【0051】

高耐圧ドライバ26を構成する高耐圧出力回路9は、ハイサイドトランジスタ13及びローサイドトランジスタ14によって構成されているハーフブリッジ回路34と、ツェナーダイオード11及び抵抗12によって構成され、ハイサイドトランジスタ13のゲートを保護するゲート保護回路10とを備えている。また、高耐圧ドライバ26を構成するレベルシフト回路8は、厚膜ゲートP型MOSトランジスタ15及び16並びに薄膜ゲートN型MOSトランジスタ17及び18によって構成され、ハイサイドトランジスタ13を駆動する。

#### 【0052】

プリドライバ回路7は、インバータ31及びNOR回路35によって構成され、図示しない低耐圧制御部からの制御入力端子5の信号に応じて高耐圧ドライバ26を駆動すると共にローサイドトランジスタ14を駆動し、負荷容量19の充放電を行う。なお、高耐圧出力回路9の出力端子4は、ハイサイドトランジスタ13とローサイドトランジスタ14との共通接続端子に接続されている。また、基準電源端子1は、基準電位の端子であり、低圧電源端子2は、5V程度の低圧電源の端子であり、高圧電源端子3は、100V以上の高圧電源の端子であり、制御入力端子5及び6は、図示しない低耐圧制御部から入力信号を出力し、制御入力端子6は、制御入力端子5の状態にかかわらず、遅延器20、HIZ固定回路21及びプリドライバ回路7を通して、レベルシフト回路8、ハイサイドトランジスタ13及びローサイドトランジスタ14を強制的にハイインピーダンス状態とす

40

50

る。ハイサイドトランジスタ 13 がハイレベル出力用であり、ローサイドトランジスタ 14 がローレベル出力用である。

【0053】

遅延器 20 は複数のインバータ 31 及び NAND 回路 32 によって構成されており、NAND 回路 32 を用いたことで、強制的に行ったハイインピーダンス状態から復帰する際に、遅延を生じさせないようにしている。HIZ 固定回路 21 は AND 回路 33 によって構成されている。

【0054】

次に、以上の構成を有する本発明の第 2 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ 26 を含む出力回路の動作について説明する。

10

【0055】

図 4 は、本発明の第 2 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ 26 を含む出力回路の動作を説明するタイミング図を示している。

【0056】

図 4 において、制御入力端子 6 に入力される低耐圧制御部からの入力信号 HIZ と、制御入力端子 5 に入力される低耐圧制御部からの入力信号 IN と、入力信号 IN 及び入力信号 HIZ に応じてレベルシフト回路 8 を駆動するブリドライバ回路 7 の出力信号 IN2 と、HIZ 固定回路 21 の出力信号 IN1、入力信号 IN 及び入力信号 HIZ に応じてローサイドトランジスタ 14 を駆動するブリドライバ回路 7 の出力信号 IN3 と、ブリドライバ回路 7 の出力信号 IN1' と入力信号 HIZ からの入力信号のうち H レベル入力時のみ遅延器 20 で遅延を持った出力信号 DHIZ とが AND された HIZ 固定回路 21 からの出力信号 IN1 に応じてハイサイドトランジスタ 13 を駆動するレベルシフト回路 8 の出力信号 P2G 及び IN4 と、レベルシフト回路 8 の出力信号 IN4 を受けてゲート保護回路 10 に応じて決定されるハイサイドトランジスタ 13 のゲート - ソース間電圧 GH と、ブリドライバ回路 7 の出力信号 IN3 に応じて出力される高耐圧出力 9 の出力電圧波形 OUT とを示している。

20

【0057】

ここで、制御入力端子 6 に GND レベルの信号が入力され、入力信号 HIZ が L レベル (GND) となっている場合について説明する。

【0058】

この場合、遅延器 20 の出力信号 DHIZ は遅延器 20 に影響されずにすぐに H レベル (VDD) となるため、HIZ 固定回路 21 は出力信号 IN1' と同論理の出力信号 IN1 を出力できるようになる。

30

【0059】

このとき、まず、入力端子 5 に GND レベルの信号が入力され、入力信号 IN が L レベル (GND) になると、出力信号 IN1' は L レベル (GND) となるため、出力信号 IN1 も L レベル (GND) となる。また、出力信号 IN2 は H レベル (VDD) となり、出力信号 P2G は L レベル (GND) 及び出力信号 IN4 が H レベル (VDDH) と夫々なる。よって、ゲート - ソース間電圧 GH は、ツェナーダイオード 11 により  $OUT + V_z$  (降伏電圧) となって、ハイサイドトランジスタ 13 のしきい値電圧  $V_{th}(N1)$  以上とされることで、ハイサイドトランジスタ 13 はオンする。また、出力信号 IN3 は L レベル (GND) となり、ローサイドトランジスタ 14 をオフするため、出力電圧波形 OUT は H レベル (VDDH) となる。

40

【0060】

次に、入力端子 5 に VDD レベルの信号が入力され、入力信号 IN が H レベル (VDD) になると、出力信号 IN1' は H レベル (VDD) となるため、出力信号 IN1 も H レベル (VDD) となる。また、出力信号 IN2 は L レベル (GND) となり、出力信号 P2G は H レベル (VDDH) 及び出力信号 IN4 が L レベル (GND) となる。よって、ゲート - ソース間電圧 GH は、ツェナーダイオード 11 が順バイアスされて、 $OUT - V_{FD}$  (ツェナー順方向電圧) となって、ハイサイドトランジスタ 13 のしきい値電圧  $V_{th}(N1)$  以下とされることで、ハイサイドトランジスタ 13 はオフする。その後、抵抗 12 により出力端子 4 と同電位に戻る。また、出力信号 IN3 は H レベル (VDD) となり、ローサイドトランジスタ 14 をオンするため、出力電圧波形 OUT は

50

Lレベル（GND）となる。

【0061】

一方、出力端子4をハイインピーダンスとするために、制御入力端子6にVDDレベルの信号が入力される場合について説明する。

【0062】

この場合、入力信号HIZがHレベル（VDD）となっているとき、プリドライバ回路7の出力信号IN1'はHレベル（VDD）となり、遅延器20の出力信号DHIZは、遅延分があるために最初はHレベル（VDD）であるので、HIZ固定回路21により出力信号IN1'と同論理の出力信号IN1を出力する。よって、出力信号IN1はHレベル（VDD）となる。また、出力信号IN2はLレベル（GND）となり、出力信号P2GはHレベル（VDDH）及び出力信号IN4はLレベル（GND）となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11が順バイアスされて、OUT-VFD（ツェナー順方向電圧）となって、ハイサイドトランジスタ13のしきい値電圧 $V_{th}(N1)$ 以下とされることで、ハイサイドトランジスタ13はオフする。

10

【0063】

このとき、薄膜ゲートN型MOSトランジスタ18がオンしているため、ツェナーダイオード11を通して出力端子4から負荷電流が流れ込むため、出力電圧波形OUTはゆっくり、Lレベル（GND）に向かって下降していく。しかしながら、遅延器20の出力が所定時間経過後にLレベル（GND）となるため、出力信号IN1がLレベル（GND）となる。よって、薄膜ゲートN型MOSトランジスタ18がオフするため、ツェナーダイオード11を通して出力端子4から負荷電流が流れ込む経路が遮断されるので、出力端子4はハイインピーダンスとなる。

20

【0064】

ここで、遅延回路20で遅延を持たせる所定時間としては、ハイサイドトランジスタ13が確実にオフとなり、且つ、レベルシフト回路8の出力信号P2GがHレベル（VDDH）となって、厚膜ゲートP型MOSトランジスタ16がオフ状態でラッチするだけの時間分が確保されるとよい。通常、この時間は、数百nsレベルで十分なことと、薄膜ゲートN型MOSトランジスタ18は、負荷容量19を急速に放電するローサイドトランジスタ14に比べて2桁以上サイズが小さいので、出力電圧波形OUTの電位は、ほとんど変化しない内にハイインピーダンスとなる。さらに、遅延器20は、入力信号HIZがHレベルからLレベルへと遷移するときにはインバータ31による遅延が発生しないようにNAND回路32を用いているため、ハイインピーダンスからすぐに復帰することができる。

30

【0065】

（第3の実施形態）

図5は、本発明の第3の実施形態に係る多チャンネル容量負荷駆動回路を構成する高耐圧ドライバを含む出力回路の回路構成例を示している。

【0066】

図5に示す出力回路は、高耐圧出力回路9及びレベルシフト回路8を有する高耐圧ドライバ26と、プリドライバ回路7と、遅延器20と、HIZ固定回路21とを備えている。

【0067】

高耐圧ドライバ26を構成する高耐圧出力回路9は、ハイサイドトランジスタ22及び該ハイサイドトランジスタ22に並列に接続されたハイサイド回生ダイオード24並びにローサイドトランジスタ23及び該ローサイドトランジスタ23に並列に接続されたローサイド回生ダイオード25によって構成されているハーフブリッジ回路34と、ツェナーダイオード11及び抵抗12によって構成され、ハイサイドトランジスタ22のゲートを保護するゲート保護回路10とを備えている。また、高耐圧ドライバ26を構成するレベルシフト回路8は、厚膜ゲートP型MOSトランジスタ15及び16並びに薄膜ゲートN型MOSトランジスタ17及び18によって構成され、ハイサイドトランジスタ22を駆動する。

40

【0068】

50

ブリドライバ回路 7 は、インバータ 3 1 及び NOR 回路 3 5 によって構成され、図示しない低耐圧制御部からの制御入力端子 5 の信号に応じて高耐圧ドライバ 2 6 を駆動すると共にローサイドトランジスタ 2 3 を駆動し、負荷容量 1 9 の充放電を行う。なお、高耐圧出力回路 9 の出力端子 4 は、ハイサイドトランジスタ 2 2 とローサイドトランジスタ 2 3 との共通接続端子に接続されている。また、基準電源端子 1 は、基準電位の端子であり、低圧電源端子 2 は、5 V 程度の低圧電源の端子であり、高圧電源端子 3 は、1 0 0 V 以上の高圧電源の端子であり、制御入力端子 5 及び 6 は、図示しない低耐圧制御部から入力信号を出力し、制御入力端子 6 は、制御入力端子 5 の状態にかかわらず、遅延器 2 0、H I Z 固定回路 2 1 及びブリドライバ回路 7 を通して、レベルシフト回路 8、ハイサイドトランジスタ 2 2 及びローサイドトランジスタ 2 3 を強制的にハイインピーダンス状態とする。ハイサイドトランジスタ 2 2 がハイレベル出力用であり、ローサイドトランジスタ 2 3 がローレベル出力用である。

10

【 0 0 6 9 】

遅延器 2 0 は複数のインバータ 3 1 によって構成されており、H I Z 固定回路 2 1 は AND 回路 3 3 によって構成されている。

【 0 0 7 0 】

次に、以上の構成を有する本発明の第 3 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ 2 6 を含む出力回路の動作について説明する。

【 0 0 7 1 】

図 6 は、本発明の第 3 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ 2 6 を含む出力回路の動作を説明するタイミング図を示している。

20

【 0 0 7 2 】

図 6 において、制御入力端子 6 に入力される低耐圧制御部からの入力信号 H I Z と、制御入力端子 5 に入力される低耐圧制御部からの入力信号 I N と、入力信号 I N 及び入力信号 H I Z に応じてレベルシフト回路 8 を駆動するブリドライバ回路 7 の出力信号 I N 2 と、H I Z 固定回路 2 1 の出力信号 I N 1 と、入力信号 I N 及び入力信号 H I Z に応じてローサイドトランジスタ 2 3 を駆動するブリドライバ回路 7 の出力信号 I N 3 と、ブリドライバ回路 7 の出力信号 I N 1 ' と入力信号 H I Z からの入力信号を受け遅延器 2 0 で遅延を持った出力信号 D H I Z とが AND された H I Z 固定回路 2 1 からの出力信号 I N 1 に応じてハイサイドトランジスタ 2 2 を駆動するレベルシフト回路 8 の出力信号 P 2 G 及び I N 4 と、レベルシフト回路 8 の出力信号 I N 4 を受けてゲート保護回路 1 0 に応じて決定されるハイサイドトランジスタ 2 2 のゲート - ソース間電圧 G H と、ブリドライバ回路 7 の出力信号 I N 3 に応じて出力される高耐圧出力回路 9 の出力電圧波形 O U T とを示している。

30

【 0 0 7 3 】

ここで、制御入力端子 6 に G N D レベルの信号が入力され、入力信号 H I Z が L レベル ( G N D ) となっている場合について説明する。

【 0 0 7 4 】

この場合、遅延器 2 0 の出力信号 D H I Z は H レベル ( V D D ) となるため、H I Z 固定回路 2 1 は出力信号 I N 1 ' と同論理の出力信号 I N 1 を出力できるようになる。

【 0 0 7 5 】

このとき、まず、入力端子 5 に G N D レベルの信号が入力され、入力信号 I N が L レベル ( G N D ) になると、出力信号 I N 1 ' は L レベル ( G N D ) となるため、出力信号 I N 1 も L レベル ( G N D ) となる。また、出力信号 I N 2 は H レベル ( V D D ) となり、出力信号 P 2 G は L レベル ( G N D ) 及び出力信号 I N 4 が H レベル ( V D D H ) と夫々なる。よって、ゲート - ソース間電圧 G H は、ツェナーダイオード 1 1 により O U T + V z ( 降伏電圧 ) となって、ハイサイドトランジスタ 2 2 のしきい値電圧 V t h ( T 1 ) 以上とされることで、ハイサイドトランジスタ 2 2 はオンする。また、出力信号 I N 3 は L レベル ( G N D ) となり、ローサイドトランジスタ 2 3 をオフするため、出力電圧波形 O U T は H レベル ( V D D H ) となる。

40

【 0 0 7 6 】

次に、入力端子 5 に V D D レベルの信号が入力され、入力端子 I N が H レベル ( V D D ) になる

50

と、出力信号IN1'はHレベル(VDD)となるため、出力信号IN1もHレベル(VDD)となる。また、出力信号IN2はLレベル(GND)となり、出力信号P2GはHレベル(VDDH)及び出力信号IN4がLレベル(GND)となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11が順バイアスされて、OUT-VFD(ツェナー順方向電圧)となって、ハイサイドトランジスタ22のしきい値電圧 $V_{th}(T1)$ 以下とされることで、ハイサイドトランジスタ22はオフする。その後、抵抗12により出力端子4と同電位に戻る。また、出力信号IN3はHレベル(VDD)となり、ローサイドトランジスタ23をオンするため、出力電圧波形OUTはLレベル(GND)となる。

#### 【0077】

一方、出力端子4をハイインピーダンスとするために、制御入力端子6にVDDレベルの信号が入力された場合について説明する。

#### 【0078】

この場合、入力信号HIZがHレベル(VDD)となっているとき、プリドライバ回路7の出力信号IN1'はHレベル(VDD)となり、遅延器20の出力信号DHIZは、遅延分があるために最初はHレベル(VDD)であるので、HIZ固定回路21により出力信号IN1'と同論理の出力信号IN1を出力する。よって、出力信号IN1はHレベル(VDD)となる。また、出力信号IN2はLレベル(GND)となり、出力信号P2GはHレベル(VDDH)及び出力信号IN4はLレベル(GND)となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11が順バイアスされて、OUT-VFD(ツェナー順方向電圧)となって、ハイサイドトランジスタ22のゲートのしきい値電圧 $V_{th}(T1)$ 以下とされることで、ハイサイドトランジスタ22はオフする。

#### 【0079】

このとき、薄膜ゲートN型MOSトランジスタ18がオンしているため、ツェナーダイオード11を通して出力端子4から負荷電流が流れ込むため、出力電圧波形OUTはゆっくり、Lレベル(GND)に向かって下降していく。しかしながら、遅延器20の出力が所定時間経過後にLレベル(GND)となるため、出力信号IN1がLレベル(GND)となる。よって、薄膜ゲートN型MOSトランジスタ18がオフするため、ツェナーダイオード11を通して出力端子4から負荷電流が流れ込む経路が遮断されるので、出力端子4はハイインピーダンスとなる。

#### 【0080】

ここで、遅延回路20で遅延を持たせる所定時間としては、ハイサイドトランジスタ22が確実にオフとなり、且つ、レベルシフト回路8の出力信号P2GがHレベル(VDDH)となって、厚膜ゲートP型MOSトランジスタ16がオフ状態でラッチするだけの時間分が確保されるとよい。通常、この時間は、数百nsレベルで十分なことと、薄膜ゲートN型MOSトランジスタ18は、負荷容量19を急速に放電するローサイドトランジスタ23に比べて2桁以上サイズが小さいことから、出力電圧波形OUTの電位はほとんど変化しない内にハイインピーダンスとなる。

#### 【0081】

(第4の実施形態)

図7は、本発明の第4の実施形態に係る多チャンネル容量負荷駆動回路を構成する高耐圧ドライバを含む出力回路の回路構成例を示している。

#### 【0082】

図7に示す出力回路は、高耐圧出力回路9及びレベルシフト回路8を有する高耐圧ドライバ26と、プリドライバ回路7と、遅延器20と、HIZ固定回路21とを備えている。

#### 【0083】

高耐圧ドライバ26を構成する高耐圧出力回路9は、ハイサイドトランジスタ22及び該ハイサイドトランジスタ22に並列に接続されたハイサイド回生ダイオード24並びにローサイドトランジスタ23及び該ローサイドトランジスタ23に並列に接続されたローサイド回生ダイオード25によって構成されているハーフブリッジ回路34と、ツェナー

10

20

30

40

50

ダイオード 11 及び抵抗 12 によって構成され、ハイサイドトランジスタ 22 のゲートを保護するゲート保護回路 10 とを備えている。また、高耐圧ドライバ 26 を構成するレベルシフト回路 8 は、厚膜ゲート P 型 MOS トランジスタ 15 及び 16 並びに薄膜ゲート N 型 MOS トランジスタ 17 及び 18 によって構成され、ハイサイドトランジスタ 22 を駆動する。

【0084】

ブリドライバ回路 7 は、インバータ 31 及び NOR 回路 35 によって構成され、図示しない低耐圧制御部からの制御入力端子 5 の信号に応じて高耐圧ドライバ 26 を駆動すると共にローサイドトランジスタ 23 を駆動し、負荷容量 19 の充放電を行う。なお、高耐圧出力回路 9 の出力端子 4 は、ハイサイドトランジスタ 22 とローサイドトランジスタ 23 との共通接続端子に接続されている。また、基準電源端子 1 は、基準電位の端子であり、低圧電源端子 2 は、5 V 程度の低圧電源の端子であり、高圧電源端子 3 は、100 V 以上の高圧電源の端子であり、制御入力端子 5 及び 6 は、図示しない低耐圧制御部から入力信号を出力し、制御入力端子 6 は、制御入力端子 5 の状態にかかわらず、遅延器 20、HIZ 固定回路 21 及びブリドライバ回路 7 を通して、レベルシフト回路 8、ハイサイドトランジスタ 22 及びローサイドトランジスタ 23 を強制的にハイインピーダンス状態とする。ハイサイドトランジスタ 22 がハイレベル出力用であり、ローサイドトランジスタ 23 がローレベル出力用である。

10

【0085】

遅延器 20 は複数のインバータ 31 及び NAND 回路 32 によって構成されており、NAND 回路 32 を用いたことで、強制的に行ったハイインピーダンス状態から復帰する際に、遅延を生じさせないようにしている。HIZ 固定回路 21 は AND 回路 33 によって構成されている。

20

【0086】

次に、以上の構成を有する本発明の第 4 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ 26 を含む出力回路の動作について説明する。

【0087】

図 8 は、本発明の第 2 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ 26 を含む出力回路の動作を説明するタイミング図を示している。

【0088】

図 8 において、制御入力端子 6 に入力される低耐圧制御部からの入力信号 HIZ と、制御入力端子 5 に入力される低耐圧制御部からの入力信号 IN と、入力信号 IN 及び入力信号 HIZ に応じてレベルシフト回路 8 を駆動するブリドライバ回路 7 の出力信号 IN2 と、HIZ 固定回路 21 の出力信号 IN1、入力信号 IN 及び入力信号 HIZ に応じてローサイドトランジスタ 23 を駆動するブリドライバ回路 7 の出力信号 IN3 と、ブリドライバ回路 7 の出力信号 IN1' と入力信号 HIZ からの入力信号のうち H レベル入力時のみ遅延器 20 で遅延を持った出力信号 DHIZ とが AND された HIZ 固定回路 21 からの出力信号 IN1 に応じてハイサイドトランジスタ 22 を駆動するレベルシフト回路 8 の出力信号 P2G 及び IN4 と、レベルシフト回路 8 の出力信号 IN4 を受けてゲート保護回路 10 に応じて決定されるハイサイドトランジスタ 22 のゲート - ソース間電圧 GH と、ブリドライバ回路 7 の出力信号 IN3 に応じて出力される高耐圧出力 9 の出力電圧波形 OUT とを示している。

30

40

【0089】

ここで、制御入力端子 6 に GND レベルの信号が入力され、入力信号 HIZ が L レベル (GND) となっている場合について説明する。

【0090】

この場合、遅延器 20 の出力信号 DHIZ は遅延器 20 に影響されずにすぐに H レベル (VDD) となるため、HIZ 固定回路 21 は出力信号 IN1' と同論理の出力信号 IN1 を出力できるようになる。

【0091】

このとき、まず、入力端子 5 に GND レベルの信号が入力され、入力信号 IN が L レベル (GN

50

D)になると、出力信号IN1'はLレベル(GND)となるため、出力信号IN1もLレベル(GND)となる。また、出力信号IN2はHレベル(VDD)となり、出力信号P2GはLレベル(GND)及び出力信号IN4がHレベル(VDDH)と夫々なる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11によりOUT+Vz(降伏電圧)となって、ハイサイドトランジスタ22のしきい値電圧Vth(T1)以上とされることで、ハイサイドトランジスタ22はオンする。また、出力信号IN3はLレベル(GND)となり、ローサイドトランジスタ23をオフするため、出力電圧波形OUTはHレベル(VDDH)となる。

【0092】

次に、入力端子5にVDDレベルの信号が入力され、入力信号INがHレベル(VDD)になると、出力信号IN1'はHレベル(VDD)となるため、出力信号IN1もHレベル(VDD)となる。また、出力信号IN2はLレベル(GND)となり、出力信号P2GはHレベル(VDDH)及び出力信号IN4がLレベル(GND)となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11が順バイアスされて、OUT-VFD(ツェナー順方向電圧)となって、ハイサイドトランジスタ22のしきい値電圧Vth(T1)以下とされることで、ハイサイドトランジスタ22はオフする。その後、抵抗12により出力端子4と同電位に戻る。また、出力信号IN3はHレベル(VDD)となり、ローサイドトランジスタ23をオンするため、出力電圧波形OUTはLレベル(GND)となる。

【0093】

一方、出力端子4をハイインピーダンスとするために、制御入力端子6にVDDレベルの信号が入力される場合について説明する。

【0094】

この場合、入力信号HIZがHレベル(VDD)となっているとき、プリドライバ回路7の出力信号IN1'はHレベル(VDD)となり、遅延器20の出力信号DHIZは、遅延分があるために最初はHレベル(VDD)であるので、HIZ固定回路21により出力信号IN1'と同論理の出力信号IN1を出力する。よって、出力信号IN1はHレベル(VDD)となる。また、出力信号IN2はLレベル(GND)となり、出力信号P2GはHレベル(VDDH)及び出力信号IN4はLレベル(GND)となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11が順バイアスされて、OUT-VFD(ツェナー順方向電圧)となって、ハイサイドトランジスタ22のしきい値電圧Vth(T1)以下とされることで、ハイサイドトランジスタ22はオフする。

【0095】

このとき、薄膜ゲートN型MOSトランジスタ18がオンしているため、ツェナーダイオード11を通して出力端子4から負荷電流が流れ込むため、出力電圧波形OUTはゆっくり、Lレベル(GND)に向かって下降していく。しかしながら、遅延器20の出力が所定時間経過後にLレベル(GND)となるため、出力信号IN1がLレベル(GND)となる。よって、薄膜ゲートN型MOSトランジスタ18がオフするため、ツェナーダイオード11を通して出力端子4から負荷電流が流れ込む経路が遮断されるので、出力端子4はハイインピーダンスとなる。

【0096】

ここで、遅延回路20で遅延を持たせる所定時間としては、ハイサイドトランジスタ22が確実にオフとなり、且つ、レベルシフト回路8の出力信号P2GがHレベル(VDDH)となって、厚膜ゲートP型MOSトランジスタ16がオフ状態でラッチするだけの時間分が確保されるとよい。通常、この時間は、数百nsレベルで十分なことと、薄膜ゲートN型MOSトランジスタ18は、負荷容量19を急速に放電するローサイドトランジスタ23に比べて2桁以上サイズが小さいので、出力電圧波形OUTの電位は、ほとんど変化しない内にハイインピーダンスとなる。さらに、遅延器20は、入力信号HIZがHレベルからLレベルへと遷移するときはインバータ31による遅延が発生しないようにNAND回路32を用いているため、ハイインピーダンスからすぐに復帰することができる。

【0097】

(第5の実施形態)

図9は、本発明の第5の実施形態に係る多チャンネル容量負荷駆動回路の回路構成例を

10

20

30

40

50

示している。図 9 に示す多チャンネル容量負荷駆動回路は、上述した図 1 ~ 図 8 に示した出力回路を複数備える場合の回路構成に特徴を有し、具体的には、複数の高耐圧ドライバ（以下、高耐圧ドライバ群という）と、複数のプリドライバ回路（以下、プリドライバ回路群という）と、複数の H I Z 固定回路（以下、H I Z 固定回路群という）とを備える一方で、遅延器 20 は一つだけ備えていることに特徴を有している。さらに、DATA 入力端子 27 及び CLK 入力端子 28 に接続され、出力回路の各出力を順次出力させるためのシフトレジスタ 29 を備えている。

【0098】

図 9 に示すように、高耐圧ドライバ群 26 - 1 ~ 26 - N は、高耐圧出力回路群 9 - 1 ~ 9 - N と、高耐圧出力群 9 - 1 ~ 9 - N を夫々プリドライブするレベルシフト回路群 8 - 1 ~ 8 - N とによって構成されている。また、プリドライバ回路群 7 - 1 ~ 7 - N は、シフトレジスタ 29 からの制御信号 INA ~ INN 及び制御信号入力端子 6 からの制御信号に応じて高耐圧ドライバ群 26 - 1 ~ 26 - N を駆動し、負荷容量群 19 - 1 ~ 19 - N の充放電を夫々行う。ここで、制御信号入力端子 6 は、シフトレジスタ 29 からの制御信号 INA ~ INN の状態にかかわらず、遅延器 20、H I Z 固定回路群 21 - 1 ~ 21 - N 及びプリドライバ回路群 7 - 1 ~ 7 - N を通して、レベルシフト回路群 8 - 1 ~ 8 - N 及び高耐圧出力回路群 9 - 1 ~ 9 - N を強制的にハイインピーダンス状態とする。なお、高耐圧出力群 9 - 1 ~ 9 - N には出力端子群 4 - 1 ~ 4 - N が接続されている。

10

【0099】

図 10 は、本発明の第 5 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ群を含む多出力回路の動作を説明するタイミング図である。

20

【0100】

図 10 において、制御入力端子 6 に入力される低耐圧制御部からの入力信号 HIZ と、CLK 入力端子 28 に入力されるクロック信号 CLK と、DATA 入力端子 27 に入力されるシフトレジスタ 29 のデータ信号 DATA と、シフトレジスタ 29 から制御信号 INA と、入力信号 HIZ からの入力信号を遅延器 20 で遅延を持たせた出力信号 DHIZ と、高耐圧ドライバ群 26 - 1 ~ 26 - N の各出力電圧波形 OUTA ~ OUTN とを示している。

【0101】

ここで、制御入力端子 6 に GND レベルの信号が入力され、入力信号 HIZ が L レベル (GND) となっている場合について説明する。

30

【0102】

この場合、遅延器 20 の出力信号 DHIZ は H レベル (VDD) となるため、HIZ 固定回路群 21 - 1 ~ 21 - N はプリドライバ群 7 - 1 ~ 7 - N の出力信号 IN1A' ~ IN1N' と同論理の出力信号 IN1A ~ IN1N を出力できるようになる。

【0103】

まず、シフトレジスタ 29 に DATA 信号が H レベル (VDD) として入力されている時に CLK 信号が L レベル (GND) から H レベル (VDD) と遷移する場合、入力信号 INA は、H レベル (VDD) となり、出力電圧 OUTA は L レベル (GND) となる。次に、シフトレジスタ 29 に DATA 信号が L レベル (GND) として入力されている時に CLK 信号が L レベル (GND) から H レベル (VDD) と遷移する場合、入力信号 INA は、L レベル (GND) となり、出力電圧波形 OUTA は H レベル (VDDH) となると共に、入力信号 INB は、H レベル (VDD) となり、出力電圧波形 OUTB は L レベル (GND) となる。

40

【0104】

以降、INN まで順次、CLK 信号に同期して出力電圧波形 OUT が変化していく。

【0105】

一方、出力端子群 4 - 1 ~ 4 - N をハイインピーダンスとするために、制御入力端子 6 に VDD レベルの信号が入力された場合について説明する。

【0106】

この場合、入力信号 HIZ が H レベル (VDD) となっているとき、プリドライバ回路群 7 - 1 ~ 7 - N の出力信号 IN1A' ~ IN1N' は H レベル (VDD) となると共に、遅延器 20 の出力

50

信号DHIZは遅延分があるために最初はHレベル(VDD)であるので、HIZ固定回路群21-1~21-Nにより出力信号IN1A'~IN1N'と同論理の出力信号IN1A~IN1Nを出力する。よって、出力信号IN1A~IN1NはHレベル(VDD)となる。また、出力信号IN2A~IN2NはLレベル(GND)となり、出力信号群IN4A~IN4Nは、Lレベル(GND)となることで高耐圧出力群9-1~9-Nは、Lレベル(GND)となろうとするが、遅延器20により、数百nsレベルの所定時間経過後、レベルシフト回路群8-1~8-Nをハイインピーダンスとするため、出力端子群4-1~4-Nは、ハイインピーダンスとなる。

【0107】

(第6の実施形態)

図11は、本発明の第6の実施形態に係る多チャンネル容量負荷駆動回路を構成する高耐圧ドライバを含む出力回路の回路構成例を示している。

10

【0108】

図11に示す出力回路は、高耐圧出力回路9及びレベルシフト回路8を有する高耐圧ドライバ26と、プリドライバ回路7とを備え、高耐圧出力回路9とレベルシフト回路8との間に、高耐圧ダイオード30をさらに備えている。高耐圧ダイオード30を備えることで、レベルシフト回路8からのハイサイドトランジスタ13をオンさせる信号がきたときは電流を通過させ、ハイサイドトランジスタ13をオフさせる信号がきたときは電流を遮断する。

【0109】

高耐圧ドライバ26を構成する高耐圧出力回路9は、ハイサイドトランジスタ13及びローサイドトランジスタ14によって構成されているハーフブリッジ回路34と、ツェナーダイオード11及び抵抗12によって構成され、ハイサイドトランジスタ13のゲートを保護するゲート保護回路10とを備えている。また、高耐圧ドライバ26を構成するレベルシフト回路8は、厚膜ゲートP型MOSトランジスタ15及び16並びに薄膜ゲートN型MOSトランジスタ17及び18によって構成され、ハイサイドトランジスタ13を駆動する。

20

【0110】

プリドライバ回路7は、インバータ31及びNOR回路35によって構成され、図示しない低耐圧制御部からの制御入力端子5の信号に応じて高耐圧ドライバ26を駆動すると共にローサイドトランジスタ14を駆動し、負荷容量19の充放電を行う。なお、高耐圧出力回路9の出力端子4は、ハイサイドトランジスタ13とローサイドトランジスタ14との共通接続端子に接続されている。また、基準電源端子1は、基準電位の端子であり、低圧電源端子2は、5V程度の低圧電源の端子であり、高圧電源端子3は、100V以上の高圧電源の端子であり、制御入力端子5及び6は、図示しない低耐圧制御部から入力信号を出力し、制御入力端子6は、制御入力端子5の状態にかかわらず、プリドライバ回路7を通して、レベルシフト回路8、ハイサイドトランジスタ13及びローサイドトランジスタ14を強制的にハイインピーダンス状態とする。ハイサイドトランジスタ13がハイレベル出力用であり、ローサイドトランジスタ14がローレベル出力用である。

30

【0111】

次に、以上の構成を有する本発明の第6の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ26を含む出力回路の動作について説明する。

40

【0112】

図12は、本発明の第6の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ26を含む出力回路の動作を説明するタイミング図である。

【0113】

図12において、制御入力端子6に入力される低耐圧制御部からの入力信号HIZと、制御入力端子5に入力される低耐圧制御部からの入力信号INと、入力信号IN及び入力信号HIZに応じてレベルシフト回路8を駆動するプリドライバ回路7の出力信号IN1及び出力信号IN2と、入力信号IN及び入力信号HIZに応じてローサイドトランジスタ14を駆動するプリドライバ回路7の出力信号IN3と、出力信号IN1及びIN2に応じてハイサイドトランジスタ

50

13を駆動するレベルシフト回路8の出力信号P1G(高耐圧ダイオード30のアノード側入力信号)と、高耐圧ダイオード30のカソード側出力信号IN4と、高耐圧ダイオード30のカソード側出力信号IN4を受けゲート保護回路10に応じて決定されるハイサイドトランジスタ13のゲート-ソース間電圧GHと、プリドライバ回路7の出力信号IN3に応じて出力される高耐圧出力9の出力電圧波形OUTとを示している。

【0114】

ここで、制御入力端子6にGNDレベルの信号が入力され、入力信号HIZがLレベル(GND)となっている場合について説明する。

【0115】

この場合、制御入力端子5にGNDレベルの信号が入力され、入力信号INがLレベルになると、出力信号IN1がLレベル(GND)となり、出力信号IN2はHレベル(VDD)となる。そして、出力信号P1GはHレベル(VDDH)となるため、高耐圧ダイオード30が順バイアスされて、出力信号IN4はHレベル(VDDH-VFD<ダイオード順方向電圧>)となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11により、OUT+Vz(降伏電圧)となって、ハイサイドトランジスタ13のしきい値電圧Vth(N1)以上とされて、ハイサイドトランジスタ13はオンする。また、出力信号IN3はLレベル(GND)となり、ローサイドトランジスタ14をオフするため、出力電圧波形OUTはHレベル(VDDH)となる。

【0116】

次に、入力端子5にVDDレベルの信号が入力され、入力信号INがHレベルになると、出力信号IN1はHレベル(VDD)となり、出力信号IN2はLレベル(GND)となって、出力信号P1GはLレベル(GND)となる。このため、高耐圧ダイオード30が逆バイアスとなって出力信号IN4は、抵抗12により高耐圧出力端子4と同電位となる。よって、ゲート-ソース間電圧GHも0Vとなって、ハイサイドトランジスタ13のゲートは、しきい値電圧Vth(N1)以下とされることで、ハイサイドトランジスタ13はオフする。また、出力信号IN3は、Hレベル(VDD)となってローサイドトランジスタ14をオンするため、出力電圧波形OUTはLレベル(GND)となる。

【0117】

一方、出力端子4をハイインピーダンスとするために、制御入力端子6にVDDレベルの信号が入力された場合について説明する。

【0118】

この場合、入力信号HIZがHレベル(VDD)となっているとき、プリドライバ回路7の出力信号IN1はHレベル(VDD)となり、出力信号IN2はLレベル(GND)となって、出力信号P1GはLレベル(GND)となる。このため、高耐圧ダイオード30が逆バイアスとなって、出力信号IN4は抵抗12により高耐圧出力端子4と同電位となる。よって、ゲート-ソース間電圧GHも0Vとなって、ハイサイドトランジスタ13のゲートは、しきい値電圧Vth(N1)以下とされることで、ハイサイドトランジスタ13はオフする。このとき、薄膜ゲートN型MOSトランジスタ18がオンしても、高耐圧ダイオード30が逆バイアスとなっているため、ツェナーダイオード11を通して高耐圧出力端子4から負荷電流が流れ込む経路が遮断されるため、高耐圧出力端子4は、ハイインピーダンスとなる。

【0119】

(第7の実施形態)

図13は、本発明の第7の実施形態に係る多チャンネル容量負荷駆動回路を構成する高耐圧ドライバを含む出力回路の回路構成例を示している。

【0120】

図13に示す出力回路は、高耐圧出力回路9及びレベルシフト回路8を有する高耐圧ドライバ26と、プリドライバ回路7とを備え、高耐圧出力回路9とレベルシフト回路8との間に、高耐圧ダイオード30をさらに備えている。高耐圧ダイオード30を備えることで、レベルシフト回路8からのハイサイドトランジスタ22をオンさせる信号がきたときは電流を通過させ、ハイサイドトランジスタ22をオフさせる信号がきたときは電流を遮断する。

10

20

30

40

50

## 【0121】

高耐圧ドライバ26を構成する高耐圧出力回路9は、ハイサイドトランジスタ22及び該ハイサイドトランジスタ22に並列に接続されたハイサイド回生ダイオード24並びにローサイドトランジスタ23及び該ローサイドトランジスタ23に並列に接続されたローサイド回生ダイオード25によって構成されているハーフブリッジ回路34と、ツェナーダイオード11及び抵抗12によって構成され、ハイサイドトランジスタ22のゲートを保護するゲート保護回路10とを備えている。また、高耐圧ドライバ26を構成するレベルシフト回路8は、厚膜ゲートP型MOSトランジスタ15及び16並びに薄膜ゲートN型MOSトランジスタ17及び18によって構成され、ハイサイドトランジスタ22を駆動する。

10

## 【0122】

ブリドライバ回路7は、インバータ31及びNOR回路35によって構成され、図示しない低耐圧制御部からの制御入力端子5の信号に応じて高耐圧ドライバ26を駆動すると共にローサイドトランジスタ23を駆動し、負荷容量19の充放電を行う。なお、高耐圧出力回路9の出力端子4は、ハイサイドトランジスタ22とローサイドトランジスタ23との共通接続端子に接続されている。また、基準電源端子1は、基準電位の端子であり、低圧電源端子2は、5V程度の低圧電源の端子であり、高圧電源端子3は、100V以上の高圧電源の端子であり、制御入力端子5及び6は、図示しない低耐圧制御部から入力信号を出力し、制御入力端子6は、制御入力端子5の状態にかかわらず、ブリドライバ回路7を通して、レベルシフト回路8、ハイサイドトランジスタ22及びローサイドトランジスタ23を強制的にハイインピーダンス状態とする。ハイサイドトランジスタ22がハイレベル出力用であり、ローサイドトランジスタ23がローレベル出力用である。

20

## 【0123】

次に、以上の構成を有する本発明の第7の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ26を含む出力回路の動作について説明する。

## 【0124】

図14は、本発明の第7の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ26を含む出力回路の動作を説明するタイミング図である。

## 【0125】

図14において、制御入力端子6に入力される低耐圧制御部からの入力信号HIZと、制御入力端子5に入力される低耐圧制御部からの入力信号INと、入力信号IN及び入力信号HIZに応じてレベルシフト回路8を駆動するブリドライバ回路7の出力信号IN1及び出力信号IN2と、入力信号IN及び入力信号HIZに応じてローサイドトランジスタ23を駆動するブリドライバ回路7の出力信号IN3と、出力信号IN1及びIN2に応じてハイサイドトランジスタ22を駆動するレベルシフト回路8の出力信号P1G(高耐圧ダイオード30のアノード側入力信号)と、高耐圧ダイオード30のカソード側出力信号IN4と、高耐圧ダイオード30のカソード側出力信号IN4を受けゲート保護回路10に応じて決定されるハイサイドトランジスタ22のゲート-ソース間電圧GHと、ブリドライバ回路7の出力信号IN3に応じて出力される高耐圧出力9の出力電圧波形OUTとを示している。

30

## 【0126】

ここで、制御入力端子6にGNDレベルの信号が入力され、入力信号HIZがLレベル(GND)となっている場合について説明する。

40

## 【0127】

この場合、制御入力端子5にGNDレベルの信号が入力され、入力信号INがLレベルになると、出力信号IN1がLレベル(GND)となり、出力信号IN2はHレベル(VDD)となる。そして、出力信号P1GはHレベル(VDDH)となるため、高耐圧ダイオード30が順バイアスされて、出力信号IN4はHレベル(VDDH-VFD<ダイオード順方向電圧>)となる。よって、ゲート-ソース間電圧GHは、ツェナーダイオード11により、OUT+Vz(降伏電圧)となって、ハイサイドトランジスタ22のしきい値電圧Vth(T1)以上とされて、ハイサイドトランジスタ22はオンする。また、出力信号IN3はLレベル(GND)となり、ローサイドトランジスタ

50

23をオフするため、出力電圧波形OUTはHレベル(VDDH)となる。

【0128】

次に、入力端子5にVDDレベルの信号が入力され、入力信号INがHレベルになると、出力信号IN1はHレベル(VDD)となり、出力信号IN2はLレベル(GND)となって、出力信号P1GはLレベル(GND)となる。このため、高耐圧ダイオード30が逆バイアスとなって出力信号IN4は、抵抗12により出力端子4と同電位となる。よって、ゲート-ソース間電圧GHも0Vとなって、ハイサイドトランジスタ22のゲートは、しきい値電圧 $V_{th}(T1)$ 以下とされることで、ハイサイドトランジスタ22はオフする。また、出力信号IN3は、Hレベル(VDD)となってローサイドトランジスタ24をオンするため、出力電圧波形OUTはLレベル(GND)となる。

10

【0129】

一方、出力端子4をハイインピーダンスとするために、制御入力端子6にVDDレベルの信号が入力された場合について説明する。

【0130】

この場合、入力信号HIZがHレベル(VDD)となっているとき、プリドライバ回路7の出力信号IN1はHレベル(VDD)となり、出力信号IN2はLレベル(GND)となって、出力信号P1GはLレベル(GND)となる。このため、高耐圧ダイオード30が逆バイアスとなって、出力信号IN4は抵抗12により高耐圧出力端子4と同電位となる。よって、ゲート-ソース間電圧GHも0Vとなって、ハイサイドトランジスタ22のゲートは、しきい値電圧 $V_{th}(T1)$ 以下とされることで、ハイサイドトランジスタ22はオフする。このとき、薄膜ゲートN型MOSトランジスタ18がオンしても、高耐圧ダイオード30が逆バイアスとなっているため、ツェナーダイオード11を通して高耐圧出力端子4から負荷電流が流れ込む経路が遮断されるため、高耐圧出力端子4は、ハイインピーダンスとなる。

20

【0131】

なお、以上の各実施形態において「基準電位」との表現を用いて説明し、接地電位以外の電位である場合も含めているが、半導体チップの基板に接続される電位のことであって、通常は接地電位のことを意味する。

【産業上の利用可能性】

【0132】

本発明は、PDPなどの容量性負荷を駆動する多チャンネル容量負荷駆動回路にとって有用である。

30

【図面の簡単な説明】

【0133】

【図1】本発明の第1の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の回路構成例を示す図である。

【図2】本発明の第1の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の動作を説明するタイミング図である。

【図3】本発明の第2の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の回路構成例を示す図である。

【図4】本発明の第2の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の動作を説明するタイミング図である。

40

【図5】本発明の第3の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の回路構成例を示す図である。

【図6】本発明の第3の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の動作を説明するタイミング図である。

【図7】本発明の第4の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の回路構成例を示す図である。

【図8】本発明の第4の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の動作を説明するタイミング図である。

【図9】本発明の第5の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ド

50

ライバ群を含む多出力回路のブロック構成例を示す図である。

【図 1 0】本発明の第 5 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバ群を含む多出力回路の動作を説明するタイミング図である。

【図 1 1】本発明の第 6 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の回路構成例を示す図である。

【図 1 2】本発明の第 6 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の動作を説明するタイミング図である。

【図 1 3】本発明の第 7 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の回路構成例を示す図である。

【図 1 4】本発明の第 7 の実施形態に係る多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の動作を説明するタイミング図である。

【図 1 5】従来の多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の回路構成例を示す図である。

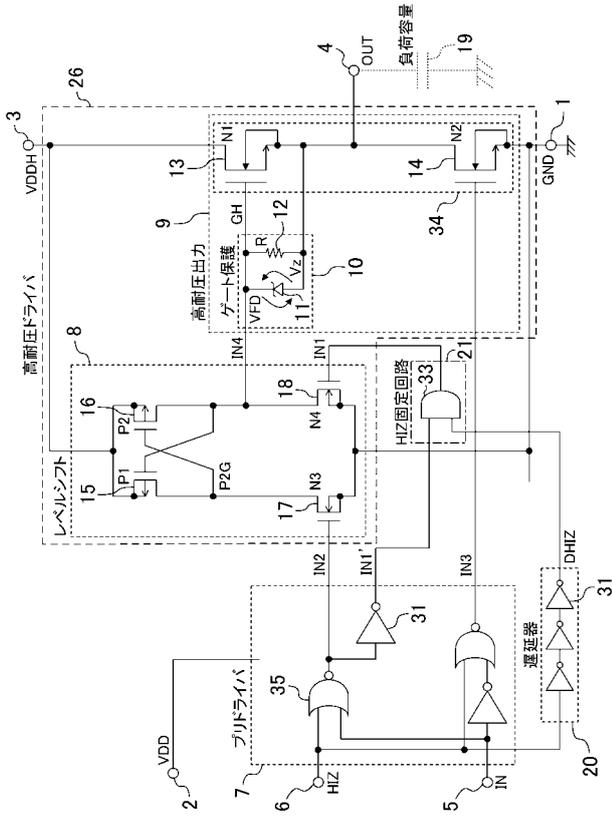
【図 1 6】従来の多チャンネル容量負荷駆動回路における高耐圧ドライバを含む出力回路の動作を説明するタイミング図である。

【符号の説明】

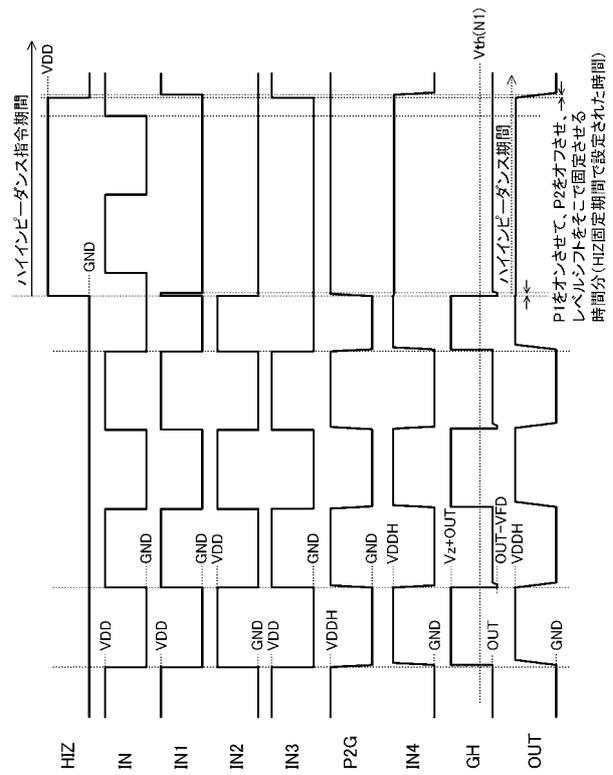
【 0 1 3 4 】

- |          |                      |    |
|----------|----------------------|----|
| 1        | 基準電位端子               |    |
| 2        | 低圧電源端子               |    |
| 3        | 高圧電源端子               | 20 |
| 4        | 出力端子                 |    |
| 5, 6     | 制御入力端子               |    |
| 7        | プリドライバ回路             |    |
| 8        | レベルシフト回路             |    |
| 9        | 高耐圧出力回路              |    |
| 1 0      | ゲート保護回路              |    |
| 1 1      | ツェナーダイオード            |    |
| 1 2      | 抵抗                   |    |
| 1 3, 2 2 | ハイサイドトランジスタ          |    |
| 1 4, 2 3 | ローサイドトランジスタ          | 30 |
| 1 5, 1 6 | 厚膜ゲート P 型 MOS トランジスタ |    |
| 1 7, 1 8 | 薄膜ゲート N 型 MOS トランジスタ |    |
| 1 9      | 負荷容量                 |    |
| 2 0      | 遅延器                  |    |
| 2 1      | H I Z 固定回路           |    |
| 2 4      | ハイサイド回生ダイオード         |    |
| 2 5      | ローサイド回生ダイオード         |    |
| 2 6      | 高耐圧ドライバ              |    |
| 2 7      | DATA 入力端子            |    |
| 2 8      | CLK 入力端子             | 40 |
| 2 9      | シフトレジスタ              |    |
| 3 0      | 高耐圧ダイオード             |    |
| 3 1      | インバーター               |    |
| 3 2      | N A N D 回路           |    |
| 3 3      | A N D 回路             |    |
| 3 4      | ハーフブリッジ回路            |    |
| 3 5      | N O R 回路             |    |

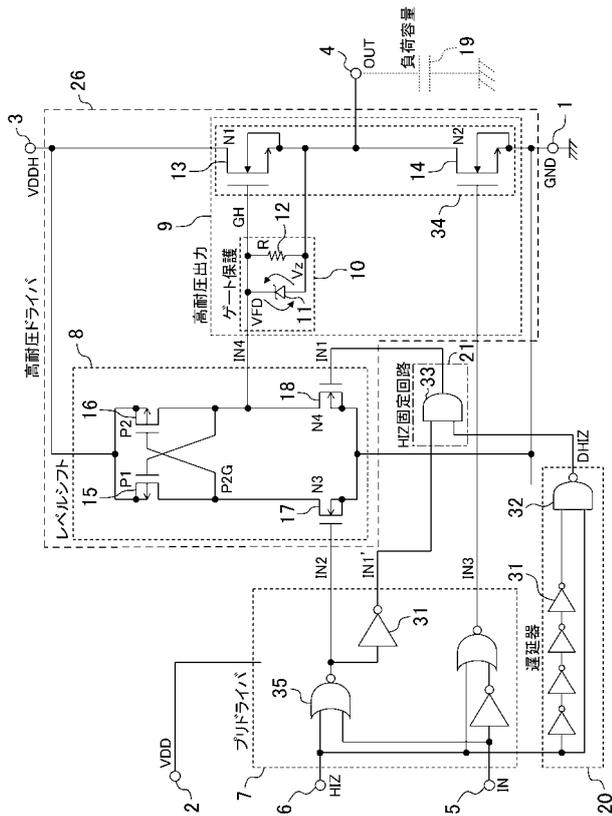
【 図 1 】



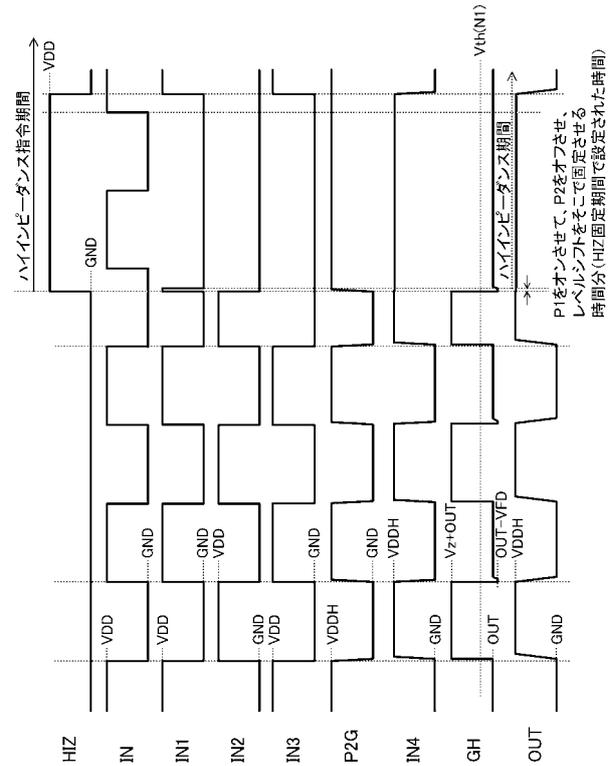
【 図 2 】



【 図 3 】

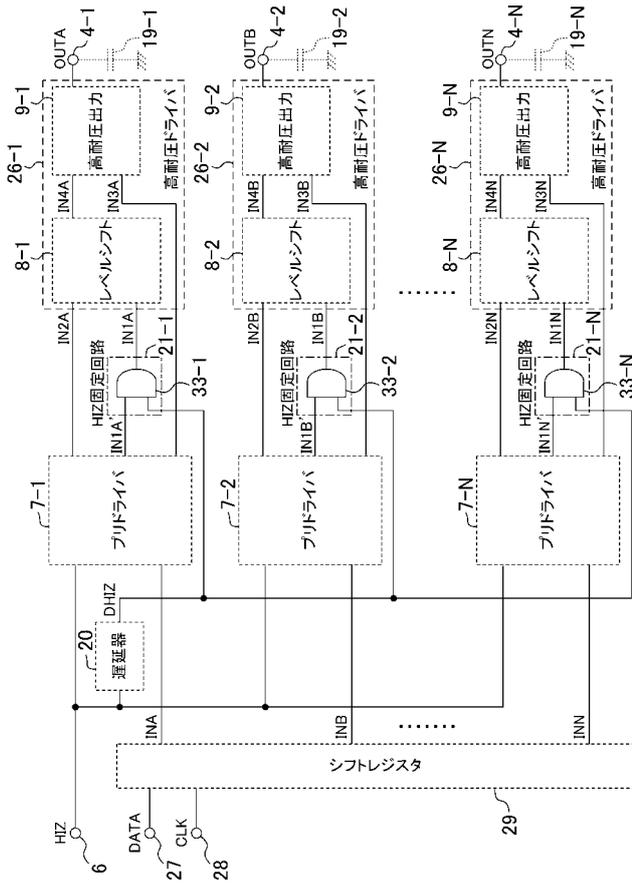


【 図 4 】

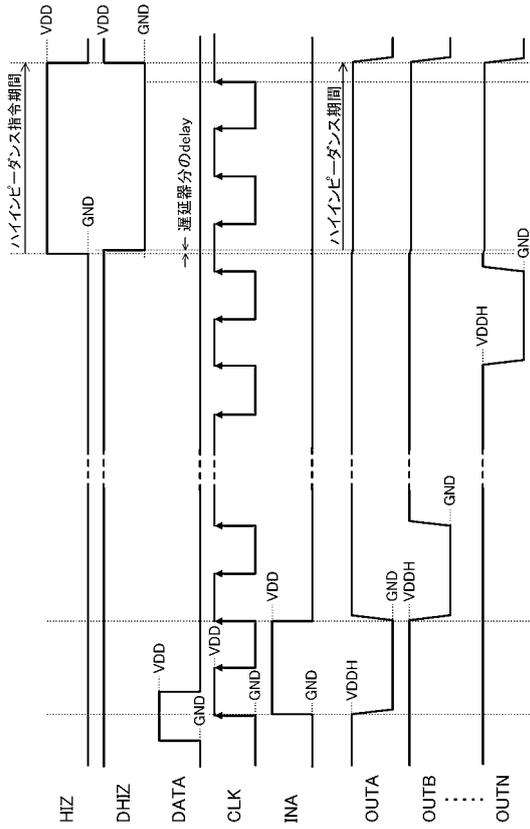




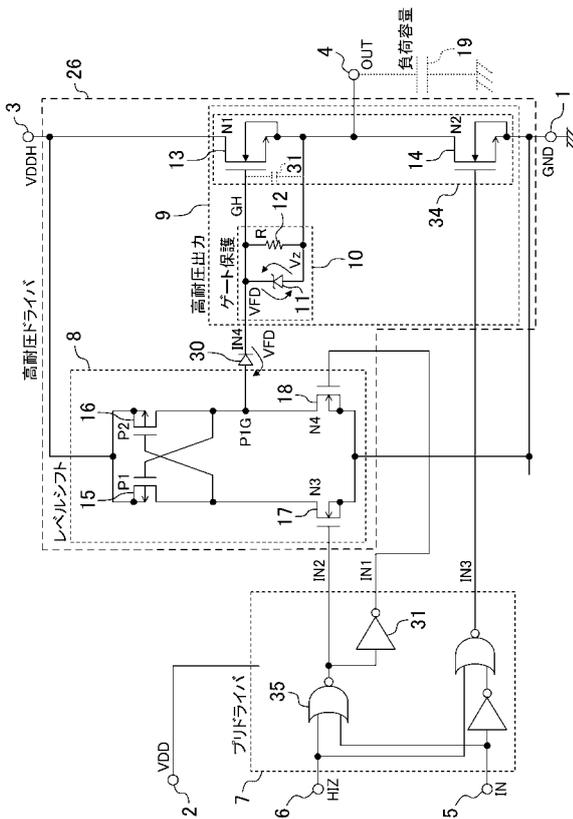
【図9】



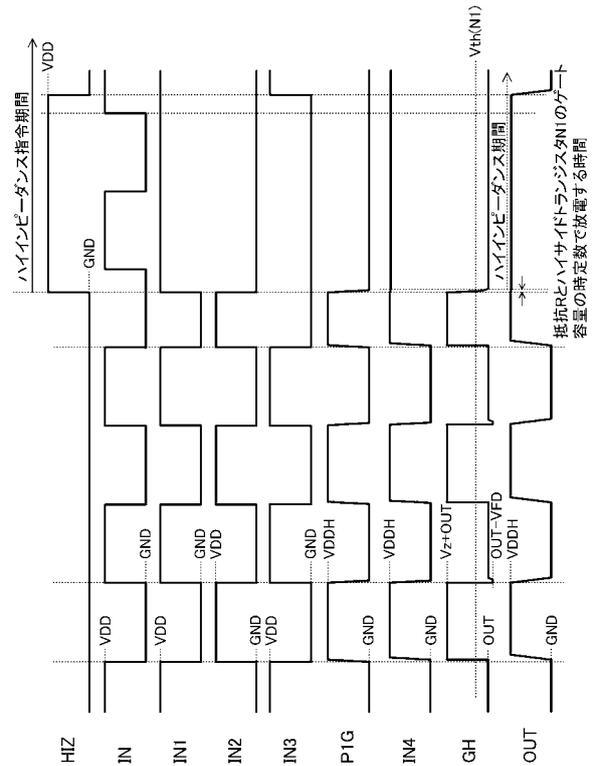
【図10】



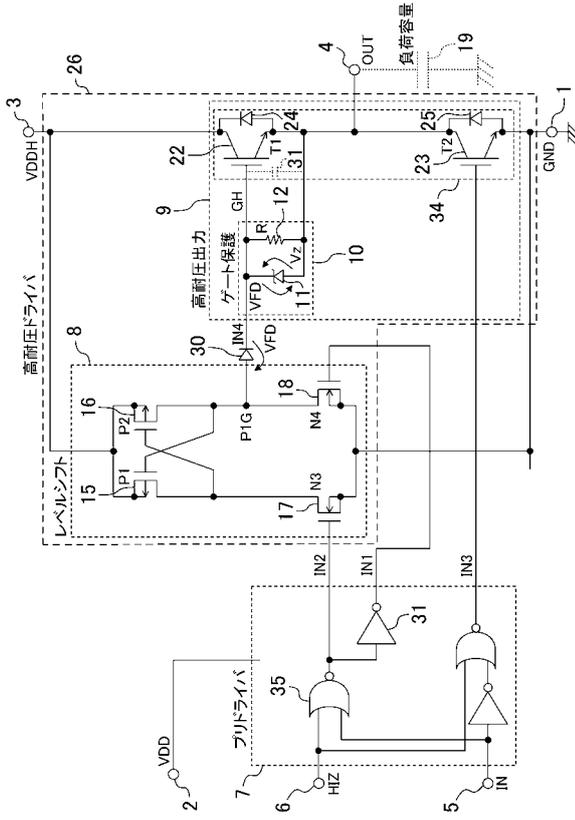
【図11】



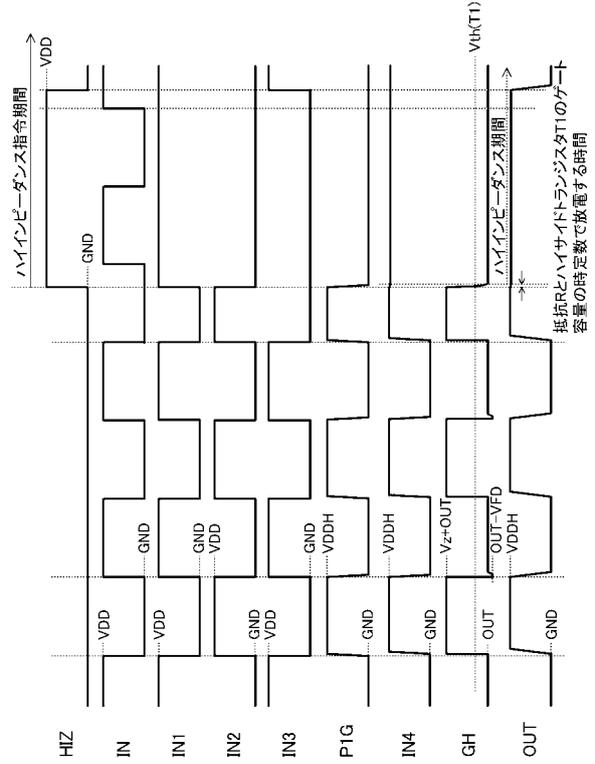
【図12】



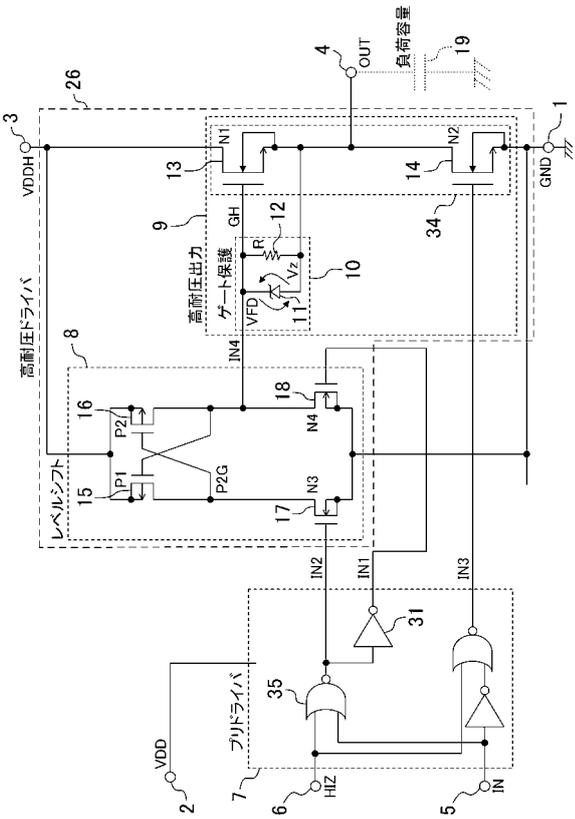
【 図 1 3 】



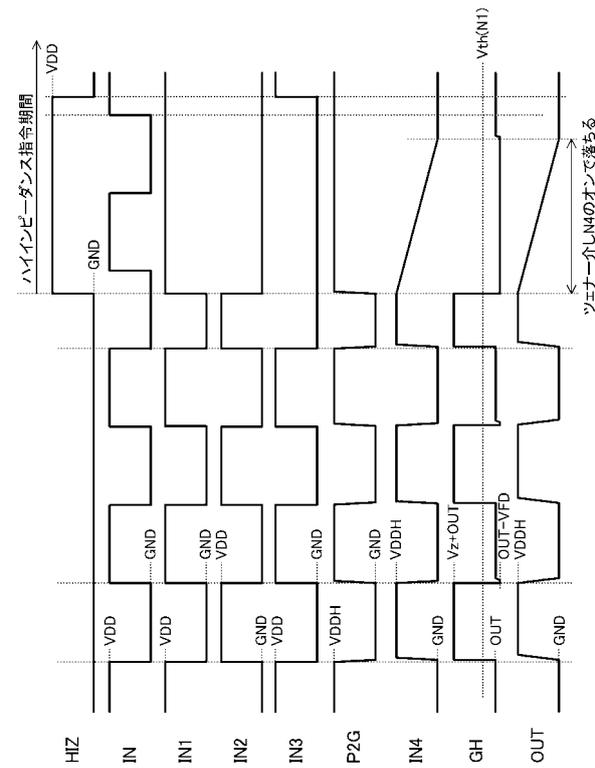
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



## フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 中村 恵美

大阪府門真市大字門真 1 0 0 6 番地 パナソニック半導体システムテクノ株式会社内

(72)発明者 松永 弘樹

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5C580 AA02 AA03 BB01 BB04 BB05 BB11 BC11 BC12

5J032 AA03 AB02 AC18

5J055 AX06 AX34 AX64 BX16 CX29 DX22 DX43 DX56 DX82 EX07

EY01 EY13 EY21 EZ20 EZ68 FX05 FX12 FX34 GX01

5J056 AA05 BB44 BB54 CC05 CC21 DD29 FF08 GG09 GG12