



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년05월03일
 (11) 등록번호 10-0955948
 (24) 등록일자 2010년04월26일

(51) Int. Cl.
H05K 1/18 (2006.01) *H04B 1/38* (2006.01)
H01L 27/02 (2006.01)
 (21) 출원번호 10-2007-0134941
 (22) 출원일자 2007년12월21일
 심사청구일자 2007년12월21일
 (65) 공개번호 10-2009-0067324
 (43) 공개일자 2009년06월25일
 (56) 선행기술조사문헌
 JP17039234 A
 KR1020060070935 A
 KR1020060112906 A
 KR100703642 B1

(73) 특허권자
삼성전기주식회사
 경기도 수원시 영통구 매탄동 314
 (72) 발명자
김경오
 경기 안양시 동안구 관양2동 인덕원삼성아파트
 106동1801호
김태의
 서울 강남구 도곡1동 역삼한신아파트 2동 1103호
 (74) 대리인
특허법인이지

전체 청구항 수 : 총 13 항

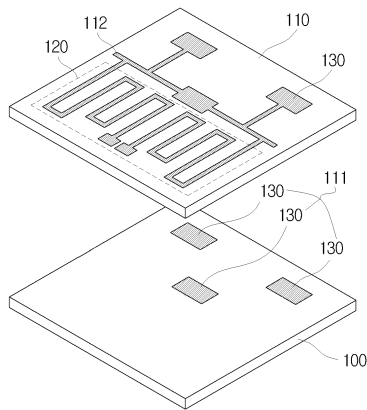
심사관 : 조성찬

(54) 다중대역 송신단 모듈 및 이의 제조 방법

(57) 요약

다중대역 송신단 모듈 및 이의 제조 방법이 개시된다. 절연층의 일면에 제1 회로패턴을 형성하는 단계; 상기 절연층의 상기 일면에 유전층을 적층하는 단계; 및 상기 유전층에 상기 제1 회로패턴과 상응하여 커패시터 또는 인덕터 중 적어도 어느 하나가 구현되도록 제2 회로패턴을 형성하는 단계를 포함하는 수동소자 내장형 다중대역 송신단 모듈(FEM, front end module) 제조 방법은 다양한 수동소자를 배치 하면서도 크기는 소형화된 다중대역 송신단 모듈을 제공 할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

접착층을 개재하여 대향 형성된 한쌍의 금속판을 준비하는 단계;
 상기 한쌍의 금속판의 표면 각각에 제1 회로패턴을 형성하는 단계;
 상기 접착층을 제거하여 상기 한쌍의 금속판을 각각 분리하는 단계;
 상기 제1 회로패턴이 절연층에 매립될 수 있도록, 상기 한쌍의 금속판 중 어느 하나는 상기 절연층의 일면에, 다른 하나는 상기 절연층의 상기 일면에 대향되는 타면에 압착하는 단계;
 상기 한쌍의 금속판을 제거하여, 상기 제1 회로패턴이 양면에 매립된 절연층을 형성하는 단계;
 상기 절연층의 상기 양면에 유전층을 각각 적층하는 단계;
 상기 절연층의 상기 양면 각각에 적층된 상기 유전층 표면에 제2 회로패턴을 형성하는 단계를 포함하되,
 상기 제2 회로패턴의 일부는 미리 설계된 형태의 커패시터가 구현될 수 있도록 상기 유전층을 사이에 두고 상기 제1 회로패턴과 대향되는 위치에 형성되고, 상기 제2 회로패턴의 타부분은 미리 설계된 형태의 인덕터가 구현될 수 있도록 상기 제1 회로패턴과 대향되지 않는 위치에 형성되는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈(Multi band front end module) 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,
 상기 제2 회로패턴을 형성하는 단계는
 상기 커패시터 및 상기 인덕터가 복수개 형성되어 필터를 구현하도록 수행되는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈 제조 방법.

청구항 6

제1항에 있어서,
 상기 제2 회로패턴의 표면에 레이업(layer-up)기판부를 형성하는 단계; 및
 상기 레이업기판부의 표면에 능동소자를 실장하는 단계를 더 포함하는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈 제조 방법.

청구항 7

제1항에 있어서,
 상기 유전층은 세라믹 필러(ceramic filler)를 더 포함하는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈 제조 방법.

청구항 8

제7항에 있어서,

상기 세라믹 필러는 티탄산바륨($BaTiO_3$) 및 티탄산스트론튬($SrTiO_3$) 중 어느 하나 또는 이들의 조합으로 형성되는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈 제조 방법.

청구항 9

제1항에 있어서,

상기 절연층은 유기절연층인 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈 제조 방법.

청구항 10

절연층;

상기 절연층의 양면에 각각 매립 형성되는 제1 회로패턴;

상기 제1 회로패턴이 매립된 상기 절연층의 상기 양면에 각각 적층된 유전층;

상기 절연층의 상기 양면 각각에 적층된 상기 유전층의 표면에 형성되는 제2 회로패턴을 포함하고,

상기 제2 회로패턴의 일부는 미리 설계된 형태의 커패시터가 구현될 수 있도록 상기 유전층을 사이에 두고 상기 제1 회로패턴과 대향되는 위치에 형성되고, 상기 제2 회로패턴의 타부분은 미리 설계된 형태의 인덕터가 구현될 수 있도록 상기 제1 회로패턴과 대향되지 않는 위치에 형성되는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈.

청구항 11

제10항에 있어서,

상기 제2 회로패턴의 표면에 적층되는 레이업기판부; 및

상기 레이업기판부의 표면에 실장되는 능동소자를 더 포함하는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈.

청구항 12

제11항에 있어서,

상기 능동소자는

상기 레이업기판부와 와이어본딩(wire-bonding)으로 연결되는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈.

청구항 13

제10항에 있어서,

상기 유전층은 세라믹 필러(ceramic filler)를 더 포함하는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈.

청구항 14

제13항에 있어서,

상기 세라믹 필터는 티탄산바륨(BaTiO₃) 및 티탄산스트론튬(SrTiO₃) 중 어느 하나 또는 이들의 조합으로 형성되는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈.

청구항 15

삭제

청구항 16

제10항에 있어서,

상기 제2 회로패턴은 상기 커패시터 및 상기 인덕터가 복수개 형성되어 필터를 구현하도록 형성되는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈.

청구항 17

제10항에 있어서,

상기 절연층은 유기절연층인 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 다중대역 송신단 모듈 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 최근 전자제품은 다기능화, 소형 경량화 되어 가고 있다. 특히, 모바일 전자 제품의 경우, 다수의 능동소자 및 수동소자들이 회로기판의 표면에 실장되어야 하므로 크기 및 두께의 제약을 극복하기 위한 방법이 더욱 요구되고 있는 실정이다.

[0003] 이러한 모바일 전자 제품의 소형화 및 다기능화의 요구에 따라, 다중대역 송신단 모듈 (FEM, front end module)의 개발이 활발해지고 있다. 다중대역 송신단 모듈은 휴대폰 내의 안테나와 RF칩을 연결해 송수신 신호를 분리하고 필터링 및 증폭 역할을 수행하는 모듈로, 필터, 저잡음 증폭기 및 전력 증폭기 등을 한 패키지에 집적한 제품이다.

[0004] 다중대역 송신단 모듈에 대한 개발이 활발히 이루어지는 이유는 전자 기기의 기능이 복잡해짐에 따라 가용 주파수가 하나의 대역에서 다중 대역으로 늘어나고 있으며, 그 크기는 더 작고 가격까지 저렴해야 하기 때문이다.

[0005] 이와 같이, 다중대역 송신단 모듈이 멀티밴드를 지원해야 함에 따라 부품의 개수는 늘어나는 반면 크기는 더 작게 만들어야 하므로 새로운 기술을 접목하여 가격, 크기, 성능 세가지를 모두 만족시켜야 하므로 부품업체들은 이런 경향을 반영하여 저온동시소성 세라믹(LTCC, Low Temperature Co-fired Ceramic) 혹은 유기기판을 사용하여 개발하고 있다.

[0006] 저온 동시소성 세라믹의 경우, 크기와 특성면에서 우수하고 유기기판의 경우, 신뢰성 및 수율 측면에서 우수하다. 그러나 종래 기술의 경우 대부분 저온 동시소성 세라믹을 이용한 다중대역 송신단 모듈이 대부분 이었다. 이에 유기기판에 수동부품을 내장하는 즉, 커패시터와 인덕터들을 내장하여 필터 등의 수동소자를 구현하는 유기기판 내장형 다중대역 송신단 모듈에 대한 개발이 요구되고 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 유기기판에 수동소자를 내장하여 형성된 다중대역 송신단 모듈의 제조 방법 및 유기기판에 수동소자를 내장하여 형성된 다중대역 송신단 모듈을 제공하는 것이다.

과제 해결수단

[0008] 본 발명의 일 측면에 따르면, 절연층의 일면에 제1 회로패턴을 형성하는 단계; 상기 절연층의 상기 일면에 유전층을 적층하는 단계; 및 상기 유전층에 상기 제1 회로패턴과 상응하여 커패시터 또는 인덕터 중 적어도 어느 하나가 구현되도록 제2 회로패턴을 형성하는 단계를 포함하는 수동소자 내장형 다중대역 송신단 모듈(FEM, front end module) 제조 방법이 제공된다.

[0009] 이 때, 상기 제1 회로패턴을 형성하는 단계는 캐리어(carrier)의 일면에 상기 제1 회로패턴을 형성하는 단계; 상기 캐리어의 일면이 절연층을 향하도록 상기 캐리어를 상기 절연층에 압착하는 단계; 및 상기 캐리어를 제거하는 단계를 포함할 수 있으며, 상기 캐리어에 상기 제1 회로패턴을 형성하는 단계는 상기 캐리어에 도금층을 선택적으로 증착하여 수행될 수 있다.

[0010] 또한, 상기 캐리어는 접착층을 개재하여 형성되는 한 쌍의 금속판일 수 있으며, 상기 제2 회로패턴을 형성하는 단계는 상기 커패시터 및 상기 인덕터가 복수개 형성되어 필터를 구현하도록 수행될 수 있다.

[0011] 또한, 수동소자 내장형 다중대역 송신단 모듈 제조 방법에 있어서, 상기 제2 회로패턴의 표면에 레이업기판부를 적층하는 단계; 및 상기 레이업기판부의 표면에 능동소자를 실장하는 단계를 더 포함할 수 있으며, 상기 유전층은 세라믹 필러(ceramic filler)를 더 포함할 수 있는데 이때, 세라믹 필러는 티탄산바륨(BaTiO₃) 및 티탄산스트론튬(SrTiO₃) 중 어느 하나 또는 이들의 조합으로 형성될 수 있으며, 상기 절연층은 유기절연층 일 수 있다.

[0012] 본 발명의 또 다른 측면에 따르면, 절연층; 상기 절연층의 일면에 형성되는 제1 회로패턴; 상기 절연층의 상기 일면에 적층되는 유전층; 및 상기 유전층의 표면에 형성되는 제2 회로패턴을 포함하고, 상기 제2 회로패턴은 상기 제1 회로패턴과 상응하여 커패시터 또는 인덕터 중 적어도 어느 하나가 구현되도록 형성되는 것을 특징으로 하는 수동소자 내장형 다중대역 송신단 모듈이 제공된다.

[0013] 이 때, 상기 제2 회로패턴의 표면에 적층되는 레이업기판부; 및 상기 레이업기판부의 표면에 실장되는 능동소자를 더 포함할 수 있으며, 상기 능동소자는 상기 유기기판과 와이어본딩(wire-bonding)으로 연결될 수 있다.

[0014] 또한, 상기 유전층은 세라믹 필러(ceramic filler)를 더 포함할 수 있으며, 이때 세라믹 필러는 티탄산바륨(BaTiO₃) 및 티탄산스트론튬(SrTiO₃) 중 어느 하나 또는 이들의 조합으로 형성될 수 있으며, 상기 절연층은 유기절연층 일 수 있다.

[0015] 그리고, 상기 제1 회로패턴은 상기 절연층에 매립되어 형성될 수 있고 상기 제2 회로패턴은 상기 커패시터 및 상기 인덕터가 복수개 형성되어 필터를 구현하도록 형성될 수 있다.

효과

[0016] 본 발명의 실시예에 따르면, 다양한 수동소자를 배치 하면서도 크기는 소형화된 다중대역 송신단 모듈 및 이를 제조하는 방법을 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어

야 한다. 본 발명을 설명함에 있어서 관련되는 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

- [0018] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0019] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용되는 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재되는 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0020] 이하, 본 발명의 실시예를 첨부한 도면들을 참조하여 상세히 설명하기로 한다.
- [0021] 먼저, 도 1을 참조하여 본 발명의 일 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈의 구성에 대하여 살펴보고자 한다. 도 1은 본 발명의 일 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈의 사시도이다.
- [0022] 도 1을 참조하면, 절연층(100), 유전층(110), 제1 회로패턴(111), 제2 회로패턴(112), 커패시터(130) 및 인덕터(120)가 도시되어 있다.
- [0023] 본 실시예에 따르면, 제1 회로패턴(111)은 절연층(100)에 매립되어 형성되며, 제2 회로패턴(112)은 유전층(110) 표면에 형성된다. 절연층(100)은 유기절연층 일 수 있는데, 유기절연층은 유기물질로 이루어진 기판을 말한다. 이렇게 형성된 제1 회로패턴(111)과 제2 회로패턴(112)은 필터를 형성하게 된다.
- [0024] 이때, 제2 회로패턴(112)은 제1 회로패턴(111)과 상응하는 위치에 형성된다. 제1 회로패턴(111)과 상응하는 위치라 함은 제2 회로패턴(112)과 제1 회로패턴(111)이 커패시터 및 인덕터를 형성할 수 있는 위치를 말한다.
- [0025] 제2 회로패턴(112)과 제1 회로패턴(111)이 서로 대향하도록 형성된 경우 가운데 유전층(110)과 함께 커패시터(130)를 형성하게 되고, 제1 회로패턴(111)과 무관한 위치에 형성된 제2 회로패턴(112)은 인덕터(120)를 형성하게 된다. 이와 같이, 제1 회로패턴(111)에 상응하도록 제2 회로패턴(112)이 형성되어, 커패시터(130) 또는 인덕터(120)를 구성하게 된다. 그리고, 커패시터(130)와 인덕터(120)는 공진기 또는 커플러를 구성하여, 필터를 형성하게 된다.
- [0026] 커패시터(130)의 경우, 도 1과 같이 절연층(100)에 형성된 제1 회로패턴(111)중 일부가 하부전극을 형성하고 하부전극에 대향하도록 유전층(110)에 형성된 제2 회로패턴(112)은 상부전극을 형성하여 구현할 수 있다. 또한, 인덕터(120)는 도 1과 같이 제1 회로패턴(111)과 무관하게 형성된 제2 회로패턴(112)으로 구현될 수 있다. 이때, 인덕터(120)는 나선 형상으로 형성될 수 있다.
- [0027] 상기와 같이 형성된 커패시터(130)와 인덕터(120)를 이용하여 공진기와 커플구조하고 이들은 후에 필터를 구현할 수 있다. 이때, 직렬 커패시터를 이용하여 대역폭을 조정할 수 있고 감쇄 특성들을 개선하기 위하여 노치 필터(notch filter) 등을 이용할 수 있다.
- [0028] 제2 회로패턴(112)이 형성된 유전층(110)은 고유전율, 저유전 손실을 갖는 세라믹 필러(ceramic filler)를 더 포함하여 형성 될 수 있다. 본 실시예에 따르면, 세라믹 필러는 티탄산바륨(BaTiO₃) 및 티탄산스트론튬(SrTiO₃) 중 어느 하나 또는 이들의 조합으로 형성될 수 있다. 이때, 고유전율 및 저유전 손실은 예를 들어, 유전율이 20 이상이고 유전손실은 0.01 이하인 경우를 말할 수 있다.
- [0029] 이와 같이, 유전층(110) 및 절연층(100)과 같은 유기기판에 내장된 커패시터, 인덕터, 필터 등과 같은 수동소자를 통하여 소형화된 다중대역 송신단 모듈을 제공할 수 있다. 제2 회로패턴(112)의 표면에는 절연층 및 회로패턴이 다층으로 형성될 수 있으며 이들을 모두 포함하여 레이업(layer-up)기판부라 칭한다.
- [0030] 이 때, 레이업기판부의 표면에는 능동소자가 실장될 수 있으며, 능동소자는 레이업기판부와 와이어본딩(wire-bonding)과 같은 표면실장기술을 통해 연결될 수 있다. 이때, 능동소자는 저잡음 증폭기 또는 전력 증폭기 중 적어도 어느 하나 일 수 있다.

- [0031] 이하, 도 2를 참조하여 본 발명의 다른 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈의 구성에 대하여 살펴보도록 한다. 도 2는 본 발명의 다른 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈의 사시도이다.
- [0032] 도 2를 참조하면, 절연층(100), 유전층(110), 제1 회로패턴(111), 제2 회로패턴(112), 인덕터(120) 및 커플러(140)가 도시되어 있다. 본 실시예의 경우 도 1을 참조하여 기술한 수동소자 내장형 다중대역 송신단 모듈과 개략적인 구성은 동일하므로 중복되는 설명은 생략하도록 한다.
- [0033] 도 2에 도시된 수동소자 내장형 다중대역 송신단 모듈은 유전층(110)에 형성된 제2 회로패턴(112)을 통해 인덕터(120)를 구현하게 된다. 또한, 도 2와 같이 제1 회로패턴(111)과 제2 회로패턴(112)을 통해 공진기를 구현하고 커플러(coupler, 140)를 형성하여 원하는 필터의 특성을 구현할 수 있다. 이와 같이 본 실시예에 따르면, 공진기는 스트립(strip)구조로 형성되며 크기 축소와 공정 오차(tolerance)에 영향을 덜 받을 수 있는 $\lambda/4$ 길이의 전송선로를 이용할 수 있다.
- [0034] 이하, 도 3 내지 도 16을 참조하여 본 발명의 일 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈 제조 방법에 대하여 살펴보도록 한다. 도 3 내지 도 15는 본 발명의 일 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈 제조 방법의 각 공정을 나타낸 단면도이고, 도 16은 본 발명의 일 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈 제조 방법을 나타낸 순서도이다.
- [0035] 이 때, 캐리어(carrier)는 접착층이 개재된 한 쌍의 금속판인 것을 가정하여 설명하도록 한다. 또한, 기술한 바 있는 수동소자 내장형 다중대역 송신단 모듈의 구조에 대한 설명과 중복되는 부분은 본 발명의 설명의 편의를 위하여 생략한다.
- [0036] 도 3 내지 도 15를 참조하면, 한 쌍의 금속판(310), 접착층(300), 포토 레지스트(photo resist, 320, 320'), 제1 회로패턴(330), 유기절연층(340, 341, 341'), 유전층(350), 도금층(360), 제2 회로패턴(360'), 제3 회로패턴(370), 제4 회로패턴(380), 솔더레지스트(solder resist, 381), 능동소자(390, 391)가 도시되어 있다.
- [0037] 본 실시예에 따르면, 먼저 유기절연층(340)의 일면에 제1 회로패턴(330)을 형성하게 된다. 이때, 제1 회로패턴(330)을 형성하는 단계는 크게 세 단계로 나누어 볼 수 있다.
- [0038] 도 3과 같이, 접착층(300)이 형성된 한 쌍의 금속판(310)이 제공된다. 이때, 한 쌍의 금속판(310)은 후에 식각 과정을 통해 제거되며, 구리(Cu) 또는 알루미늄(Al)일 수 있다. 다음으로 한 쌍의 금속판(310)의 일면에 제1 회로패턴(330)을 형성한다(S120). 제1 회로패턴을 형성하기 위하여, 한 쌍의 금속판(310)의 일면에 포토레지스트(320, 320')를 형성하고 제1 회로패턴을 형성하고자 하는 부분을 현상하여 제거한다. 그리고, 도 6과 같이 제거된 포토레지스트(320') 사이사이에 제1 회로패턴(330)을 형성한다. 이와 같이 선택적으로 도금층을 증착하여 제1 회로패턴(330)을 형성하는 경우 기존의 텐팅(tenting)공법에 비해 회로의 오차(tolerance)가 좋아질 수 있다.
- [0039] 다음으로 도 7과 같이 포토레지스트(320')를 제거하고 접착층(300)이 형성된 한 쌍의 금속판(310)을 가열하여 한 쌍의 금속판(310)을 각각 분리한다. 이때, 접착층(300)은 발포성 접착층일 수 있다.
- [0040] 다음으로, 도 8과 같이 제1 회로패턴(330)이 형성된 한 쌍의 금속판(310)의 일면이 유기절연층(340)을 향하도록 한 쌍의 금속판(310)을 압착한다(S130). 유기절연층(340)은 일반 에폭시(epoxy) 계열로 형성될 수 있으며, 매립된 제1 회로패턴에 공극이 발생하지 않는 재료를 사용한다.
- [0041] 그리고 나서, 도 9에 도시된 것과 같이 한 쌍의 금속판(310)을 제거한다(S140). 이때, 한 쌍의 금속판(310)은 식각액에 의한 식각 과정을 통해 제거 될 수 있다. 한 쌍의 금속판(310)이 제거된 유기절연층(340)의 표면에 유전층(350)을 적층한다(S150). 이 때, 유전층(350)은 전술한 바와 같이 고유전율 및 저유전 손실을 가지며 세라믹 필러를 더 포함하여 형성될 수 있다.
- [0042] 그리고 유전층(350)의 표면에 도금층(360)을 선택적으로 식각하여 제2 회로패턴(360')을 형성하게 된다(S160). 이때, 제2 회로패턴(360')은 전술한 바와 같이 제1 회로패턴(330)과 상응하여 인덕터 또는 커패시터 중 어느 하나를 구현하도록 형성되며, 이러한 인덕터 및 커패시터 복수개로 필터를 형성하게 된다.
- [0043] 다음으로, 도 12 내지 도 13에 도시된 바와 같이 유기절연층(341, 341'), 제3 회로패턴(370) 및 제4 회로패턴

(380)을 형성하여 다층으로 유기기판을 형성하게 된다. 이와 같이 제2 회로패턴에 형성되는 유기절연층(341, 341'), 제3 회로패턴(370) 및 제4 회로패턴(380)을 모두 포함하여 레이업기판부라 칭한다. 이하, 레이업기판부는 상기와 같은 의미로 사용되며, 레이업기판부에 포함되는 기판의 층수는 내장하는 부품의 숫자와 전체 모듈의 크기에 따라 달라져 6층 이상의 다층 기판으로 제작할 수도 있다.

[0044] 이때, 층간 회로패턴의 연결을 위해 레이저 비아(via) 가공 또는 도금 공정을 사용할 수 있다. 그리고, 그라운드(GND)층을 형성하여 내장된 수동부품들의 특성에 노이즈(noise)를 제거하고 안정적인 특성을 얻을 수 있다.

[0045] 그리고, 도 14와 같이 레이업기판부의 표면에 능동소자(390, 391)를 실장한다(S170). 능동소자(390, 391)는 와이어본딩과 같은 표면실장기술을 통해 레이업기판부와 연결될 수 있다. 또한, 능동소자(390, 391)는 저잡음증폭기 또는 전력증폭기 중 어느 하나 이거나 이들의 조합으로 이루어질 수 있다. 또한, 도 15와 같이 능동소자를 보호하기 위해 몰딩(molding)하여 하나의 부품으로 사용 가능할 수 있다.

[0046] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재되는 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0047] 도 1은 본 발명의 일 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈의 사시도.

[0048] 도 2는 본 발명의 다른 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈의 사시도.

[0049] 도 3 내지 도 15는 본 발명의 일 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈 제조 방법의 각 공정을 나타낸 단면도.

[0050] 도 16은 본 발명의 일 실시예에 따른 수동소자 내장형 다중대역 송신단 모듈 제조 방법을 나타낸 순서도.

[0051] <도면의 주요부분에 대한 부호의 설명>

[0052] 100: 절연층

[0053] 110: 유전층

[0054] 111: 제1 회로패턴

[0055] 112: 제2 회로패턴

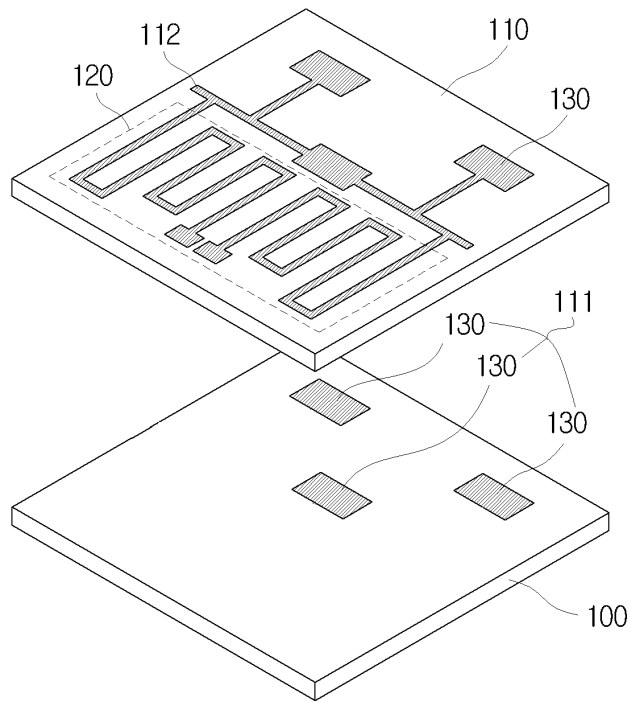
[0056] 120: 인덕터

[0057] 130: 커패시터

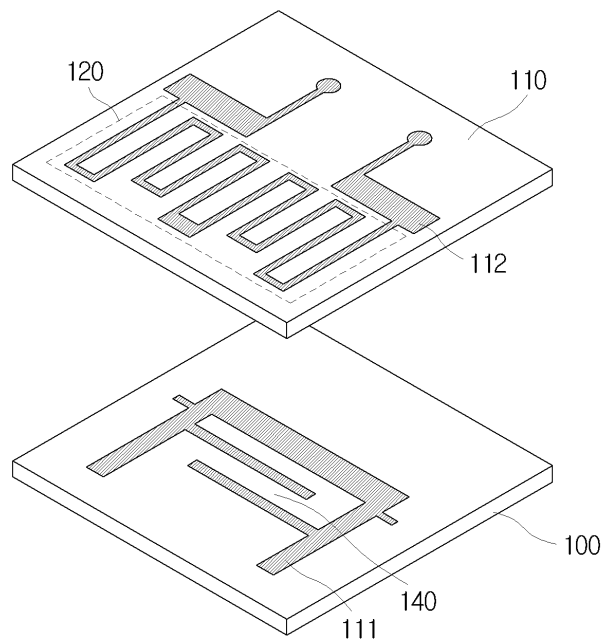
[0058] 140: 커플러

도면

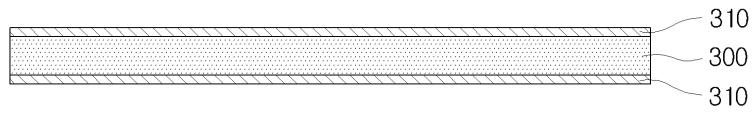
도면1



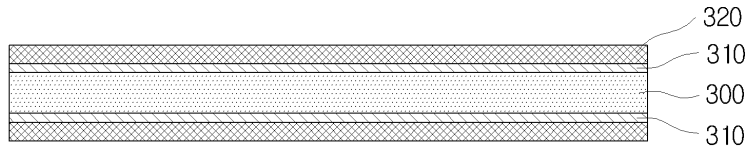
도면2



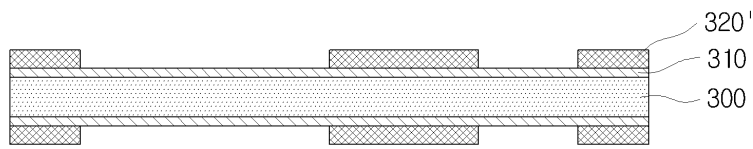
도면3



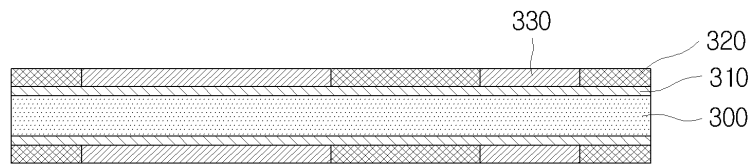
도면4



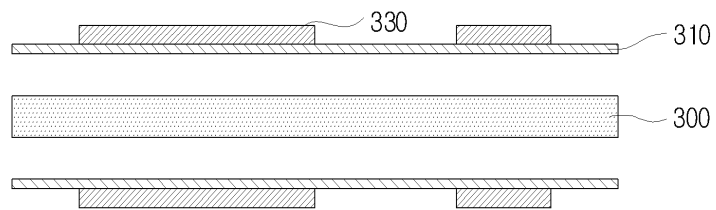
도면5



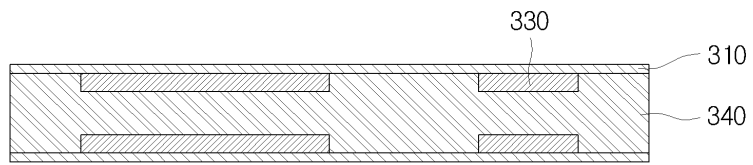
도면6



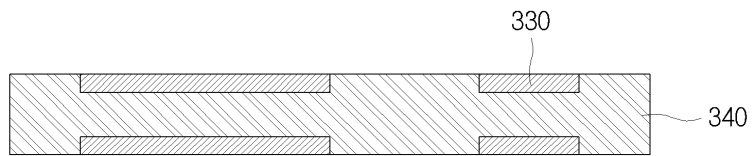
도면7



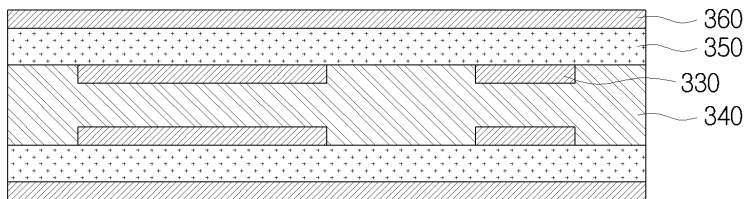
도면8



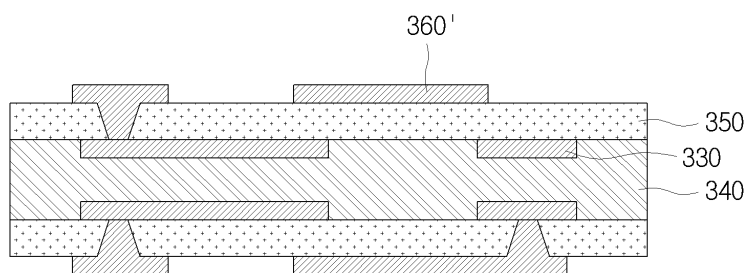
도면9



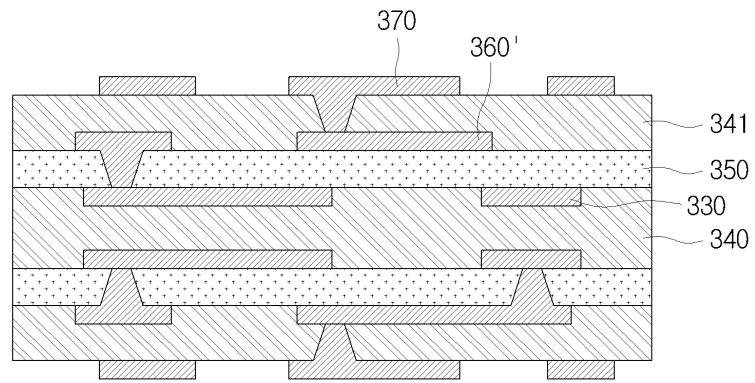
도면10



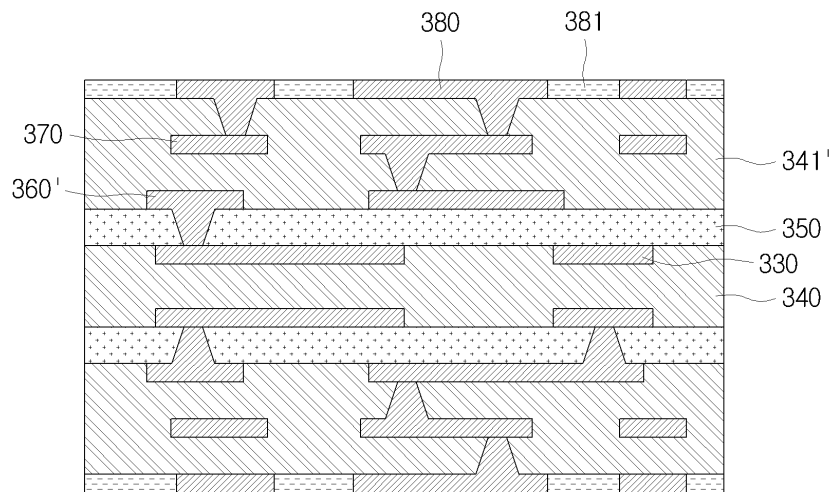
도면11



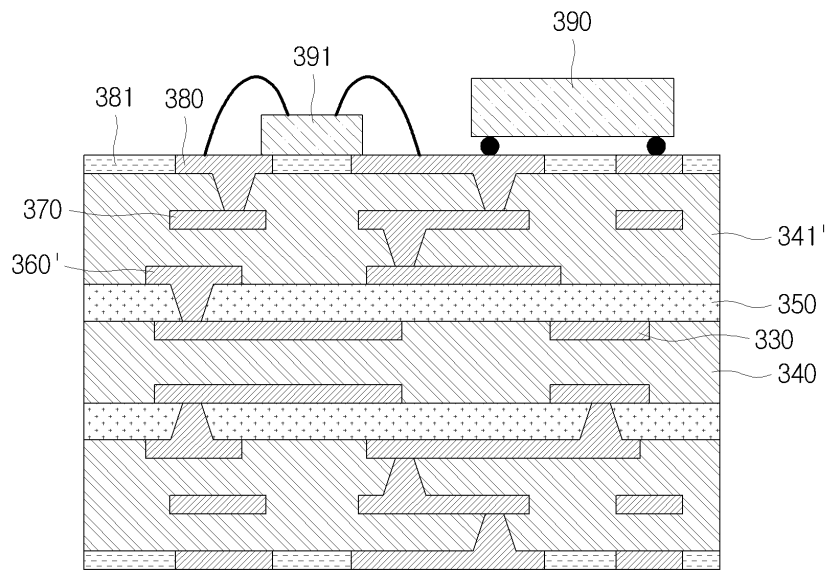
도면12



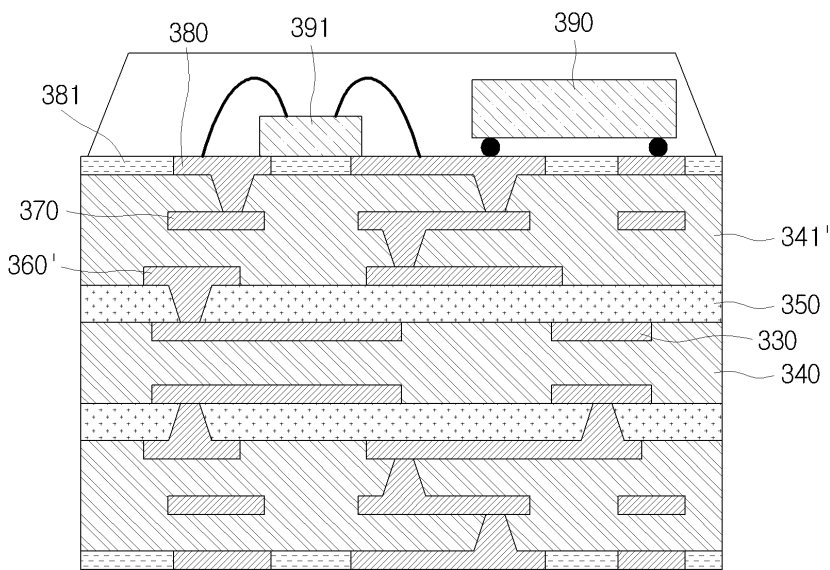
도면13



도면14



도면15



도면16

