

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4802515号
(P4802515)

(45) 発行日 平成23年10月26日(2011.10.26)

(24) 登録日 平成23年8月19日(2011.8.19)

(51) Int.Cl.		F I		
G 1 1 C 29/42	(2006.01)	G 1 1 C	29/00	6 3 1 D
G 1 1 C 29/04	(2006.01)	G 1 1 C	29/00	6 0 3 Z
G 1 1 C 11/401	(2006.01)	G 1 1 C	11/34	3 7 1 C
		G 1 1 C	11/34	3 7 1 D

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2005-55294 (P2005-55294)	(73) 特許権者	000005108
(22) 出願日	平成17年3月1日(2005.3.1)		株式会社日立製作所
(65) 公開番号	特開2006-244541 (P2006-244541A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成18年9月14日(2006.9.14)	(74) 代理人	100100310
審査請求日	平成20年1月18日(2008.1.18)		弁理士 井上 学
		(72) 発明者	秋山 悟
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	竹村 理一郎
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	関口 知紀
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数のワード線と、複数の第1データ線と、前記複数のワード線と前記複数の第1データ線の交点に設けられる複数の第1メモリセルとを有する第1メモリアレイと、

前記複数のワード線と、複数の第2データ線と、前記複数のワード線と前記複数の第2データ線の交点に設けられる複数の第2メモリセルとを有する検査用の第2メモリアレイと、

前記複数の第1データ線及び前記複数の第2データ線の夫々に対応して設けられる複数のセンスアンプと、

前記複数のセンスアンプに接続され、前記複数の第1データ線から読み出されたデータに誤りがあるか否かを前記複数の第2データ線から読み出されたデータにより検出する検出回路と、

前記検出回路により検出されたデータを訂正する訂正回路と、

前記複数のセンスアンプに接続されるローカル入出力線とを具備し、

前記ローカル入出力線には、前記訂正回路により訂正されたデータが出力され、

前記複数の第2メモリセルの夫々へ書き込むデータの生成は、プリチャージコマンドに
応答して実行される半導体装置。

【請求項2】

請求項1において、

前記複数のワード線の一つに接続される前記複数の第1メモリセルの数は、同一のワー

10

20

ド線に接続される前記複数の第2メモリセルの数より多い半導体装置。

【請求項3】

請求項1において、

前記検出回路は、前記複数の第1及び第2メモリセルから読み出されたデータからシンδροーム信号を生成するシンδροーム生成回路と、前記シンδροーム信号をデコードし、前記複数のセンスアンプのうち誤動作が生じたセンスアンプを特定するための情報を出力するデコード回路を有することを特徴とする半導体装置。

【請求項4】

請求項1において、

前記訂正回路は、誤動作した場合に対応するセンスアンプのデータを反転するデータ反転回路を前記複数のセンスアンプ毎に有する半導体装置。

10

【請求項5】

請求項1において、

前記検出回路は、前記複数のワード線のうち一つが活性化するためのコマンドに応答し、前記複数のワード線のうち一つが活性化されることより前記複数のセンスアンプに読み出されたデータに誤りがないかを検出する半導体装置。

【請求項6】

請求項1において、

前記検出回路は、前記複数の第1メモリセルへデータを書き込む場合に、前記複数の第1データ線に対応する前記複数のセンスアンプに保持されるデータに基づいて、前記複数の第2メモリセルに書き込むデータを生成する半導体装置。

20

【請求項7】

請求項6において、

前記検出回路は、前記複数のワード線のうち一つが活性化された後、前記活性化されたワード線を非活性化する際に、前記複数の第2メモリセルへ書き込むデータを生成することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。特に低電力、高速な半導体記憶装置のエラー訂正回路に関する。

30

【背景技術】

【0002】

半導体記憶装置の一つである、ダイナミックランダムアクセスメモリ(Dynamic Random Access Memory、以下DRAMと記す)は、大型コンピュータ、パーソナルコンピュータのメインメモリや、携帯電話、デジタルカメラといったデジタル家電のワークメモリなど、我々が日常利用する様々な電子機器に数多く搭載されている。また、近年の機器の低消費電力化、高性能化のニーズに伴い、搭載されるDRAMも低電力化、高速化、大容量化といった高性能化が強く求められている。特にデジタル家電に搭載されるDRAMには、低消費電力化に対する要求が強い。

40

【0003】

低消費電力なDRAMを実現するための最も有効な手段の一つは、低いデータ線電圧でメモリアレイを動作させることである。低いデータ線電圧でメモリアレイを動作させることで、データ線の充放電電力を大幅に低減できる。DRAMを低電圧で動作させるためには、DRAMのメモリセルに用いられるセルトランジスタや、セルキャパシタを微細化することが有効である。微細化することで、メモリセルを小さくできる。その結果、データ線長が短くなり、データ線の寄生容量を低減できるので、低電圧動作が可能となり、低消費電力化が実現できる。また、データ線の寄生容量を低減できるので、高速なセンスアンプ動作も可能となる。さらには、メモリセルが小さくなるので、メモリの大容量化が可能となり、機器の高性能化が実現できる。このように、低電力化にとどまらず、微細化は高性能化に大き

50

く寄与する。したがって、現行製品に限らず、今後開発される製品も一般的には微細化によって、高性能化、即ち低消費電力化等が推進されると考えられている。

【0004】

しかしながら、65nm、45nmノードと微細化が進むにつれて、前述したような高性能化の効果だけではなく、様々な副作用があらわれる。その副作用とは、微細化によってメモリセル容量が十分に大きく確保できなくなることである。例えば、セル容量が充分確保できないと、データ線電圧VDLを1V程度まで低電圧化した場合、DRAMの所謂読出し信号量が低下し、読出し時に誤動作が生じてしまう場合がある。また、センスアンプ回路のゲート長Lgやゲート幅Wが小さくなり、センスアンプ回路の閾値電圧のミスマッチが増加することや、セルトランジスタのゲート長Lgやゲート幅Wが小さくなり、セルトランジスタの閾値電圧のバラツキが増加すること等が、読出し時に誤動作を生じさせてしまう原因になる場合がある。このため、微細化が進むと低電圧動作が困難となり、低消費電力化が実現できなくなる恐れがある。このような問題はDRAMセルを微細化したときの課題としてよく知られており、非特許文献1に詳細に記述されている。

10

【0005】

読み出し信号量低下の課題を解決し、低電圧動作を実現する方法の一つに、1本のデータ線に接続されるメモリセルの数を減らして、データ線長を短くする手段が挙げられる。アレイを分割しデータ線長を短くすることで、データ線の寄生容量が低減されるので、低電圧動作が可能となる。しかし非特許文献2に記されているように、単純にアレイを分割するとチップ面積が著しく増加してしまい、コストの増加を招く。また、非特許文献3のように、セル容量に用いられる絶縁膜材料として、BST等の高誘電体材料を適用する手段もあるが、耐熱性や現在のDRAMプロセスとの整合性も悪く実現が難しい。したがって、チップ面積の増加を最小限に抑えつつ、プロセスの大幅な変更や追加も必要としない手法で、低電圧化を実現することが望ましい。その方法として、エラー訂正 (Error Code Correction: 以下ECCと記す)回路をアレイに付加し、誤って読み出したビットの情報を修正する手法がある。例えば、特許文献1のように、DRAMの周辺回路部分にECCを付加することで、読出し時のエラービットの訂正が可能となる。その結果、微細化が進みセル容量が小さくなった場合においても、正しいデータを読み出すことができる。言い換えれば、微細化がすすみ、セル容量が十分に大きく確保できない場合において、データ線の低電圧化をした時でも、ECC回路を利用することで、安定した読み出し動作が可能となり、低消費電力化が実現できる。一方、特許文献2には、通常動作時において、ECC回路を用いてエラー訂正を行う手段が開示されている。

20

30

【0006】

【特許文献1】特開2002-56671号公報

【0007】

【特許文献2】特開平1-171199号公報

【非特許文献1】Kiyoo Itoh, "VLSI Memory Chip Design", pp.15-24, Springer, 2001

【非特許文献2】Kiyoo Itoh et al., CAS2000, pp. 13-22, Oct. 2000

【非特許文献3】K. Hieda et al., 1999 IEDM, pp.289-292

【発明の開示】

40

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献1においては、DRAMがデータの保持動作のみを行うモードに入る時に、エラー検出および訂正に必要な検査ビットを生成、記憶させ、前記モードから通常の動作に戻るときに、ECC回路でエラーを訂正するので、低消費電力化を実現できるモードは、データの保持動作のみを行うモードに限られる。すなわち、通常の動作時では低電力化できない。また、特許文献1のような回路構成で、通常の動作時にECC回路によってエラー訂正をしようとする、ECC回路を付加しない場合に比べ、多数のI/O線を振幅する必要があり、電力増加を招く。さらに書込み動作時にも、必ずアレイ内のデータを読み出す必要があり、アクセス速度も約1/2に低下してしまうという課題がある。また特許文献

50

2では、DRAMの所謂BANK毎にECC回路を付加しエラーを検出訂正する手段は記載されているものの、I/O線における電力増加や、アクセス速度の低下を考慮していない。更には救済方式に関する記述もない。

【0009】

上記のような状況のもと、本願明細書が開示する主な発明が解決しようとする課題は、エラー訂正回路を有したDRAMにおいて、通常の動作時にデータの読み出しや書込みに要する速度を低下させることなく、さらに動作時の消費電流の増加を最小限に抑えることのできるメモリを実現することである。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

複数のメモリセルと複数のセンスアンプ回路からなる、サブアレイを複数有する半導体記憶装置において、前記サブアレイ毎にECC回路を有し、誤って読み出したデータを、前記ECC回路を利用して前記サブアレイ単位で訂正する。さらに望ましくは、前記サブアレイは、不良セルを置換するための冗長ビットを複数有する。また、不良セルと置換された冗長ビットのデータが、誤って読み出された場合、その誤りを検出訂正するための検査ビットを複数有する。また、前記検査ビットが不良セルであった場合、その不良検査ビットを検出訂正するための、新たな検査行列用回路を有する。

【発明の効果】

【0011】

本願明細書が開示する主な発明によると、低電圧動作を実現できる。また、高速読み出し動作が可能となる。また、高集積な半導体装置を実現できる。

【発明を実施するための最良の形態】

【0012】

以下、図面を用いて本発明の実施例を説明する。実施例の各ブロックを構成するトランジスタは、特に制限されないが公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。即ち、ウエルと素子分離領域と酸化膜が形成される工程の後、ゲート電極とソース・ドレイン領域を形成する第1と第2半導体領域とを形成する工程とを含む工程により形成される。MOSFET(Metal Oxide Semiconductor Field Effect Transistor)の回路記号はゲートに丸印をつけないものはN型MOSFET(NMOS)を表し、ゲートに丸印をつけたP型MOSFET(PMOS)と区別される。以下MOSFETを簡略化してMOSあるいはMOSトランジスタと呼ぶことにする。但し本発明は金属ゲートと半導体層の間に設けられた酸化膜を含む電界効果トランジスタだけに限定されるわけではなく絶縁膜を間に含むMISFET(Metal Insulator Semiconductor Field Effect Transistor)等の一般的なFETを用いた回路に適用される

図1は、本発明の第一の実施例であるエラー訂正回路を、サブアレイブロック毎に配置したメモリアレイを示す概念図である。図2は、本願の第一の実施例であるエラー訂正回路において、シンドローム生成からエラー検出及び訂正にいたるまでの動作シーケンスの一例を示す図である。図3は、図2の動作シーケンスにおいて、アクティベート時の要素回路の動作順序の一例を示す図である。図4は、図2の動作シーケンスにおいて、プリチャージ時の要素回路の動作順序の一例を示す図である。図5及び図6は、図1のブロック構成を実現するための各回路構成の一例を示した図である。図7は、図1に用いる検査行列の一例を示す図である。図8は、図5に示した複数のセンスアンプアレイSAAにおいて、エラー訂正回路の具体例を示す図である。図9は、図1に示した排他的論理和回路の一例を示す図である。図10は、図8に示したエラー訂正回路の一部である論理積回路の具体例を示した図である。図11は、図5に示したエラー訂正回路の読み出し動作波形の一例を示した図である。図12は、図5に示したエラー訂正回路の書き込み動作波形の一例を示した図である。図13は、本実施のエラー訂正回路を用いて構成したDRAMチップの一例を示す図である。図14は、冗長用に新たに排他的論理和回路を付加してエラー訂正回路を構成した時の、シンドロ

10

20

30

40

50

ーム生成に用いる検査行列の一例を示す第二の実施例である。図15は、本発明の第二の実施例であるエラー訂正回路を付加したサブアレイ回路の一例を示す図である。図16は、図15のエラー訂正回路の読出し動作波形の一例を示した図である。図17は、図15のエラー訂正回路に、さらに排他的論理和回路を付加してエラー訂正回路を構成したときの、シンドローム生成に用いる検査行列の一例を示す第三の実施例である。図18は、図17の検査行列を用いたエラー訂正回路の具体例を示す図である。図19は、図18のエラー訂正回路の読出し動作波形の一例を示した図である。図20は、65nmノードや45nmノードにおけるメモリセルおよびセンスアンプ部におけるトランジスタやキャパシタに関わる定数の一例である。

【実施例1】

【0013】

以下では、まず本発明の第1の実施例を図1から図13について説明する。図1は、本発明の第一の実施例であるエラー訂正回路ECCを、センスアンプSAに隣接して配置した、即ちサブアレイブロックSAB毎に配置したメモリアレイを示す概念図である。図中の記号は、ワード線を駆動するサブワードドライバSWD、データが格納されるメモリセルアレイSARY、メモリセルアレイSARYのデータに誤りがないか検査するため情報を格納する検査ビットアレイCHKARY、一つの検査単位を構成する符号語X、メモリセルSARY及び検査ビットアレイCHKARYから読み出されたデータ及び情報により誤りを検出して訂正する1ビット誤り訂正回路ECC、をそれぞれ示している。なお、以下の実施例では、特に記載がない場合は、メモリセルアレイSARYから64ビット単位でセンスアンプSAにデータ読み出されることとし、それに対応して8ビットの検査用ビットがセンスアンプSAに読み出されることとする。

【0014】

図2は、図1に示されたメモリアレイの動作シーケンスである。アクティベートの外部コマンドが入力されたときに、(1)ワード線活性化、(2)データ線に読出し信号発生、(3)センスアンプSAで読出し信号を増幅、(4)エラー訂正回路ECCによって誤って読み出されたデータ訂正を行う。ここで、従来のDRAMの動作シーケンスと異なるところは、(4)エラー訂正回路ECCによって誤って読み出されたデータを訂正する点である。また、リード及びライトの外部コマンドが入力されたときは、(1)列選択線を活性化、(2)センスアンプSAで所望の入出力データの確定を行う。プリチャージ時には、(1)エラー訂正回路ECCを用いて検査ビットPを生成、(2)メモリセル内へのデータ書き込み、(3)ワード線の非活性化、(4)データ線DLのプリチャージを行う。なお、プリチャージ動作は、リード/ライトコマンドが、リード/ライト動作終了後、自動的にプリチャージを行うことを示すコマンドである場合にはリード/ライトコマンドから連続して行われ、リード/ライト動作後ワード線を活性化状態のままにすることを示すコマンドである場合には、プリチャージコマンドが入力されたときに行われる。ここで、従来のDRAMの動作シーケンスと異なるところは、(1)エラー訂正回路ECCを用いて検査ビットPを生成する点である。このように、エラー訂正回路ECCを図2に示した動作シーケンスで動作させることで、データの読出し、エラー検出及び訂正、外部データの書き込み動作を、所謂ロウサイクル内で処理できる。すなわち、特許文献1等のエラー訂正回路の構成のように、通常動作の書き込み時に、サブアレイSARY内のデータをバンク外部まで出力してエラー検出および訂正を実行する必要がないため、読出しおよび書き込み速度の低下を最小限に抑えることができる。つまりエラー検出および訂正をすることによって、アクセス速度に大幅な遅延が生じることのないメモリが実現でき、さらにはデータ線を低電圧化しても、誤動作を防止できるので、低消費電力化も可能となる。また、バンク外部までデータを出力する必要がないので、大きな寄生容量をもつ多数の入出力線を振幅させる必要もない。すなわち、ECC回路を付加したことで生じる、動作時の消費電流の増加を最小限に抑えることが可能となる。

【0015】

図3は、図2の動作シーケンスにおいて、アクティベート時およびリード/ライト時の要素回路の動作順序の一例を示す図である。エラー訂正回路ECCは72個の要素回路から構成され、図中のECC0～ECC71で示されている。各ECC要素回路は、排他的論理和回路EXOR、比

10

20

30

40

50

較回路COMP、データ反転回路INVから主に構成される。アクティベート時に、ECC要素回路ECC0に接続されるセンスアンプSA0が誤ってデータを読み出した場合 (1)、まずそのデータは排他的論理和EXORに入力され、その出力結果は後続のECC要素回路ECC1を構成する排他的論理和回路EXORに入力される (2)。同様にECC要素回路ECC1では、ECC要素回路ECC0の出力結果とセンスアンプSA1のデータの排他的論理和を計算して、後続のECC要素回路ECC2にその出力結果を転送する。このような計算を順次行い、72段の排他的論理和EXORの計算を実行して8bitのシンドローム信号Sを生成する。もし読出しエラーが検出され、シンドローム信号Sが活性化(この場合、シンドローム信号Sの全8bit中、1bitでも1が出力)されたら、プリデコード回路PDでシンドロームをプリデコードし (3)、比較回路COMPでデコードされたシンドローム信号Sとセンスアンプ回路SAが一致するか判断する (4)。さらに、データ反転回路INVによってセンスアンプSA0中のデータを反転し (5)、その後カラムスイッチYSWを活性化して、正しいデータをリードもしくはライトする。以上がアクティベートからリード/ライトに係る動作シーケンスである。

【0016】

次にプリチャージに係る動作シーケンスを、図4を用いて説明する。アクティベート時に読出しデータに誤りがあった場合、エラー訂正回路ECCによってエラーが検出および訂正された後、リードもしくはライトすべきデータがセンスアンプSAに保持される。その後、センスアンプSAに保持されているデータは、カラムスイッチYSWを活性化する (1)ことで、外部に入出力される (2)。この際、ライトコマンドが外部から入力された場合、新しい64bitのデータパターンに対してエラー検出および訂正するための検査ビットPを新たに生成する必要がある。新たに検査ビットPを生成するためには、センスアンプSAに保持されているデータを用いて排他的論理和EXORを計算し (3)、アクティベート時と同様のフローを実行する。なお後述するが、検査ビットPを算出する際は、検査符号Hを構成するECCブロックECC0～ECC71のうち、ECC0～ECC63までの要素回路に属する排他的論理和EXORを用いて検査ビットPを計算すればよい。その後、生成した検査ビットPとセンスアンプSAに保持されているデータをメモリセルにリストアし、続いてワード線を非活性化して、データ線をプリチャージする。以上のようにして、アクティベートからリード/ライト、プリチャージコマンドに至るまでのロウサイクル内で、エラー検出および訂正を実行する。

【0017】

図5は本発明のエラー訂正回路搭載DRAMの一実施例であり、複数の排他的論理和回路EXORからなるシンドローム生成回路SYN_GENと、データ反転回路DINV、センスアンプ回路SA、プリチャージ回路PCH、カラムスイッチYSWから構成されるセンスアンプアレイSAA0-SAA71が記載されている。なお比較回路COMPは図面が煩雑になるためここでは省略している。また、アクセストランジスタTNとセルキャパシタCSからなるメモリセルMCを複数有するサブアレイSARY0が、スイッチトランジスタTSWを介してセンスアンプアレイSAA0-SAA63と接続されている。また、メモリセルMCのワード線WLを駆動するためのサブワードドライバSWDが、サブアレイSARYの両側に接続されている。さらにエラー検出および訂正に必要な検査ビットを保持するための検査ビットアレイCHKARY0が、センスアンプ回路SAA64-SAA71と接続され、メモリアレイを構成している。なお検査ビットを保持するためのメモリセルも、サブアレイを構成するメモリセルMCと同様の構成である。検査ビットを保持するためのメモリセルは、対応するメモリセルMCが接続されるワード線WLと同じワード線に接続される。これにより、一つのワード線WLを立ち上げることで対応するメモリセルMCと検査ビットを保持するメモリセルが同時に読み出されるため、異なるメモリアレイに検査ビットを構成することと比較して制御が簡単になる。なお、エラー訂正回路ECCは、シンドローム生成回路SYN_GEN、データ反転回路DINV及び後述するデコード回路DECで構成される。ここで、後で詳細に構成・動作を述べるが、シンドローム生成回路SYN_GEN及び後述するデコード回路DECは、対応するメモリセルからデータを読み出したときの誤動作を検出し、反転回路DINVは、シンドローム生成回路SYN_GEN及び後述するデコード回路DECで検出された読出し誤動作したデータを反転して訂正する役割を持つ。

【0018】

10

20

30

40

50

また、それぞれの記号は、センスアンプ回路SAを駆動するCOMMONソース線CSN0、CSP0、COMMONソース駆動信号 CSN0、CSN1、CSP0、CSP1、データ反転回路DINVを駆動するCOMMONソース線CSN1、CSP1、データ反転信号INV_SIG、スイッチトランジスタ駆動線SHRR、SHRL、カラムスイッチ駆動線YS0、ローカルデータ線LIOT0、LIOB0、LIOB1、LIOB1、プリチャージ駆動線DLEQ、プリチャージ電圧VDLR、サブワード線WL、WL0-WL2、データ線DL0、/DL0、アクセストランジスタTN、セルキャパシタCS、プレート電極PLT、シンドローム信号S0-S7、データ訂正信号SYN0-SYN71を示している。なお、複数のメモリセルMCは、N型チャンネルMOSトランジスタTNとキャパシタCSをそれぞれ具備するDRAMメモリセルである。また複数のセンスアンプ回路SAは、一方のゲートと他方のドレインが互いに接続されたP型チャンネルのMOSトランジスタ対と、一方のゲートと他方のドレインが互いに接続されたN型チャンネルのMOSトランジスタ対で構成される。

10

【0019】

図5に示すように、シンドローム生成回路SYN_GENおよび後述するデコード回路DECは、サブアレイSARY毎に配置される。このような構成にすることで、データの読出し、エラー検出及び訂正、外部データの書込みにいたるまでの動作を、センスアンプアレイSAAで処理できる。すなわち、通常動作の書込み時に、サブアレイSARY内のデータを所謂バンク外部まで出力する必要がないため、エラー検出および訂正動作を実行した時においても、読出しおよび書込み速度の低下を最小限に抑えることができる。なおテストモードの際には、図5のデータ反転回路DINVを構成するデータ反転信号INV_SIGをネゲートしておくことで、反転回路DINVを無効化でき、エラー検出および訂正に関わる動作を無効化できる。したがって、訂正前のサブアレイSARY内のメモリセルのデータを読み出すことで、異物などによる固定不良や、リテンション不良などの解析を行うこともでき、チップの歩留まり評価が可能となる。

20

【0020】

図6は、図5に示す実施例において、各回路の配置がわかるように複数のサブアレイブロックを示したものである。サブアレイSARY及び検査ビットアレイCHKARYを含むサブアレイSARYは、四角形の領域に形成され、その左右の辺に沿って、センスアンプSA及びエラー訂正回路ECCが配置される。また、四角形の領域の上下の辺に沿ってサブワードドライバSWDが配置される。ここで、センスアンプSA及びエラー訂正回路ECCは、その左右に配置されるサブアレイSARYに共通に設けられる。同様に、サブワードドライバSWDは、上下に配置されるサブアレイSARYに共通に設けられる。更には、センスアンプSAは、ビット線対(BLT, BLB)ごとに左右交互に配置される。これにより、エラー訂正回路ECCやセンスアンプSA、サブワードドライバSWDの面積を小さくすることが可能となる。また、センスアンプSAに読み出されたデータは、カラムスイッチYSWを介してローカル入出力線LIOに出力される。更に、交差領域XPにおいて、スイッチを介してメイン入出力線MIOに出力される。ここで、ローカル入出力線LIO及びメイン入出力線MIOには、エラー訂正回路ECCでエラー訂正された後のデータが出力される。即ち、エラー訂正をする度にローカル入出力線LIO及びメイン入出力線MIOを駆動する必要がないため高速に動作させること及び低消費電力の動作が可能となる。なお、本実施例では、メモリセルアレイの中で一つのワード線WLに接続されるメモリセルの数は、エラー訂正に必要なビット数(72ビット)×2=144ビットとなる。

30

40

【0021】

図7は、図5の実施例に記載されているシンドローム生成回路SYN_GENにおけるシンドローム生成の具体例である(72, 64)ハミング符号の検査符号Hの一例である。なおI、I'は情報ビット、X、X'は符号語、P、P'は検査ビット、Y、Y'は受信語、S、S'は生成されるシンドロームである。図7のように、例えば符号語Xに対応する検査ビットPは、生成行列Gに情報ビットIの転置行列ITを掛けることで得られる。なお、演算はmod2で行う。したがって、データにエラーがない場合の受信語Yは、情報ビットIに検査ビットPを加えた72ビットの行列(符号語X)で表される。なお図7において、検査符号Hと受信語Yの転置行列YTから算出されるシンドロームSは、すべてのビットで0となる。すなわち、受信語Yに

50

エラーがないことを示している。一方、単一誤り e が発生し、受信語が $Y' = Y + e$ (ここで '+' の記号は排他的論理和を意味する)のように表されるとする。この場合、エラー検出および訂正の過程で生成されるシンドローム S' は、 $S' = (11100000)$ となる。この生成されたシンドローム S' は、単一誤りが生じたビット位置の情報を持つ。したがって、検査行列 H の一行目 $H_0(11100000)$ に対応する D_0 のデータが誤って読み出されたと検出できる。なお、図7で示した符号語 X, X'' のうち、情報ビット l, l'' はサブアレイSARYのメモリセルに保持される。また、検査ビット P, P'' のデータは検査ビットアレイCHKARYのメモリセルに保持される。検査符号 H の行列の"1"の数字は、後述する図8で示される排他的論理和EXORの物理的な位置を意味している。一方受信語 Y, Y' はサブアレイSARYに保持された符号語 X, X'' をメモリセルから読み出し、センスアンプSAで増幅した際のデータ線上の信号を示している。

10

【 0 0 2 2 】

図8は、図7の検査行列 H を排他的論理和回路EXOR、論理積回路ANDを複数用いて構成したシンドローム生成回路SYN_GENと比較回路COMPを示している。なお、図3ではプリデコーダPDと比較回路COMPをそれぞれ使用する例を記載したが、ここでは説明の簡単のため生成されたシンドローム信号 S と各センスアンプの位置を示す番号(検査行列 H の各列 H_0-H_{71})とを直接比較する例を記載した。図中の記号は、検査ビット出力線 C_0-C_7 、シンドローム無効化信号SYN_DIS、比較回路COMPである。その他の記号は、図1と同様なので説明を省略する。例えば、単一誤り e が発生している図7の受信語 Y' がデータ線 DL_0-DL_{63} および検査ビット出力線 C_0-C_7 を経由してシンドローム生成回路SYN_GENに入力された場合、生成されるシンドローム S' は、 $S' = (11100000)$ である。したがって、データ訂正信号 SYN_0-SYN_{71} の中、データ訂正信号 SYN_0 のみがアサートされる。このように、データ訂正信号 SYN_0 がハイにアサートされることで、データ反転回路 $DINV$ が活性化され、誤って読み出されたデータ線 DL_0 の信号を反転させることでデータを訂正することができる。

20

【 0 0 2 3 】

図9は、図5および図8で示した排他的論理和回路EXORの具体例である。図9(a)の回路は、4つのNMOSトランジスタで構成されるので、回路面積が小さいという利点を持つ。図9(b)、図9(c)はCMOSタイプの回路構成からなり、図9(a)に比べ回路面積は多少大きくなるものの、高速動作が可能であるという利点がある。図10は、図8に示した論理積回路ANDの具体例を示した回路図である。論理積回路ANDは8入力の論理積なので、図10(a)では一例として、7つの論理積回路を接続して8入力の論理積回路を構成した例を示している。また、シンドローム無効化信号SYN_DISは、論理積回路ANDの給電部に接続され、データ訂正信号 SYN_0 を制御する。このように、本実施のエラー訂正回路ECCを構成する回路は、簡単な回路で構成でき、実現が容易である。また図10(b)は、パストラジスタを直列に接続した、ダイナミック型の論理積回路ANDの例である。この場合、論理積回路ANDを構成するトランジスタの数が少なくすむので、より高集積なDRAMアレイを実現できる。

30

【 0 0 2 4 】

図11は、本発明のエラー訂正回路ECCを用いてデータを読み出したときの、動作波形の一例を示した図である。まず、プリチャージ駆動線 $DLEQ$ をアサートして、データ線対をプリチャージ電位 V_{DLR} にプリチャージする。プリチャージ駆動線 $DLEQ$ の駆動方法は様々あるが、例えばロウアドレス信号やサブアレイ選択信号を利用すればよい。同様に、スイッチトランジスタ駆動線 $SHRR$ を、ロウアドレス等を利用してネゲートする。このようにすることで、選択サブアレイ $SARY_0$ のデータ線対とセンスアンプアレイ SAA_0-SAA_{71} が電気的に接続される。次にサブワード線 WL_1 がアサートされると、複数の選択メモリセルから保持されている信号が、データ線に出力される。例えば、図5のメモリセル MC の L レベルに対応した微小な信号 dV_{sig} が、データ線 DL_0 に出力される。その後、コモンソース線 CSN_0 が接地電圧 V_{SS} に駆動されると、読み出しデータに誤動作がなければ、データ線 DL_0 は接地電圧 V_{SS} に駆動される。しかし、微細化が進み、セルキャパシタの容量が十分に確保できない場合、データ線を低電圧化すると、前述の読み出し信号 dV_{sig} が非常に小さくなる。このような場合、例えば宇宙から照射される線や中性子線などの影響で、臨界電荷が発生し、データ

40

50

線に出力された読出し信号dVsigのデータを反転させてしまう場合がある。このような時は、図11に示す破線のように、接地電圧VSSに駆動されるべきデータ線DL0が、ハイレベルの電圧VDLに駆動され、データが誤って読み出されてしまう。一方、本発明のようにエラー訂正回路ECCを具備すれば、誤って読み出されたデータ線DL0の信号を訂正できる。例えば、図11の動作波形のように、データ線DL0のデータが誤って読み出され、受信語Y'のように読み出された場合、出力されるシンドローム信号S0-S7はS'=(11100000)となる。したがって、データ訂正信号SYN0がハイにアサートされ、データ反転回路DINVを活性化し、データ反転信号INV_SIGによって保持されていた電位レベルが反転され、データ線DL0のデータを訂正する。その後カラムスイッチYSWが活性化され、訂正された信号が外部に出力される。

10

【0025】

図12は、本発明のエラー訂正回路ECCを用いた時、外部からのデータを書き込む場合の動作波形の一例を示した図である。基本的な動作は図11と同様なので詳細な説明は省略する。また、スイッチトランジスタ駆動線SHRR等の一部の制御線は、説明の簡単化のため省略した。図11と異なる点は、データ訂正信号SYN0を用いて、DL0のデータを訂正した後、シンドローム無効化信号SYN_DISをハイにアサートすることである。例えば図7中に示された情報ビットのうち下線で示した、DL8、DL9の2ビットのデータを外部から書き込む場合、まずサブワード線WL1をアサートしてメモリセルから所望のデータを読みだす。この時、図11と同様にDL0のデータが誤って読み出されたときは、エラー訂正回路ECCによってデータ線DL0のデータを訂正する。その後、カラムスイッチ駆動線YS4を活性化して、データ線DL8、DL9に外部データを入力する。次に、シンドローム無効化信号SYN_DISをアサートして、各検査ビット出力線C0-C7に、生成された検査ビットP"のデータを出力する。また、シンドローム無効化信号SYN_DISを利用して、論理積回路ANDを無効化する。このようにすることで、書き込みデータである情報ビットI"に対応する検査ビットP"を正しく生成することができる。また、書き込むべきデータである情報ビットI"と新たに生成した検査ビットP"を誤って修正しないように、エラー訂正回路ECCを制御できる。以上のように、シンドローム無効化信号SYN_DISを用いてエラー訂正回路ECCを制御した後、カラムスイッチYS4をアサートし、書き込みデータDQを、データ線DL8を経由してメモリセルにライトする。また、生成した検査ビットP"を所望の検査ビット用のメモリセルにライトする。このように、シンドローム無効化信号SYN_DISを活性化することで、正しくエラー訂正回路ECCを制御でき、低電圧動作が可能なDRAMアレイを実現できる。なお、検査ビットの書き込みを制御する信号にシンドローム無効化信号SYN_DISを用いているが、外部プリチャージコマンドによって制御される別の信号を用いて検査ビットの書き込み動作を制御しても良い。このようにすれば、同一ワード線に接続されるメモリセルに対して書き込み動作が連続して要求された場合、外部からのデータがカラムスイッチYSWを経由してデータ線に書き込まれるたびに、新たに生成される検査ビットを検査ビットアレイCHKARYのメモリセル内に書き込まなくてすむ。このため、検査ビットアレイCHKARYのデータ線充放電電流を低減でき、消費電力を低減できる。

20

30

【0026】

図13(a)は、本発明のエラー訂正回路ECCを用いて構成したDRAMチップの一例を示した図である。図の記号は、検査ビットアレイCHKARY、ECCセンスアンプ部ECCSA、サブアレイSARY、サブワードドライバ部SWDA、ロウデコーダR-DEC、カラムデコーダC-DEC、アドレスコントローラA-CTL、周辺回路PERI、パッドPAD、内部電源発生回路V_GEN、ECC検出部DETECTを示している。なお、図面が煩雑になるため、メインワードドライバ等、チップに必要な回路ブロックの一部は図面から省略している。このように、ECCセンスアンプ部ECCSA内にエラー訂正回路ECCを組み込んでいるので、ロウデコーダR-DECなどの周辺回路は、従来の構成のままでよい。また図13(b)は、内部電源発生回路V_GENが生成する各種電源電圧と、それらの電源を利用する各回路との接続関係を示した一例である。内部電源発生回路V_GENは、外部電源VDDおよび外部接地電源GNDを用いて、ワード線選択レベルVPP、ワード線非選択レベルVKK、データ線電圧VDL、接地電圧VSS、周辺回路電圧

40

50

VCL、基板電圧VBB、プリチャージ電圧VDLR等の電圧レベルを生成する。各回路は、それらの電圧レベルを用いて、読出しや書き込みに関わる所望の動作を実行する。図13(c)のECC検出部DETECTには、ロウアドレスROW-ADD、コラムアドレスCOL-ADD、データ訂正信号SYNが入力されている。さらに、エラー訂正が実行されたことを検出し、外部システムにその検出の有無をブロードキャストする信号であるECCアクノリッジ信号ECC_ACKが記載されている。なお、ECCアクノリッジ信号ECC_ACKを外部システムに転送するには、図13(a)に示したPAD部にハッチングで示した新たな専用パッドPAD_ECCを加えることで、実現できる。なお、専用パッドPAD_ECCは、ECCアクノリッジ信号ECC_ACKを出力するための出力回路に接続される。現在のDRAMでは、アドレスパッドとデータ入出力パッドが半導体チップの長辺方向の中央軸に対して上下に分かれて配置される。このようにアドレスパッドとデータ入出力パッドが上下に分かれて配置される場合は、専用PAD及び出力回路をデータ入出力パッドが配置される側に配置することで、データ入出力用の電源VSSQやVDDQを共通にECCアクノリッジ信号出力回路に接続でき、余分な配線が必要でなくなり小面積を実現できる。また、このようにECCアクノリッジ信号を出力する構成を半導体チップが有することで、チップ組み立て後のメモリセルの信頼性を常に監視することが可能となる。例えば、エラー訂正回路が動作したことを示すログを、外部システムが保存しておき、エラー発生頻度をモニターすれば、チップの信頼性を常時確認することができる。すなわち、本発案のエラー訂正回路ECCとECC検出部DETECTを有することで、低消費電力化だけでなく、システム全体の信頼度を著しく向上できる。

【0027】

以上が本発案の実施例1の説明である。なお、言うまでもないが、図1から図13の構成は、本発明の主旨を逸脱しない範囲で様々な変更が可能である。例えば、図5では折り返し型のアレイ構成を示しているが、もちろん開放型のメモリアレイ構成でも良い。またセンスアンプ回路SAも、ラッチ型の回路構成ではなく、所謂ダイレクトセンスアンプのような回路構成でもよいことは言うまでもない。この場合、データ書込み用のトランジスタを新たに追加すればよい。さらに、コモンソース線CSP0やコモンソース線CSP1を周辺回路電圧VCLまで昇圧する、所謂オーバードライブ方式のセンスアンプ駆動方式や、コモンソース線を駆動するドライバ回路を分散して配置する、所謂分散ドライブ方式にしてもよいし、前記二つの方式を組み合わせ、所謂分散オーバードライブ方式を利用しても良い。これらの場合、低電圧化したときでも、メモリセルのデータを高速に読み出すことができる。また、図7の検査行列Hも様々な変更が可能である。各列で、ユニークなビットパターンを構成できれば、どのような検査行列でもよい。さらに、図7の例では説明の簡単化のため、ハミング符号を用いたが、本発明はこれに限定されるものではない。所謂BCH符号でもよいし、リード・ソロモン符号を用いて検査行列を構成してもよい。このように様々な符号化手法を用いて、エラー訂正回路ECCを実現できる。さらに、図8、図9、図10では、エラー訂正回路ECC、排他的論理和回路EXOR、論理積回路ANDの一実施例を記載したが、本発案はこれに限定されず、様々な変更が可能である。なお、図7の代わりに、巡回ハミング符号を用いれば、排他的論理和回路EXORを繰り返し利用することで、回路規模を大幅に低減することも可能である。なお、その場合の変更は、一般的な回路の追加で実現可能であるので、ここでは図面を省略した。また、図11および図12の動作波形のタイミングの変更や、図13のDRAMチップ構成、サブアレイSARYの数や、ECC検出部の構成も、本発案の主旨を逸脱しない範囲で変更が可能であることは言うまでもない。

【実施例2】

【0028】

実施例1では、読出し誤動作が生じた場合、エラー訂正回路ECCを用いて誤って読み出されたデータを修正したが、冗長ビットを付加して、不良セルと冗長ビットと置換する手段を有すると、冗長ビットを有さないアレイに比べてより低電圧化が可能となる。すなわち、より信頼性を向上させたDRAMアレイを実現することができる。

【0029】

図14の検査行列Hは、サブアレイSARYに冗長ビットを付加した時に、その冗長ビットに

10

20

30

40

50

対応する新たな冗長用検査行列を加えたときの、一実施例である。このように、冗長ビット用に余分に検査行列を保持しておけば、例えばデータ線DL8およびデータ線DL32に接続されるメモリセルが不良であった場合でも、置換先の冗長データ線のエラー検出及び訂正をするために、冗長用検査行列の中から4列の行列を選択すれば、置換した冗長ビットのデータを誤って読み出したときも、そのデータを修正できる。なお、検査行列Hは、あらかじめすべての列が独自のビットパターンとなるように構成されているので、冗長用の検査行列から任意の列を選択しても、エラー訂正回路のための検査行列として利用できる。図14の例では、データ線DL8およびデータ線DL32に接続される複数のメモリセルの中、ひとつのセルが不良セルであり、データ線DL8、DL32を選択するカラムスイッチYS4およびYS16が接続されているセンスアンプアレイSAA8、SAA9、SAA32及びSAA33がそれぞれ冗長用のセンスアンプアレイ及び冗長ビットと置換されたことを示している。なお、置換もとのデータ線に対応する検査行列のうち、8列目、9列目、32列目及び33列目、さらに使用しない冗長ビットに対応する斜体で示した4列の行列は、エラー検出および訂正動作の際には、無効化する必要がある。その理由は、無効化しないと、64bitの情報ビットIに対応した、正しい検査ビットPを生成できないためである。したがって、冗長ビットを用いて不良セルを置換したときの検査行列は、無効化したビットパターンを除いた検査行列H'のように示され、本実施の検査行列H'を利用すれば、冗長ビットとエラー訂正回路ECCを併用したDRAMアレイが実現可能となり、エラー訂正回路ECCだけを利用した実施例1よりも、より低電圧動作が可能なメモリが実現できる。例えば、情報ビットIが図14のような場合、受信語はY'ようになる。この場合、受信語YにエラーがないためシンドロームSのビットはすべて0である。一方、単一誤りeが発生し、受信語がY'のような場合は、シンドロームはS'のように出力され、データ線DL21に対応するビットが不良であることを検出し、そのセルのデータを訂正する。

【0030】

図15は、図14に示した検査行列H'において、不要なビットパターンを無効化するための回路を付加した時の、センスアンプアレイSAA0-SAA79の一実施例である。図15に示したように、センスアンプ回路SAのコモンソース線CSN0、CSP0とデータ線DL、/DLを短絡させるようにトランジスタを接続し、不良メモリセルが接続されているセンスアンプアレイに対応するセンスアンプ無効化信号SADISをアサートすることで、排他的論理和回路EXORを不活性化させることができる。すなわち、冗長とエラー訂正回路ECCを併用したDRAMアレイが実現可能となる。また実施例1と同様に、データ反転回路DINVはデータ反転信号INV_SIGを具備することで、テストモードの際にデータ反転回路DINVを無効化し、サブアレイSARYおよび冗長セルの不良解析を行うことができる。すなわちどのメモリセルが不良セルであるのかを識別でき、その情報をもとに冗長ビットとECCブロックの置換が可能となるので、信頼性の高いチップを提供することが可能となる。

【0031】

図16は、図14および図15の構成において、読出し動作時におけるエラー検出および訂正動作波形の一実施例である。基本的な動作は実施例1と同様なので、詳細な説明は省略する。また、データ反転信号INV_SIG等一部の制御信号は、説明の簡単化のため省略した。図11と異なる点は、センスアンプ無効化信号SADIS4をアサートし、所望のデータ線DL8および/DL8の電圧レベルを固定する点である。図16では、データ線DL8に接続されるメモリセルが不良セルであり、冗長ビットに置換されたので、センスアンプアレイSAA8を構成するセンスアンプ回路SAを無効化し、排他的論理和回路EXORを不活性化していることを示している。なお、書込み動作については、図12の動作波形に加え、図16に示したセンスアンプ無効化信号SADISを、読出し動作と同様に制御すればよいので、ここでは図面による説明を省略した。このように、センスアンプ無効化信号SADISを追加することで、冗長とエラー訂正回路ECCを併用したDRAMアレイが実現できる。すなわち、冗長ビットを有することで、より安定した読出し動作が可能となり、データ線を低電圧化しても誤動作が生じないDRAMアレイが実現できる。また、本実施のエラー訂正回路ECCは、サブアレイSARY毎に設置されるため、実施例1と同様に、通常の動作時においても読出しおよび書込み速度の

10

20

30

40

50

低下を最小限に抑えることができる。

【実施例3】

【0032】

実施例1、実施例2では、検査ビットアレイのメモリセルが不良セルではない場合について説明したが、検査ビットアレイのメモリセルが、セルキャパシタ不良等であった場合、予め余分な複数の検査ビットと、前記検査ビットのエラー検出および訂正に必要な検査行列を用意しておき、前記検査ビットと前記検査行列も、エラー検出および訂正動作に利用することで、検査ビットに不良セルがあり、同時にサブアレイSARYから読み出したデータに誤動作が生じた場合でも、エラーデータを修正でき、信頼性の高いDRAMアレイが実現できる。言い換えると、単純なハミング符号を用いる場合でも、検査ビットのハードエラー1ビットと、サブアレイSARYから読み出したデータのソフトエラー1ビットの、2ビット修正が可能となる。すなわち、データ線を低電圧で動作させた場合においても、2ビット修正が可能となるので、安定した読出しが可能となり、低消費電力なDRAMアレイが実現できる。

【0033】

図17は、検査ビットアレイCHKARYのメモリセルが不良であった場合を想定し、その不良検査ビットのエラーを検出および訂正するための、ビットパターンを新たに加えた検査行列Hの一実施例を示した図である。図17の例では、検査ビットアレイCHKARYに、検査ビットとして複数のメモリセルを具備したデータ線DL72を加え、そのデータ線DL72から読み出したデータを、エラー検出および訂正するために、新たに検査行列を加えた例を示している。このようにすると、検査行列Hのそれぞれの列が、独自のデータパターンとなるように検査行列Hを構成できる。ここで、検査ビットアレイCHKARYのメモリセルに不良がない場合、例えば受信語Yに対するシンドロームSは、すべて0の9bitの信号と表される。この場合、誤って読み出されたデータがないことを示している。一方、仮に検査ビットアレイCHKARYを構成する、データ線DL65に接続されるメモリセルの一つが、セルキャパシタの不良により、正確なデータの読出し動作ができない場合があるとする。この場合、常に1bitの誤動作が発生するので、実施例1および実施例2のエラー訂正手法であれば、エラー訂正能力を検査ビットの修正に使ってしまい、サブアレイSARYのデータの読出し誤動作を修正することができない。そこで本実施例のように、検査ビットアレイCHKARYに予め用意しておいた検査ビットであるデータ線DL72をエラー検出および訂正動作に利用する。言い換えると、(72,64)ハミング符号ではなく、(73,64)ハミング符号の構成でエラー検出および訂正を行う。このようにすることで、エラー訂正回路ECCのデータ修正能力を、検査ビットアレイCHKARYのハードエラー1ビットと、サブアレイSARYのソフトエラー1ビットの、合計2ビットの訂正能力に向上させることができる。なお、図17では、検査ビットアレイCHKARYに、検査ビットとして複数のメモリセルを具備したデータ線DL72を加えてエラー検出および訂正をする例を示したが、もちろんサブアレイSARYのセル不良のために、冗長用検査行列を用意してもよいことは言うまでもない。この場合、図17の検査行列Hの斜体の部分を利用すればよい。冗長を有することで、サブアレイSARYのハードエラーを置換できるので、より信頼性のあるDRAMアレイが実現できる。すなわち、最大で同一データ線上のエラーを同時に3ビット訂正できる。なお、エラー訂正回路ECCだけで、十分に低電圧動作が可能であれば、図17に示した冗長用の検査行列を具備しなくてもよい。この場合、サブアレイSARYに付加される冗長用メモリセルが削減できるので、より高集積なDRAMアレイが実現できる。このように本実施の発明は、信頼性、低電圧動作を求める場合、もしくはより高集積なDRAMアレイを求める場合というように、その目的において様々な形態を取ることが可能である。また実施例1および実施例2では、カラムスイッチYS一本に対して、全部で4つのセンスアンプアレイSAAが選択される共有センスアンプ構成について説明したが、本実施例では、説明の簡単化のためカラムスイッチYS一本につき、センスアンプアレイSAAが二つ接続される共有センスアンプ構成とした。また、本実施例では、サブアレイSARYには不良セルがなく、冗長用の検査行列を利用する必要がない場合について説明する。したがって図17の検査行列Hの一部は無効化して、エラー検出および訂正する場合について

10

20

30

40

50

説明する。

【 0 0 3 4 】

図17の受信語Y'のように、単一誤りeが発生しデータ線DL65のデータが誤って読み出されたとする。その場合、シンドロームS'は、 $S' = (01000000)$ となり検査ビットのハードエラーを検出訂正する。次に受信語Y''のように、検査ビットのハードエラーによる単一誤りeに加え、サブアレイSARYのデータ読出し時に、誤動作によって単一誤りe'が発生したとする。この場合シンドロームS''は、 $S'' = (10100000)$ と出力される。しかし、検査行列Hの中に、このシンドロームS''が示す検査行列は存在しない。すなわちエラーの検出はできていても、エラーの訂正ができない。その理由は、そもそも検査ビットの中、1ビットが誤って読み出されているので、ハミング符号の1ビット訂正能力を超えてしまっているからである。そこで本発案では、予め検査ビットのハードエラーの位置が分かっている場合、そのハードエラーに対応するシンドローム信号を無効化する。図17の場合、データ線DL65に接続されるメモリセルが、ハードエラーであることが分かっているならば、シンドローム信号S1を無効化する。このようにすれば、シンドロームS''は $S = (1X1000000)$ (Xはドントケアを示す)と出力される。したがって、データ線DL0が誤りであることを示すことができるので、エラーを検出訂正できる。つまり、検査ビットアレイCHKARYのデータが誤っていたとしても、サブアレイSARYの誤動作を検出訂正することができる。なお、本発案の検査行列Hにおいては、いずれの行の検査行列がドントケアになっても、独自のビットパターンが維持されるような構成となっている。例えば、図17の生成行列の列方向の1の数は、すべての列において3つであり、シンドローム信号S0-S8のうち、どのシンドローム信号を無効化しても、必ずエラー検出および訂正が可能である。

【 0 0 3 5 】

図18は、図17の説明において記述した、シンドロームを無効化するための手段を具備したエラー訂正回路ECCの一実施例である。基本的な回路構成は図8と同様なので、ここでは詳細な説明を省略する。異なる点は、シンドローム信号を無効化するためのシンドローム信号無効化信号SYNSIG_DISを追加したことと、シンドローム信号S0-S8の9ビットに対して、それぞれ2入力NAND回路を二つ付加している点である。このような構成にすることで、所望のシンドローム信号を無効化できる。

【 0 0 3 6 】

図19は、本実施のエラー訂正回路ECCを利用して、読出し時の誤動作を検出訂正したときの動作波形の一例である。基本的な動作は、図11および図16の読出し動作と同様なので、ここでは詳細な説明は省略する。また、データ反転信号INV_SIG等一部の制御信号は、説明の簡単化のため省略した。図11および図16と異なる点は、シンドローム信号無効化信号SYNSIG_DISをアサートし、シンドローム信号S1の出力データをドントケアにしている点である。このようにシンドローム信号無効化信号SYNSIG_DIS0を制御することで、シンドロームS''をシンドロームSとして出力できる。その結果、データ訂正信号SYN0がアサートされるので、データ線DL0のデータを検出および訂正することができる。また、本実施例ではセンスアンプアレイSAAの回路図を示していないが、図15と同様なのでここでは省略した。さらに、書込み時の動作波形も、図12と基本的には同様な動作波形であり、それに加えて図19のようにシンドローム信号無効化信号SYNSIG_DISを追加すればよいので、ここでは図面とその説明を省略した。

【 0 0 3 7 】

なお、図17の検査行列は、巡回ハミング符号を用いている。巡回ハミング符号を用いることで、排他的論理和回路EXORを繰り返し利用することができる。その結果、追加ハードウェアの増加を最小限に抑えることが可能となり、より高集積なDRAMアレイを実現できる。なお、実施例1および実施例2においても、巡回ハミング符号を用いて検査行列を構成すれば、追加ハードウェアによる面積増加を最小限に抑えることができることは言うまでもない。また、巡回ハミング符号を用いて、排他的論理和EXORの繰り返し回路を実現するための回路変更は、レジスタ等一般的な回路の追加で変更が可能であるので、ここでは図面とその説明を省略した。このように、本発明はその主旨を逸脱しない範囲で様々な変更が

可能である。

【0038】

以上のように、実施例1から実施例3において説明したエラー訂正回路を用いれば、通常の動作時に、データの読み出しおよび書き込み速度の低下を最小限に抑えることができ、さらには、サブアレイの外部入出力線を、必要以上に振幅させることもないため、消費電流の増加も抑えることができる。また、データ線を低電圧化して、信号量が低下した場合でも、正確に信号を読み出すことができる。なお、実施例1から実施例3におけるサブアレイSARYを構成するメモリセルMCは、1トランジスタ型のDRAMセルで説明したが、もちろん2トランジスタ型の所謂ツインセルでもよい。また、二つのメモリセルを利用して、その論理和をとる所謂ORセルでもよい。もちろんDRAMセルではなく、6トランジスタ型のスタティックランダムアクセスメモリでもよく、様々なメモリセルと本発案のエラー訂正回路を組み合わせる利用することができる。また、実施例1から実施例3で説明した動作波形において、サブワード線WLは、接地電圧VSSからハイレベルのVPP電位まで振幅させる場合を記載したが、非選択時においてサブワード線の電位を負電圧にする、所謂ネガティブワード方式を利用しても良い。この場合、メモリセルの基板の不純物濃度を低くできるので、データ線電圧が蓄積ノードに十分に書き込まれない等の問題を解決できる。即ち、信号電圧の書き込み不足による不良セルを低減できるので、本発案のエラー訂正回路と組み合わせることで、より安定した読み出し動作、すなわち、データ線を低電圧化しても、正しくデータを出力できる信頼性の高いDRAMアレイが実現できる。このように、本発案のエラー訂正回路は、低電圧動作や高集積化といった目的に応じて、様々な変更が可能である。

10

20

【0039】

また本発明は、65nmノード、45nmノードまで微細化が進み動作マージンが低下した場合に特に有効である。例えば図20のように65nmノード、45nmノードと微細化に伴い低電圧化が進むと、読み出し信号量が小さくなりランダム性の不良が増加する場合がある。同様にメモリセル容量CSが20fF、15fFと十分に確保できない場合読み出し信号量が低下し、読み出し動作の誤動作が増加する場合がある。しかし、本発明のエラー訂正回路を用いれば、それらの誤動作を訂正し、正しいデータを読み出すことができる。また図20に示されるように、メモリセルやセンスアンプSAといった周辺回路のゲート長 L_g 、ゲート幅 W 、ゲート絶縁膜厚 T_{ox} が微細化されると、トランジスタの短チャネル効果等により閾値電圧のバラツキといった所謂素子バラツキが大きくなる場合がある。閾値電圧のバラツキやリーク電流といった素子バラツキは、読み出し信号量を減少させる原因ともなり、データ線電圧の低下やメモリセル容量不足と同様に読み出し動作の誤動作に繋がる恐れがある。このような場合においても、本発明のエラー訂正回路を用いれば読み出し誤動作を防ぐことができるようになる。すなわち本発明によって微細化が促進され、高集積かつ低電圧動作が可能で信頼性の高いDRAMが実現できる。

30

【図面の簡単な説明】

【0040】

【図1】本発明の半導体記憶装置のエラー訂正回路を含み、前記エラー訂正回路をサブアレイ毎に配置したメモリアレイブロックの概念図を示す第一の実施例である。

【図2】図1の実施例のエラー訂正回路において、シンドローム生成からエラー検出及び訂正にいたるまでの動作シーケンスの一例を示す図である。

40

【図3】図2の動作シーケンスにおいて、アクティベート時の要素回路の動作順序の一例を示す図である。

【図4】図2の動作シーケンスにおいて、プリチャージ時の要素回路の動作順序の一例を示す図である。

【図5】図1のブロック構成を実現するための各回路構成の一例を示した図である。

【図6】図1のブロック構成を実現するための回路構成の一例を示した図である。

【図7】図5の実施例のエラー訂正回路に用いる検査行列、生成行列及びそれらを用いて生成したシンドロームの一例である。

【図8】図5における、エラー訂正回路の一例を示す図である。

50

【図 9】図 8 における、排他的論理和回路の一例を示す図である。

【図 10】図 8 における、エラー訂正回路を構成する論理積回路の一例を示す図である。

【図 11】図 8 のエラー訂正回路を用いたときの読み出し動作波形の一例を示す図である。

【図 12】図 8 のエラー訂正回路を用いたときの書込み動作波形の一例を示す図である。

【図 13】図 5 に実施のエラー訂正回路を用いたサブアレイを、複数用いて構成した DRAM チップの一例を示す図である。

【図 14】冗長ビットのエラー検出および訂正回路に用いる検査行列と、それを用いて生成したシンドロームの一例を示す第二の実施例である。

【図 15】図 14 の検査行列を用いたときの、エラー訂正回路とそのエラー訂正回路を無効化する手段を含むセンスアンプアレイの回路構成の一例を示す図である。

【図 16】図 15 に実施したエラー訂正回路を用いたときの、読み出し動作波形の一例を示す図である。

【図 17】検査ビットのエラー検出および訂正回路に用いる検査行列と、それを用いて生成したシンドロームの一例を示す第三の実施例である。

【図 18】図 17 の検査行列を用いて構成した、エラー訂正回路の一例を示す図である。

【図 19】図 18 に実施したエラー訂正回路を用いたときの、読み出し動作波形の一例を示す図である。

【図 20】65nm、45nm ノードにおけるセルキャパシタやトランジスタに関わる定数を示した一例である。

【符号の説明】

【0041】

ECC・・・エラー訂正回路、ECC0-ECC71・・・ECC要素回路、COMP・・・比較回路、DEC・・・デコーダ、PD・・・プリデコーダ、SA・・・センスアンプ回路、TSW・・・スイッチトランジスタ、SHRL、SHRR・・・スイッチトランジスタ駆動線、YSW・・・カラムスイッチ、YS0、YS4・・・カラムスイッチ駆動線、LIOT0、LIOT1、LIOB0、LIOB1・・・ローカル入出力線、MIO・・・メイン入出力線、DINV・・・データ反転回路、INV_SIG・・・データ反転信号、SYN_GEN・・・シンドローム生成回路、SYN_DIS・・・シンドローム無効化信号、SA_DIS0-SA_DIS35・・・センスアンプ無効化信号、SYNSIG_DIS0-SYNSIG_DIS8・・・シンドローム信号無効化信号、G・・・生成行列、H、H'・・・検査行列、H0-H71・・・検査行列の各列、X、X'、X'' 符号語、Y、Y'、Y''・・・受信語、YT・・・受信語Yの転置行列、S、S'、S''、S・・・シンドローム、e、e'・・・単一誤り、I、I''・・・情報ビット、IT・・・情報ビットの転置行列、P、P''・・・検査ビット、X・・・ドントケア、CRR_CIRC・・・データ訂正回路、S0-S8、/S0-/S8・・・シンドローム信号、SYN0-SYN79・・・データ訂正信号、C0-C8・・・検査ビット信号、CHKARY、CHKARY0・・・検査ビットアレイ、EXOR・・・排他的論理和回路、AND、AND0-AND6・・・論理積回路、PCH・・・プリチャージ回路、DLEQ・・・プリチャージ回路駆動線、VDLR・・・プリチャージ電圧、CSN0、CSN1、CSP0、CSP1・・・コモンソース線、CSN0、CSN1、CSP0、CSP1・・・コモンソース制御線、WL、WL0-WL2・・・サブワード線、DL0-DL72、/DL0-/DL72・・・データ線、D0-D63・・・データ、MC・・・メモリセル、CS・・・セルキャパシタ、PLT・・・プレート電極、TN・・・アクセストランジスタ、dVsig・・・読み出し信号、SAA0-SAA79・・・センスアンプアレイ、SAA・・・センスアンプ部、ECCSA・・・ECCセンスアンプ部、SARY、SARY0・・・サブアレイ、XP・・・交差領域、R-DEC・・・ロウデコーダ、C-DEC・・・カラムデコーダ、A-CTL・・・アドレスコントローラ、PERI・・・周辺回路、DETECT・・・ECC検出部、PAD・・・パッド、V_GEN・・・内部電源発生回路、ECCACK・・・ECCアクノリッジ信号、SWD・・・サブワードドライバ、SWDA・・・サブワードドライバ部、VPP・・・ワード線選択レベル、VKK・・・ワード線非選択レベル、VDL・・・データ線電圧、VSS・・・接地電圧、VBB・・・基板電圧、VCL・・・周辺回路電圧、VDD・・・外部電源、GND・・・外部接地電源。

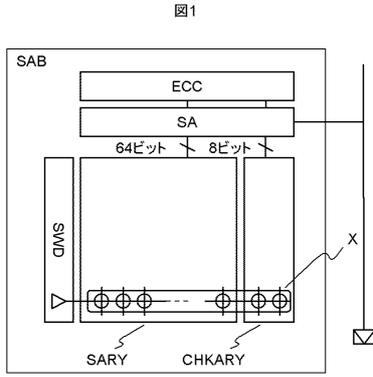
10

20

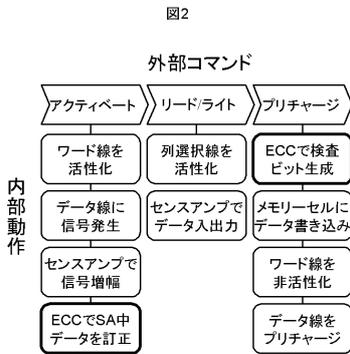
30

40

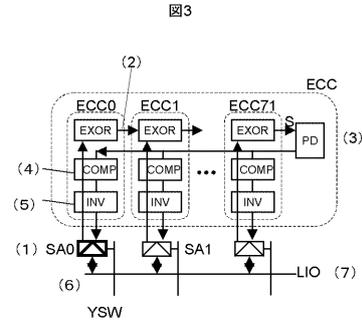
【 図 1 】



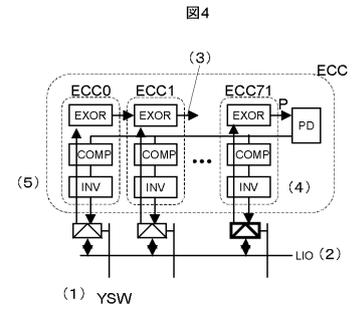
【 図 2 】



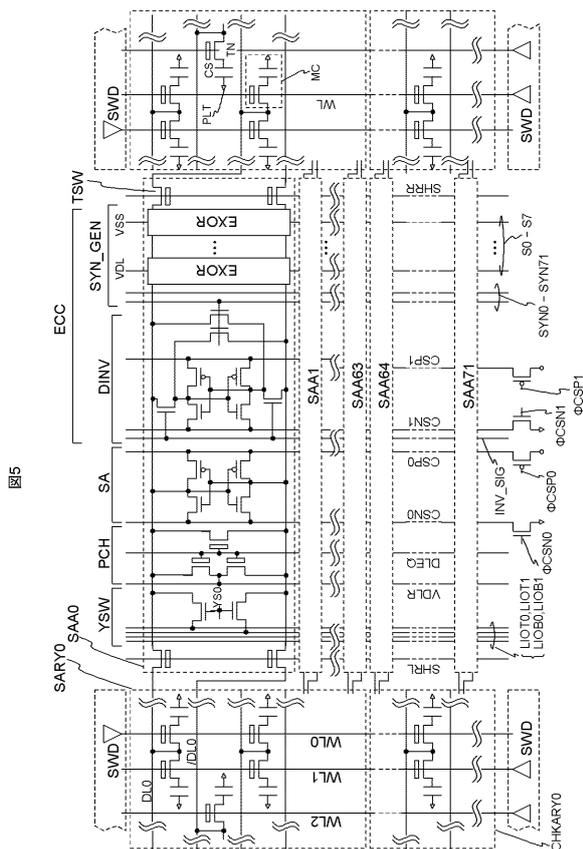
【 図 3 】



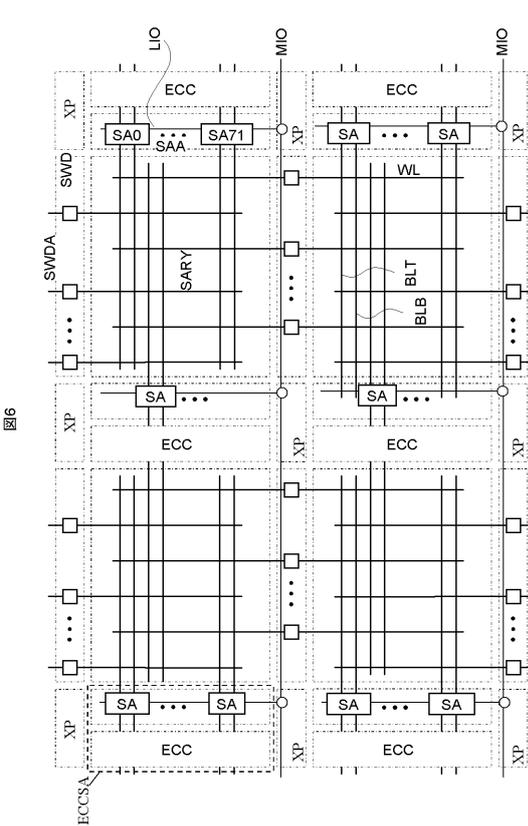
【 図 4 】



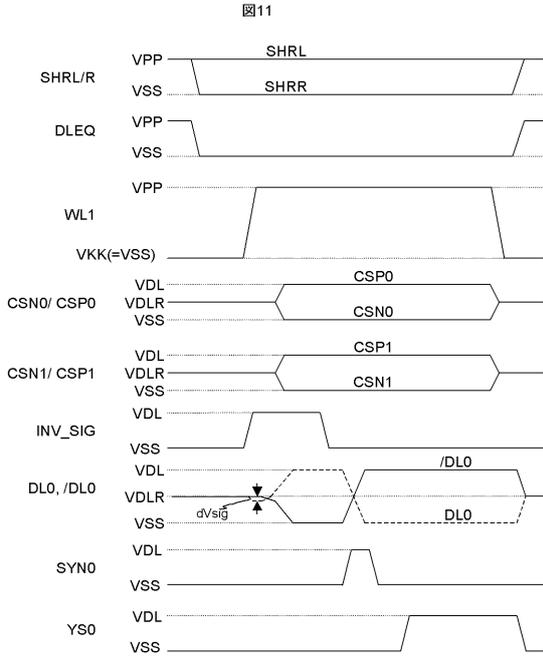
【 図 5 】



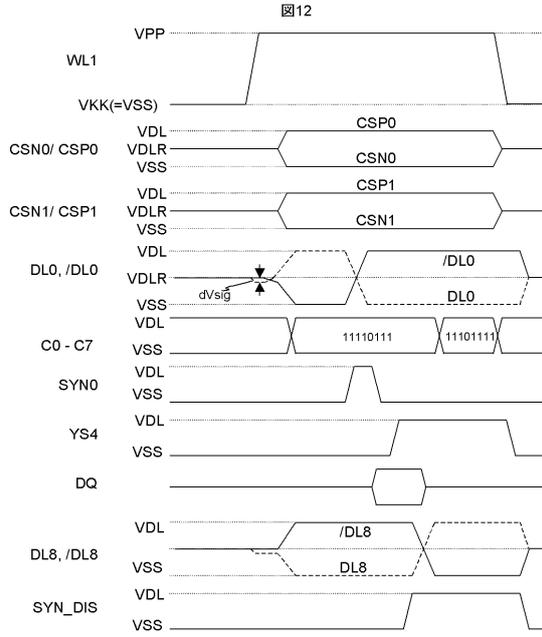
【 図 6 】



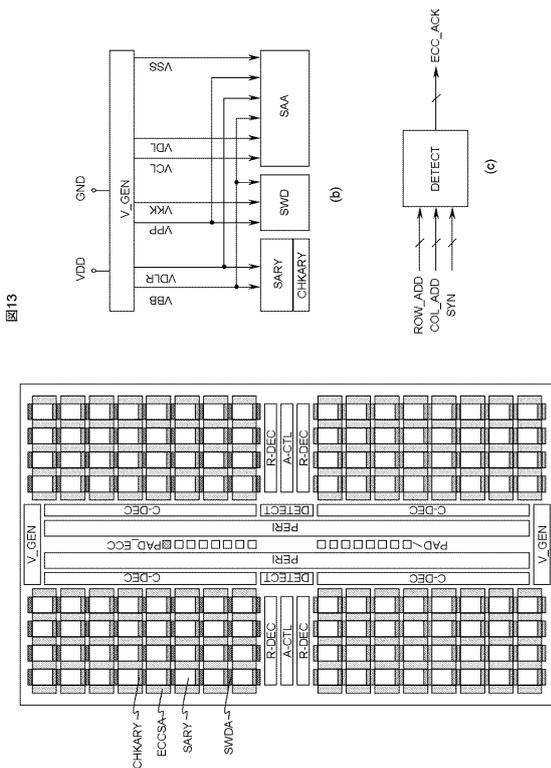
【図 1 1】



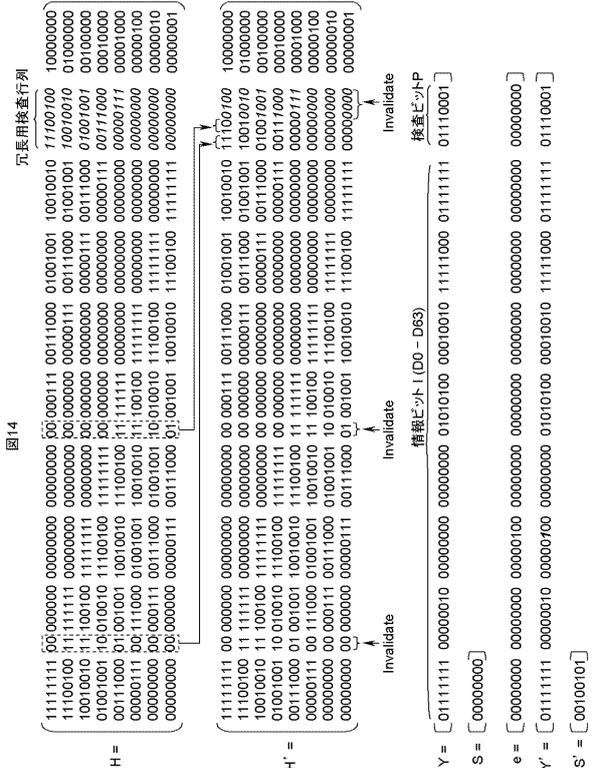
【図 1 2】



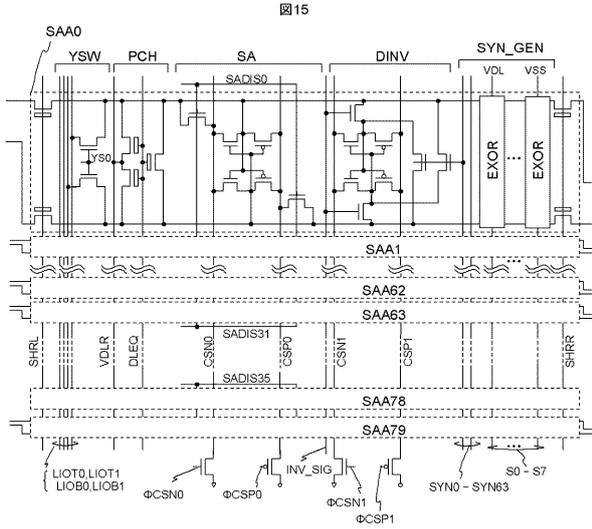
【図 1 3】



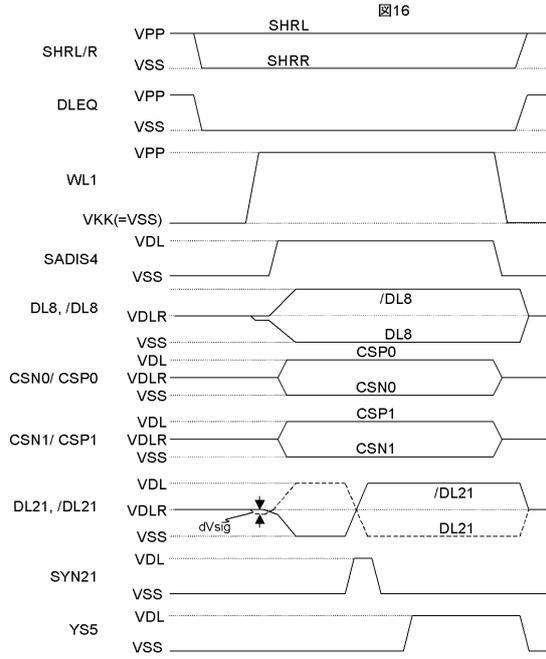
【図 1 4】



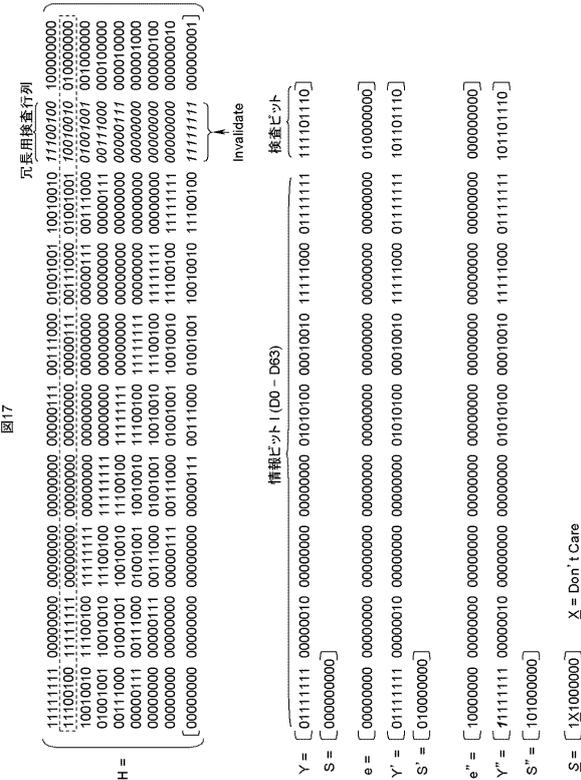
【 図 15 】



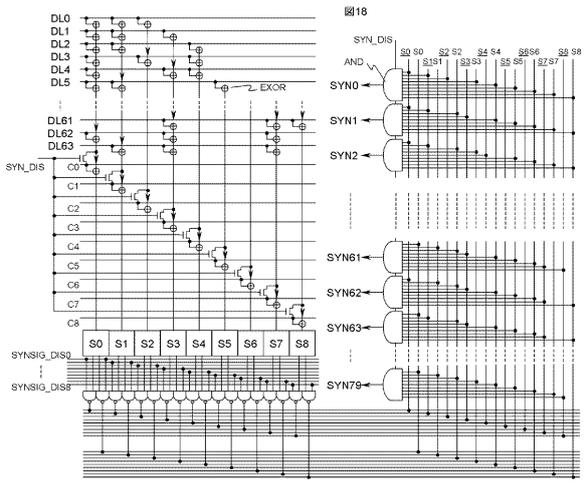
【 図 16 】



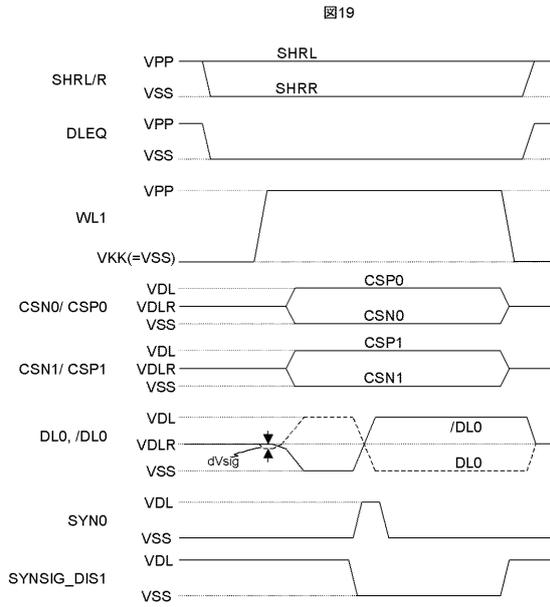
【 図 17 】



【 図 18 】



【 図 19 】



【 図 20 】

図20

	65nmノード	45nmノード
データ線電圧VDL(V)	~1.0	~0.8
セル容量CS (fF)	~20	~15
ゲート長Lg (セル/SA)(nm)	~ 65/ ~200	~ 45/ ~100
ゲート幅W (セル/SA)(um)	~ 0.065/ ~2	~ 0.045/ ~1
ゲート絶縁膜厚Tox (セル/SA)(nm)	~ 6/ ~4	~ 5/ ~3

フロントページの続き

審査官 小林 紀和

- (56)参考文献 特開2002-056671(JP,A)
特開2004-046969(JP,A)
特開平10-326497(JP,A)
特開昭61-217999(JP,A)
特開平01-133299(JP,A)
特開2000-149598(JP,A)
特開昭61-192100(JP,A)
特開平01-171199(JP,A)
特許第4547313(JP,B2)

(58)調査した分野(Int.Cl., DB名)

G11C 29/42
G11C 11/401
G11C 29/04