

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4337505号  
(P4337505)

(45) 発行日 平成21年9月30日(2009.9.30)

(24) 登録日 平成21年7月10日(2009.7.10)

(51) Int.Cl.		F I			
HO4N	5/225	(2006.01)	HO4N	5/225	Z
GO9G	5/00	(2006.01)	GO9G	5/00	55OR
GO9G	5/18	(2006.01)	GO9G	5/18	
GO9G	5/36	(2006.01)	GO9G	5/36	51OM
HO4N	5/232	(2006.01)	HO4N	5/232	Z

請求項の数 6 (全 44 頁)

(21) 出願番号 特願2003-372972 (P2003-372972)  
 (22) 出願日 平成15年10月31日(2003.10.31)  
 (65) 公開番号 特開2005-136868 (P2005-136868A)  
 (43) 公開日 平成17年5月26日(2005.5.26)  
 審査請求日 平成18年9月27日(2006.9.27)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100082131  
 弁理士 稲本 義雄  
 (72) 発明者 黒木 義彦  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 審査官 鈴木 明

最終頁に続く

(54) 【発明の名称】 撮像装置および撮像方法、画像処理装置および画像処理方法、画像表示システム、記録媒体、並びにプログラム

(57) 【特許請求の範囲】

【請求項1】

画像表示装置により、m Hz の第 1 のフレームレートの n 倍のフレームレートである第 2 のフレームレートで表示される画像に対応する画像信号であって、前記第 1 のフレームレートを有し、1 / n Hz の位相差をそれぞれ有する n 個の画像信号に区分されて入力されてくる前記画像信号を処理する画像処理装置において、

m Hz の第 1 のフレームレートを有する n 個の前記画像信号をそれぞれ保存する保存手段と、

前記保存手段により保存された n 個の前記画像信号のそれぞれの出力を制御する出力制御手段と、

前記出力制御手段により出力が制御された n 個の前記画像信号のうち少なくとも 2 以上を合成することで、p 個 ( p は、n より小さい整数値 ) の画像信号を生成して出力する合成手段と、

前記合成手段から出力された p 個の画像信号に対応する画像の表示を制御する表示制御手段と

を備え、

前記画像表示装置、または、前記画像表示装置の表示処理部は、p 個設けられ、

前記出力制御手段は、前記合成手段に、1 フレームごとに、前記保存手段から n 個の前記画像信号が順次出力されるように、前記第 1 のフレームレートの n 個の前記画像信号の出力をそれぞれ制御し、

前記表示制御手段は、前記第 2 のフレームレートで前記画像表示装置に画像が表示されるように、前記出力制御手段により出力が制御された  $n$  個の前記画像信号が 1 フレームの走査時間の  $1 / (m \times n)$  ずつずれて、点順次または線順次方式によって、順次描画されるように、前記合成手段から出力された  $p$  個の前記画像信号に対応する前記画像の表示を制御する

ことを特徴とする画像処理装置。

【請求項 2】

前記第 1 のフレームレートは、60 Hz であり、

前記画像表示装置、または、前記画像表示装置の前記表示処理部は、少なくとも 4 つ備えられている

10

ことを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記第 1 のフレームレートは、120 Hz であり、

前記画像表示装置、または、前記画像表示装置の前記表示処理部は、少なくとも 2 つ備えられている

ことを特徴とする請求項 1 に記載の撮像装置。

【請求項 4】

前記第 1 のフレームレートは、50 Hz であり、

前記画像表示装置、または、前記画像表示装置の前記表示処理部は、少なくとも 5 つ備えられている

20

ことを特徴とする請求項 1 に記載の撮像装置。

【請求項 5】

画像表示装置により、 $m$  Hz の第 1 のフレームレートの  $n$  倍のフレームレートである第 2 のフレームレートで表示される画像に対応する画像信号であって、前記第 1 のフレームレートを有し、 $1 / n$  Hz の位相差をそれぞれ有する  $n$  個の画像信号に区分されて入力されてくる前記画像信号を処理する画像処理装置の画像処理方法において、

$m$  Hz の第 1 のフレームレートを有する  $n$  個の前記画像信号をそれぞれ保存する保存ステップと、

前記保存ステップの処理により保存された  $n$  個の前記画像信号のそれぞれの出力を制御する出力制御ステップと、

30

前記出力制御ステップの処理により出力が制御された  $n$  個の前記画像信号のうち少なくとも 2 以上を合成することで、 $p$  個 ( $p$  は、 $n$  より小さい整数値) の画像信号を生成して出力する合成ステップと、

前記合成ステップの処理により出力された  $p$  個の画像信号に対応する画像の表示を制御する表示制御ステップと

を含み、

前記画像表示装置、または、前記画像表示装置の表示処理部は、 $p$  個設けられ、

前記出力制御ステップの処理では、前記合成ステップの処理に、1 フレームごとに前記保存ステップの処理から  $n$  個の前記画像信号が順次出力されるように、前記第 1 のフレームレートの  $n$  個の前記画像信号の出力がそれぞれ制御され、

40

前記表示制御ステップの処理では、前記第 2 のフレームレートで前記画像表示装置に画像が表示されるように、前記出力制御ステップの処理により出力が制御された  $n$  個の前記画像信号が、1 フレームの走査時間の  $1 / (m \times n)$  ずつずれて、点順次または線順次方式によって、順次描画されるように、前記合成ステップの処理により出力された  $p$  個の前記画像信号に対応する前記画像の表示が制御される

ことを特徴とする画像処理方法。

【請求項 6】

画像表示装置により、 $m$  Hz の第 1 のフレームレートの  $n$  倍のフレームレートである第 2 のフレームレートで表示される画像に対応する画像信号であって、前記第 1 のフレームレートを有し、 $1 / n$  Hz の位相差をそれぞれ有する  $n$  個の画像信号に区分されて入力さ

50

れてくる前記画像信号の処理をコンピュータに実行させるためのプログラムであって、  
 m H z の第 1 のフレームレートを有する n 個の前記画像信号をそれぞれ保存する保存ス  
 テップと、

前記保存ステップの処理により保存された n 個の前記画像信号のそれぞれの出力を制御  
 する出力制御ステップと、

前記出力制御ステップの処理により出力が制御された n 個の前記画像信号のうち少なく  
 とも 2 以上を合成することで、p 個 ( p は、n より小さい整数値 ) の画像信号を生成して  
 出力する合成ステップと、

前記合成ステップの処理により出力された p 個の画像信号に対応する画像の表示を制御  
 する表示制御ステップと

を含み、

前記画像表示装置、または、前記画像表示装置の表示処理部は、p 個設けられ、

前記出力制御ステップの処理では、前記合成ステップの処理に、1 フレームごとに前記  
 保存ステップの処理から n 個の前記画像信号が順次出力されるように、前記第 1 のフレ  
 ームレートの n 個の前記画像信号の出力がそれぞれ制御され、

前記表示制御ステップの処理では、前記第 2 のフレームレートで前記画像表示装置に画  
 像が表示されるように、前記出力制御ステップの処理により出力が制御された n 個の前記  
 画像信号が、1 フレームの走査時間の  $1 / ( m \times n )$  ずつずれて、点順次または線順次方  
 式によって、順次描画されるように、前記合成ステップの処理により出力された p 個の前  
 記画像信号に対応する前記画像の表示が制御される

ことを特徴とするプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置および撮像方法、画像処理装置および画像処理方法、画像表示シ  
 ステム、記録媒体、並びにプログラムに関し、特に、動画像を滑らかに表示させるようにす  
 ることができる、撮像装置および撮像方法、画像処理装置および画像処理方法、画像表示  
 システム、記録媒体、並びにプログラムに関する。

【背景技術】

【0002】

信号処理技術や、画像表示素子の駆動技術を向上させることなどにより、表示される画  
 像の画質を向上することが求められている。

【0003】

一般に、画質を向上させるためには、画像の解像度を高くして、画像のきめを細かくす  
 るようにすれば良い。画像の情報量は、画像を構成する点(ドット)を示すピクセルとい  
 う単位で表され、ピクセルの数は、例えば、 $800 \times 600$  や  $1024 \times 768$  など、そ  
 の画像の持つ縦横のドットの数で表される。すなわち、ピクセル(ドット)数が多いほど  
 、画像のきめが細くなり、画像を構成する情報が多いことになる。

【0004】

高解像度で画像を表示することができるようにするために、例えば、ディスプレイ 1 と  
 ディ스플레이 2 の 2 台のディスプレイを用いて、通常のシングルモードでは、ディスプレ  
 イ 1 に画像を表示させ、マルチモードでは、画像の、例えば左半分をディスプレイ 1 に、  
 右半分をディスプレイ 2 に表示させることによって、1 台のみのディスプレイを用いるシ  
 ステムに対して、マルチモードでは、2 倍の解像度で、画像を表示することができるよ  
 うにした技術がある(例えば、特許文献 1 参照)。

【0005】

【特許文献 1】特開平 10 - 124024 号公報

【0006】

解像度を高くして、画像を表示するようにした場合、画像を構成する情報が多くなるた  
 め、ディスプレイ 1 または 2 に転送するデータ量が増加し、データ転送速度の高速化が要

10

20

30

40

50

求される。このため、このシステムでは、ディスプレイ1および2の1ドットあたりのデータ量を削減し、信号処理によって、削減したデータの変換を行うことにより、データ転送速度を高速化せずに、画像データの転送を行うことができるようになされている。

【0007】

また、1秒間に画面が更新される回数を示す値である、フレームレートを高くすることにより、特に、動画像の画質を向上することができる。

【0008】

例えば、プロジェクタを用いて、スクリーンに動画像を投影表示する場合、プロジェクタは、フレーム画像を、1ラインずつ水平方向に走査して表示し、1フレームの画像の全てのラインを走査した後、次のフレームの画像データの走査を開始することにより、動画像を表示することができる。

10

【0009】

また、表示される動画像データを撮像するときには、一般に、CCDカメラ等で受光部の無効部分を補うために、撮像時に、CCDイメージセンサの1画素の大きさの $1/n$ ずつ結像位置をずらして画像を取得する、いわゆる、画素ずらしの手段が用いられている場合がある（例えば、非特許文献1）。この技術は、同時刻の映像を多板の撮像素子で撮像するカメラに用いられ、異なる時刻の映像を単一の撮像素子あるいは光学系を振動させて撮像するカメラに用いられている。

【0010】

【非特許文献1】CCDカメラ技術入門、コロナ社、1997、PP109-111

20

【発明の開示】

【発明が解決しようとする課題】

【0011】

上述したように、フレームレートを高くすることにより、特に、動画像の画質を向上することができる。しかしながら、高いフレームレートに応じて表示処理を行うためには、表示素子を駆動する駆動回路の処理の高速化が必要となり、更に、画像強度を決定する光量変調素子の反応速度を高速化しなければならないので、技術的にも困難であり、コストアップの原因となっていた。

【0012】

また、2台のディスプレイを用いて、1台のみのディスプレイを用いるシステムに対して2倍の解像度で画像を表示させる場合、ディスプレイ1ドットあたりのデータ量を減少させて、データ転送速度を高速化しないようにするための技術は、すでに用いられているが、この技術は、表示される動画像のフレームレートを高くするものではない。したがって、2台のディスプレイを用いて、高解像度で画像を表示させることができるシステムにおいても、動画像を滑らかに表示させるためには、表示素子を駆動する駆動回路の処理の高速化および光量変調素子の反応速度の高速化が必要となる。

30

【0013】

また、これまでの表示装置のフレームレートは、NTSCやHD方式では、60Hz、PAL方式では、50Hz、映画は24Hzが一般的である。これらのフレームレートでは、ボケやジャーキネスといった動画質劣化が顕著であった。しかも、これらを対策しようと高フレームレート撮影をしようとしても、CCD等撮像素子の駆動速度の限界や、記録メディアへのデータ伝送の制約により、実時間で記録できる情報量は上記程度に限られていた。最近CMOSセンサによる特殊な高速撮像装置が登場しているが、高価なうえ、この映像情報は、現状では、メモリに蓄積する方法しかなく、記録時間が短かったり（例えば、数秒）、メモリからデータを読み出す転送に時間がかかるなど、撮影に不都合があった。

40

【0014】

本発明はこのような状況に鑑みてなされたものであり、従来の撮像素子（例えば、CCDなど）を用いて、フレームレートの高い画像を撮像し、撮像した高フレームレートの画像を滑らかに表示することができるようにするものである。

【課題を解決するための手段】

50

## 【0022】

本発明の第1の画像処理装置は、 $m$  Hzの第1のフレームレートを有する  $n$  個の画像信号をそれぞれ保存する保存手段と、保存手段により保存された  $n$  個の画像信号のそれぞれの出力を制御する出力制御手段と、出力制御手段により出力が制御された  $n$  個の画像信号のうち少なくとも2以上を合成することで、 $p$  個 ( $p$  は、 $n$  より小さい整数値) の画像信号を生成して出力する合成手段と、合成手段から出力された  $p$  個の画像信号に対応する画像の表示を制御する表示制御手段とを備え、画像表示装置、または、画像表示装置の表示処理部は、 $p$  個設けられ、出力制御手段は、合成手段に、1フレームごとに、保存手段から  $n$  個の前記画像信号が順次出力されるように、第1のフレームレートの  $n$  個の画像信号の出力をそれぞれ制御し、表示制御手段は、第2のフレームレートで画像表示装置に画像が表示されるように、出力制御手段により出力が制御された  $n$  個の前記画像信号が1フレームの走査時間の  $1 / (m \times n)$  ずつずれて、点順次または線順次方式によって、順次描画されるように、合成手段から出力された  $p$  個の画像信号に対応する画像の表示を制御することを特徴とする。

10

## 【0024】

第1のフレームレートは、60 Hzであるものとしてすることができ、画像表示装置、または、画像表示装置の表示処理部は、少なくとも4つ備えられているものとしてすることができる。

## 【0025】

第1のフレームレートは、120 Hzであるものとしてすることができ、画像表示装置、または、画像表示装置の表示処理部は、少なくとも2つ備えられているものとしてすることができる。

20

## 【0026】

第1のフレームレートは、50 Hzであるものとしてすることができ、画像表示装置、または、画像表示装置の表示処理部は、少なくとも5つ備えられているものとしてすることができる。

## 【0027】

本発明の第1の画像処理方法は、 $m$  Hzの第1のフレームレートを有する  $n$  個の画像信号をそれぞれ保存する保存ステップと、保存ステップの処理により保存された  $n$  個の画像信号のそれぞれの出力を制御する出力制御ステップと、出力制御ステップの処理により出力が制御された  $n$  個の画像信号のうち少なくとも2以上を合成することで、 $p$  個 ( $p$  は、 $n$  より小さい整数値) の画像信号を生成して出力する合成ステップと、合成ステップの処理により出力された  $p$  個の画像信号に対応する画像の表示を制御する表示制御ステップとを含み、画像表示装置、または、画像表示装置の表示処理部は、 $p$  個設けられ、出力制御ステップの処理では、合成ステップの処理に、1フレームごとに保存ステップの処理から  $n$  個の画像信号が順次出力されるように、第1のフレームレートの  $n$  個の画像信号の出力がそれぞれ制御され、表示制御ステップの処理では第2のフレームレートで画像表示装置に画像が表示されるように、出力制御ステップの処理により出力が制御された  $n$  個の画像信号が、1フレームの走査時間の  $1 / (m \times n)$  ずつずれて、点順次または線順次方式によって、順次描画されるように、合成ステップの処理により出力された  $p$  個の画像信号に対応する画像の表示が制御されることを特徴とする。

30

40

## 【0028】

本発明の第2のプログラムは、 $m$  Hzの第1のフレームレートを有する  $n$  個の画像信号をそれぞれ保存する保存ステップと、保存ステップの処理により保存された  $n$  個の画像信号のそれぞれの出力を制御する出力制御ステップと、出力制御ステップの処理により出力が制御された  $n$  個の画像信号のうち少なくとも2以上を合成することで、 $p$  個 ( $p$  は、 $n$  より小さい整数値) の画像信号を生成して出力する合成ステップと、合成ステップの処理により出力された  $p$  個の画像信号に対応する画像の表示を制御する表示制御ステップとを含み、画像表示装置、または、画像表示装置の表示処理部は、 $p$  個設けられ、出力制御ステップの処理では、合成ステップの処理に、1フレームごとに保存ステップの処理から  $n$

50

個の画像信号が順次出力されるように、第1のフレームレートのn個の画像信号の出力がそれぞれ制御され、表示制御ステップの処理では第2のフレームレートで画像表示装置に画像が表示されるように、出力制御ステップの処理により出力が制御されたn個の画像信号が、1フレームの走査時間の1/(m×n)ずつずれて、点順次または線順次方式によって、順次描画されるように、合成手段から出力されたp個の画像信号に対応する画像の表示が制御されることを特徴とする処理をコンピュータに実行させる。

【0029】

本発明の第1の画像処理装置および画像処理方法、並びに、第2のプログラムにおいては、mHzの第1のフレームレートを有するn個の画像信号がそれぞれ保存され、保存されたn個の画像信号のそれぞれの出力が制御され、出力が制御されたn個の画像信号のうち少なくとも2以上が合成されることで、p個(pは、nより小さい整数値)の画像信号が生成されて出力され、出力されたp個の画像信号に対応する画像の表示が制御され、画像表示装置、または、画像表示装置の表示処理部は、p個設けられ、1フレームごとにn個の画像信号が順次出力されるように、第1のフレームレートのn個の画像信号の出力がそれぞれ制御され、第2のフレームレートで画像表示装置に画像が表示されるように、n個の画像信号が、1フレームの走査時間の1/(m×n)ずつずれて、点順次または線順次方式によって、順次描画されるように、p個の画像信号に対応する画像の表示が制御される。

10

【発明の効果】

【0045】

本発明によれば、動画像を撮像することができる。特に、単独の撮像素子が撮像するよりも高フレームレートの動画像を撮像することができる。

20

【0046】

また、他の本発明によれば、動画像を表示することができる。特に、高フレームレートの動画像を表示することができる。

【0047】

他の本発明によれば、動画像を撮像することができる。特に、撮像素子の画素ずらしを用いて、高フレームレートの動画像を撮像することができる。

【0048】

他の本発明によれば、動画像を撮像することができる。特に、輝度情報と色情報をそれぞれ取得して合成することにより、高フレームレートで画質のよい動画像を撮像することができる。

30

【発明を実施するための最良の形態】

【0049】

以下に本発明の実施の形態を説明するが、本明細書に記載の発明と、発明の実施の形態との対応関係を例示すると、次のようになる。この記載は、本明細書に記載されている発明をサポートする実施の形態が、本明細書に記載されていることを確認するためのものである。したがって、発明の実施の形態中には記載されているが、発明に対応するものとして、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その発明に対応するものではないことを意味するものではない。逆に、実施の形態が、その発明以外のものであることを意味するものでもない。

40

【0050】

更に、この記載は、本明細書に記載されている発明の全てを意味するものでもない。換言すれば、この記載は、本明細書に記載されている発明であって、この出願では請求されていない発明の存在、すなわち、将来、分割出願されたり、補正により出現、追加される発明の存在を否定するものではない。

【0075】

以下、図を参照して、本発明の実施の形態について説明する。

【0076】

50

図 1 は、本発明を適用した撮像装置 1 の構成を示すブロック図である。

【 0 0 7 7 】

図 1 に示すように、撮像装置 1 は、レンズ 2 1、プリズム 2 2、CCD (Charge Coupled Devices) イメージセンサ 2 3、タイミングコントローラ 2 4、コントローラ 2 5、基準同期信号発生部 2 6、相関 2 重サンプリング (CDS: Correlated Double Sampling) 処理部 2 7、A / D コンバータ 2 8、画像処理部 2 9、コーデック (CODEC: COmpression / DECompression) 処理部 3 0、メモリ 3 1、操作入力部 3 2、および、ドライブ 3 3 から構成される。

【 0 0 7 8 】

プリズム 2 2 は、CCD イメージセンサ 2 3 に含まれる撮像素子の数を  $n$  として、レンズ 2 1 を介して入射された光の反射率が  $1/n$  であるプリズムビームスプリッタで構成され、レンズ 2 1 を介して入射された光を  $n$  個に分割し、CCD イメージセンサ 2 3 の  $n$  個の撮像素子に供給する。

10

【 0 0 7 9 】

CCD とは、光情報を電気信号に変換する (光電変換) 半導体素子であり、CCD イメージセンサ 2 3 は、光を電気に変換する受光素子 (画素) を複数個並べ、光の変化を画素ごとに独立して電気信号に変換する撮像素子を  $n$  個含むものである。なお、CCD イメージセンサ 2 3 は、撮像素子を  $n$  個含んでいるが、いわゆる複板式の CCD イメージセンサではなく、受光素子ごとに、例えば、RGB の 3 原色のカラーフィルタがモザイク状に並べられているベイヤー配列などのカラーフィルタが構成されている、一般的な単板式の CCD イメージセンサが、 $n$  個用いられているものである。CCD イメージセンサ 2 3 のそれぞれの撮像素子のカラーフィルタは、ベイヤー配列以外の配列であってもよい。

20

【 0 0 8 0 】

CCD イメージセンサ 2 3 の複数の撮像素子は、タイミングコントローラ 2 4 の制御により、それぞれ異なるタイミングで、画像情報を取得する。タイミングコントローラ 2 4 は、コントローラ 2 5 の制御に基づいて、基準同期信号発生部 2 6 から供給される基準同期信号を所定の時間だけ遅延させたトリガ信号を、CCD イメージセンサ 2 3 の複数の撮像素子にそれぞれ供給する。

【 0 0 8 1 】

コントローラ 2 5 は、操作入力部 3 2 により入力されたユーザの操作入力に基づいて、タイミングコントローラ 2 4、相関 2 重サンプリング処理部 2 7、A / D コンバータ 2 8、画像処理部 2 9、コーデック処理部 3 0、および、メモリ 3 1 を制御する。基準同期信号発生部 2 6 は、タイミングコントローラ 2 4 が CCD イメージセンサ 2 3 の複数の撮像素子を制御するための基準となる同期信号を発生し、タイミングコントローラ 2 4 に供給する。

30

【 0 0 8 2 】

相関 2 重サンプリング回路 2 7 は、CCD イメージセンサ 2 3 の出力信号に含まれるノイズのうち的主な成分であるリセットノイズを、出力の各画素信号のうち、映像信号期間をサンプリングしたものと、基準期間をサンプリングしたものとを引き算することにより除去する回路である。A / D コンバータ 2 8 は、供給されたノイズ除去後のアナログ信号をデジタル信号に変換する。

40

【 0 0 8 3 】

画像処理部 2 9 は、信号処理用プロセッサと画像用 RAM を持つブロックで、信号処理用プロセッサが画像用 RAM に格納された画像データに対して、予めプログラムされた画像処理、または、ハードウェアによる演算処理として構成された画像処理を行うものである。

【 0 0 8 4 】

コーデック処理部 3 0 は、デジタル画像データの圧縮または伸張アルゴリズムによる処理を実行する。メモリ 3 1 は、例えば、半導体メモリ、磁気ディスク、光磁気ディスク、または、光ディスクなどにより構成され、コントローラ 2 5 の制御に基づいて、供給され

50

たデータを記憶したり、または、記憶しているデータを出力する。なお、メモリ 31 は、撮像装置 1 に対して着脱可能なようになされていても良い。

【0085】

操作入力部 32 は、動画像の表示を指令する場合のボタンをはじめとして、例えば、ジョグダイヤル、キー、レバー、ボタン、またはタッチパネルなどにより構成され、ユーザによる操作入力を受け、コントローラ 25 に供給する。また、コントローラ 25 には、必要に応じてドライブ 33 が接続され、磁気ディスク 41、光ディスク 42、光磁気ディスク 43、もしくは、半導体メモリ 44 などが適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じてコントローラ 25 に実行される。

【0086】

次に、撮像装置 1 の動作について説明する。

【0087】

レンズ 21 を介して入力された光は、プリズム 22 により分割されて、CCD イメージセンサ 23 に入射され、 $n$  個の受光素子のそれぞれにおいて、タイミングコントローラ 24 により制御されるタイミングで光電変換によって電気信号に変換され、相関 2 重サンプリング回路 27 に供給される。相関 2 重サンプリング回路 27 は、CCD イメージセンサ 23 の出力の各画素信号のうち、映像信号期間をサンプリングしたものと、基準期間をサンプリングしたものとを引き算することによりノイズを除去し、A/D コンバータ 28 に供給する。A/D コンバータ 28 は、供給されたノイズ除去後のアナログ信号をデジタル信号に変換し、画像処理部 29 の画像用 RAM に一時格納する。

【0088】

画像処理部 29 は、一定のレートで画素のストリームデータの供給を受け、画像用 RAM に一時格納し、信号処理用プロセッサにおいて、一時格納された画像データに対して、例えば、ホワイトバランス調整、デモザイク処理、マトリックス処理、ガンマ補正、および、YC 変換などの各種画像処理を実行する。

【0089】

コーデック処理部 30 は、画像処理部 29 から供給された画像データに対して、所定の方式の符号化を施し、符号化された画像データをメモリ 31 に供給して記憶させる。

【0090】

次に、図 2 および図 3 を用いて、CCD イメージセンサ 23 に含まれる撮像素子の数  $n$  が 4 である場合を例として、レンズ 21 を介して入射された光の反射率が  $1/4$  であるプリズムビームスプリッタで構成され、レンズ 21 を介して入射された光を 4 個に分割し、CCD イメージセンサ 23 の 4 個の撮像素子に光を供給するプリズム 22 と、CCD イメージセンサ 23 の 4 個の撮像素子の画像取得のタイミングについて説明する。

【0091】

プリズム 22 は、入射する光のうちの 50% を直進させ、残り 50% を入射光路から垂直方向に反射させるプリズムビームスプリッタ 22-1 乃至 22-3 で構成されている。

【0092】

レンズ 21 を介して入射された光は、プリズムビームスプリッタ 22-2 で半分に分割され、プリズムビームスプリッタ 22-1 とプリズムビームスプリッタ 22-3 に供給される。プリズムビームスプリッタ 22-1 に入射された光は、更に半分に分割され、CCD イメージセンサ 23 の第 1 の撮像素子 23-1 と第 2 の撮像素子 23-2 に供給される。プリズムビームスプリッタ 22-3 に入射された光は、更に半分に分割され、CCD イメージセンサ 23 の第 3 の撮像素子 23-3 と第 4 の撮像素子 23-4 に供給される。第 1 の撮像素子 23-1 乃至第 4 の撮像素子 23-4 に供給される入射光のレンズ 21 からの光路長は、全て等しい。

【0093】

第 1 の撮像素子 23-1 乃至第 4 の撮像素子 23-4 には、タイミングコントローラ 24 から、それぞれ、画像取得のタイミング（すなわち、光電変換を行うタイミング）を指令する駆動信号の供給を受ける。

10

20

30

40

50



## 【0094】

タイミングコントローラ24は、遅延処理部24-1乃至遅延処理部24-3の、3つの遅延処理部を有している。遅延処理部24-1乃至遅延処理部24-3は、基準同期信号発生部26から供給される基準同期信号に対して、所定の時間幅だけ同期信号を遅延させて出力する。

## 【0095】

すなわち、タイミングコントローラ24は、図3に示されるように、基準同期信号発生部26から供給される $(1/t)$  Hzの基準同期信号、基準同期信号より $(1/4)t$ だけ遅延された $(1/t)$  Hzの遅延信号1、基準同期信号より $(2/4)t$ だけ遅延された $(1/t)$  Hzの遅延信号2、および、基準同期信号より $(3/4)t$ だけ遅延された $(1/t)$  Hzの遅延信号3を、CCDイメージセンサ23に供給する。

10

## 【0096】

基準同期信号は、第1の撮像素子23-1に供給され、遅延信号1は、第2の撮像素子23-2に供給され、遅延信号2は、第3の撮像素子23-3に供給され、遅延信号3は、第4の撮像素子23-4に供給される。

## 【0097】

例えば、CCDイメージセンサ23のそれぞれの撮像素子の駆動速度の限界が60 Hzであった場合、基準同期信号の周波数を60 Hz（すなわち、 $t = 1/60$ 秒）とし、遅延信号1を基準同期信号より1/15秒だけ遅延させ、遅延信号2を基準同期信号より2/15秒だけ遅延させ、遅延信号3を基準同期信号より3/15秒だけ遅延させた場合、第1の撮像素子23-1乃至第4の撮像素子23-4により撮像される画像のフレームレートは、 $60 \times 4$ の240 Hzとなる。更に、第1の撮像素子23-1乃至第4の撮像素子23-4のそれぞれのシャッタースピードを1/15秒とすることにより、より正確な動画像を取得することが可能となる。

20

## 【0098】

同様にして、CCDイメージセンサ23に含まれる撮像素子の数 $n$ が4以外の異なる数である場合も、プリズム22は、レンズ21を介して入射された光の反射率が $1/n$ であるプリズムビームスプリッタで構成され、レンズ21を介して入射された光を $n$ 個に分割し、CCDイメージセンサ23の $n$ 個の撮像素子に光を供給する。そして、タイミングコントローラ24は、基準同期信号の周波数を $m$  Hzとすると、それぞれ、 $1/(n \times m)$ 秒ずつ遅延させた $(n-1)$ の遅延信号を生成し、CCDイメージセンサ23の $n$ 個の撮像素子に供給して、 $(m \times n)$  Hzの高フレームレートの画像を取得することが可能となる。

30

## 【0099】

例えば、撮像素子の数 $n$ が5であり、基準同期信号の周波数が50 Hzであるとき、CCDイメージセンサ23の5個の撮像素子により、250 Hzの高フレームレートの画像が取得される。

## 【0100】

このような構成にすることにより、CCDイメージセンサ23のそれぞれの撮像素子の駆動速度の限界よりも速いフレームレートの画像を取得することが可能となる。

40

## 【0101】

取得された画像データは、それぞれ、相関2重サンプリング処理部27、A/Dコンバータ28、画像処理部29、および、コーデック処理部30により処理されて、メモリ31に記憶される。このとき、取得された画像データは、 $(m \times n)$  Hzの高フレームレートの動画像データとして処理されて記憶されるものとしてもよいが、 $1/n$ ずつ位相がずれた、それぞれ $m$  Hzの $n$ 系列の動画像データとして、それぞれ個別に処理されて記憶されるようにしてもよい。 $1/n$ ずつ位相がずれた、それぞれ $m$  Hzの $n$ 系列の動画像データが、それぞれ個別に処理されて記憶されるようになされた場合、メモリ31には、4つの動画像データのファイルが生成され、それぞれ、個別に出力されるようになされる。

## 【0102】

50

図4を用いて、取得された画像データが、 $(m \times n)$  Hzの高フレームレートの動画データとしてメモリ31に記憶された場合について説明する。ここでは、図2および図3を用いて説明したように、 $n = 4$ であり、CCDイメージセンサ23の撮像素子23-1乃至撮像素子23-4により画像データが取得される場合を例として説明するが、 $n$ が4以外のいかなる値である場合も、メモリ31には、図4に示されるようにして、 $(m \times n)$  Hzの高フレームレートの動画データが順次記憶されるので、 $n$ が4以外の値についての説明は省略する。

【0103】

例えば、 $i$ 番目のフレームである  $i$  フレームが、CCDイメージセンサ23の撮像素子23-1により取得された場合、 $i + 1$ フレームは、撮像素子32-2により、 $i$  フレームより  $1 / (m \times n)$  秒遅れて取得される。そして、 $i + 2$ フレームは、撮像素子32-3により、 $i + 1$ フレームより  $1 / (m \times n)$  秒遅れて取得され、 $i + 3$ フレームは、撮像素子32-4により、 $i + 2$ フレームより  $1 / (m \times n)$  秒遅れて取得される。更に、 $i + 4$ フレームは、再び撮像素子32-1により、 $i + 3$ フレームより  $1 / (m \times n)$  秒遅れて取得され、 $i + 5$ フレームは、撮像素子32-2により、 $i + 4$ フレームより  $1 / (m \times n)$  秒遅れて取得される。

10

【0104】

メモリ31に、取得された画像データが、 $(m \times n)$  Hzの高フレームレートの動画データとして記憶される場合、画像処理されたそれぞれのフレームが、順次、メモリ31に記憶されるので、記憶された各フレームの時間の差は、それぞれ  $1 / (m \times n)$  となる。

20

【0105】

図5および図6を用いて、取得された画像データが、 $1 / n$  ずつ位相がずれた、それぞれ  $m$  Hzの  $n$  系列の動画データとしてメモリ31に記憶された場合について説明する。図5は、 $n = 4$  の場合の例であり、図6は、 $n = 5$  である場合の例である。

【0106】

$n = 4$  の場合、図5に示されるように、メモリ31に記憶される第1の動画データは、 $i$  フレーム、 $i + 4$  フレーム・・・のフレームレート  $m$  の動画データであり、第2の動画データは、 $i + 1$  フレーム、 $i + 5$  フレーム・・・のフレームレート  $m$  の動画データであり、第3の動画データは、 $i + 2$  フレーム、 $i + 6$  フレーム・・・のフレームレート  $m$  の動画データであり、第4の動画データは、 $i + 3$  フレーム、 $i + 7$  フレーム・・・のフレームレート  $m$  の動画データである。なお、図5においては、フレーム間の取得時間の関係を明確化するために、それぞれのフレームを乖離して図示しているが、第1の動画データ乃至第4の動画データとして記憶されるそれぞれのフレーム画像データは、連続して記憶されるようにしてもよいことは言うまでもない。

30

【0107】

例えば、図2および図3を用いて説明したように、 $n = 4$  であり、CCDイメージセンサ23の撮像素子23-1乃至撮像素子23-4により画像データが取得される場合、それぞれの撮像素子によって取得された画像データが、それぞれ独立して画像処理され、メモリ31に、第1の動画データ乃至第4の動画データとして記憶されるようにすると好適である。

40

【0108】

また、 $n = 5$  の場合、図6に示されるように、メモリ31に記憶される第1の動画データは、 $i$  フレーム、 $i + 5$  フレーム・・・のフレームレート  $m$  の動画データであり、第2の動画データは、 $i + 1$  フレーム、 $i + 6$  フレーム・・・のフレームレート  $m$  の動画データであり、第3の動画データは、 $i + 2$  フレーム、 $i + 7$  フレーム・・・のフレームレート  $m$  の動画データであり、第4の動画データは、 $i + 3$  フレーム、 $i + 8$  フレーム・・・のフレームレート  $m$  の動画データであり、第5の動画データは、 $i + 4$  フレーム、 $i + 9$  フレーム・・・のフレームレート  $m$  の動画データである。なお、図6においても、フレーム間の取得時間の関係を明確化するために、それぞれのフレームを

50

乖離して図示しているが、第1の動画像データ乃至第5の動画像データとして記憶されるそれぞれのフレーム画像データは、連続して記憶されるようにしてもよいことはいふまでもない。

【0109】

なお、 $n$ が4または5以外の、例えば、2, 3, 6などのいずれの値であっても、メモリ31には、 $1/n$ ずつ位相がずれた、それぞれ $m$ Hzの $n$ 系列の動画像データとして、それぞれ個別に処理されて記憶されるようにすることができる。更に、メモリ31には、例えば、 $1/n$ ずつ位相がずれた、それぞれ $m$ Hzの $n$ 系列の動画像データの供給を受け、 $n$ 系列の動画像データを、例えば、 $n/2$ や $n/3$ などの系列数の動画像データにまとめて記憶しておくことができるようにしてもよい。

10

【0110】

例えば、メモリ31に、図5を用いて説明したような、4系列の動画像データが供給された場合、メモリ31には、図7に示されるように、4系列の動画像データを、2系列の動画像データとして記憶させるようにすることができる。その場合、第1の動画像データには、フレーム、+2フレーム、+4フレーム・・・が記憶され、第2の動画像データには、+1フレーム、+3フレーム、+5フレーム・・・が記憶される。すなわち、第1の動画像データおよび第2の動画像データは、フレームレート $2m$ の動画像データとなる。

【0111】

次に、図8のフローチャートを参照して、画像取得処理1について説明する。

20

【0112】

ステップS1において、プリズム22は、レンズ21を介して入射された光を $n$ 分割(図2を用いて説明した場合においては、4分割)して、CCDイメージセンサ23の $n$ 個の撮像素子(図2を用いて説明した場合においては、撮像素子23-1乃至23-4)に供給する。

【0113】

ステップS2において、タイミングコントローラ24は、基準同期信号発生部26から供給される、 $m$ Hzの基準同期信号を基に、 $n$ 個の撮像素子による画像データ取得のタイミング信号、すなわち、それぞれ、 $1/(n \times m)$ 秒ずつ遅延させた( $n-1$ )の遅延信号を発生し、CCDイメージセンサ23の $n$ 個の撮像素子に供給する。

30

【0114】

ステップS3において、CCDイメージセンサ23は、タイミングコントローラ24から供給されたタイミング信号に基づいて、 $n$ 個の撮像素子を用いて、 $(m \times n)$ Hzのフレームレートの画像データを取得する。

【0115】

ステップS4において、相関2重サンプリング処理部27、A/Dコンバータ28、画像処理部29、および、コーデック処理部30は、CCDイメージセンサ23によって取得された $(m \times n)$ Hzのフレームレートの画像データに対して、画像処理を行う。

【0116】

ステップS5において、メモリ31は、処理された画像の供給を受けて記憶し、処理が終了される。

40

【0117】

このような処理により、 $n$ 個の撮像素子を用いて、 $(m \times n)$ Hzのフレームレートの画像データが取得されて記憶される。 $(m \times n)$ Hzのフレームレートの画像データは、 $1/n$ ずつ位相がずれた、それぞれ $m$ Hzの $n$ 系列の動画像データとして、メモリ31に記憶されるようにしてもよい。

【0118】

次に、このようにして取得された $(m \times n)$ Hzのフレームレートの画像データの表示方法について説明する。

【0119】

50

図9は、本発明を適用した画像信号処理装置51および画像表示装置52の構成を示すブロック図である。

【0120】

画像信号処理装置51には、 $(m \times n)$  Hzのフレームレートの画像データを構成する $1/n$ ずつ位相がずれた、それぞれ $m$  Hzの $n$ 系列の動画像データが、個別に供給され、メモリ61のフレームメモリ61-1乃至フレームメモリ61-nに供給されて保持される。

【0121】

コントローラ62は、操作入力部63から入力されるユーザの操作入力にしたがって、基準同期信号発生部64から供給される $m$  Hzの基準同期信号を基に、フレームメモリ61-1乃至61-nからの映像信号の出力を制御するとともに、フレームメモリ61-1乃至61-nからの映像信号の出力に関する情報を、表示制御部66に供給する。操作入力部63は、動画像の表示を指令する場合のボタンをはじめとして、例えば、ジョグダイヤル、キー、レバー、ボタン、またはタッチパネルなどにより構成され、ユーザによる操作入力を受け、コントローラ62に供給する。基準同期信号発生部64は、コントローラ62がメモリ61の複数のフレームメモリ61-1乃至61-nを制御するための基準となる同期信号を発生し、コントローラ62に供給する。

10

【0122】

メモリ61のフレームメモリ61-1乃至61-nは、コントローラ62の制御に基づいて、供給されたデジタルの画像信号S1乃至S4を、D/A変換部65-1乃至65-nに出力する。

20

【0123】

D/A変換部65-1乃至65-nは、フレームメモリ61-1乃至61-nから供給されたデジタルの画像信号S1乃至S4を、アナログの画像信号に変換し、画像表示装置52の走査制御部81-1乃至81-nに供給する。表示制御部66は、コントローラ62から供給された情報を基に、画像表示装置52による動画像の表示を制御し、 $(m \times n)$  Hzのフレームレートのフレーム画像を表示させる。

【0124】

また、コントローラ62には、必要に応じてドライブ67が接続され、磁気ディスク71、光ディスク72、光磁気ディスク73、もしくは、半導体メモリ74などが適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じてコントローラ62に実行される。

30

【0125】

図10乃至図13を用いて、コントローラ62の制御に基づいて、フレームメモリ61-1乃至61-nから読み出される画像データのタイミングについて説明する。

【0126】

図10を用いて、 $n = 2$ である場合の、フレームメモリ61-1乃至61-nから読み出される画像データのタイミングについて説明する。

【0127】

コントローラ62は、フレームメモリ61-1および61-2を制御して、フレームメモリ61-1から、フレームレート $m$ のフレームを出力映像信号S1としてA/D変換部65-1に供給させ、フレームメモリ61-2から、フレームレート $m$ の $+1$ フレームを、出力映像信号S2として、フレームの供給開始時刻 $a$ よりも、 $1/2m$ だけ遅らせた供給開始時刻 $b$ で、A/D変換部65-2に供給させる。

40

【0128】

フレームのA/D変換部65-1への供給にかかる時間は、 $1/m$ となり、供給終了時刻 $c$ は、 $+1$ フレームのA/D変換部65-2への供給開始時刻 $b$ から、 $1/2m$ だけ後になる。そして、時刻 $c$ から $+2$ フレームがフレームメモリ61-1からA/D変換部65-1へ、時間 $1/m$ だけかけて供給される。すなわち、 $+2$ フレームの供給終了時刻 $e$ は、 $2/m$ である。また、 $+1$ フレームのA/D変換部65-2への供給にか

50

かる時間は、 $1/m$ となり、供給終了時刻  $d$  は、 $+2$  フレームの A/D 変換部 65-2 への供給開始時刻  $c$  から、 $1/2m$  だけ後になる。そして、時刻  $d$  から  $+3$  フレームがフレームメモリ 61-2 から A/D 変換部 65-2 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+3$  フレームの供給終了時刻  $f$  は、 $5/2m$  である。

【0129】

次に、図 11 を用いて、 $n=3$  である場合の、フレームメモリ 61-1 乃至 61- $n$  から読み出される画像データのタイミングについて説明する。

【0130】

コントローラ 62 は、フレームメモリ 61-1 乃至 61-3 を制御して、フレームメモリ 61-1 から、フレームレート  $m$  の  $+1$  フレームを出力映像信号  $S1$  として A/D 変換部 65-1 に供給させ、フレームメモリ 61-2 から、フレームレート  $m$  の  $+2$  フレームを、出力映像信号  $S2$  として、 $+1$  フレームの供給開始時刻  $a$  よりも、 $1/3m$  だけ遅らせた供給開始時刻  $b$  で、A/D 変換部 65-2 に供給させ、フレームメモリ 61-3 から、フレームレート  $m$  の  $+3$  フレームを、出力映像信号  $S3$  として、 $+2$  フレームの供給開始時刻  $b$  よりも、 $1/3m$  だけ遅らせた供給開始時刻  $c$  で、A/D 変換部 65-3 に供給させる。

【0131】

フレームの A/D 変換部 65-1 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $d$  は、 $+1$  フレームの A/D 変換部 65-2 への供給開始時刻  $b$  から、 $2/3m$  だけ後になる。そして、時刻  $d$  から  $+3$  フレームがフレームメモリ 61-1 から A/D 変換部 65-1 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+3$  フレームの供給終了時刻  $g$  は、 $2/m$  である。また、 $+1$  フレームの A/D 変換部 65-2 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $e$  は、 $+2$  フレームの A/D 変換部 65-3 への供給開始時刻  $c$  から、 $2/3m$  だけ後になる。そして、時刻  $e$  から  $+4$  フレームがフレームメモリ 61-2 から A/D 変換部 65-2 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+4$  フレームの供給終了時刻  $f$  は、 $7/3m$  である。また、 $+2$  フレームの A/D 変換部 65-3 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $f$  は、 $+3$  フレームの A/D 変換部 65-1 への供給開始時刻  $d$  から、 $2/3m$  だけ後になる。そして、時刻  $f$  から  $+5$  フレームがフレームメモリ 61-3 から A/D 変換部 65-3 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+5$  フレームの供給終了時刻  $i$  は、 $8/3m$  である。

【0132】

次に、図 12 を用いて、 $n=4$  である場合の、フレームメモリ 61-1 乃至 61- $n$  から読み出される画像データのタイミングについて説明する。

【0133】

コントローラ 62 は、フレームメモリ 61-1 乃至 61-4 を制御して、フレームメモリ 61-1 から、フレームレート  $m$  の  $+1$  フレームを出力映像信号  $S1$  として A/D 変換部 65-1 に供給させ、フレームメモリ 61-2 から、フレームレート  $m$  の  $+2$  フレームを、出力映像信号  $S2$  として、 $+1$  フレームの供給開始時刻  $a$  よりも、 $1/4m$  だけ遅らせた供給開始時刻  $b$  で、A/D 変換部 65-2 に供給させ、フレームメモリ 61-3 から、フレームレート  $m$  の  $+3$  フレームを、出力映像信号  $S3$  として、 $+2$  フレームの供給開始時刻  $b$  よりも、 $1/4m$  だけ遅らせた供給開始時刻  $c$  で、A/D 変換部 65-3 に供給させ、フレームメモリ 61-4 から、フレームレート  $m$  の  $+4$  フレームを、出力映像信号  $S4$  として、 $+3$  フレームの供給開始時刻  $c$  よりも、 $1/4m$  だけ遅らせた供給開始時刻  $d$  で、A/D 変換部 65-4 に供給させる。

【0134】

フレームの A/D 変換部 65-1 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $e$  は、 $+1$  フレームの A/D 変換部 65-2 への供給開始時刻  $b$  から、 $3/4m$  だけ後になる。そして、時刻  $e$  から  $+4$  フレームがフレームメモリ 61-1 から A/D 変換部 65-1 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+4$  フレームの供給終

10

20

30

40

50

了時刻  $i$  は、 $2/m$  である。また、 $+1$  フレームの A/D 変換部 65-2 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $f$  は、 $+2$  フレームの A/D 変換部 65-3 への供給開始時刻  $c$  から、 $3/4m$  だけ後になる。そして、時刻  $f$  から  $+5$  フレームがフレームメモリ 61-2 から A/D 変換部 65-2 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+5$  フレームの供給終了時刻  $j$  は、 $9/4m$  である。

【0135】

また、 $+2$  フレームの A/D 変換部 65-3 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $g$  は、 $+3$  フレームの A/D 変換部 65-4 への供給開始時刻  $d$  から、 $3/4m$  だけ後になる。そして、時刻  $f$  から  $+6$  フレームがフレームメモリ 61-3 から A/D 変換部 65-3 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+6$  フレームの供給終了時刻  $i$  は、 $5/2m$  である。そして、 $+3$  フレームの A/D 変換部 65-4 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $h$  は、 $+4$  フレームの A/D 変換部 65-1 への供給開始時刻  $e$  から、 $3/4m$  だけ後になる。そして、時刻  $h$  から  $+7$  フレームがフレームメモリ 61-4 から A/D 変換部 65-4 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+7$  フレームの供給終了時刻  $l$  は、 $11/4m$  である。

【0136】

次に、図 13 を用いて、 $n=5$  である場合の、フレームメモリ 61-1 乃至 61- $n$  から読み出される画像データのタイミングについて説明する。

【0137】

コントローラ 62 は、フレームメモリ 61-1 乃至 61-5 を制御して、フレームメモリ 61-1 から、フレームレート  $m$  の フレームを出力映像信号  $S1$  として A/D 変換部 65-1 に供給させ、フレームメモリ 61-2 から、フレームレート  $m$  の  $+1$  フレームを、出力映像信号  $S2$  として、 フレームの供給開始時刻  $a$  よりも、 $1/5m$  だけ遅らせた供給開始時刻  $b$  で、A/D 変換部 65-2 に供給させ、フレームメモリ 61-3 から、フレームレート  $m$  の  $+2$  フレームを、出力映像信号  $S3$  として、 $+1$  フレームの供給開始時刻  $b$  よりも、 $1/5m$  だけ遅らせた供給開始時刻  $c$  で、A/D 変換部 65-3 に供給させ、フレームメモリ 61-4 から、フレームレート  $m$  の  $+3$  フレームを、出力映像信号  $S4$  として、 $+2$  フレームの供給開始時刻  $c$  よりも、 $1/5m$  だけ遅らせた供給開始時刻  $d$  で、A/D 変換部 65-4 に供給させ、フレームメモリ 61-5 から、フレームレート  $m$  の  $+4$  フレームを、出力映像信号  $S5$  として、 $+3$  フレームの供給開始時刻  $d$  よりも、 $1/5m$  だけ遅らせた供給開始時刻  $e$  で、A/D 変換部 65-5 に供給させる。

【0138】

フレームの A/D 変換部 65-1 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $f$  は、 $+1$  フレームの A/D 変換部 65-2 への供給開始時刻  $b$  から、 $4/5m$  だけ後になる。そして、時刻  $f$  から  $+5$  フレームがフレームメモリ 61-1 から A/D 変換部 65-1 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+5$  フレームの供給終了時刻  $f$  は、 $2/m$  である。また、 $+1$  フレームの A/D 変換部 65-2 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $g$  は、 $+2$  フレームの A/D 変換部 65-3 への供給開始時刻  $c$  から、 $4/5m$  だけ後になる。そして、時刻  $g$  から  $+6$  フレームがフレームメモリ 61-2 から A/D 変換部 65-2 へ、時間  $1/m$  だけかけて供給される。すなわち、 $+5$  フレームの供給終了時刻  $l$  は、 $11/5m$  である。

【0139】

また、 $+2$  フレームの A/D 変換部 65-3 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $h$  は、 $+3$  フレームの A/D 変換部 65-4 への供給開始時刻  $d$  から、 $4/5m$  だけ後になる。そして、時刻  $h$  から次のフレーム（図示していないが  $+7$  フレーム）がフレームメモリ 61-3 から A/D 変換部 65-3 へ、時間  $1/m$  だけかけて供給される。そして、 $+3$  フレームの A/D 変換部 65-4 への供給にかかる時間は、 $1/m$  となり、供給終了時刻  $i$  は、 $+4$  フレームの A/D 変換部 65-5 への供給開始時刻  $e$  から、 $4/5m$  だけ後になる。そして、時刻  $i$  から次のフレーム（図示していないが

10

20

30

40

50

+ 8 フレーム) がフレームメモリ 6 1 - 4 から A / D 変換部 6 5 - 4 へ、時間  $1 / m$  だけかけて供給される。そして、+ 4 フレームの A / D 変換部 6 5 - 5 への供給にかかる時間は、 $1 / m$  となり、供給終了時刻  $j$  は、+ 5 フレームの A / D 変換部 6 5 - 1 への供給開始時刻  $f$  から、 $4 / 5 m$  だけ後になる。そして、時刻  $j$  から次のフレーム ( 図示していないが + 9 フレーム ) がフレームメモリ 6 1 - 5 から A / D 変換部 6 5 - 5 へ、時間  $1 / m$  だけかけて供給される。

【 0 1 4 0 】

再び、図 9 に戻り、画像表示装置 5 2 について説明する。

【 0 1 4 1 】

画像表示装置 5 2 は、画像信号処理装置 5 1 から供給された、 $n$  系統のアナログ映像信号の供給を受け、表示制御部 6 6 の制御に基づいて、走査制御部 8 1 - 1 乃至 8 1 -  $n$  を用いて、表示部 8 2 に、 $( m \times n )$  Hz の動画像を表示する。

10

【 0 1 4 2 】

走査制御部 8 1 - 1 乃至 8 1 -  $n$  は、アナログ映像信号の供給を受け、供給されたアナログの映像信号を、点順次、または、線順次走査方式によって表示部 8 2 に表示させる。このとき、走査制御部 8 1 - 1 乃至 8 1 -  $n$  は、連続したフレームを、 $1 / n$  フレームずつ交互に走査することにより、走査制御部 8 1 - 1 乃至 8 1 -  $n$  における単独での画像描画のフレームレートの  $n$  倍のフレームレートで、表示部 8 2 への画像表示を行うことができる。

【 0 1 4 3 】

20

また、画像表示装置 5 2 は、一つの装置として構成される以外にも、複数の装置により構成される画像表示システムとして構成するようにしても良い。画像表示装置 5 2 が画像表示システムとして構成される場合、例えば、図 1 4 に示されるように、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 -  $n$ 、および、スクリーン 9 2 により構成することができる。

【 0 1 4 4 】

画像表示装置 5 2 の具体的な動作について、図 1 4 に示されるプロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 -  $n$ 、および、スクリーン 9 2 を用いた場合を例として説明する。プロジェクタ 9 1 - 1 は、図 9 の走査制御部 8 1 - 1 に対応し、プロジェクタ 9 1 -  $n$  は、図 9 の走査制御部 8 1 -  $n$  に対応し、スクリーン 9 2 は、図 9 の表示部 8 2 に対応する。

30

【 0 1 4 5 】

例えば、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 -  $n$  は、図 1 0 乃至図 1 3 を用いて説明したタイミングでフレームメモリ 6 1 - 1 乃至 6 1 -  $n$  から読み出され、A / D 変換部 6 5 でアナログ信号に変換された、出力映像信号  $S_1$  乃至  $S_n$  に対応するアナログ映像信号の供給を受ける。

【 0 1 4 6 】

プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 -  $n$  は、それぞれ、表示制御部 6 6 の制御に基づいたタイミングで、表示される表示画像を構成する画素  $( X , Y ) = ( 0 , 0 )$  から、画素  $( X , Y ) = ( p , q )$  を、スクリーン 9 2 に水平方向に走査することにより、供給された映像信号に対応するフレーム画像を表示する。プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 -  $n$  の 1 つ 1 つがスクリーン 9 2 に表示させるフレーム画像のそれぞれのフレームレートは、 $m$  Hz であり、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 -  $n$  によって表示される動画像のフレームレートは  $( m \times n )$  Hz である。また、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 -  $n$  によって表示される各フレームの走査開始タイミングは、図 1 0 乃至図 1 3 を用いて説明した出力映像信号  $S_1$  乃至出力映像信号  $S_n$  における場合と同様に、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 -  $n$  による、それぞれの 1 フレームの表示に対して、 $1 / n$  位相、すなわち、 $1 / ( m \times n )$  だけずれている。

40

【 0 1 4 7 】

例えば、プロジェクタ 9 1 - 2 が、スクリーン 9 2 上の走査 B で示されるラインに、+ 1 フレームの対応するラインを走査しているとき、プロジェクタ 9 1 - 3 は、スクリー

50

ン 9 2 上の走査 A で示されるラインに、 $+ 2$  フレームの対応するラインを走査している。走査 B で示されるラインは、走査 A で示されるラインから、1 フレームのライン数の  $1/n$  だけずれたラインである。すなわち、スクリーン 9 2 に表示される動画像は、時間  $1/(m \times n)$  ごとに、走査 A および走査 B を含む複数の走査によって、順次書き換えられる。

【 0 1 4 8 】

例えば、 $n = 2$  であり、プロジェクタ 9 1 - 1 およびプロジェクタ 9 1 - 2 において出力される表示画像のフレームレートが、それぞれ、 $120 \text{ Hz}$  であった場合、スクリーンに表示される動画像のフレームレートは、実質的に、 $240 \text{ Hz}$  となる。また、例えば、 $n = 3$  であり、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 - 3 において出力される表示画像のフレームレートが、それぞれ、 $80 \text{ Hz}$  であった場合、スクリーンに表示される動画像のフレームレートは、実質的に、 $240 \text{ Hz}$  となる。例えば、 $n = 4$  であり、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 - 4 において出力される表示画像のフレームレートが、それぞれ、 $60 \text{ Hz}$  であった場合、スクリーンに表示される動画像のフレームレートは、実質的に、 $240 \text{ Hz}$  となる。更に、例えば、 $n = 5$  であり、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 - 5 において出力される表示画像のフレームレートが、それぞれ、 $50 \text{ Hz}$  であった場合、スクリーンに表示される動画像のフレームレートは、実質的に、 $250 \text{ Hz}$  となる。

【 0 1 4 9 】

なお、図 1 4 に示される走査 A と走査 B などの複数の走査線による同一位置の走査ラインのずれが発生しないようにするために、従来の、いわゆるツインスタック技術において用いられる光学的な画像の位置補正と同様の技術を用いて、画素の走査位置を補正することが可能である。ツインスタック技術とは、プロジェクタを 2 台使用して、同時に同一の画像を同一位置に表示することにより、明るい画像を表示することができる技術である。ツインスタックを用いて画像を表示する場合には、表示される画像の輝度が 2 倍となり、周囲の環境が明るい場合や、投影距離が長い場合にも鮮明な投影が可能となる。

【 0 1 5 0 】

ツインスタック技術を用いた場合、投影される 2 つの画像の画素位置のずれによる画像のボケの発生が問題となっていたが、この問題を解決するために、光学的に投影される画素の画素位置を微調整することができる、いわゆるピクチャーシフト機能が広く用いられており、2 台のプロジェクタから投影される画像の位置を厳密に合わせることが可能である。この技術は、複数台のプロジェクタを用いた場合においても適用可能である。

【 0 1 5 1 】

なお、投影される 2 つの画像の画素位置のずれを補正するための技術は、例えば、特願平 10 - 058291 などに開示されている。

【 0 1 5 2 】

画像表示装置 5 2 においては、複数の走査による走査ラインのずれが、1 画素 (1 ドット、または 1 ピクセル) 以内となるように調整することにより、1 フレームずれた画像との重なりにより、画像がぼやけてしまうことなく、動画像を表示することが可能となる。

【 0 1 5 3 】

上述したように、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 -  $n$  により、 $1/n$  フレームずらして、1 フレームずつ順番に、フレーム画像が描画されるようになされた場合、あるプロジェクタによって、1 フレームが完全に走査されて描画されるよりも早く、他のプロジェクタによって、次のフレームの画像の描画のための走査が開始される。このとき、図 1 4 のスクリーン 9 2 に表示される物体 C が、例えば、表示画面上で、左から右に移動するように表示される場合、動画像を観測するユーザにとっては、エッジ部分の移動の滑らかさが、表示される動画の滑らかさとして感じられる。

【 0 1 5 4 】

スクリーン 9 2 に表示される物体 C のエッジ部分 の表示について、図 1 5 を用いて説明する。

10

20

30

40

50



## 【 0 1 5 5 】

プロジェクタ 9 1 - 1 により、 フレームの物体 C が表示され、時間  $1 / (m \times n)$  後に、プロジェクタ 9 1 - 2 により、  $+ 1$  フレームの物体 C が表示される。このときの、物体 C のエッジ部分 の位置は、 フレームの表示から、時間  $1 / (m \times n)$  で書き換えられる。そして、プロジェクタ 9 1 - 3 ( $n = 2$  であるときは、プロジェクタ 9 1 - 2 ) により、時間  $1 / (m \times n)$  後に、  $+ 2$  フレームの物体 C が表示される。このときの、物体 C のエッジ部分 は、  $+ 1$  フレームの表示から、時間  $1 / (m \times n)$  で書き換えられる。

## 【 0 1 5 6 】

例えば、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 - n において出力される表示画像のフレームレートが、それぞれ、m Hz である場合、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 - n のうちのいずれかが単独で表示した動画像においては、フレームが  $1 / m$  (秒) ごとに書き換えられる。それに対して、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 - n を用いて、1 フレームずつ順番にフレーム画像を表示することによってスクリーン 9 2 に表示される物体 C のエッジ部分 は、 $1 / (m \times n)$  (秒) でリフレッシュされる。したがって、ユーザにより観測される物体 C のエッジ部分 の動きは、非常に滑らかになる。

## 【 0 1 5 7 】

ここでは、画像表示装置 5 2 は、表示制御部 6 6 の制御を受けて、画像の表示を制御するものとして説明しているが、画像表示装置 5 2 は、表示制御部 6 6 を内部に有し(すなわち、画像表示装置 5 2 と表示制御部 6 6 とで 1 つの装置を構成し)、コントローラ 6 2 から、画像表示に必要な制御信号の供給を受けるようにしたり、内部に表示制御部 6 6 とは異なる制御部を備え、表示制御部 6 6 から、垂直同期信号や、ドットクロック信号などの供給を受けて、例えば、図 1 4 を用いて説明したプロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 - n の動作を制御するようにしても良い。

## 【 0 1 5 8 】

また、ここでは、画像表示装置 5 2 の動作について、プロジェクタ 9 1 - 1 乃至プロジェクタ 9 1 - n、および、スクリーン 9 2 で構成された投影表示システムを例として説明したが、画像表示装置 5 2 は、複数の表示デバイスを用いて、 $1 / n$  フレームずらして、連続したフレームを順次走査させるようにすることにより、それぞれの表示デバイスの単独でのフレームレート m Hz の n 倍のフレームレートで、動画像の表示を行うことができるものであれば、点順次、または、線順次走査方式によって、画像の描画を行ういかなる表示システムを用いるようにしても良い。

## 【 0 1 5 9 】

画像表示装置 5 2 には、例えば、CRT (Cathode Ray Tube) , LCD (Liquid Crystal Display : 液晶ディスプレイ) , GLV (Grating Light Valve) , LED (Light Emitting Diode : 発光ダイオード) , FED (Field Emission Display) の直視型のディスプレイ、または、プロジェクタなどであって、点順次、または、線順次走査方式によって、画像の描画を行うものを用いることができる。

## 【 0 1 6 0 】

例えば、GLV とは、光の回折効果を利用して光の向きや色などを制御する投影デバイスである、マイクロリボンアレイを使用した画像表示技術である。マイクロリボンアレイとは、極小の光回折素子を 1 列に並べたもので、GLV では、これにレーザ光を当てることで、画像の投影を行う。リボンは、電気信号により独立して駆動することができ、駆動量を調節することで光回折量を変化させ、各リボンの差異により画像の明暗を作り出すことができるので、滑らかな階調表現と高コントラストを実現することができる。

## 【 0 1 6 1 】

LED は、2 種類の半導体が接合されて生成される素子で、電流を加えることにより、発光することができるものである。

## 【 0 1 6 2 】

10

20

30

40

50

F E Dは、陰極から電子を取り出して、陽極に塗布した蛍光体に衝突させて発光させるという、C R Tと同様の発光原理により、画像を得ることができるものである。ただし、陰極の構造として、C R Tは点電子源を用いるのに対して、F E Dは面状の電子源を用いる。

【 0 1 6 3 】

ところで、動画には、静止画では発生しない動画特有の画質劣化が存在する。現状最も広く用いられている50Hz ( P A L : Phase Alternating Line ) や60Hz ( N T S C : National Television System CommitteeやH D ( High Definitions ) 映像信号 ) のディスプレイでは、時間方向の再現が不完全であり、特定の条件下においてこの時間方向での不完全性が空間方向での不完全性に変換されるために、例えば、動画像データ取得時のシャッター時間、動画像データ表示時の表示素子発光時間、および、人の視線条件によって、動画質の劣化が発生してしまう。

10

【 0 1 6 4 】

図16に、動くものと固定しているものが共存するような現実のシーンの例を示す。このシーンは車が右方向に移動し、樹木は地面に固定されていることを想定している。図16のシーンを観察した場合の観察者の見えを図17および図18に示す。

【 0 1 6 5 】

図17は観察者が樹木を注視していた場合の観察者からの映像の見えを示す図である。この場合、右方向に移動する車は、観察者からはぼけて見える。一方、図18は車に注視していた場合の観察者からの映像の見えを示す図である。この場合、固定している樹木は、観察者からはぼけて見える。

20

【 0 1 6 6 】

以下、観察面座標上での固定物に視線を固定している場合を固定視条件、観察面座標上での移動物に視線を追従している場合を追従視条件とする。すなわち、図17を用いて説明した場合が固定視条件、図18を用いて説明した場合が追従視条件となる。固定視条件、追従視条件とも、注視しているものはクリアに見える。一方、注視している物体と相対位置が変化する物体はぼけて見える。

【 0 1 6 7 】

この原因は、人が網膜に入射された光をある時間内であるならば積分する作用を視覚特性として持つためである。眼の網膜座標上で移動する物体は、その位置変化が時間方向に積分されるため、結果的にぼけた映像として知覚される。このぼけは、網膜座標上での移動速度に比例して大きくなる。網膜座標上の移動速度とは、実際の物体の速度ではなく、角速度(deg/sec)に相当する。

30

【 0 1 6 8 】

以上のように、網膜座標上で静止している物体はクリアに見える、網膜座標上で移動する物体はぼけて見える。この実際の見えと一致する映像を再現することが、リアリティのある動画像、すなわち、滑らかに動いているように見える画質のよい動画像を表示するためには重要である。

【 0 1 6 9 】

図19を用いて、図17および図18を用いて説明した観察者の見えの違いについて説明する。図19上部は外界での実際の動きを示している。縦軸は時間軸、横軸は水平方向であり、外界上にて固定ドット(図16乃至図18における樹木に対応し、図中xで示す)と一定速度で移動するドット(図16乃至図18における車に対応し、図中yで示す)が存在するシーンでの各ドットの時間毎の位置を示す。図19下部は、この外界の動きを観察したときの固定視および追従視での見えを示している。点線で示された矢印が、観察者の視点の動き、つまり網膜上での映像の積分方向を示す。垂直方向の軸が固定視、斜め方向の軸が追従視での積分方向である。すなわち、観察者が追従視をしている場合、固定ドット(樹木)はぼけて見えるが、移動するドット(車)はクリアに見える。一方、観察者が固定視をしている場合、固定ドット(樹木)はクリアに見えるが、移動するドット(車)はボけて見える。

40

50

## 【 0 1 7 0 】

次に、図 2 0 を用いて、図 1 6 で示した外界の動きを固定撮影し、動画像として再生表示した場合の観察者の見えについて、撮影条件、表示条件、観察条件ごとに説明する。図 2 0 上部は、動画像表示の時間変化を示す。図 2 0 下部に、固定視、追従視での視線の動き方向、つまり積分軸方向に沿って動画像表示された光を積分した結果を観察者の見えとして示す。

## 【 0 1 7 1 】

図 2 0 A は、撮影条件がオープンシャッター方式で、表示がパルスタイプである場合、図 2 0 B は、撮影条件がオープンシャッター方式で、表示がホールドタイプである場合、図 2 0 C は、撮影条件が高速シャッター方式で、表示がパルスタイプである場合、図 2 0 D は、撮影条件が高速シャッター方式で、表示がホールドタイプである場合の、観察者の見えを示す。

10

## 【 0 1 7 2 】

図 2 0 A 乃至図 2 0 D より、発生する動画質劣化は各条件によって異なることがわかる。例えば、図 2 0 A および図 2 0 C の追従視での移動物の見えと比較して、図 2 0 B および図 2 0 D の追従視での移動物がぼけて見えてしまうのは、発光条件がホールド型であるディスプレイ特有の「動きぼけ」と呼ばれる現象である。「動きぼけ」は、注視しているものがぼけてしまうため、観察者にとって、わかりやすい劣化である。

## 【 0 1 7 3 】

それ以外にも、図 2 0 D の固定視でのストロボ妨害、図 2 0 A および図 2 0 C の追従視でのストロボ妨害などの劣化が生じている。ストロボ障害とは、図 2 1 に示されるように、ディスプレイ上の固定物（例えば、樹木）に固定視を行った場合に、移動物（例えば、車）が、多重像に見える、または、スムーズではない離散的な動きが見えるといった動画質劣化のことである。このように、固定視での移動物、追従視での固定物に発生するストロボ妨害は、注視している対象ではない部分で発生する劣化である場合が多く、「動きぼけ」と比較してあまり目立たないことも多い。だが、視線の追従が完全に行われていない場合は、注視を行いたい対象物と視線の関係は、固定視での移動物、または追従視での固定物と同じ関係になる。この場合のストロボ妨害は注視している対象物において発生するため、非常に目立つ劣化となる。この現象は、動きが速く、次の動きが予測しにくい映像ソース、例えば、スポーツ中継、アクション映画等において目立ってしまう。映画などにおける動画像の撮像では、このような動画質劣化を防止するために、例えば、移動物を撮影する場合はカメラで追従して撮影し、表示画面上では固定物状態にすることや、ストロボ妨害を抑制するために motion blur と呼ばれるぼけを加味するといった手法を用いる。しかしながら、これらの手法による制限は、表現手段を狭めている結果にもなっている。また、スポーツなどでは、注目したい被写体の動きの予想ができないため、これらの手段は使えない。

20

30

## 【 0 1 7 4 】

このような動画質劣化は移動物の角速度に応じて増加する。したがって、同じ映像シーンであっても、より視野角の大きいディスプレイに動画像が表示された場合において動画質が顕著に劣化する。また、高解像度化を行っても本章で述べた動画質劣化はほとんど改善されない。むしろ、高解像度化により静止画質がより向上してしまうために、動画質劣化が目立ってしまう。今後、ディスプレイが大画面化、高精細化されるのにもなって、これらの動画質劣化が大きな問題となることが予想される。

40

## 【 0 1 7 5 】

動画質劣化の原因は時間再現性の欠如である。したがって、時間再現性を向上することが根本的な解決となる。すなわち、その解決手段としては、撮影、表示ともフレームレートを高くすることが有効な手段となる。

## 【 0 1 7 6 】

図 2 0 を用いて説明した場合の動画像データを、2 倍のフレームレートで撮影し、2 倍のフレームレートで表示を行った場合の動画質劣化の改善を図 2 2 に示す。

50

## 【 0 1 7 7 】

図 2 2 A は、撮影条件がオープンシャッター方式で、表示がパルスタイプである場合、図 2 2 B は、撮影条件がオープンシャッター方式で、表示がホールドタイプである場合、図 2 2 C は、撮影条件が高速シャッター方式で、表示がパルスタイプである場合、図 2 2 D は、撮影条件が高速シャッター方式で、表示がホールドタイプである場合、それぞれ、図 2 0 を用いて説明した場合の 2 倍のフレームレートで表示された動画像に対する、観察者の見えを示す。

## 【 0 1 7 8 】

図 2 2 A 乃至図 2 2 D に示されるように、表示画像の見えのぼけ妨害に関して、それぞれの撮像および表示方法において、ぼけ量は半分となっている。また、ストロボ妨害に 10 関しても、ストロボ的な離散数が倍増するため、画像劣化が改善される。すなわち、ぼけ妨害およびストロボ妨害は、フレームレートの増加に対し、リニアに改善されることが示される。また、フレームレートを増加した場合、シャッター時間、発光時間による動画質劣化の質の違いも小さくなっている。すなわち、動画質を改善するためには、高フレームレート化が、非常に有効な手段であるといえる。

## 【 0 1 7 9 】

次に、オープンシャッターで撮影された動画像の表示について、追従視の条件において、ジャーキネス、動きぼけに着目した動画質の評価を、視覚心理物理実験により調査した。

## 【 0 1 8 0 】

ジャーキネスに着目した評価結果を図 2 3 に、動きぼけに着目した評価結果を図 2 4 に 20 示す。この評価においては、動画像として、例えば、自然動画、CG の動き、オープンシャッターで撮影された映像など、さまざまなものが用意された。また、評価ポイントは、劣化尺度については、「劣化がわからない」が評価 5、「劣化は分かるが気にならない」が評価 4、「劣化は分かるが邪魔にならない」が評価 3、「劣化が邪魔になる」が評価 2、「劣化が非常に邪魔になる」が評価 1 とされ、評価尺度については、「非常によい」が評価 5、「よい」が評価 4、「普通」が評価 3、「悪い」が評価 2、「非常に悪い」が評価 1 とされた。この実験においては、一般的な動画質の評価について調査するために十分な人数の被験者により評価が実行されている。そして、図 2 3 および図 2 4 においては、全てのシーンおよび被験者の平均と、標準偏差がプロットされている。

## 【 0 1 8 1 】

図 2 3 に示されるジャーキネスに比較して、図 2 4 に示される動きぼけの評価値の変化 30 が大きく、また両者に共通して、フレームレートが大きくなるにともなって、動画質の評価値も大きくなる傾向が見られる。特に動きぼけに関して、250 fps 近辺で、知覚限である評価値 4.5 近辺に達し、更に高いフレームレートでは、評価値は 4.5 以上で平らな値を示す屈曲型の傾向を示した。また、ジャーキネスに関しても、250 fps 近辺で、知覚限である評価値 4.5 近辺に達し、更に高いフレームレートでは、評価値は 4.5 以上で、略平らな値を示す屈曲型の傾向を示した。

## 【 0 1 8 2 】

このように、特に顕著な動画質劣化を示す追従視における動きぼけは、250 fps 近辺 40 のフレームレートにより十分解決されること、すなわち、250 fps 近辺が、現在広く用いられている映像リソースの有効性を考慮した場合の理想周波数であることを示唆するものである。具体的には、現在広く用いられている映像リソースは、上述したように 50 Hz, 60 Hz のものが多いので、その整数倍の周波数である 240 Hz や 250 Hz が、映像リソースの有効性を考慮した場合の理想周波数であることを示唆するものである。

## 【 0 1 8 3 】

次に、図 2 5 のフローチャートを参照して、図 9 の画像信号処理装置 5 1 および画像表示装置 5 2 を用いた場合の画像表示処理 1 について説明する。

## 【 0 1 8 4 】

ステップ S 2 1 において、コントローラ 6 2 は、メモリ 6 1 のフレームメモリ 6 1 - 1 乃至フレームメモリ 6 1 - n から、例えば、図 1 0 乃至図 1 3 を用いて説明した所定のタ 50

イミングでフレーム画像データを読み出させて、D/A変換部65-1乃至D/A変換部65-nに供給する。

【0185】

ステップS22において、D/A変換部65-1乃至D/A変換部65-nは、供給されたフレーム画像データにD/A変換を施して、走査制御部81-1乃至走査制御部81-nに供給する。

【0186】

ステップS23において、走査制御部81-1乃至走査制御部81-nは、表示制御部66の制御に基づいて、例えば、図10乃至図13を用いて説明した出力映像信号に対応する所定のタイミングでそれぞれのフレーム画像データの各画素を走査させて表示させ、  
処理が終了される。

10

【0187】

このような処理により、n分割された、それぞれはmHzのフレームレートを有する動画画像データが、n個の操作制御部81-1乃至走査制御部81-nにより(n×m)Hzの動画画像データとして表示される。

【0188】

以上においては、n分割されたそれぞれmHzのフレーム画像データを表示画面の走査線数の1/nづつずらして走査させることにより、(n×m)Hzの動画画像を表示する場合について説明したが、n分割されたそれぞれmHzのフレーム画像データを、nより少ない数に合成した後、表示するようにしてもよい。

20

【0189】

すなわち、それぞれのフレーム画像データの撮像時のシャッターオープンの時間が、1/s×mより短い場合、次に、n分割されたそれぞれmHzのフレーム画像データをn/s系列のフレーム画像データに変換した後、n/s個の操作制御部81を用いて表示させるようにしても、動画画像データがぼけることはない。

【0190】

図26は、本発明を適用した画像信号処理装置101および画像表示装置52の構成を示すブロック図である。図26においては、n=4、s=2の場合について説明する。

【0191】

なお、図9における場合と対応する部分には、同一の符号を付してあり、その説明は適宜省略する。

30

【0192】

画像信号処理装置101には、(m×n)Hzのフレームレートの画像データを構成する1/nずつ位相がずれた、それぞれmHzの4系列の動画画像データが、個別に供給され、メモリ61のうちのフレームメモリ61-1乃至フレームメモリ61-4に供給されて保持される。

【0193】

コントローラ111は、操作入力部63から入力されるユーザの操作入力にしたがって、基準同期信号発生部64から供給されるmHzの基準同期信号を基に、フレームメモリ61-1乃至61-4からの映像信号の出力を制御するとともに、フレームメモリ61-1乃至61-4からの映像信号の出力に関する情報を、表示制御部66に供給する。操作入力部63は、動画画像の表示を指令する場合のボタンをはじめとして、例えば、ジョグダイヤル、キー、レバー、ボタン、またはタッチパネルなどにより構成され、ユーザによる操作入力を受け、コントローラ111に供給する。基準同期信号発生部64は、コントローラ111がメモリ61の複数のフレームメモリ61-1乃至61-4を制御するための基準となる同期信号を発生し、コントローラ111に供給する。

40

【0194】

メモリ61のフレームメモリ61-1およびフレームメモリ61-2は、コントローラ111の制御に基づいて、供給されたデジタルの画像信号S1およびS2を、信号処理部112-1に供給する。メモリ61のフレームメモリ61-3およびフレームメモリ61

50

- 4は、コントローラ111の制御に基づいて、供給されたデジタルの画像信号S3およびS4を、信号処理部112-2に供給する。信号処理部112-1および信号処理部112-2は、供給された画像信号を合成し、合成された画像信号S5およびS6を、D/A変換部65-1およびD/A変換部65-2に出力する。信号処理部112-1および信号処理部112-2が実行する信号の合成の詳細については、図27を用いて後述する。

【0195】

D/A変換部65-1およびD/A変換部65-2は、信号処理部112-1および信号処理部112-2から供給されたデジタルの画像信号を、アナログの画像信号に変換し、画像表示装置52の走査制御部81-1および走査制御部81-2に供給する。表示制御部66は、コントローラ111から供給された情報を基に、画像表示装置52による動画像の表示を制御し、(m×n)Hzのフレームレートのフレーム画像を表示させる。

10

【0196】

ここで、走査制御部81-1および走査制御部81-2に供給される動画像データのフレームレートは、それぞれ2mHzである。走査制御部81-1および走査制御部81-2がフレームレート2mHzの動画像データを、供給されたフレーム画像データが有する画素数で表示する機能(データ処理や、走査速度などの機能)を有していなかった場合、信号処理部112-1および信号処理部112-2は、走査制御部81-1および走査制御部81-2により表示可能なように、合成されて出力される画像信号S5およびS6に対して、例えば、画素数の減少や、走査ラインの間引きなどの適当な画像処理を施す。

20

【0197】

また、コントローラ111には、必要に応じてドライブ67が接続され、磁気ディスク71、光ディスク72、光磁気ディスク73、もしくは、半導体メモリ74などが適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じてコントローラ111に実行される。

【0198】

図27を用いて、 $n = 4$ 、 $S = 2$ である場合の、フレームメモリ61-1乃至61-4から読み出される画像データのタイミング、および、信号処理部112-1および信号処理部112-2が実行する信号の合成について説明する。

【0199】

コントローラ111は、フレームメモリ61-1および61-2を制御して、フレームメモリ61-1から、フレームレートmで、シャッタースピード $1/2m$ 以下のフレームを出力映像信号S1として信号処理部112-1に供給させ、フレームメモリ61-2から、フレームレートmで、シャッタースピード $1/2m$ 以下の+2フレームを、出力映像信号S2として、フレームの供給開始時刻aよりも、 $1/2m$ だけ遅らせた供給開始時刻bで、信号処理部112-1に供給させる。コントローラ111は、それ以降、 $1/2m$ づつずらして、フレームメモリ61-1および61-2から、出力信号S1または出力信号S2を交互に読み出して、信号処理部112-1に供給させる。

30

【0200】

信号処理部112-1は、供給された信号を合成して、フレームの $1/2m$ 後に+2フレームが続き、更に、+2フレームの $1/2m$ 後に+4フレームが続く合成信号S5を生成し、A/D変換部65-1に供給する。

40

【0201】

コントローラ111は、フレームメモリ61-3および61-4を制御して、フレームメモリ61-3から、フレームレートmで、シャッタースピード $1/2m$ 以下の+1フレームを出力映像信号S3として信号処理部112-2に供給させ、フレームメモリ61-2から、フレームレートmで、シャッタースピード $1/2m$ 以下の+3フレームを、出力映像信号S4として、+1フレームの供給開始時刻aよりも、 $1/2m$ だけ遅らせた供給開始時刻bで、信号処理部112-2に供給させる。コントローラ111は、それ以降、 $1/2m$ づつずらして、フレームメモリ61-1および61-2から、出力信号S3ま

50

たは出力信号 S 4 を交互に読み出して、信号処理部 1 1 2 - 2 に供給させる。

【 0 2 0 2 】

信号処理部 1 1 2 - 2 は、供給された信号を合成して、 + 1 フレームの 1 / 2 m 後に + 3 フレームが続き、更に、 + 1 フレームの 1 / 2 m 後に + 5 フレームが続く合成信号 S 6 を生成し、A / D 変換部 6 5 - 2 に供給する。

【 0 2 0 3 】

A / D 変換部 6 5 - 1 および A / D 変換部 6 5 - 2 は、図 1 0 を用いて説明した出力映像信号 S 1 および出力映像信号 S 2 と同様にして、それぞれ、1 / 2 m だけずらしたタイミングで、合成信号 S 5 および合成信号 S 6 を走査制御部 8 1 - 1 および走査制御部 8 1 - 2 に供給する。走査制御部 8 1 - 1 および走査制御部 8 1 - 2 は、1 フレームのライン数の 1 / 2 だけずらして、交互にフレーム画像信号を走査させ、動画像データを表示部 8 2 に表示させる。

10

【 0 2 0 4 】

例えば、出力信号 S 1 乃至 S 4 が、それぞれ、6 0 H z である場合、合成信号 S 5 および S 6 は、それぞれ、1 2 0 H z となる。したがって、走査制御部 8 1 - 1 および走査制御部 8 1 - 2 が 1 2 0 H z の動画像データを表示する機能をそれぞれ有していた場合、2 4 0 H z の動画像データを表示させるようにすることが可能となる。

【 0 2 0 5 】

なお、図 2 6 および図 2 7 においては、 $n = 4$ 、 $s = 2$  の場合について説明したが、 $n$  または  $s$  がそれぞれ異なる値であっても本発明は適用可能であることは言うまでもない。

20

【 0 2 0 6 】

例えば、 $n = 4$ 、 $s = 4$  の場合について、図 2 8 および図 2 9 を用いて説明する。

【 0 2 0 7 】

図 2 8 は、本発明を適用した画像信号処理装置 1 2 1 および画像表示装置 5 2 の構成を示すブロック図である。

【 0 2 0 8 】

なお、図 2 6 における場合と対応する部分には、同一の符号を付してあり、その説明は適宜省略する。

【 0 2 0 9 】

画像信号処理装置 1 2 1 には、 $(m \times n)$  H z のフレームレートの画像データを構成する  $1 / n$  ずつ位相がずれた、それぞれ  $m$  H z の 4 系列の動画像データが、個別に供給され、メモリ 6 1 のうちのフレームメモリ 6 1 - 1 乃至フレームメモリ 6 1 - 4 に供給されて保持される。

30

【 0 2 1 0 】

コントローラ 1 3 1 は、操作入力部 6 3 から入力されるユーザの操作入力にしたがって、基準同期信号発生部 6 4 から供給される  $m$  H z の基準同期信号を基に、フレームメモリ 6 1 - 1 乃至 6 1 - 4 からの映像信号の出力を制御するとともに、フレームメモリ 6 1 - 1 乃至 6 1 - 4 からの映像信号の出力に関する情報を、表示制御部 6 6 に供給する。操作入力部 6 3 は、動画像の表示を指令する場合のボタンをはじめとして、例えば、ジョグダイヤル、キー、レバー、ボタン、またはタッチパネルなどにより構成され、ユーザによる操作入力を受け、コントローラ 1 3 1 に供給する。基準同期信号発生部 6 4 は、コントローラ 1 3 1 がメモリ 6 1 の複数のフレームメモリ 6 1 - 1 乃至 6 1 - 4 を制御するための基準となる同期信号を発生し、コントローラ 1 3 1 に供給する。

40

【 0 2 1 1 】

メモリ 6 1 のフレームメモリ 6 1 - 1 乃至フレームメモリ 6 1 - 4 は、コントローラ 1 3 1 の制御に基づいて、供給されたデジタルの画像信号 S 1 乃至 S 4 を、信号処理部 1 3 2 に供給する。信号処理部 1 3 2 は、供給された画像信号を合成し、合成された画像信号 S 5、D / A 変換部 6 5 - 1 に出力する。信号処理部 1 3 2 が実行する信号の合成の詳細については、図 2 9 を用いて後述する。

【 0 2 1 2 】

50

D/A変換部65-1は、信号処理部132から供給されたデジタルの画像信号を、アナログの画像信号に変換し、画像表示装置52の走査制御部81-1に供給する。表示制御部66は、コントローラ131から供給された情報を基に、画像表示装置52による動画像の表示を制御し、 $(m \times n)$  Hzのフレームレートのフレーム画像を表示させる。

【0213】

ここで、走査制御部81-1に供給される動画像データのフレームレートは、それぞれ4mHzである。走査制御部81-1がフレームレート4mHzの動画像データを、供給されたフレーム画像データが有する画素数で表示する機能(データ処理や、走査速度などの機能)を有していなかった場合、信号処理部132は、走査制御部81-1により表示可能なように、合成されて出力される画像信号S5に対して、例えば、画素数の減少や、走査ラインの間引きなどの適当な画像処理を施す。

10

【0214】

また、コントローラ131には、必要に応じてドライブ67が接続され、磁気ディスク71、光ディスク72、光磁気ディスク73、もしくは、半導体メモリ74などが適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じてコントローラ131に実行される。

【0215】

図29を用いて、 $n = 4$ 、 $S = 4$ である場合の、フレームメモリ61-1乃至61-4から読み出される画像データのタイミング、および、信号処理部132が実行する信号の合成について説明する。

20

【0216】

コントローラ131は、フレームメモリ61-1および61-2を制御して、フレームメモリ61-1から、フレームレート $m$ で、シャッタースピード $1/4m$ 以下のフレームを出力映像信号S1として信号処理部132に供給させ、フレームメモリ61-2から、フレームレート $m$ で、シャッタースピード $1/4m$ 以下の+1フレームを、出力映像信号S2として、フレームの供給開始時刻 $a$ よりも、 $1/4m$ だけ遅らせた供給開始時刻 $b$ で、信号処理部132に供給させ、フレームメモリ61-3から、フレームレート $m$ で、シャッタースピード $1/4m$ 以下の+2フレームを出力映像信号S3として、+1フレームの供給開始時刻 $a$ よりも、 $1/4m$ だけ遅らせた供給開始時刻 $c$ で、信号処理部132に供給させ、フレームメモリ61-4から、フレームレート $m$ で、シャッタースピード $1/4m$ 以下の+3フレームを、出力映像信号S4として、+2フレームの供給開始時刻 $a$ よりも、 $1/4m$ だけ遅らせた供給開始時刻 $d$ で、信号処理部132に供給させる。コントローラ111は、それ以降、 $1/4m$ づつずらして、フレームメモリ61-1乃至61-4から、出力信号S1乃至出力信号S4を順次読み出して、信号処理部132に供給させる。

30

【0217】

信号処理部112-1は、供給された信号を合成して、フレームの $1/4m$ 後に+1フレームが続き、更に、+1フレームの $1/4m$ 後に+2フレームが続く合成信号S5を生成し、A/D変換部65-1に供給する。

【0218】

A/D変換部65-1は、合成信号S5を走査制御部81-1に供給する。走査制御部81-1は、フレーム画像信号を走査させ、動画像データを表示部82に表示させる。

40

【0219】

例えば、出力信号S1乃至S4が、それぞれ、60Hzである場合、合成信号S5は、240Hzとなる。したがって、走査制御部81-1が供給されるフレーム画像データの画素数、または走査線数で240Hzの動画像データを表示する機能をそれぞれ有していない場合、信号処理部112-1が適当な間引き処理や画素数変換(減少)処理を合成信号S5に対して施すことにより、走査制御部81-1に240Hzの動画像データを表示させるようにすることが可能となる。

【0220】

50



また、例えば、 $n = 5$ で、出力信号 $S_1$ 乃至 $S_5$ が、それぞれ、 $50\text{ Hz}$ である場合、合成信号は、 $250\text{ Hz}$ となる。したがって、走査制御部 $81-1$ が供給されるフレーム画像データの画素数、または走査線数で $250\text{ Hz}$ の動画データを表示する機能をそれぞれ有していない場合、信号処理部 $112-1$ が適当な間引き処理や画素数変換（減少）処理を合成信号 $S_5$ に対して施すことにより、走査制御部 $81-1$ に $250\text{ Hz}$ の動画データを表示させるようにすることが可能となる。

【0221】

次に、図30のフローチャートを参照して、図26または図28を用いて説明した画像信号処理装置101および画像表示装置52、または、画像信号処理装置121および画像表示装置52を用いた場合の画像表示処理2について説明する。

10

【0222】

ステップ $S41$ において、コントローラ $111$ またはコントローラ $131$ は、メモリ61のフレームメモリ $61-1$ 乃至フレームメモリ $61-n$ （図26または図28を用いて説明した場合は $n-4$ であったが、 $n$ は4以外の異なる値であってもよいことはいふまでもない）から、例えば、図27または図29を用いて説明した所定のタイミングでフレーム画像データを読み出させて、信号処理部 $112-1$ 乃至信号処理部 $112-t$ （ここで、 $t = n/s$ ）または信号処理部 $132$ に供給する。

【0223】

ステップ $S42$ において、信号処理部 $112-1$ 乃至信号処理部 $112-t$ または信号処理部 $132$ は、図27または図29を用いて説明したように、出力信号を合成し、必要に応じて、走査制御部 $81-1$ 乃至走査制御部 $81-t$ （ここで、 $t = n/s$ ）により表示可能な画像データに変換する処理（例えば、画素数の減少や、走査ラインの間引き処理など）を施して、 $D/A$ 変換部 $65-1$ 乃至 $D/A$ 変換部 $65-t$ （ここで、 $t = n/s$ ）に供給する。

20

【0224】

ステップ $S43$ において、 $D/A$ 変換部 $65-1$ 乃至 $D/A$ 変換部 $65-t$ は、供給されたフレーム画像データに $D/A$ 変換を施して、走査制御部 $81-1$ 乃至走査制御部 $81-t$ に供給する。

【0225】

ステップ $S44$ において、走査制御部 $81-1$ 乃至走査制御部 $81-t$ は、表示制御部66の制御に基づいて、所定のタイミングでそれぞれのフレーム画像データの各画素を走査させて表示させ、処理が終了される。

30

【0226】

このような処理により、 $n$ 分割された動画データが、 $n/s$ 系列の動画データに合成された後、 $n/s$ 個の操作制御部 $81-1$ 乃至走査制御部 $81-t$ （ここで、 $t = n/s$ ）により $(n \times m)\text{ Hz}$ の動画データとして表示される。

【0227】

また、外部の装置により合成された画像信号の入力を受けて表示することができるようにしてもよい。

【0228】

図31は、例えば、図28の信号処理部 $132$ の処理によって合成された合成信号 $S_5$ のように、その信号だけで、全てのフレーム画像がそろっているような画像信号の供給を受けて表示することが可能な画像信号処理装置141および画像表示装置52の構成を示すブロック図である。

40

【0229】

なお、図28における場合と対応する部分には、同一の符号を付してあり、その説明は適宜省略する。

【0230】

画像信号処理装置151には、 $(m \times n)\text{ Hz}$ のフレームレートの画像データを構成する動画データが供給され、フレームメモリ $61-1$ に保持される。

50

## 【0231】

コントローラ151は、操作入力部63から入力されるユーザの操作入力にしたがって、基準同期信号発生部64から供給されるmHzの基準同期信号を基に、フレームメモリ61-1からの映像信号の出力を制御するとともに、フレームメモリ61-1からの映像信号の出力に関する情報を、表示制御部66に供給する。操作入力部63は、動画像の表示を指令する場合のボタンをはじめとして、例えば、ジョグダイヤル、キー、レバー、ボタン、またはタッチパネルなどにより構成され、ユーザによる操作入力を受け、コントローラ151に供給する。基準同期信号発生部64は、コントローラ151がフレームメモリ61-1を制御するための基準となる同期信号を発生し、コントローラ151に供給する。

10

## 【0232】

フレームメモリ61-1は、コントローラ151の制御に基づいて、供給されたデジタルの画像信号を、信号処理部152に供給する。信号処理部152は、供給された画像信号に対して信号処理を施し、D/A変換部65-1に出力する。具体的には、走査制御部81-1に供給される動画像データのフレームレートを $(n \times m)$  Hzとし、走査制御部81-1がフレームレート $(n \times m)$  Hzの動画像データを供給されたフレーム画像データが有する画素数で表示する機能を有していなかった場合、信号処理部152は、走査制御部81-1により表示可能なように、出力される画像信号に対して、例えば、画素数の減少や、走査ラインの間引きなどの適当な画像処理を施す。

20

## 【0233】

D/A変換部65-1は、信号処理部152から供給されたデジタルの画像信号を、アナログの画像信号に変換し、画像表示装置52の走査制御部81-1に供給する。表示制御部66は、コントローラ151から供給された情報を基に、画像表示装置52による動画像の表示を制御し、 $(m \times n)$  Hzのフレームレートのフレーム画像を表示させる。

## 【0234】

また、コントローラ151には、必要に応じてドライブ67が接続され、磁気ディスク71、光ディスク72、光磁気ディスク73、もしくは、半導体メモリ74などが適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じてコントローラ151に実行される。

30

## 【0235】

次に、図32のフローチャートを参照して、図31を用いて説明した画像信号処理装置141および画像表示装置52を用いた場合の画像表示処理3について説明する。

## 【0236】

ステップS61において、コントローラ151は、フレームメモリ61-1から、所定のタイミングでフレーム画像データを読み出させて、信号処理部112-1に供給する。

## 【0237】

ステップS62において、信号処理部112-1は、必要に応じて、走査制御部81-1により表示可能な画像データに変換する処理（例えば、画素数の減少や、走査ラインの間引き処理など）を施して、D/A変換部65-1に供給する。

40

## 【0238】

ステップS63において、D/A変換部65-1は、供給されたフレーム画像データにD/A変換を施して、走査制御部81-1に供給する。

## 【0239】

ステップS64において、走査制御部81-1は、表示制御部66の制御に基づいて、所定のタイミングでそれぞれのフレーム画像データの各画素を走査させて表示させ、処理が終了される。

## 【0240】

このような処理により、外部の装置により合成された動画像データを滑らかに表示させることができる。

## 【0241】

50

以上においては、フレームレート $(n \times m)$  Hzの動画像データを表示させるために、 $n$ 系列でフレームレート $m$ の動画像データを取得し、 $n$ 系列、もしくは、 $n$ 系列を合成した $n/s$ 系列の動画像データを順次所定のタイミングだけずらして走査出力することにより、フレームレート $(n \times m)$  Hzの動画像データを表示させる場合について説明したが、次に、空間的に画素を画素ピッチの $1/n$ ずつずらして撮像し、その表示映像を $n$ 倍の空間に広げることにより、フレームレート $(n \times m)$  Hzの動画像データを取得する方法について説明する。

【0242】

図33は、本発明を適用した撮像装置171の構成を示すブロック図である。

【0243】

なお、図1における場合と対応する部分には、同一の符号を付してあり、その説明は適宜省略する。

【0244】

図33に示すように、撮像装置171は、レンズ21、CCDイメージセンサ181、タイミングコントローラ24、コントローラ183、基準同期信号発生部26、相関2重サンプリング処理部27、A/Dコンバータ28、画像処理部182、コーデック処理部30、メモリ31、操作入力部32、および、ドライブ33から構成される。

【0245】

CCDとは、光情報を電気信号に変換する(光電変換)半導体素子であり、CCDイメージセンサ181は、光を電気に変換する受光素子(画素)を複数個並べ、光の変化を画素ごとに独立して電気信号に変換する撮像素子を1つ有する、例えば、RGBの3原色のカラーフィルタがモザイク状に並べられているベイヤー配列などのカラーフィルタが構成されている、一般的な単板式のCCDイメージセンサである。CCDイメージセンサ181のそれぞれの撮像素子のカラーフィルタは、ベイヤー配列以外の配列であってもよい。

【0246】

CCDイメージセンサ181の撮像素子は、タイミングコントローラ24の制御により、図34に示されるように、画素ピッチの $1/n$ だけずらして(図34においては、 $n=4$ とし、画素ピッチの $1/4$ ずらして撮像するものとして図示しているが、 $n$ は4以外のいかなる数字であってもかまわない)、タイミングを $1/(m \times n)$ ずらして画像情報を取得する。タイミングコントローラ24は、コントローラ25の制御に基づいて、基準同期信号発生部26から供給される $m$  Hzの基準同期信号を、 $1/(m \times n)$ ずつ遅延させたトリガ信号を、CCDイメージセンサ181の撮像素子に供給する。

【0247】

ここでは、タイミングコントローラ24が発生するタイミング信号に基づいて、撮像素子が画素ピッチの $1/n$ だけ移動させるものとして説明したが、撮像素子の位置を固定して、タイミングコントローラ24が発生するタイミング信号に基づいて、光学系の位置を、画素ピッチの $1/n$ だけ移動させるようにしてもよい。

【0248】

したがって、CCDイメージセンサ181が撮像するフレーム画像データのフレームレートは、 $(m \times n)$  Hzとなる。

【0249】

一般にCCDカメラ等で受光部の無効部分を補うために画素ずらしの手段は用いられているが、それらは、同時刻の映像を多板の撮像素子で撮像するカメラに用いられたいり、異なる時刻の映像を単一の撮像素子あるいは光学系を振動させて撮像するカメラに用いられている(上述したCCDカメラ技術入門、コナ社、1997、PP109-111に記載の技術)。

【0250】

しかし、画素ずらしに対応する手法を、異なる時刻の映像を撮像するための構成として適用された例は知られていない。ここで、異なる時刻の撮像により、時間解像度を増すことができる。また、撮像素子または光学系のうちのいずれか一方は固定しているので、安定した高解像度画像を得ることができる。

10

20

30

40

50

## 【0251】

コントローラ183は、操作入力部32により入力されたユーザの操作入力に基づいて、タイミングコントローラ24、相関2重サンプリング処理部27、A/Dコンバータ28、画像処理部182、コーデック処理部30、メモリ31、および、操作入力部32を制御する。

## 【0252】

画像処理部182は、信号処理用プロセッサと画像用RAMを持つブロックで、信号処理用プロセッサが画像用RAMに格納された画像データに対して、予めプログラムされた画像処理、または、ハードウェアによる演算処理として構成された画像処理を行うものであり、具体的には、一定のレートで画素のストリームデータの供給を受け、画像用RAMに一時格納し、信号処理用プロセッサにおいて、一時格納された画像データに対して、例えば、ホワイトバランス調整、デモザイク処理、マトリックス処理、ガンマ補正、および、YC変換などの各種画像処理に加えて、必要に応じて、補間処理を実行する。

10

## 【0253】

図35および図36を用いて、画素ずらし撮像後の補間処理について説明する。

## 【0254】

図35において、図に示された数字が記された1/4画素は、この数字の順番に撮像された部分であり、数字が記されていない1/4画素は、データがないことを意味している。このような画像データにおいて、観察者が、画素表示の方向に画素ずらしと略同じ速度で視線を動かした場合、すなわち追従視の場合において、映像が離散的に見えてしまう。この動画質の劣化を防止するためには、空間的に、近傍の画素情報から、線形または非線形補間により、取得していない画素の情報を生成する必要がある。

20

## 【0255】

図36は、図35において数字が記されていない1/4画素のそれぞれに対して、空間的に補間処理を施し、全ての1/4画素がデータを有するように変換しているデータを示す。これらを固定視すなわち、画面の1箇所を視線を固定して観察した場合には、時間周波数が十分高ければ、いずれも眼の積分効果により、空間的に連続な緻密な映像として見える。

## 【0256】

したがって、画素ずらしを行って撮像し、空間的に補間して表示することで、時間方向の解像度を保ちつつ、映像品質を高めることができる。

30

## 【0257】

次に、図37のフローチャートを参照して、図33の撮像装置171が実行する画像取得処理2について説明する。

## 【0258】

ステップS81において、タイミングコントローラ24は、基準同期信号発生部26が発生するMHzの基準同期信号を基に、画素ずらしで画像データを取得するタイミング信号を発生して、CCDイメージセンサ181に供給する。

## 【0259】

ステップS82において、CCDイメージセンサ181は、タイミングコントローラ24から供給されたタイミング信号に基づいて、図34を用いて説明した画素ずらしによって、(m×n)Hzのフレームレートの画像データを取得する。

40

## 【0260】

ステップS83において、相関2重サンプリング処理部27、A/Dコンバータ28、画像処理部182、および、コーデック処理部30は、CCDイメージセンサ23によって取得された(m×n)Hzのフレームレートの画像データに対して、画像処理を行う。このとき、画像処理部182は、必要に応じて補間処理を含む画像処理を行う。

## 【0261】

ステップS84において、メモリ31は、処理された画像の供給を受けて記憶し、処理が終了される。

50

## 【0262】

このような処理により、画素ずらしの手法を用いて、 $(m \times n)$  Hz のフレームレートの画像データが取得されて記憶される。

## 【0263】

また、高解像度の高フレームレート映像を得るために、画素ごとの輝度と色の取得をフレームごとに分離し、フレーム間補間を用いて合成処理を施すようにすることも可能である。

## 【0264】

図38は、本発明を適用した撮像装置201の構成を示すブロック図である。

## 【0265】

なお、図1における場合と対応する部分には、同一の符号を付してあり、その説明は適宜省略する。

## 【0266】

図38に示すように、撮像装置201は、レンズ21、プリズム211、CCDイメージセンサ212、タイミングコントローラ24、コントローラ214、基準同期信号発生部26、相関2重サンプリング)処理部27、A/Dコンバータ28、画像処理部213、コーデック処理部30、メモリ31、操作入力部32、および、ドライブ33から構成される。

## 【0267】

プリズム211は、図39に示されるように、レンズ21を介して入射された光の反射率が $1/n$  (ここでは、 $n=4$ ) であるプリズムビームスプリッタで構成され、レンズ21を介して入射された光を $n$ 個に分割し、CCDイメージセンサ212の $n$ 個の撮像素子212-1乃至212-nに供給する。

## 【0268】

CCDイメージセンサ212は、光を電気に変換する受光素子(画素)を複数個並べ、光の変化を画素ごとに独立して電気信号に変換する撮像素子を $n$ 個含むものである。なお、CCDイメージセンサ212は、撮像素子を $n$ 個含んでいるが、いわゆる複板式のCCDイメージセンサではなく、受光素子ごとに、例えば、RGBの3原色のカラーフィルタがモザイク状に並べられているベイヤー配列などのカラーフィルタが構成されている、一般的な単板式のCCDイメージセンサと、カラーフィルタを用いずに、輝度情報のみを取得する受光素子とがそれぞれ同数設けられて構成されているものである。CCDイメージセンサ212の一方の撮像素子のカラーフィルタは、ベイヤー配列以外の配列であってもよい。

## 【0269】

CCDイメージセンサ212のそれぞれの撮像素子は、タイミングコントローラ24の制御により、それぞれ $1/(n \times m)$ 秒だけずれたタイミングで、画像情報を取得する。タイミングコントローラ24は、コントローラ214の制御に基づいて、基準同期信号発生部26から供給される基準同期信号を $1/(n \times m)$ 秒ずつ遅延させたトリガ信号を、CCDイメージセンサ212の撮像素子212-1乃至212-nに供給する。

## 【0270】

コントローラ214は、操作入力部32により入力されたユーザの操作入力に基づいて、タイミングコントローラ24、相関2重サンプリング処理部27、A/Dコンバータ28、画像処理部213、コーデック処理部30、および、メモリ31を制御する。基準同期信号発生部26は、タイミングコントローラ24がCCDイメージセンサ212の複数の撮像素子を制御するための基準となる同期信号を発生し、タイミングコントローラ24に供給する。

## 【0271】

図40を用いて、画素ごとの輝度と色の取得をフレームごとに分離し、画像処理部213により、フレーム間補間を用いて、高解像度の高フレームレート映像を得るしくみについて説明する。

10

20

30

40

50

## 【 0 2 7 2 】

例として、CCDイメージセンサ212のうちの2/n個の撮像素子のカラーフィルタが、RGB水平配列の640カラー画素（RGBで1画素として）であり、残りの2/n個の撮像素子が輝度情報のみ取得する（水平1920モノクロ画素）ようになされている場合について考える。カラーフィルタを有する撮像素子は、撮像素子の規模としては水平640×3=1920モノクロ画素と同等である。画質としては、1920のカラー画素が理想であるが、上述の撮像素子しか使えない場合を想定する。

## 【 0 2 7 3 】

例えば、撮像素子が4枚（n=4）の場合、撮影の順で1番目と3番目に水平640カラー画素、2番目と4番目に水平1920モノクロ画素を取得する撮像素子を割り当てる。画像処理部213は、取得された2番目と4番目のモノクロ画像に対応する画像信号から、内挿処理によってフレーム補間画像を作る。そして、画像処理部213は、次に取得された3番目のカラー画像に対応する画像信号から、 $(R+G+B)/3$ の演算処理により輝度を抽出した水平640画素のモノクロ画像を生成する。そして、画像処理部213は、その1画素の値にフレーム補間画像の対応する3画素の値を正規化して掛け算し、水平1920画素のモノクロ画像を生成する。

10

## 【 0 2 7 4 】

この処理は、すなわち、カラーフィルタを用いて撮影された映像の画素ごとの輝度は変化させずに、輝度の勾配の解像度を3倍に拡大したことに相当する。同様の手順を繰り返すことにより連続した水平1920画素のモノクロ画像が取得できる。更に次にこれらに色情報を付与する。色情報は、1番目と3番目の撮像処理で取得できているので、この情報を1番目と3番目の水平1920画素のモノクロ画像に適用する。

20

## 【 0 2 7 5 】

すなわち、モノクロ画像の値をYmono、色情報をそれぞれRorg,Gorg,Borgとし、合成処理後の新しい高解像度のRGBの値を、それぞれRnew,Gnew,Bnewとした場合、高解像度のRGBの値Rnew,Gnew,Bnewは、次の式(1)乃至式(3)で求められる。

## 【 0 2 7 6 】

$$R_{new} = Y_{mono} * R_{org} / (R_{org} + G_{org} + B_{org}) \quad \dots (1)$$

$$G_{new} = Y_{mono} * G_{org} / (R_{org} + G_{org} + B_{org}) \quad \dots (2)$$

$$B_{new} = Y_{mono} * B_{org} / (R_{org} + G_{org} + B_{org}) \quad \dots (3)$$

30

## 【 0 2 7 7 】

このようにして得られる映像信号は、3色のバランスは変えずに3倍の輝度についての解像度を反映させた映像である。そして、2番目と4番目の水平1920モノクロ画素の画像にも、同様にして色情報を付与するようにすればよい。

## 【 0 2 7 8 】

ここで、それぞれの画素データを精度良く求めるには、カラー画像の内挿画像からフレーム補間画像を生成し、それらの色情報により、上述した方法で、3倍密度のカラー画像を作る方法もあるが、例えば、演算コストの向上を考慮して、それぞれ、1番目3番目のカラー情報をそのまま利用するようにしてもよい。

## 【 0 2 7 9 】

1番目3番目のカラー情報をそのまま利用するようにした場合、時間方向には、色情報のみ1/2の時間周波数となり、動画像として、追従視の際の色情報は半減する。しかしながら、図41に示されるように、人の視覚にとって、通常の空間周波数の対象については、輝度情報に比較して色情報はコントラスト感度関数が低い。すなわち、人の視覚にとって、色情報は、ボケが知覚されにくい性質があるので、輝度情報の時間周波数を高めることにより、動画質の劣化を低く抑えることができる。

40

## 【 0 2 8 0 】

このようにして、限られた映像リソースで、高動画質を得ることができる。

## 【 0 2 8 1 】

なお、カラーフィルタの配列が、上述したRGB水平配列以外のいかなる配列（例えば

50

、ペイヤー配列、原色４色配列、補色３色配列、補色４色配列など）を用いた場合にも、本発明が適用可能であることは言うまでもない。

【０２８２】

次に、図４２のフローチャートを参照して、図３３の撮像装置１７１が実行する画像取得処理３について説明する。

【０２８３】

ステップＳ１０１において、プリズム２１１は、レンズ２１を介して入射された光を $n$ 分割して、ＣＣＤイメージセンサ２１２の２個の撮像素子２１２-１乃至２１２- $n$ に供給する。

【０２８４】

ステップＳ１０２において、タイミングコントローラ２４は、基準同期信号発生部２６から供給される $m$ Hzの基準同期信号を、ＣＣＤイメージセンサ２１２に供給し、ＣＣＤイメージセンサ２１２は、 $m$ Hzの基準同期信号を基に、 $n$ 個の撮像素子２１２-１乃至２１２- $n$ のうちのいずれかによって、色情報を有する画像データ、および、輝度情報を有する画像データをそれぞれ取得する。

【０２８５】

ステップＳ１０３において、相関２重サンプリング処理部２７、Ａ／Ｄコンバータ２８、画像処理部２１３、および、コーデック処理部３０は、ＣＣＤイメージセンサ２１２によって取得された $m$ Hzのフレームレートの画像データに対して、画像処理を行う。このとき、画像処理部２１３は、図４０を用いて説明した合成処理を含む画像処理を行う。

【０２８６】

ステップＳ１０４において、メモリ３１は、処理された画像の供給を受けて記憶し、処理が終了される。

【０２８７】

このような処理により、限られた映像リソースで、高動画質を得ることができる。

【０２８８】

上述した一連の処理は、ソフトウェアにより実行することもできる。そのソフトウェアは、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

【０２８９】

この記録媒体は、図１、図９、図２６、図２８、図３１、図３３、図３８に示すように、コンピュータとは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク４１または７１（フレキシブルディスクを含む）、光ディスク４２または７２（ＣＤ-ROM（Compact Disk-Read Only Memory）、DVD（Digital Versatile Disk）を含む）、光磁気ディスク４３または７３（ＭＤ（Mini-Disk）（商標）を含む）、もしくは半導体メモリ４４または７４などよりなるパッケージメディアなどにより構成される。

【０２９０】

また、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【０２９１】

なお、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【図面の簡単な説明】

【０２９２】

【図１】本発明を適用した撮像装置の構成を示すブロック図である。

【図２】図１のプリズム、ＣＣＤイメージセンサの構成を説明するための図である。

10

20

30

40

50

- 【図 3】基準同期信号および遅延信号について説明するための図である。
- 【図 4】撮像されるフレーム画像データについて説明するための図である。
- 【図 5】 $n = 4$  の場合において撮像されるフレーム画像データについて説明するための図である。
- 【図 6】 $n = 5$  の場合において撮像されるフレーム画像データについて説明するための図である。
- 【図 7】4 系列の動画像データを、2 系列の動画像データとして記憶させる場合について説明するための図である。
- 【図 8】画像取得処理 1 について説明するためのフローチャートである。
- 【図 9】本発明を適用した画像信号処理装置と画像表示装置の構成を示すブロック図である。 10
- 【図 10】 $n = 2$  の場合における出力映像信号について説明するための図である。
- 【図 11】 $n = 3$  の場合における出力映像信号について説明するための図である。
- 【図 12】 $n = 4$  の場合における出力映像信号について説明するための図である。
- 【図 13】 $n = 5$  の場合における出力映像信号について説明するための図である。
- 【図 14】図 9 の画像表示装置の構成例について説明するための図である。
- 【図 15】図 9 の画像表示装置に表示される動画像のエッジ部分の更新レートについて説明するための図である。
- 【図 16】動くものと固定しているものが共存するような現実のシーンの例を示す図である。 20
- 【図 17】固定視条件を説明するための図である。
- 【図 18】追従視条件を説明するための図である。
- 【図 19】追従視および固定視における観察者の見えについて説明するための図である。
- 【図 20】撮影条件、表示条件、観察条件ごとの観察者の見えについて説明するための図である。
- 【図 21】ストロボ障害について説明するための図である。
- 【図 22】高フレームレートにおける撮影条件、表示条件、観察条件ごとの観察者の見えについて説明するための図である。
- 【図 23】ジャーキネスに着目した動画質の評価結果について説明するための図である。
- 【図 24】動きぼけに着目した動画質の評価結果について説明するための図である。 30
- 【図 25】画像表示処理 1 について説明するためのフローチャートである。
- 【図 26】本発明を適用した画像信号処理装置と画像表示装置の他の構成について説明するためのブロック図である。
- 【図 27】図 26 の画像処理装置における出力信号と合成信号について説明するための図である。
- 【図 28】本発明を適用した画像信号処理装置と画像表示装置の他の構成について説明するためのブロック図である。
- 【図 29】図 28 の画像処理装置における出力信号と合成信号について説明するための図である。
- 【図 30】画像表示処理 2 について説明するためのフローチャートである。 40
- 【図 31】本発明を適用した画像信号処理装置と画像表示装置の他の構成について説明するためのブロック図である。
- 【図 32】画像表示処理 3 について説明するためのフローチャートである。
- 【図 33】本発明を適用した撮像装置の他の構成例について説明するためのブロック図である。
- 【図 34】画素ずらしについて説明するための図である。
- 【図 35】図 33 の撮像装置により撮像された画像データに補間処理を施さなかった場合について説明するための図である。
- 【図 36】図 33 の撮像装置により撮像された画像データに補間処理を施した場合について説明するための図である。 50



【図37】画像取得処理2について説明するためのフローチャートである。

【図38】本発明を適用した撮像装置の他の構成例について説明するためのブロック図である。

【図39】図38のプリズム、CCDイメージセンサの構成を説明するための図である。

【図40】輝度情報と色情報の合成について説明するための図である。

【図41】輝度パターンと色度パターンのコントラスト感度について説明するための図である。

【図42】画像取得処理3について説明するためのフローチャートである。

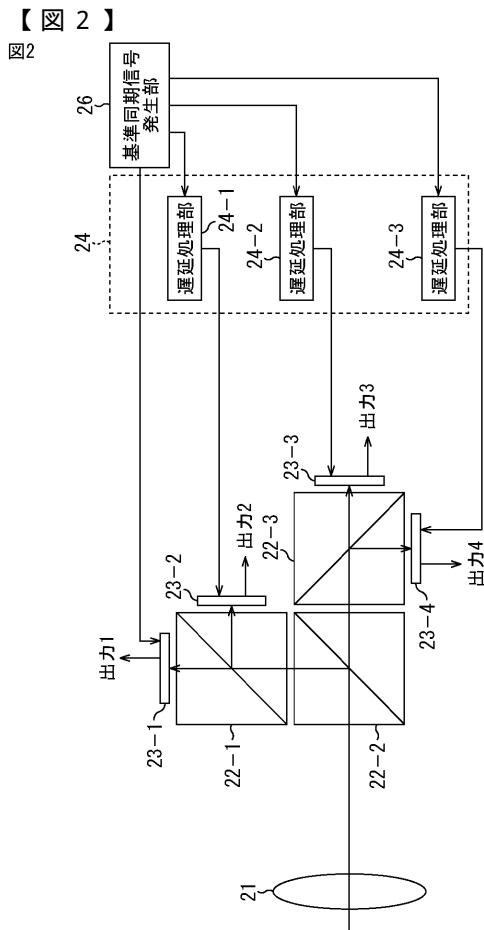
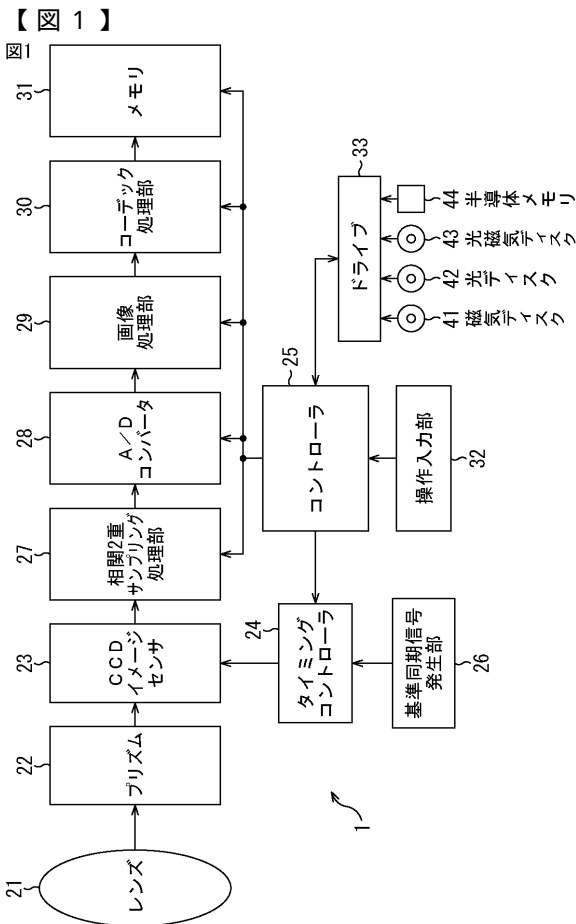
【符号の説明】

【0293】

1 撮像装置, 22 プリズム, 23 CCDイメージセンサ, 24 タイミングコントローラ, 25 コントローラ, 26 基準同期信号発生部, 51 画像信号処理装置, 52 画像表示装置, 61 メモリ, 62 コントローラ, 64 基準同期信号発生部, 66 表示制御部, 81 操作制御部, 82 表示部, 91 プロジェクタ, 92 スクリーン, 101 画像信号処理装置, 111 コントローラ, 112 信号処理部, 121 画像信号処理装置, 131 コントローラ, 132 信号処理部, 141 画像信号処理装置, 151 コントローラ, 152 信号処理部, 171 撮像装置, 181 CCDイメージセンサ, 182 画像処理部, 183 コントローラ, 201 撮像装置, 211 プリズム, 212 CCDイメージセンサ, 213 画像処理部, 214 コントローラ

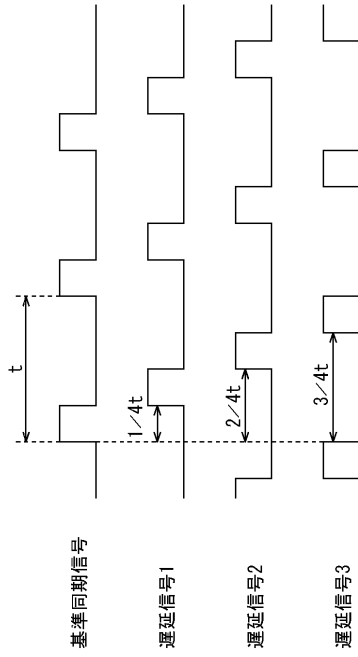
10

20



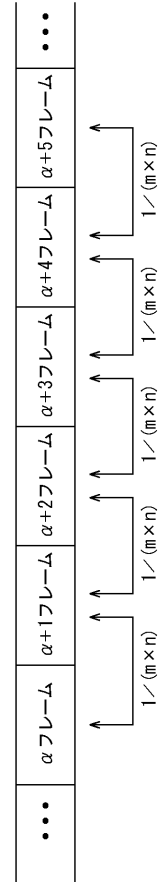
【 図 3 】

図3



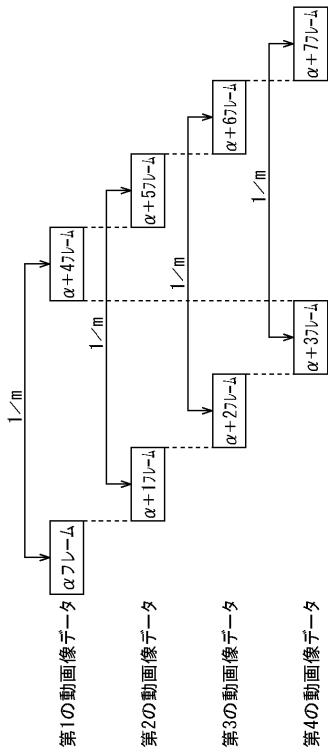
【 図 4 】

図4



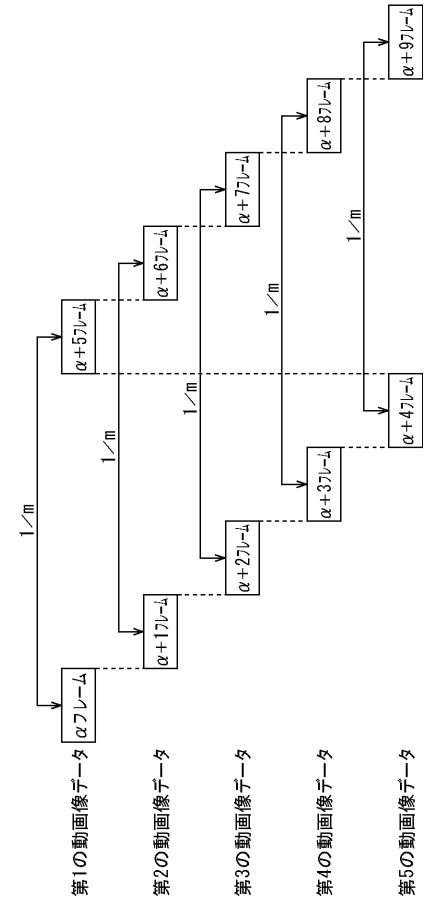
【 図 5 】

図5



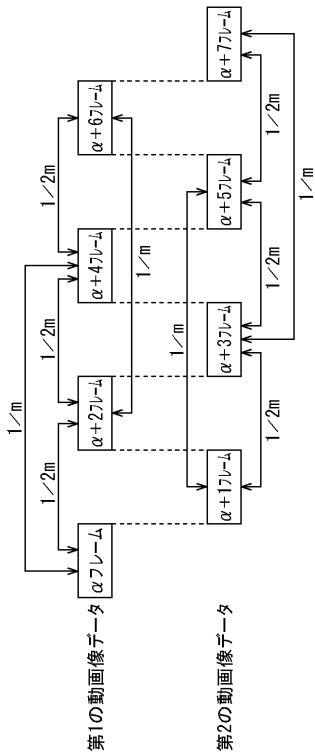
【 図 6 】

図6



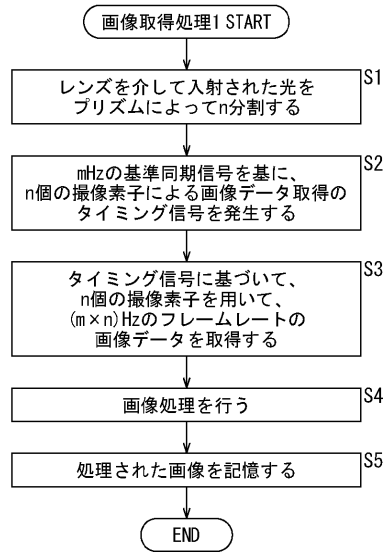
【図7】

図7



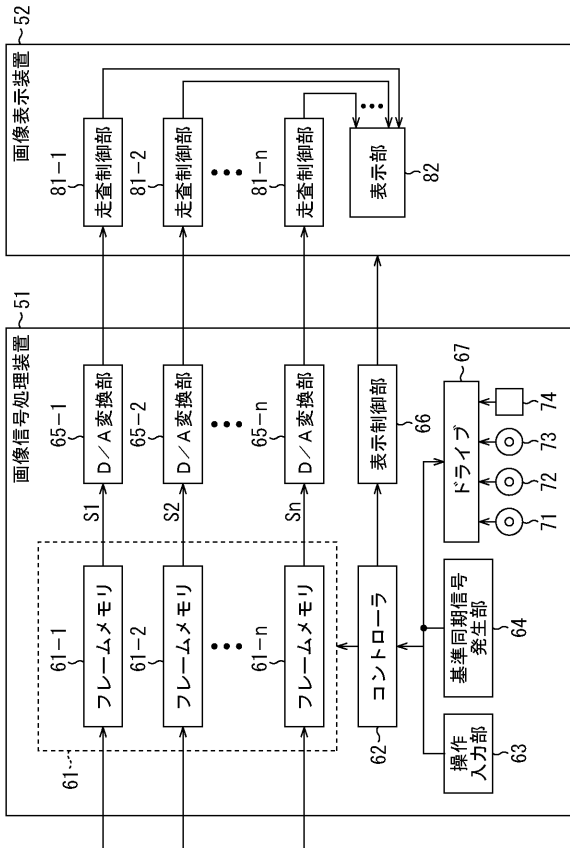
【図8】

図8



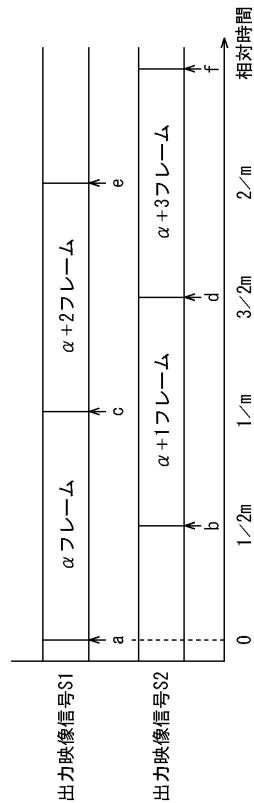
【図9】

図9



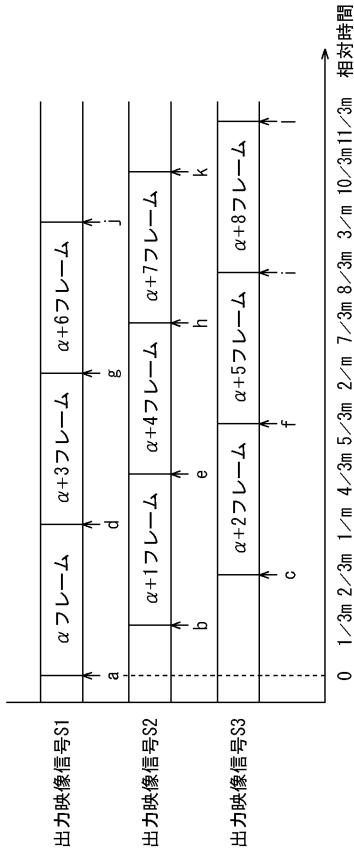
【図10】

図10



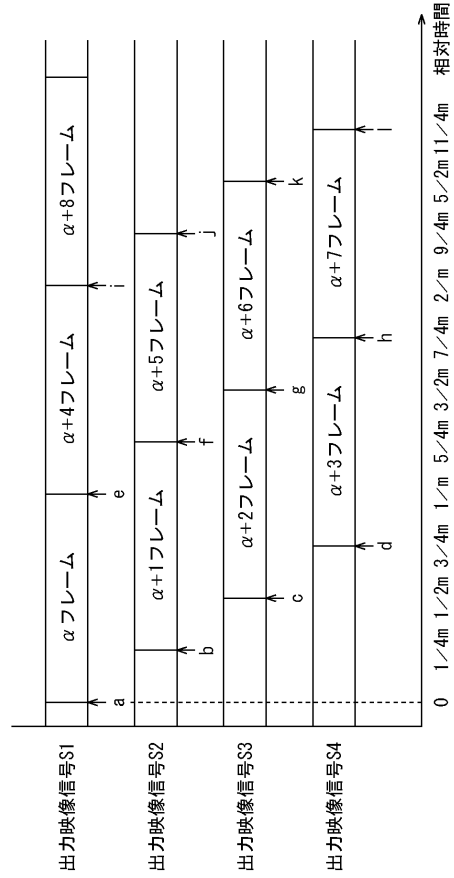
【図 1 1】

図11



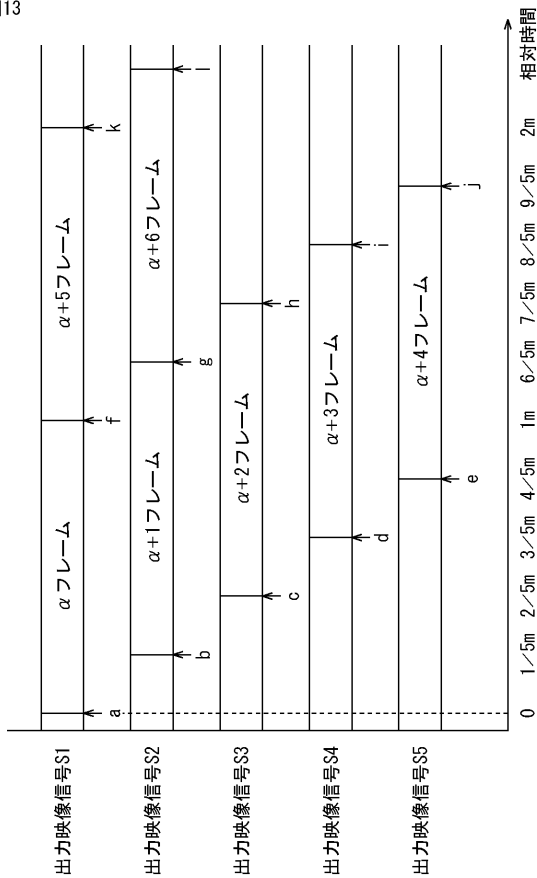
【図 1 2】

図12



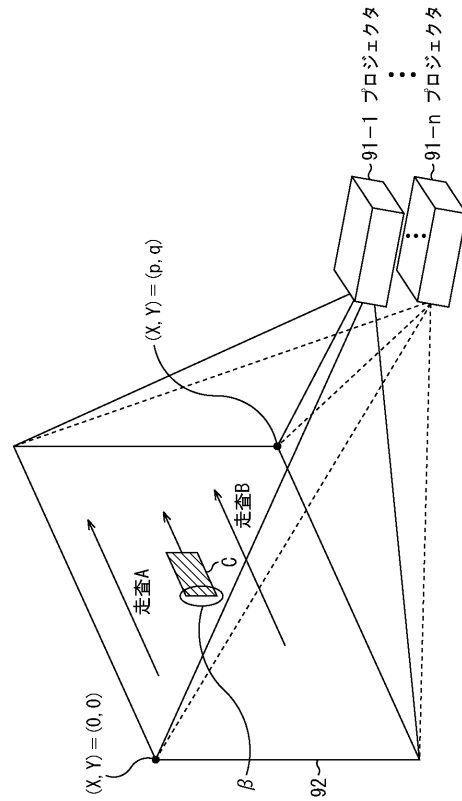
【図 1 3】

図13



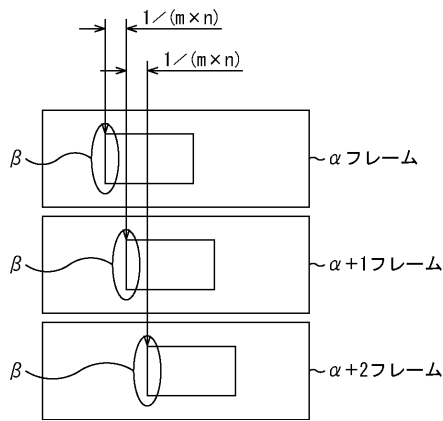
【図 1 4】

図14



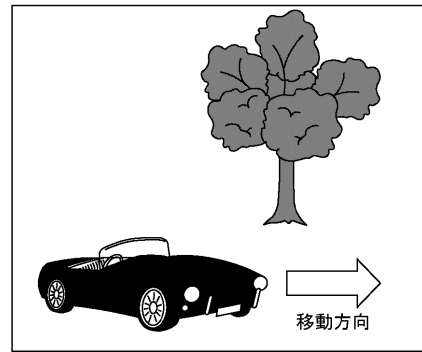
【図 15】

図15



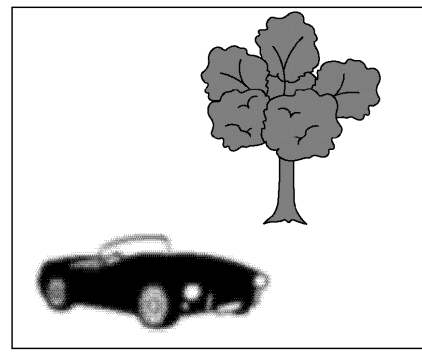
【図 16】

図16



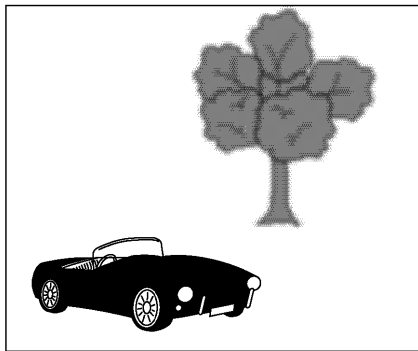
【図 17】

図17



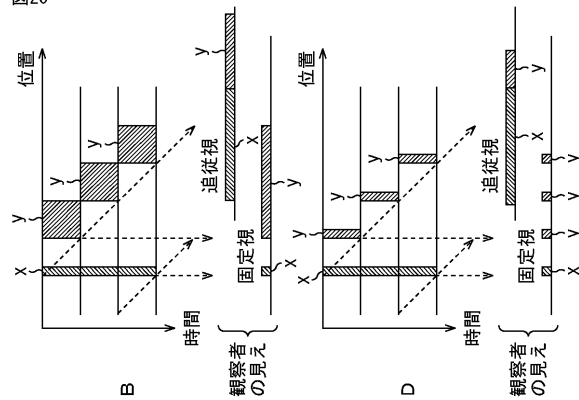
【図 18】

図18



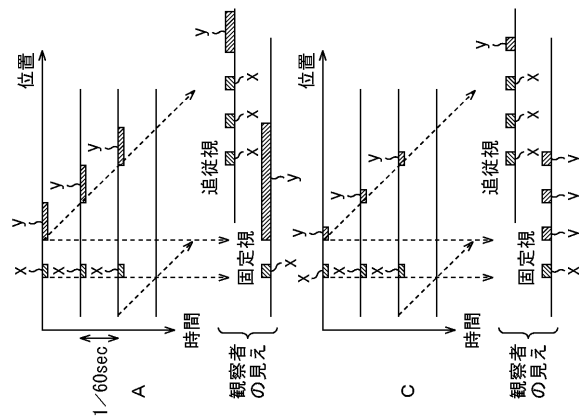
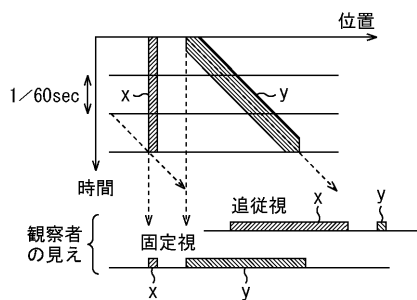
【図 20】

図20



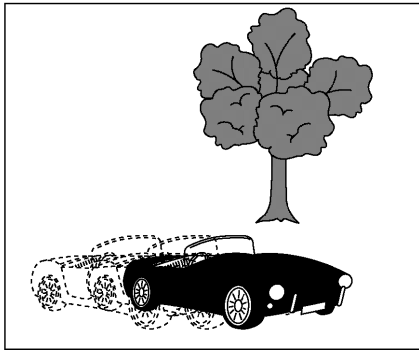
【図 19】

図19



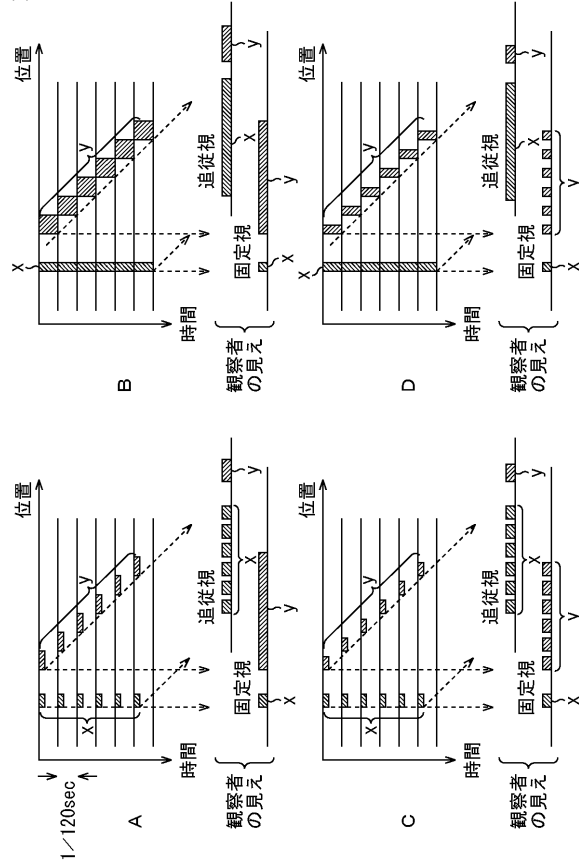
【 図 2 1 】

図21



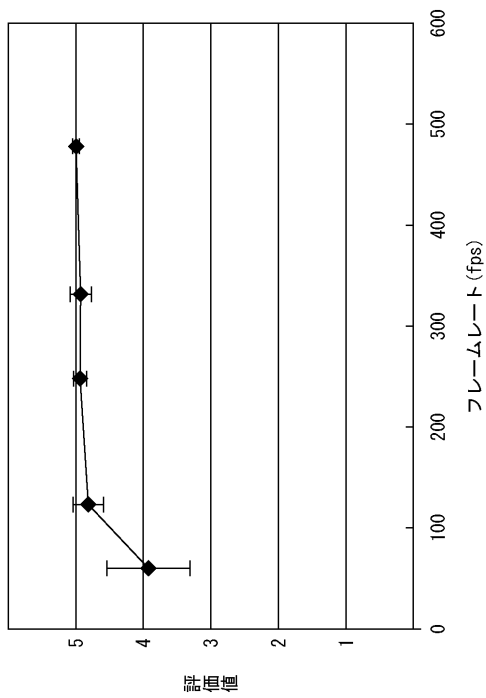
【 図 2 2 】

図22



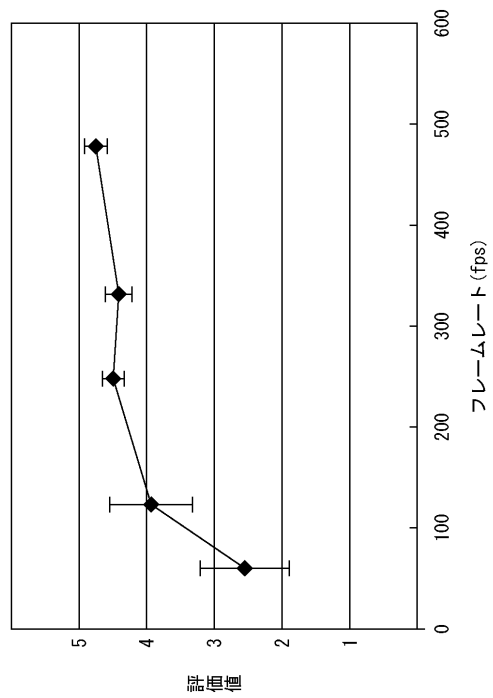
【 図 2 3 】

図23



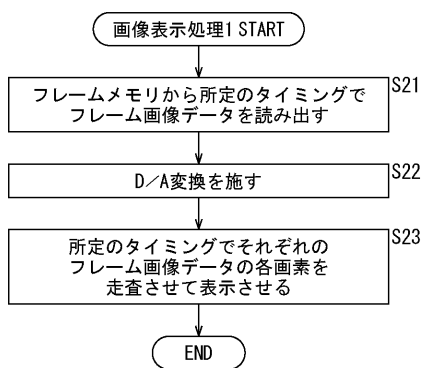
【 図 2 4 】

図24



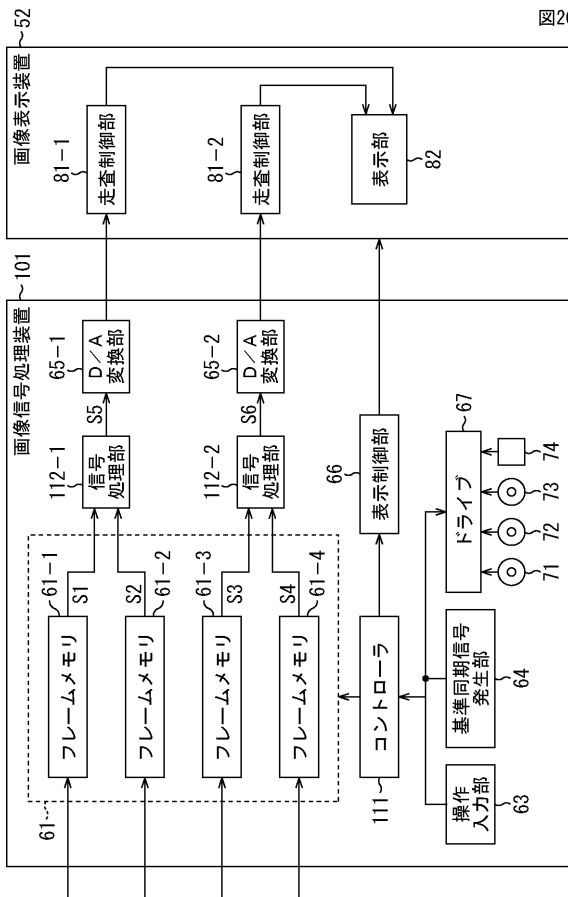
【図25】

図25



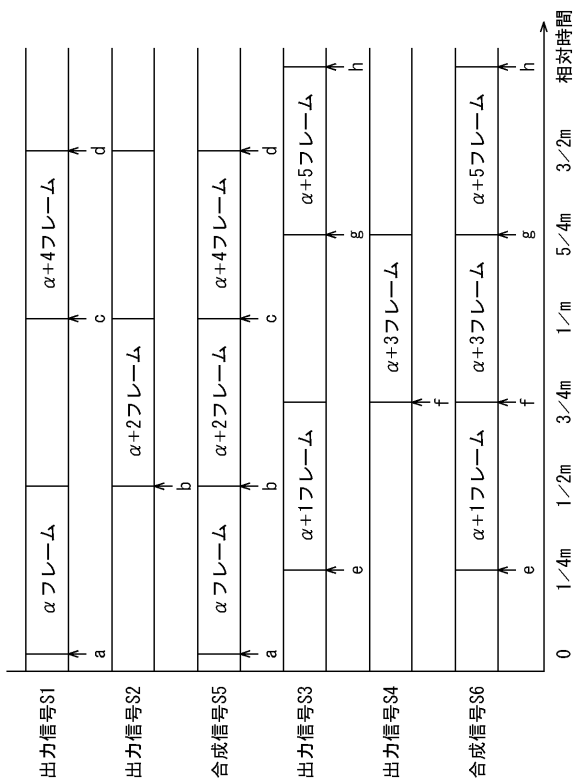
【図26】

図26



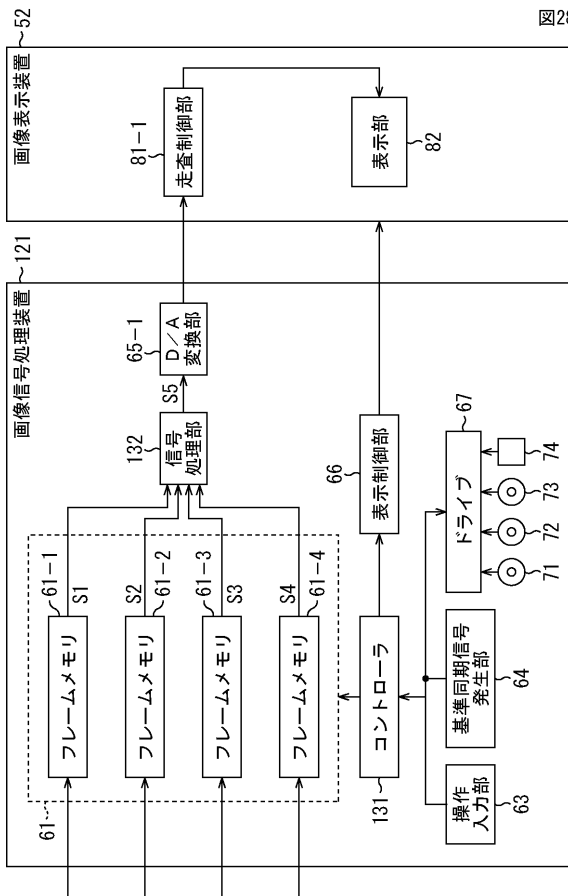
【図27】

図27



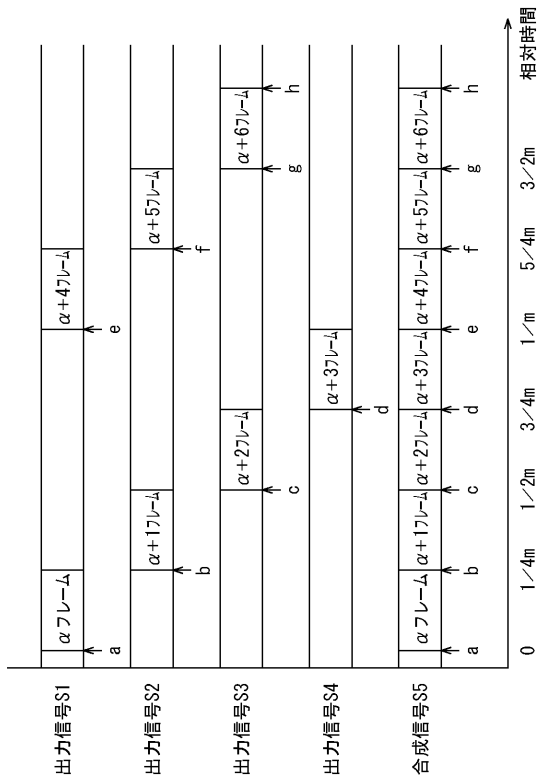
【図28】

図28



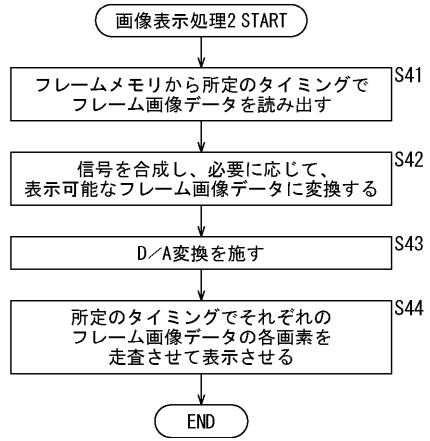
【図 29】

図29



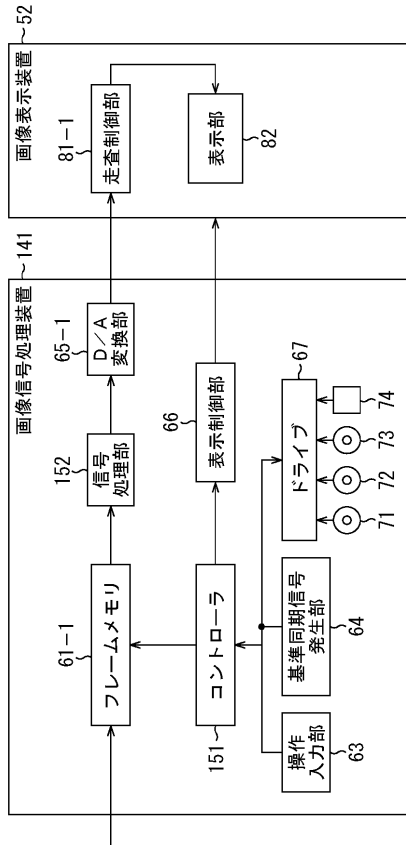
【図 30】

図30



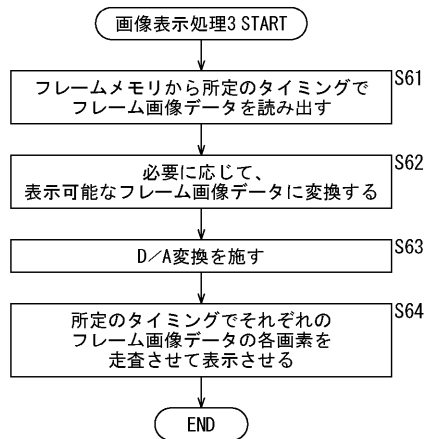
【図 31】

図31



【図 32】

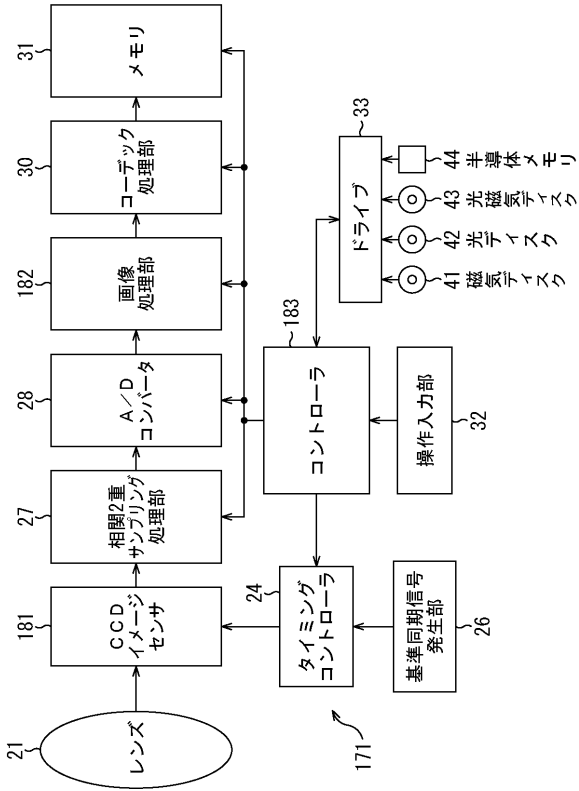
図32





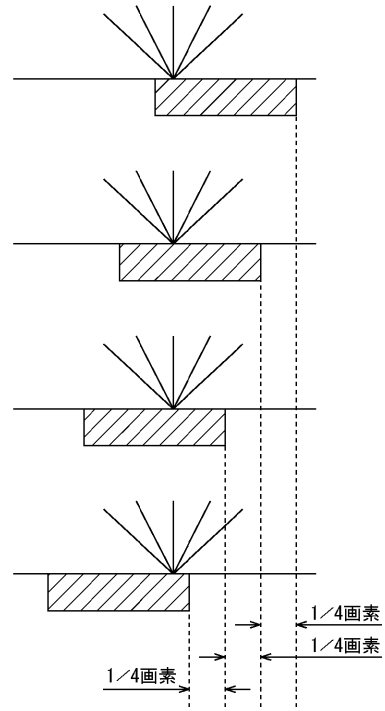
【図33】

図33



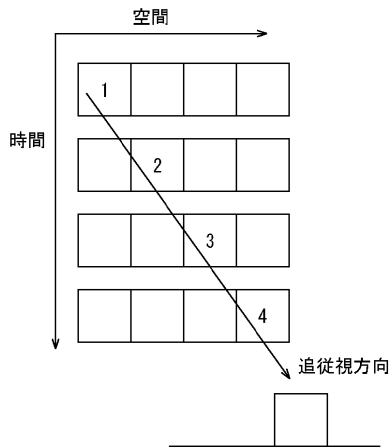
【図34】

図34



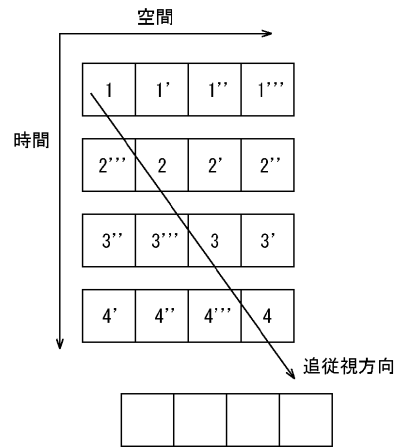
【図35】

図35



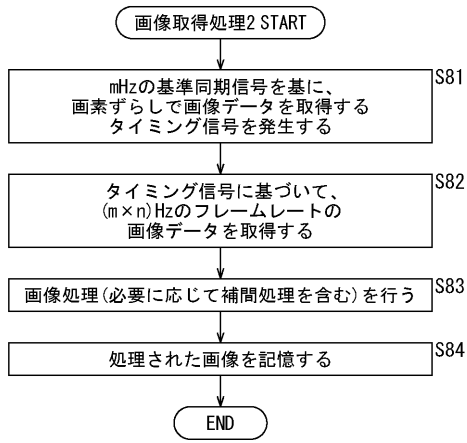
【図36】

図36



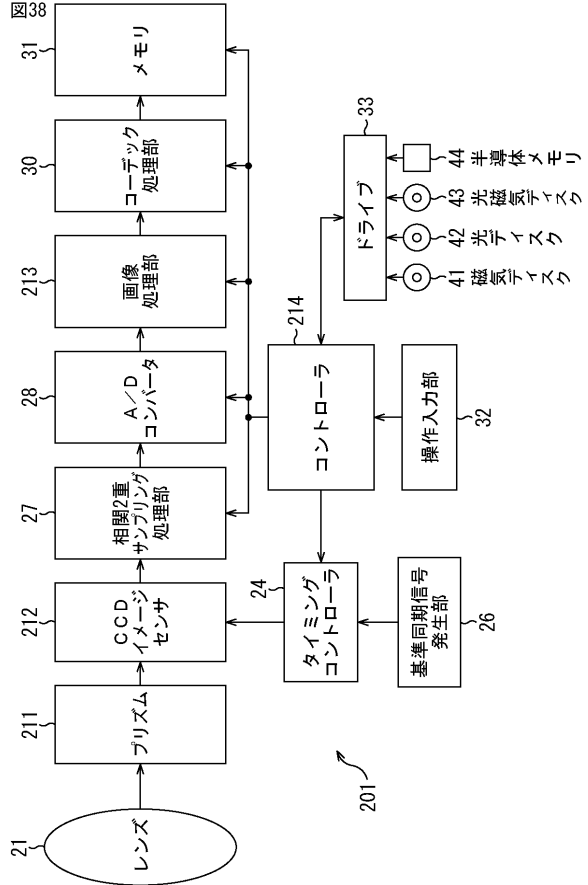
【図 37】

図37



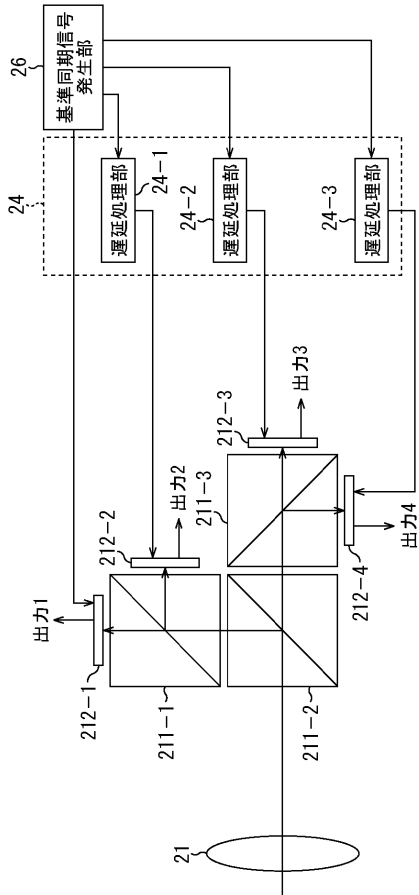
【図 38】

図38



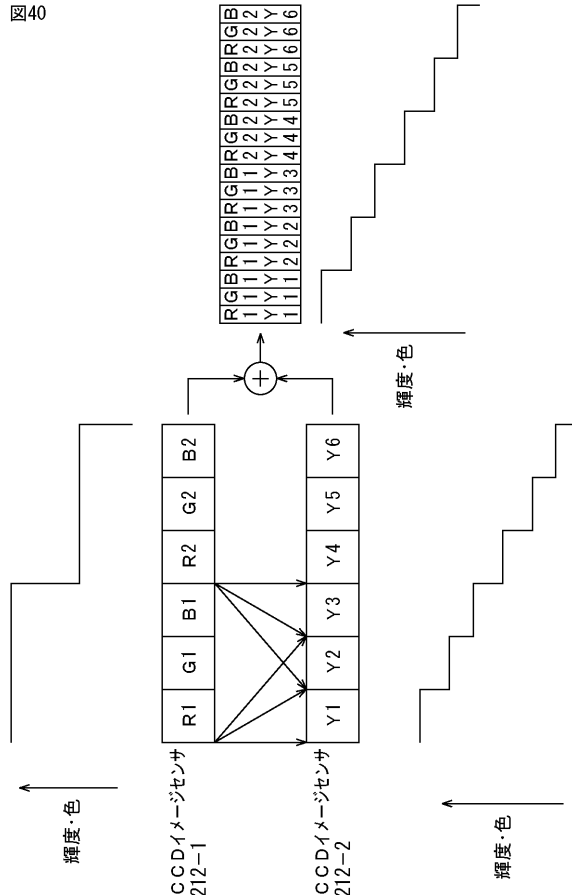
【図 39】

図39

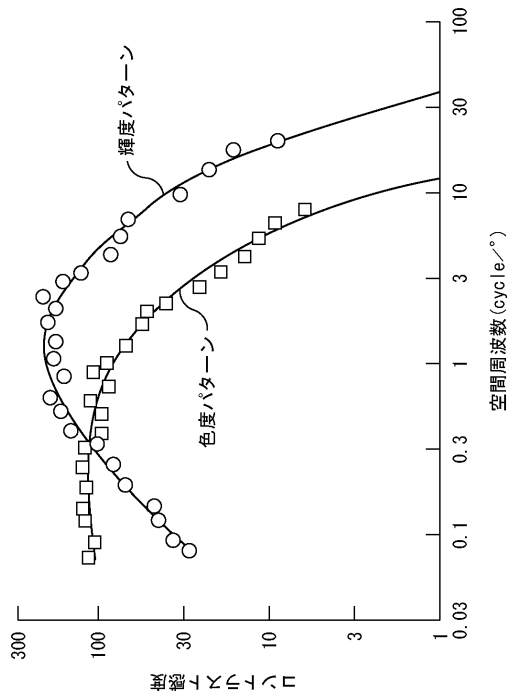


【図 40】

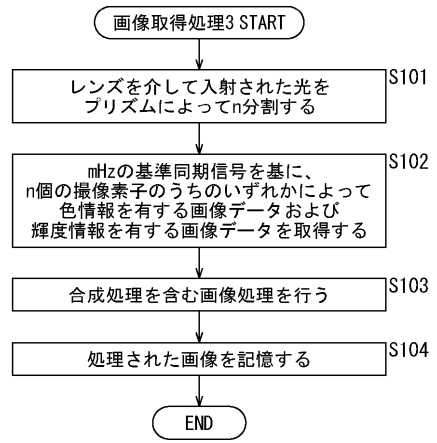
図40



【図 4 1】  
図41



【図 4 2】  
図42



---

フロントページの続き

- (56)参考文献 特開2000-041223(JP,A)  
特開平08-307753(JP,A)  
特開平04-068876(JP,A)  
特開2002-040584(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	5/222 - 5/257
G09G	5/00
G09G	5/18
G09G	5/36