



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0013636  
(43) 공개일자 2016년02월05일

(51) 국제특허분류(Int. Cl.)  
H03F 1/30 (2006.01) H03F 1/32 (2006.01)  
(21) 출원번호 10-2014-0095668  
(22) 출원일자 2014년07월28일  
심사청구일자 없음

(71) 출원인  
한국전자통신연구원  
대전광역시 유성구 가정로 218 (가정동)  
(72) 발명자  
노윤섭  
대전광역시 유성구 가정로 63, 럭키하나아파트 109-905  
최윤희  
대전광역시 서구 둔산중로 66, 매트로팰리스 812호  
염인복  
대전광역시 유성구 갑동로 14, 유성 레지던스 A-102  
(74) 대리인  
특허법인태평양

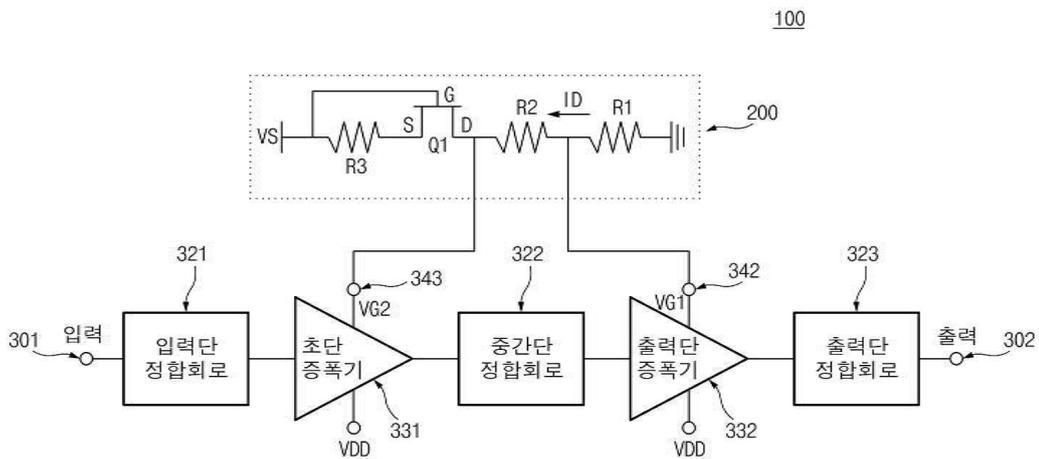
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 **질화갈륨 집적회로 증폭기의 선형화 바이어스 회로 기술**

**(57) 요약**

본 발명은 증폭기의 선형성을 개선하기 위하여 증폭기 단별 게이트 전압을 다르게 인가하는 바이어스 회로를 통하여 증폭기의 선형성을 개선하여 높은 출력전력에서 높은 품질의 신호를 출력해줄 수 있으며, 바이어스 회로가 집적회로 내에 내장이 가능하여 추가적인 외부 전원 회로가 필요치 않아 소형 증폭기 모듈에 효과적으로 적용될 수 있는, 질화갈륨 집적회로를 통한 신호 증폭기에 관한 것이다.

**대표도** - 도1



**명세서**

**청구범위**

**청구항 1**

입력 신호를 증폭하기 위한 증폭기에 있어서,

제1증폭기에서 제1FET(Field Effect Transistor)를 이용해 증폭한 출력을 제2증폭기에서 제2FET를 이용해 다시 증폭하되, 상기 제1 FET와 상기 제2FET에 공통 전압이 인가되고,

상기 제1 FET와 상기 제2FET의 동작점 전류를 달리하여 선형적 증폭 특성을 향상시키도록 상기 제1 FET와 상기 제2FET 각각의 게이트 단자에 인가되는 서로 다른 바이어스 전압을 생성하기 위한 선형화 바이어스회로

를 포함하는 것을 특징으로 하는 증폭기.

**발명의 설명**

**기술분야**

[0001] 본 발명은 질화갈륨 집적회로 증폭기에 관한 것으로서, 특히 질화갈륨 집적회로의 내장 바이어스 회로를 통하여 고 선형 특성을 갖는 신호 증폭기에 관한 것이다.

**배경기술**

[0002] 일반적으로 신호 증폭기는 입력된 전기적 신호의 전력을 증가시켜 출력한다. 이상적인 증폭기는 입력된 신호를 왜곡시키지 않고 선형적으로 신호의 크기만을 증가시켜야 하나, 증폭기의 비선형 특성 때문에 출력신호의 왜곡이 발생하게 된다. 증폭기에서 발생하는 왜곡은 입력신호의 증가에 따른 이득과 위상의 변화에 의해 발생한다.

[0003] 증폭기의 선형성 향상을 위한 방법으로는 일반적으로 전치왜곡(Predistortion)과 피드포워드(Feed-forward), 백 오프(Backoff), 피드백(Feedback)기법이 사용된다. 이중 전치왜곡형 선형화기는 증폭기의 효율이 거의 저하되지 않을 뿐만 아니라 소형 및 저가로 구현 가능하면서 선형 특성을 향상시킬 수 있는 장점 때문에 널리 사용되고 있는 기술이다. 질화갈륨 증폭기는 높은 이득 특성 및 고 효율 특성을 가지나, 출력신호가 커짐에 따라서 이득 감소가 매우 큰 특성이 있다. 이에 따라서 선형성이 다른 종류의 증폭기에 비하여 우수하지 못하다.

**선행기술문헌**

[0004] 대한민국특허등록번호 제10-0930200호(2009.11.27)

**발명의 내용**

**해결하려는 과제**

[0005] 따라서, 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은, 질화갈륨 집적회로에 이득 왜곡(AM-AM)을 개선하는 바이어스 회로 기술을 적용하여 높은 선형성을 제공하는 신호 증폭기를 제공하는 데 있다.

**과제의 해결 수단**

[0006] 먼저, 본 발명의 특징을 요약하면, 상기의 목적을 달성하기 위한 본 발명의 일면에 따른 입력 신호를 증폭하기 위한 증폭기는, 제1증폭기(예, 초단 증폭기)에서 제1FET(Field Effect Transistor)를 이용해 증폭한 출력을 제2 증폭기(예, 출력단 증폭기)에서 제2FET를 이용해 다시 증폭하되, 상기 제1 FET와 상기 제2FET에 공통 전압이 인가되고, 상기 제1 FET와 상기 제2FET의 동작점 전류를 달리하여 선형적 증폭 특성을 향상시키도록 상기 제1 FET와 상기 제2FET 각각의 게이트 단자에 인가되는 서로 다른 바이어스 전압을 생성하기 위한 선형화 바이어스회로를 포함한다.

- [0007] 상기 선형화 바이어스회로가 생성하는 상기 서로 다른 바이어스 전압에 의해 상기 제2 FET 보다 상기 제1FET에서 게이트-소스 단자간 낮은 동작점 전압에서 동작시켜서 상기 선형적 증폭 특성을 개선할 수 있다.
- [0008] 상기 입력 신호의 단자와 상기 제1증폭기 사이, 상기 제1증폭기와 상기 제2증폭기 사이, 또는 상기 제2증폭기와 출력 단자 사이에 임피던스 매칭을 위한 정합 회로를 더 포함할 수 있다.
- [0009] 상기 제1 FET와 상기 제2FET는 3족과 5족 반도체 화합물로 제조되는 트랜지스터이며, 예를 들어, 상기 제1 FET와 상기 제2FET는 질화갈륨 트랜지스터일 수 있다.
- [0010] 상기 선형화 바이어스회로는, 제1전원(예, 접지)과 제2전원(예, 음전원) 사이에 순차적으로 직렬 연결되기 위한 제1저항, 제2저항, 제3 FET 및 제3저항을 포함하고, 상기 제3 FET의 게이트 단자가 상기 제3저항의 끝단과 연결되며, 상기 제2저항의 양단의 전압을 각각 상기 제1 FET와 상기 제2FET 각각의 게이트 단자에 인가하기 위한 것을 특징으로 한다.
- [0011] 상기 제3FET는 3족과 5족 반도체 화합물로 제조되는 트랜지스터이며, 예를 들어, 상기 제3FET는 질화갈륨 트랜지스터일 수 있다.
- [0012] 피드백되는 상기 제3저항에 의해 상기 제3FET가 포화영역에서 동작하여 상기 상기 제2저항의 양단의 전압이 생성된다.

**발명의 효과**

- [0013] 상술한 바와 같이 본 발명의 질화갈륨 집적회로를 통한 신호 증폭기에 따르면, 증폭기의 선형성을 개선하기 위하여 증폭기 단별게이트 전압을 다르게 인가하는 바이어스 회로를 통하여 증폭기의 선형성을 개선하여 높은 출력전력에서 높은 품질의 신호를 출력해줄 수 있다. 바이어스 회로가 집적회로 내에 내장이 가능하여 추가적인 외부 전원 회로가 필요치 않아 소형 증폭기 모듈에 효과적으로 적용될 수 있다.

**도면의 간단한 설명**

- [0014] 도 1은 본 발명의 일 실시예에 따른 선형화 바이어스 회로를 포함하는 2단 증폭기를 설명하기 위한 도면이다.
- 도 2는 일반적으로 FET에서의 바이어스 그래프의 일례이다.
- 도 3은 도 1의 초단 증폭기의 이득 왜곡(AM-AM) 특성 그래프의 일례이다.
- 도 4는 도 1의 2단 증폭기에서의 이득 왜곡(AM-AM) 특성 그래프의 일례이다.
- 도 5는 도 1의 2단 증폭기에서의 IMD3 특성 그래프의 일례이다.

**발명을 실시하기 위한 구체적인 내용**

- [0015] 이하에서는 첨부된 도면들을 참조하여 본 발명에 대해서 자세히 설명한다. 이때, 각각의 도면에서 동일한 구성요소는 가능한 동일한 부호로 나타낸다. 또한, 이미 공지된 기능 및/또는 구성에 대한 상세한 설명은 생략한다. 이하에 개시된 내용은, 다양한 실시 예에 따른 동작을 이해하는데 필요한 부분이 중점적으로 설명하며, 그 설명의 요지를 흐릴 수 있는 요소들에 대한 설명은 생략한다. 또한 도면의 일부 구성요소는 과장되거나 생략되거나 또는 개략적으로 도시될 수 있다. 각 구성요소의 크기는 실제 크기를 전적으로 반영하는 것이 아니며, 따라서 각각의 도면에 그려진 구성요소들의 상대적인 크기나 간격에 의해 여기에 기재되는 내용들이 제한되는 것은 아니다.
- [0016] 도 1은 본 발명의 일 실시예에 따른 선형화 바이어스 회로(200)를 포함하는 2단 증폭기(100)를 설명하기 위한 도면이다.
- [0017] 도 1을 참조하면, 본 발명의 일 실시예에 따른 증폭기(100)는, RF(Radio Frequency) 신호 입력을 위한 입력단자(301)와 증폭된 신호의 출력을 위한 출력단자(302) 사이에 결합된, 입력단 정합회로(321), 초단 증폭기(331), 중간단 정합회로(322), 출력단 증폭기(332), 출력단 정합회로(323) 및 선형화 바이어스회로(200)를 포함한다. 이와 같은 증폭기(100)는 위와 같은 각부 구성을 초고주파집적회로(MMIC, Monolithic Microwave Integrated Circuit)로 구현할 수 있다. 즉, 증폭기(100)는 수동 회로인 저항, 인덕터, 커패시터, 마이크로스트립 선로들 이외에도 질화갈륨으로 제조된 게이트 단자(G), 소스 단자(S), 드레인 단자(D)를 갖는 FET(Field Effect Transistor)를 포함하여 하나의 집적회로로 구현될 수 있다.

- [0018] 초단 증폭기(331)와 출력단 증폭기(332)는 각각 입력되는 신호의 전력, 즉, 전압 또는 전류를 증폭하여 출력한다. 초단 증폭기(331)의 출력이 출력단 증폭기(332)에 의해 다시 증폭되는 2단 증폭 구조이다. 3개의 정합회로, 즉, 입력단 정합회로(321), 중간단 정합회로(322) 및 출력단 정합회로(323)는 각각의 해당 양단 사이에서 임피던스 정합하여 신호를 전달하는 기능을 수행한다. 경우에 따라 3개의 정합회로 중 어느 하나 이상이 생략될 수도 있다.
- [0019] 초단 증폭기(331)와 출력단 증폭기(332)는 위의 FET와 같은 질화갈륨 트랜지스터를 포함(다른 수동소자/능동소자 더 포함 가능)하며, 각각이 가지는 질화갈륨 트랜지스터의 액티브 영역의 면적에 따라 출력전력이 결정될 수 있다.
- [0020] 초단 증폭기(331)와 출력단 증폭기(332)에 포함된 각 질화갈륨 트랜지스터의 드레인 단자(D)는 소정의 DC 전압(VDD)이 공통적으로 인가된다.
- [0021] 초단 증폭기(331)와 출력단 증폭기(332)에 포함된 각 질화갈륨 트랜지스터의 게이트 단자(G)는 선형화 바이어스 회로(200)를 통해 증폭기 단별(331/332) 동작점 전류를 다르게 하기 위한 서로 다른 전압(VG1, VG2)이 인가된다.
- [0022] 초단 증폭기(331)와 출력단 증폭기(332)에 대한 자세한 회로는 도시하지 않았지만, 이와 같은 각 질화갈륨 트랜지스터의 드레인 단자(D)와 게이트 단자(G)가 바이어스되고, 각 질화갈륨 트랜지스터의 소스 단자(S)를 통해 입력되는 신호가 증폭되어 드레인 단자(D)나 기타 부가적인 회로 등을 통하여 출력될 수 있다. 초단 증폭기(331)와 출력단 증폭기(332)에 대하여는 이 분야에서 통상의 지식을 가진 자에게 잘 알려져 있으므로 자세한 설명은 생략하기로 한다.
- [0023] 일반적으로 증폭기에서 큰 동작점 전류로 동작할 때의 이득 감소는 크며 작은 동작점 전류로 동작할 때의 이득 감소는 상대적으로 작아지게 된다. 본 발명에서는 이러한 증폭기 특성에 따라 선형화 바이어스회로(200)를 이용하여 증폭기 단별(331/332) 동작점 전류를 달리하여 증폭기의 선형성을 개선할 수 있도록 하였다.
- [0024] 선형화 바이어스회로(200)는 제1전원(예, 접지)과 제2전원(VS)(예, 음전원) 사이에 결합된 저항 3개(R1, R2, R3)와 질화갈륨 트랜지스터(Q1)를 포함한다. 즉, 제2전원(VS)(예, 음전원)은 제1전원(예, 접지) 보다 낮은 전압을 갖는 전원이며, 제1전원(예, 접지)과 제2전원(VS)(예, 음전원) 사이에 R1, R2, Q1(R2와 R3 사이에 드레인 단자와 소스 단자가 연결됨) 및 R3가 직렬 연결되고, Q1의 게이트 단자(G)가 제2전원(VS)(예, 음전원) 또는 R3 끝단(직렬연결의 끝부분)에 연결된다. 이와 같은 선형화 바이어스회로(200) 전체는 트랜지스터 1개와 저항 3개로 간단히 구성이 되기 때문에 집적회로 내에 용이하게 집적이 가능하다.
- [0025] 질화갈륨 트랜지스터(Q1)의 게이트 단자(G)와 소스 단자(S) 사이에 피드백 저항(R3)이 연결되어 질화갈륨 트랜지스터(Q1)는 포화영역에서 동작하고, 이때 제1전원(예, 접지)에서 제2전원(VS)(예, 음전원) 방향으로 Q1의 드레인 전류(ID)가 형성되어 흐르게 된다. 이에 따라 저항 R1과 저항 R2에서 전압강하를 만들게 되고, [수학식1]과 같이, 출력단 증폭기(332)의 질화갈륨 트랜지스터의 게이트 단자(G)(342)에 입력되는 전압(VG1)(R1과 R2의 점점의 전압)과 초단 증폭기(331)의 질화갈륨 트랜지스터의 게이트 단자(G)(343)에 입력되는 전압(VG2)(R2와 Q1의 드레인 점점의 전압)가 생성될 수 있다.
- [0026] [수학식1]
- $$VG1 = -(ID \times R1)$$
- $$VG2 = -(ID \times (R1 + R2))$$
- [0027]
- [0028] VG1과 VG2는 저항 3개(R1, R2, R3)와 질화갈륨 트랜지스터(Q1)의 크기에 따라 달라질 수 있지만, 예를 들어, VG1=-2.6V, VG2= -2.8V 등과 같이 VG1보다 VG가 크므로, 초단 증폭기(331)의 질화갈륨 트랜지스터는 출력단 증폭기(332)의 질화갈륨 트랜지스터 보다 낮은 게이트 단자(G)와 소스 단자(S) 간 바이어스에 따라 게이트-소스 단자간 낮은 동작점 전압에 따른 전류가 흐르도록 동작하므로 증폭기의 선형성을 개선할 수 있게 된다.
- [0029] 도 2는 일반적으로 FET에서의 바이어스 그래프의 일례이다.
- [0030] 예를 들어, 일반적으로 FET에서 게이트 전압 VG가 도 2의 -2.6V와 같이 높은 값으로 결정하는 경우 증폭기의 이득이 높으나 출력신호가 커짐에 따라서 이득 감소 특성이 크게 나타난다. 반대로 게이트 전압 VG가 도 2의 -2.8V와 같이 낮은 값으로 결정하는 경우 증폭기의 이득은 다소 낮으나 출력신호가 커짐에 따라서 이득 감소 특성이 작게 나타난다. 따라서 도 1의 출력단 증폭기(332)의 질화갈륨 트랜지스터의 게이트 단자 전압 VG1로

-2.6V를 공급하여 일반적인 증폭기 동작과 같은 동작을 하게 하고, 초단 증폭기(331)의 질화갈륨 트랜지스터의 게이트 단자 전압 VG2로 -2.8V를 공급하여 동작점 드레인 전류를 낮추게 되면 출력신호에 다른 이득 감소 특성이 작게 되어 2단 증폭기(100)의 출력전력이 낮은 영역에서의 선형성을 개선할 수 있게 된다.

[0031] 도 3은 도 1의 초단 증폭기(331)의 이득 왜곡(AM-AM) 특성 그래프의 일례이다.

[0032] 초단 증폭기(331)의 질화갈륨 트랜지스터의 게이트 단자 전압 VG2를 -2.6V와 -2.8V인 경우에 대한 최종 출력전력에 따른 초단 증폭기(331)의 이득 왜곡 특성을 도식화 하였다. VG2를 -2.6V로 사용하는 경우 출력전력이 증가함에 따라서 이득이 2dB 이상 감소하는 반면, -2.8V를 사용하는 경우 0.5dB 이내로 감소하게 된다.

[0033] 도 4는 도 1의 2단 증폭기(100)에서의 이득 왜곡(AM-AM) 특성 그래프의 일례이다.

[0034] 출력단 증폭기(332)의 질화갈륨 트랜지스터의 게이트 단자 전압 VG1을 -2.6V로 공급하고, 초단 증폭기(331)의 질화갈륨 트랜지스터의 게이트 단자 전압 VG2를 -2.6V와 -2.8V인 경우에 대한 최종 출력전력에 2단 증폭기(100)의 진폭 이득 왜곡(AM-AM) 특성을 도식화 하였다. VG2를 -2.6V로 사용하는 경우 출력전력이 증가함에 따라서 초단 증폭기(331)와 출력단 증폭기(332)의 이득이 같이 감소하여 최종 이득이 7dB 감소하는 반면, VG2를 -2.8V로 사용하는 경우 초단 증폭기(331)의 이득 왜곡 값이 작아서 4.3dB 이내로 감소하게 된다. 따라서 AM-AM 특성 개선에 의한 2단 증폭기(100)의 선형성이 개선될 수 있음을 알 수 있다.

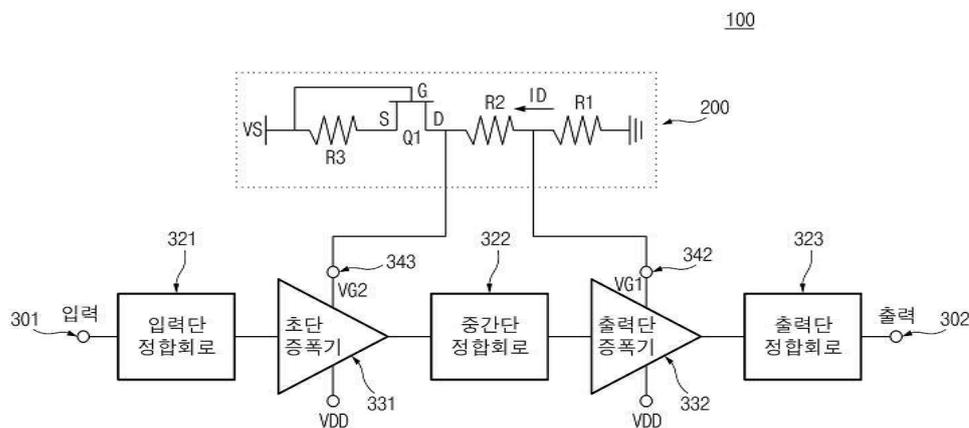
[0035] 도 5는 도 1의 2단 증폭기(100)에서의 IMD3 특성 그래프의 일례이다.

[0036] 출력단 증폭기(332)의 질화갈륨 트랜지스터의 게이트 단자 전압 VG1을 -2.6V로 공급하고, 초단 증폭기(331)의 질화갈륨 트랜지스터의 게이트 단자 전압 VG2를 -2.6V와 -2.8V인 경우에 대한 최종 출력전력에 2단 증폭기(100)의 IMD3 특성을 도식화하였다. 일반적인 통신 시스템에서는 IMD3(3<sup>rd</sup> order Intermodulation Distortion) -25dB를 요구하나, VG2를 -2.6V로 사용하는 경우 IMD3 -25dB를 만족하는 출력전력은 31.4dBm인 반면, VG2를 -2.8V로 사용하는 경우 IMD3 -25dB를 만족하는 출력전력은 37dBm으로 5.6dB 개선 됨을 알 수 있다.

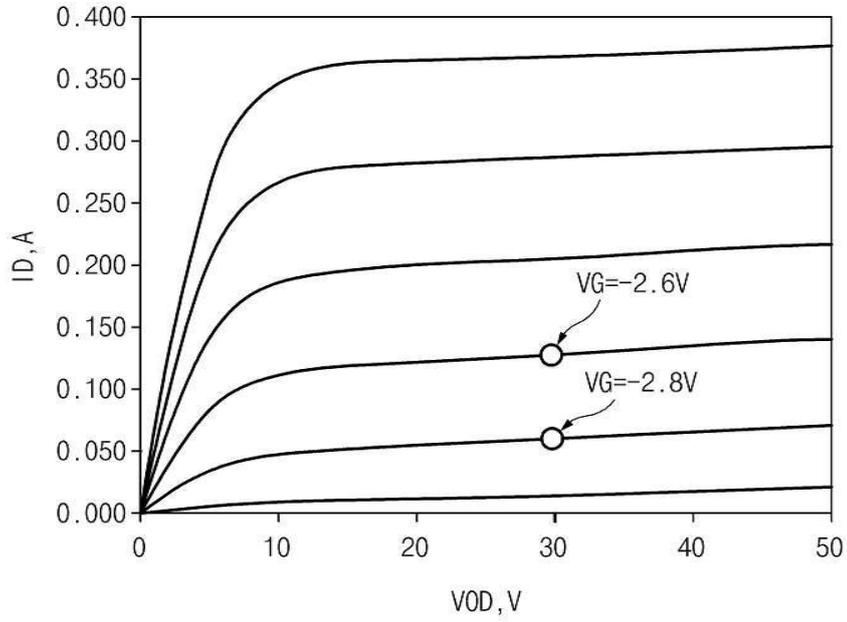
[0037] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 예를 들어, 위에서 질화갈륨 트랜지스터를 예로 들어 설명하였으나, 이에 한정되지 않으며, 위에서 언급한 질화갈륨 트랜지스터 대신에 GaAs, GaP 등 3족과 5족 반도체 화합물로 제조되는 트랜지스터를 이용할 수도 있다. 또한, MMIC에 적용을 위한 것으로 예시하였으나 이에 한정되지 않으며 다른 집적회로 또는 개별 소자를 이용하여 구현하는 것도 가능하다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

**도면**

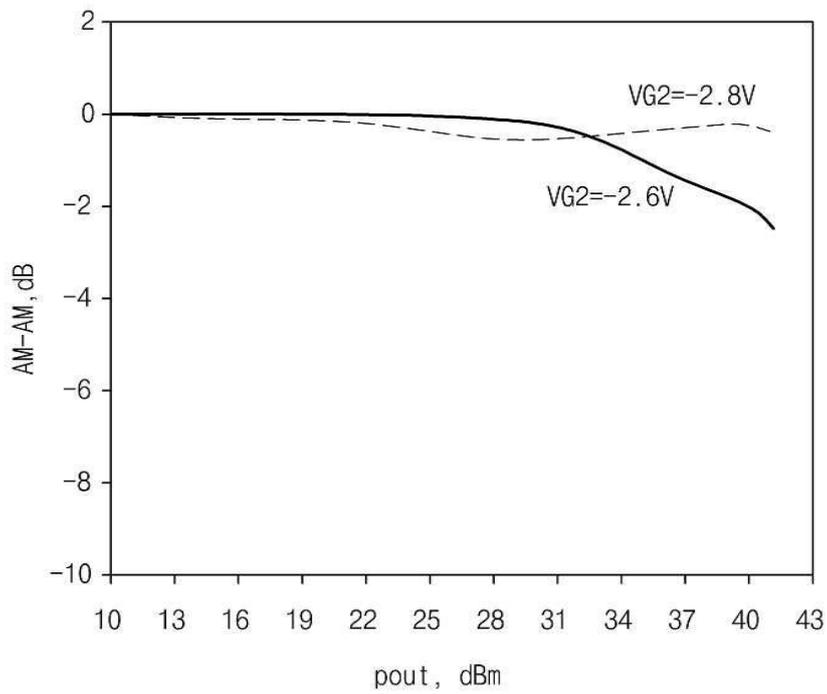
**도면1**



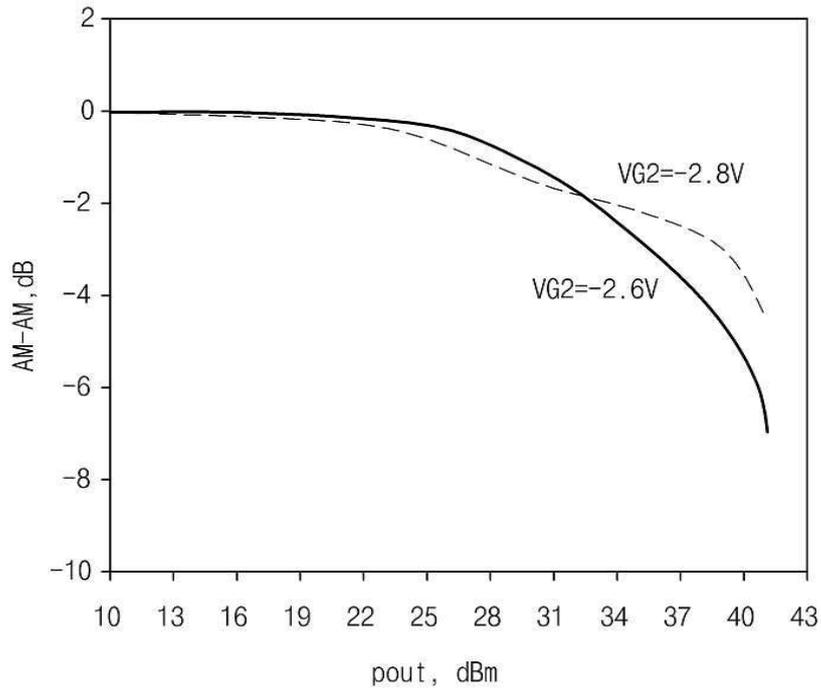
도면2



도면3



도면4



도면5

