

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4623679号  
(P4623679)

(45) 発行日 平成23年2月2日(2011.2.2)

(24) 登録日 平成22年11月12日(2010.11.12)

(51) Int.Cl.		F I	
H03K	3/354 (2006.01)	H03K	3/354 B
H03K	3/03 (2006.01)	H03K	3/03
H01L	27/04 (2006.01)	H01L	27/04 A
H01L	21/822 (2006.01)		

請求項の数 13 (全 13 頁)

(21) 出願番号	特願2007-534931 (P2007-534931)	(73) 特許権者	000005821
(86) (22) 出願日	平成18年5月25日 (2006.5.25)		パナソニック株式会社
(65) 公表番号	特表2008-529318 (P2008-529318A)		大阪府門真市大字門真1006番地
(43) 公表日	平成20年7月31日 (2008.7.31)	(74) 代理人	100077931
(86) 国際出願番号	PCT/JP2006/310955		弁理士 前田 弘
(87) 国際公開番号	W02006/126733	(74) 代理人	100110939
(87) 国際公開日	平成18年11月30日 (2006.11.30)		弁理士 竹内 宏
審査請求日	平成19年7月20日 (2007.7.20)	(74) 代理人	100110940
(31) 優先権主張番号	特願2005-155371 (P2005-155371)		弁理士 嶋田 高久
(32) 優先日	平成17年5月27日 (2005.5.27)	(74) 代理人	100113262
(33) 優先権主張国	日本国(JP)		弁理士 竹内 祐二
(31) 優先権主張番号	特願2005-268019 (P2005-268019)	(74) 代理人	100115059
(32) 優先日	平成17年9月15日 (2005.9.15)		弁理士 今江 克実
(33) 優先権主張国	日本国(JP)	(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

(54) 【発明の名称】 結合型リング発振器

(57) 【特許請求の範囲】

【請求項1】

それぞれがm個のインバータ回路からなり、平面視ループ形態のn個のリング発振器と

2点間の信号位相を逆相関係で結合するm×n個の位相结合回路が平面視ループ状に接続された位相结合ループとを備え、

前記インバータ回路どうしの接続点と前記位相结合回路どうしの接続点とが一対一に接続されており、

前記複数のインバータ回路のそれぞれの入出力は、前記m×n個の位相结合回路をn個とn×(m-1)個とに二分するように前記位相结合ループに接続されており、かつ、

前記n個のリング発振器が前記位相结合ループを囲うように配置されている

ことを特徴とする結合型リング発振器。

【請求項2】

請求項1に記載の結合型リング発振器において、

前記位相结合回路は、第1及び第2のインバータ回路を有し、前記第1のインバータ回路の入力端及び出力端と前記第2のインバータ回路の出力端及び入力端とは互いに接続されている

ことを特徴とする結合型リング発振器。

【請求項3】

請求項1に記載の結合型リング発振器において、

前記位相結合回路は、同一極性の第1及び第2のMOSトランジスタを有し、前記第1のMOSトランジスタのゲート及びドレインと前記第2のMOSトランジスタのドレイン及びゲートとは互いに接続されていることを特徴とする結合型リング発振器。

【請求項4】

請求項3に記載の結合型リング発振器において、

前記第1及び第2のMOSトランジスタは、いずれも、NMOSトランジスタであることを特徴とする結合型リング発振器。

【請求項5】

それぞれがm個のインバータ回路からなり、平面視ループ形態のn個のリング発振器と

10

2点間の信号位相を同相関係で結合する $m \times n$ 個の位相結合回路が平面視ループ状に接続された位相結合ループとを備え、

前記インバータ回路どうしの接続点と前記位相結合回路どうしの接続点とが一对一に接続されており、

前記複数のインバータ回路のそれぞれの入出力は、前記 $m \times n$ 個の位相結合回路を $n \times (m - 1) / 2$ 個と $n \times (m + 1) / 2$ 個とに二分するように前記位相結合ループに接続されており、かつ、

前記n個のリング発振器が前記位相結合ループを囲うように配置されていることを特徴とする結合型リング発振器。

20

【請求項6】

請求項5に記載の結合型リング発振器において、

前記位相結合ループは、2周して閉じる形態をしたものであることを特徴とする結合型リング発振器。

【請求項7】

請求項5に記載の結合型リング発振器において、

前記位相結合回路は、ソース及びドレインを入出力端とし、ゲートに所定の電圧が印加されたMOSトランジスタであることを特徴とする結合型リング発振器。

【請求項8】

請求項7に記載の結合型リング発振器において、

前記MOSトランジスタは、NMOSトランジスタであり、前記NMOSトランジスタのゲートには、前記リング発振器の発振周波数の制御電圧が印加されることを特徴とする結合型リング発振器。

30

【請求項9】

請求項5に記載の結合型リング発振器において、

前記位相結合回路は、トランスファゲートであることを特徴とする結合型リング発振器。

【請求項10】

請求項5に記載の結合型リング発振器において、

前記位相結合回路は、抵抗素子であることを特徴とする結合型リング発振器。

40

【請求項11】

入力端が互いに接続された第1及び第2のインバータ回路、及び入力端及び出力端のいずれか一方が前記第1のインバータ回路の出力端に接続された第3のインバータ回路からなる、 $m \times n$ 個の基本セルを備え、

隣り合う二つの前記基本セルの一方における前記第1及び第2のインバータ回路の出力端と他方における第1及び第2のインバータ回路の入力端とがそれぞれ平面視ループ状に接続されて1個の位相結合ループが形成されており、

50

前記  $m \times n$  個の基本セルにおける前記第 3 のインバータ回路どうしが平面視ループ状に接続され、 $m$  個の前記第 3 のインバータ回路からなる  $n$  個のリング発振器が形成されており、かつ、

前記  $n$  個のリング発振器が前記位相結合ループを囲うように配置されていることを特徴とする結合型リング発振器。

【請求項 1 2】

ゲートが互いに接続された第 1 及び第 2 の MOS トランジスタ、及び入力端及び出力端のいずれか一方が前記第 1 の MOS トランジスタのゲートに接続されたインバータ回路からなる、 $m \times n$  個の基本セルを備え、

隣り合う前記基本セルにおいて一方における前記第 1 の MOS トランジスタのゲート及び前記第 2 の MOS トランジスタのトレインと他方における前記第 1 の MOS トランジスタのドレイン及び前記第 2 の MOS トランジスタのゲートとが平面視ループ状に接続されて 1 個の位相結合ループが形成されており、

前記  $m \times n$  個の基本セルにおける前記第 3 のインバータ回路どうしが平面視ループ状に接続され、 $m$  個の前記第 3 のインバータ回路からなる  $n$  個のリング発振器が形成されており、かつ、

前記  $n$  個のリング発振器が前記位相結合ループを囲うように配置されていることを特徴とする結合型リング発振器。

【請求項 1 3】

請求項 1 2 に記載の結合型リング発振器において、

前記第 1 及び第 2 の MOS トランジスタは、いずれも、NMOS トランジスタであることを特徴とする結合型リング発振器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リング発振器に関し、特に、複数のリング発振器を用いて高精度な位相情報を生成可能な結合型リング発振器に関する。

【背景技術】

【0002】

情報を DVD (Digital Versatile Disc) などの光ディスクメディアに記録するには、書き込み信号の干渉を抑制するための特別な書き込み波形を生成する必要がある。このような特別な書き込み波形を生成するには高精度な位相情報が必要とされ、書き込みデータレートの 40 分の 1 以上の微細な位相情報が必要となる。しかし、このような極めて微細な位相精度は、その位相遅延がインバータ回路単体の遅延よりも短くなるため、一のインバータチェーン (リング発振器) でその位相精度を実現することは困難である。そこで、従来、複数のリング発振器を用いて、これら複数のリング発振器における各インバータ回路を位相結合回路により接続することで各リング発振器の出力位相を僅かずつずらし、一のリング発振器で生成可能な位相情報よりも微細な位相情報を生成している (例えば、特許文献 1, 2 及び 3 参照)。

【0003】

また、複数の抵抗が接続された抵抗リングを設けて、当該抵抗リングにおける抵抗の各接続点と複数のリング発振器における位相遅延素子の各接続点とを接続することで微細な位相情報を生成している (例えば、特許文献 4 参照)。

【特許文献 1】特許第 550030 号明細書

【特許文献 2】米国特許第 5475344 号明細書

【特許文献 3】米国特許第 5717362 号明細書

【特許文献 4】米国特許出願公開第 2006 / 0049879 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、複数のリング発振器における各インバータ回路を位相結合回路で接続するといった従来のレイアウトでは、一部の信号配線長が極端に長くなり、一部のインバータ回路の負荷だけが大きくなる。このようなレイアウト誤差により各インバータ回路の駆動タイミングにバラツキが生じてしまい、高精度な位相情報の生成が困難となる。

【0005】

上記問題に鑑み、本発明は、複数のリング発振器を備えた高精度な位相情報の生成が可能な結合型リング発振器を提供することを課題とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために講じた手段は、結合型リング発振器として、それぞれがm個のインバータ回路からなり、平面視ループ形態のn個のリング発振器と、2点間の信号位相を逆相関係で結合するm×n個の位相結合回路が平面視ループ状に接続された位相結合ループとを備え、前記インバータ回路どうしの接続点と前記位相結合回路どうしの接続点とが一對一に接続されており、前記複数のインバータ回路のそれぞれの入出力は、前記m×n個の位相結合回路をn個とn×(m-1)個とに二分するように前記位相結合ループに接続されており、かつ、前記n個のリング発振器が前記位相結合ループを囲うように配置されているものとする。あるいは、結合型リング発振器として、それぞれがm個のインバータ回路からなり、平面視ループ形態のn個のリング発振器と、2点間の信号位相を同相関係で結合するm×n個の位相結合回路が平面視ループ状に接続された位相結合ループとを備え、前記インバータ回路どうしの接続点と前記位相結合回路どうしの接続点とが一對一に接続されており、前記複数のインバータ回路のそれぞれの入出力は、前記m×n個の位相結合回路をn×(m-1)/2個とn×(m+1)/2個とに二分するように前記位相結合ループに接続されており、かつ、前記n個のリング発振器が前記位相結合ループを囲うように配置されているものとする。

【0007】

これによると、平面視ループ形態のn個のリング発振器におけるm個のインバータ回路の各接続点と平面視ループ形態の位相結合ループにおけるm×n個の位相結合回路の各接続点とは一對一に接続され、また、各インバータ回路の入出力は位相結合ループにおけるm×n個の位相結合回路をn個とn×(m-1)個とに二分するように(位相結合回路が2点間の信号位相を逆相で結合する場合)、あるいはn×(m-1)/2個とn×(m+1)/2個とに二分するように(位相結合回路が2点間の信号位相を同相で結合する場合)位相結合ループに接続され、さらに、n個のリング発振器が位相結合ループを囲うように配置されている。したがって、いずれのインバータ回路の配線長もほぼ均等になっており、高精度かつ微細な位相情報が生成される。

【0008】

また、結合型リング発振器として、入力端が互いに接続された第1及び第2のインバータ回路、及び入力端及び出力端のいずれか一方が前記第1のインバータ回路の出力端に接続された第3のインバータ回路からなる、m×n個の基本セルを備え、隣り合う二つの前記基本セルの一方における前記第1及び第2のインバータ回路の出力端と他方における第1及び第2のインバータ回路の入力端とがそれぞれ平面視ループ状に接続されて1個の位相結合ループが形成されており、前記m×n個の基本セルにおける前記第3のインバータ回路どうしが平面視ループ状に接続され、m個の前記第3のインバータ回路からなるn個のリング発振器が形成されており、かつ、前記n個のリング発振器が前記位相結合ループを囲うように配置されているものとする。

【0009】

また、結合型リング発振器として、ゲートが互いに接続された第1及び第2のMOSトランジスタ、及び入力端及び出力端のいずれか一方が前記第1のMOSトランジスタのゲートに接続されたインバータ回路からなる、m×n個の基本セルを備え、隣り合う前記基本セルにおいて一方における前記第1のMOSトランジスタのゲート及び前記第2のMOSトランジスタのトレインと他方における前記第1のMOSトランジスタのドレイン及び

10

20

30

40

50

前記第2のMOSトランジスタのゲートとが平面視ループ状に接続されて1個の位相結合ループが形成されており、前記 $m \times n$ 個の基本セルにおける前記第3のインバータ回路どうしが平面視ループ状に接続され、 $m$ 個の前記第3のインバータ回路からなる $n$ 個のリング発振器が形成されており、かつ、前記 $n$ 個のリング発振器が前記位相結合ループを囲うように配置されているものとする。

【発明の効果】

【0010】

以上説明したように、本発明に係る結合型リング発振器によると高精度かつ微細な位相情報が生成される。また、本発明に係る結合型リング発振器は、基本セルを、ループが形成されるように接続することで容易に構成することができる。

10

【発明を実施するための最良の形態】

【0011】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【0012】

(第1の実施形態)

図1は、第1の実施形態に係る結合型リング発振器の構成図である。図1に示した結合型リング発振器は、5個( $m = 5$ )のインバータ回路10で構成された3個( $n = 3$ )のリング発振器20と、15個( $m \times n = 15$ )の位相結合回路30がループ状に接続された位相結合ループ40とを備えている。

20

【0013】

3個のリング発振器20及び位相結合ループ40は、位相結合ループ40をもっとも内側とする入れ子状にレイアウトされている。また、互いに接続された位相結合回路30の各接続点と互いに接続されたインバータ回路10の各接続点とはそれぞれ接続されている。すなわち、位相結合回路30の接続点とインバータ回路10の接続点とは全単射的に接続されている。さらに、各インバータ回路10には並列に3個の接続する位相結合回路30が接続されている。すなわち、各インバータ回路10は、15個( $m \times n = 15$ )の位相結合回路30を3個( $n = 3$ )と12個( $n \times (m - 1) = 12$ )とに二分する2点間に接続されている。

【0014】

図2は、図1に示した位相結合回路30の回路構成例を示す。本実施形態に係る位相結合回路30は、2点間の信号位相を逆相関係で結合するものである。位相結合回路30をインバータ回路で構成する場合、図2(a)に示したように、インバータ回路31のペアにおける一の入力端と他の出力端とが互いに接続されたラッチ回路の形態となる。また、位相結合回路30をMOSトランジスタ、例えば、NMOSトランジスタで構成する場合、図2(b)に示したように、NMOSトランジスタ32のペアにおける一のゲートと他のドレインとが互いに接続されたラッチ回路の形態となる。

30

【0015】

図1に示した結合型リング発振器の回路レイアウトは従来のものとはまったく異なっており、いずれのインバータ回路10の配線長もほぼ均等となっている。したがって、本実施形態に係る結合型リング発振器では、一部のインバータ回路の負荷だけが大きくなるといったことがなく、極めて高精度かつ微細な位相情報を生成することが可能である。また、各位相情報は位相結合ループ40における位相結合回路30間の各接続点から取り出すことができるため、位相情報の取り出しが極めて容易である。

40

【0016】

(第2の実施形態)

図3は、第2の実施形態に係る結合型リング発振器の構成図である。図3に示した結合型リング発振器は、第1の実施形態と同様に、5個( $m = 5$ )のインバータ回路10で構成された $n$ 個( $n = 3$ )のリング発振器20と、15個( $m \times n = 15$ )の位相結合回路30がループ状に接続された位相結合ループ40とを備えている。

【0017】

50

3個のリング発振器20及び位相結合ループ40は、第1の実施形態と同様に、位相結合ループ40をもっとも内側とする入れ子状にレイアウトされている。また、位相結合回路30の接続点とインバータ回路10の接続点とは全単射的に接続されている。

【0018】

本実施形態に係る位相結合回路30は、第1の実施形態とは異なり、2点間の信号位相を同相関係で接続する。すなわち、位相結合回路30は、二つのリング発振器20におけるインバータ回路10間の接続点のうち同相関係となるべき2点を結ぶように接続される。したがって、位相結合ループ40は、リング発振器20を一つおきに接続して2周して閉じる形態となる。別の見方をすると、各インバータ回路10は、15個の位相結合回路30を6個( $n \times (m - 1) / 2 = 6$ )と9個( $n \times (m + 1) / 2 = 9$ )とに二分する2点間に接続されている。

10

【0019】

本実施形態に係る位相結合回路30は、2点間の信号位相を同相関係で接続するものであるため、抵抗性素子によって実現可能である。以下に位相結合回路30の構成例のいくつかを示す。

【0020】

図4(a)は、ゲート・ソース間又はゲート・ドレイン間に閾値電圧 $V_{th1}$ 以上の電圧 $V_{g1}$ が印加されたNMOSトランジスタ33で位相結合回路30を構成した例を示す。好ましくは、NMOSトランジスタ33のゲートには、リング発振器20の発振周波数の制御電圧を印加するものとする。こうすることで、例えば、制御電圧が上昇したとき、リング発振器20の発振周波数及び振幅に連動してNMOSトランジスタ33の $g_m$ (相互コンダクタンス)が大きくなり、同相結合の強度がより強くなる。したがって、広帯域にわたって位相結合回路30による信号位相補間の線形性が維持される。

20

【0021】

図4(b)は、ゲート・ソース間又はゲート・ドレイン間に閾値電圧 $V_{th2}$ 以下の電圧 $V_{g2}$ が印加されたPMOSトランジスタ34で位相結合回路30を構成した例を示す。好ましくは、PMOSトランジスタ34のゲートを接地するものとする。こうすることで、例えば、リング発振器20の発振周波数の制御電圧が上昇したとき、リング発振器20の発振周波数及び振幅に連動してPMOSトランジスタ34の $g_m$ (相互コンダクタンス)が大きくなり、同相結合の強度がより強くなる。したがって、広帯域にわたって位相結合回路30による信号位相補間の線形性が維持される。

30

【0022】

図4(c)は、上記のNMOSトランジスタ33及びPMOSトランジスタ34を組み合わせたトランスファゲート35で位相結合回路30を構成した例を示す。NMOS及びPMOSトランジスタを組み合わせることで、より線形性の効果が高まる。

【0023】

図4(d)は、抵抗素子36で位相結合回路30を構成した例を示す。抵抗素子36はもっとも線形性が高いが、リング発振器20の発振周波数に連動して抵抗値が変化しないため、信号位相補間の効果は弱い。

【0024】

以上、本実施形態によると、複数のリング発振器20が、線形性の高い抵抗性素子で位相結合されるため、信号位相をより正確に補間することができる。

40

【0025】

なお、位相結合ループ40は、必ずしも2周して閉じる形態をしていなくてもよいが、後述するレイアウト方法に従うと図3に示したような形態となる。

【0026】

本発明に係る結合型リング発振器について、リング発振器20の個数は3個に限定されず、各リング発振器20を構成するインバータ回路10の個数は5個に限定されないことは言うまでもない。

【0027】

50

(レイアウト方法)

次に、本発明に係る結合型リング発振器のレイアウト方法について説明する。本発明に係る結合型リング発振器は、図1及び図3に示したように幾何学的な規則性を有しており、複数の「基本セル」をレイアウトすることにより容易に構成することができる。

【0028】

図5及び図6は、それぞれ、インバータ回路及びNMOSトランジスタを用いて構成した、第1の実施形態に係る結合型リング発振器の基本セルの回路構成例を示す。図5(a)及び(b)並びに図6(a)及び(b)に示した基本セルは、リング発振器20の一部であるインバータ回路10と位相結合要素30'とからなる。位相結合要素30'は、シンメトリカルな回路構成の位相結合回路30の半分に相当する半回路の二つを、位相結合回路30の両端で接続したものに相当する。例えば、図5(a)及び(b)に示した位相結合要素30'は、二つのインバータ回路31の入力端が互いに接続された回路構成をしており、これは、図2(a)に示した位相結合回路30の半回路としてのインバータ回路31の二つを位相結合回路30の両端で接続したものに相当する。また、図6(a)及び(b)に示した位相結合要素30'は、二つのNMOSトランジスタ32のゲートが互いに接続された回路構成をしており、これは、図2(b)に示した位相結合回路30の半回路としてのNMOSトランジスタ32の二つを位相結合回路30の両端で接続したものに相当する。

【0029】

図5(a)及び図6(a)に示した基本セルは、インバータ回路10の入力端を位相結合要素30'に接続した構成をしている。一方、図5(b)及び図6(b)に示した基本セルは、インバータ回路10の出力端を位相結合要素30'に接続した構成をしている。このように、インバータ回路10の入力端及び出力端のいずれを位相結合要素30'に接続してもよいが、好ましくは、入力端を接続するものとする。図7は、図5(a)に示した基本セルのレイアウト例を示す。インバータ回路10の入力端を位相結合要素30'に接続することによって、インバータ回路10を構成するトランジスタのゲートとインバータ回路31を構成するトランジスタとを共通の線で配線することができ、基本セルの構成が極めて単純化される。図6(a)についてもこれと同様のことが言える。

【0030】

一方、図5(c)はリング発振器20の一部であるインバータ回路10の入力端を、図5(d)はその出力端を、それぞれ、図2(a)に示した位相結合回路30に接続して構成した基本セルの例を示す。また、図6(c)はリング発振器20の一部であるインバータ回路10の入力端を、図6(d)はその出力端を、それぞれ、図2(b)に示した位相結合回路30に接続して構成した基本セルの例を示す。このように、基本セルは、一のインバータ回路10と一の位相結合回路30とから構成されたものであってもよい。

【0031】

第1の実施形態に係る結合型リング発振器は次のようにして構成される。すなわち、 $m \times n$ 個の基本セルを、ループが形成されるように適宜レイアウトし、隣り合う基本セルにおける位相結合要素30'又は位相結合回路30を互いに接続して一の位相結合ループ40を構成し、また、 $n - 1$ 個を隔てたいずれか二つの基本セルにおけるインバータ回路10の入力端と出力端とを互いに接続して $m$ 個のリング発振器20を構成する。 $m = 5$ 、 $n = 3$ としてレイアウトすると、例えば、図1に示した5段 $\times$ 3組タイプの結合型リング発振器が構成される。

【0032】

図8は、インバータ回路で構成した場合の位相結合要素30'と位相結合回路30との関係を示す。図8に示したように、二つの位相結合要素30'が互いに接続されると一の位相結合回路30が構成される。具体的には、隣り合う位相結合要素30'について、その一における一のインバータ回路31の入力端とその他における一のインバータ回路31の出力端とを接続する。NMOSトランジスタで構成された位相結合要素30'の場合には、隣り合う位相結合要素30'について、その一における一のNMOSトランジスタ3

10

20

30

40

50

2ゲートとその他における一のNMOSトランジスタ32のゲートとを接続する。このように、 $m \times n$ 個の位相結合要素30'をループ状に接続することで、同数の位相結合回路30がループ状に接続された位相結合ループ40が構成される。

【0033】

一方、図9は、第2の実施形態に係る結合型リング発振器の基本セルの回路構成例を示す。図9(a)及び(b)は、インバータ回路10の入力端を位相結合回路30に接続して構成した基本セルの例を示す。図9(c)及び(d)は、インバータ回路10の出力端を位相結合回路30に接続して構成した基本セルの例を示す。

【0034】

第2の実施形態に係る結合型リング発振器は次のようにして構成される。すなわち、 $m \times n$ 個の基本セルを、ループが形成されるように適宜レイアウトし、一つ隣の基本セルにおける位相結合回路30を互いに接続して一の位相結合ループ40を構成し、また、 $n - 1$ 個を隔てたいずれか二つの基本セルにおけるインバータ回路10の入力端と出力端とを互いに接続して $m$ 個のリング発振器20を構成する。 $m = 5$ 、 $n = 3$ としてレイアウトすると、例えば、図3に示した5段 $\times$ 3組タイプの結合型リング発振器が構成される。

【0035】

(構成例)

上記のレイアウト方法に従って構成された3段 $\times$ 3組タイプの結合型リング発振器についていくつかの例を示す。

【0036】

図10、図11及び図12は、第1の実施形態タイプの結合型リング発振器の構成例を示す。図10に示した構成例は、9個の基本セル50を4個と5個とに分け、これらを対向するようにレイアウトしたものである。図11に示した構成例は、四方に基本セル50をレイアウトしたものである。また、図12は、9個の基本セル50を4個と5個とに分け、これらが同じ方向を向くようにレイアウトしたものである。なお、上記各構成例では基本セルとして図5(a)又は図6(a)に示したものをを用いている。

【0037】

一方、図13、図14及び図15は、それぞれ、図10、図11及び図12に対応する、第2の実施形態タイプの結合型リング発振器の構成例を示す。なお、上記各構成例では基本セルとして図9(a)に示したものをを用いている。

【0038】

なお、図12及び図15に示したように、本発明に係る結合型リング発振器において、リング発振器20と位相結合ループ40とは必ずしも入れ子状になっていなくてもよい。また、これらを入れ子状にレイアウトする場合、位相結合ループ40をもっとも内側にレイアウトするものとする。これは、位相結合ループ40における位相結合回路30の接続段数は各リング発振器20におけるインバータ回路10のものよりも多くなりその分遅延が大きくなる傾向にあるところ、位相結合ループ40の動作速度は各リング発振器20よりも高速でなければならぬため、少しでもその遅延を減らすべく配線長がより短くなる入れ子の内側に位相結合ループ40をレイアウトすることが好ましいからである。

【産業上の利用可能性】

【0039】

本発明に係る結合型リング発振器は、高精度かつ微細な位相情報を生成することができるため、光ディスク装置における書き込みクロックを生成するライトストラテジ回路などの高分解能位相発生回路などとして有用である。

【図面の簡単な説明】

【0040】

【図1】第1の実施形態に係る結合型リング発振器の構成図である。

【図2】図1に示した位相結合回路の回路構成図である。

【図3】第2の実施形態に係る結合型リング発振器の構成図である。

【図4】図3に示した位相結合回路の回路構成図である。

10

20

30

40

50



【図5】インバータ回路で構成した、第1の実施形態に係る結合型リング発振器の基本セルの回路構成図である。

【図6】NMOSトランジスタを用いて構成した、第1の実施形態に係る結合型リング発振器の基本セルの回路構成図である。

【図7】図5に示した基本セルのレイアウト例を示す図である。

【図8】インバータ回路で構成した位相結合要素と位相結合回路との関係を示す図である。

【図9】第2の実施形態に係る結合型リング発振器の基本セルの回路構成図である。

【図10】3段×3組タイプの結合型リング発振器の一構成例を示す図である。

【図11】3段×3組タイプの結合型リング発振器の一構成例を示す図である。

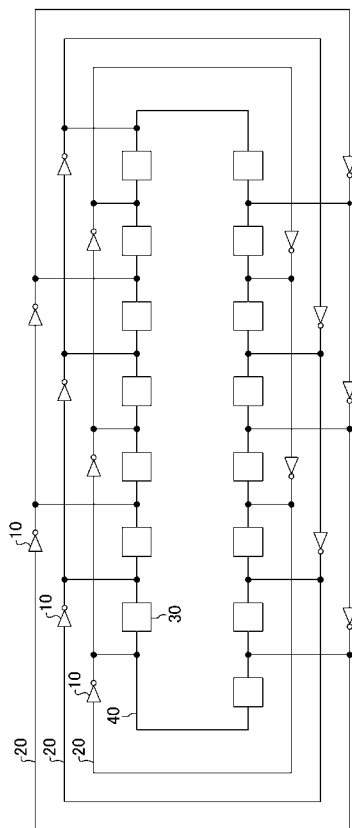
【図12】3段×3組タイプの結合型リング発振器の一構成例を示す図である。

【図13】3段×3組タイプの結合型リング発振器の一構成例を示す図である。

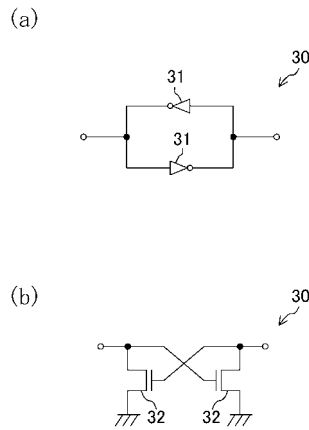
【図14】3段×3組タイプの結合型リング発振器の一構成例を示す図である。

【図15】3段×3組タイプの結合型リング発振器の一構成例を示す図である。

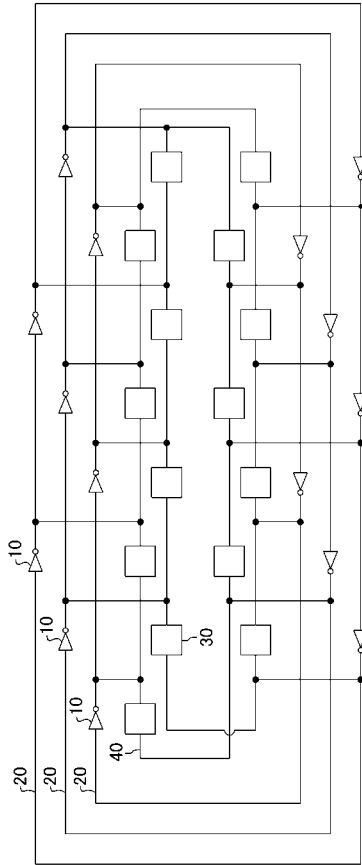
【図1】



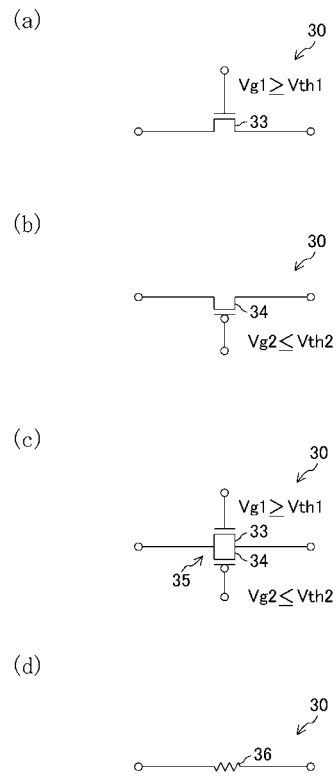
【図2】



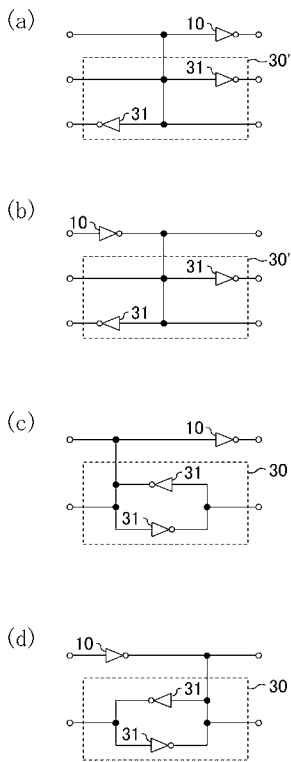
【図3】



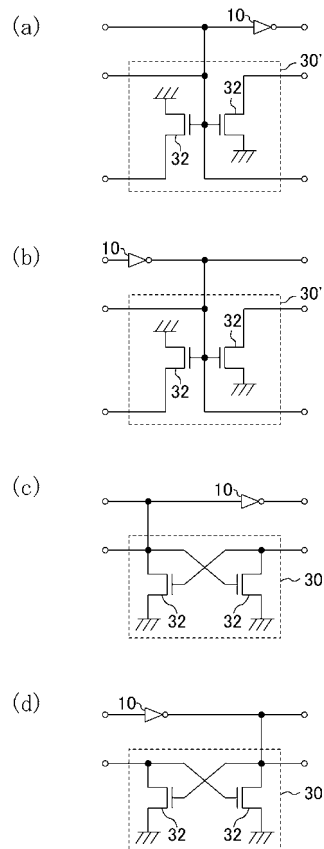
【図4】



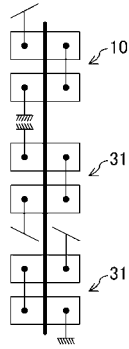
【図5】



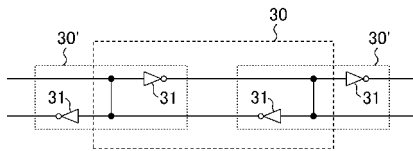
【図6】



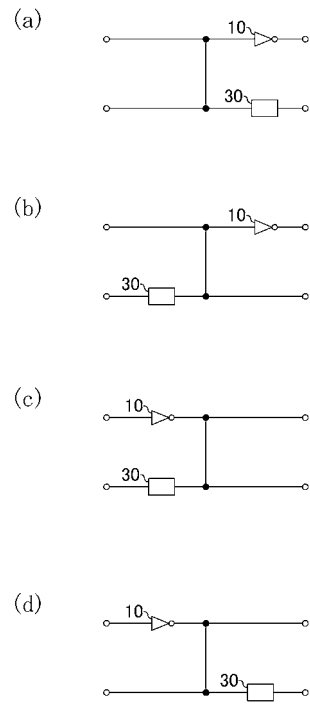
【 図 7 】



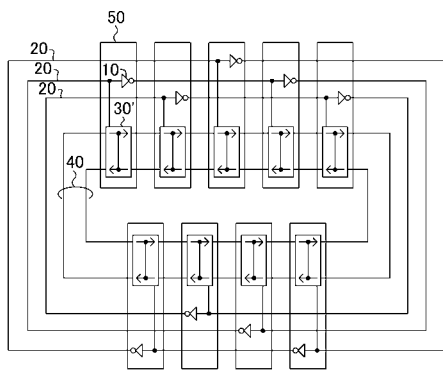
【 図 8 】



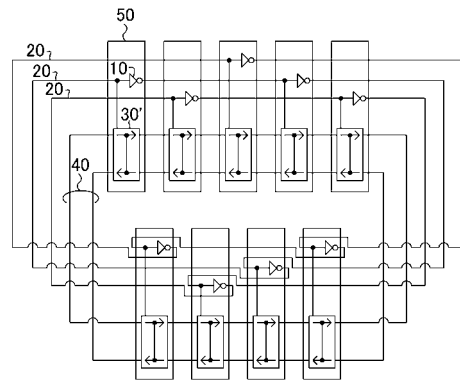
【 図 9 】



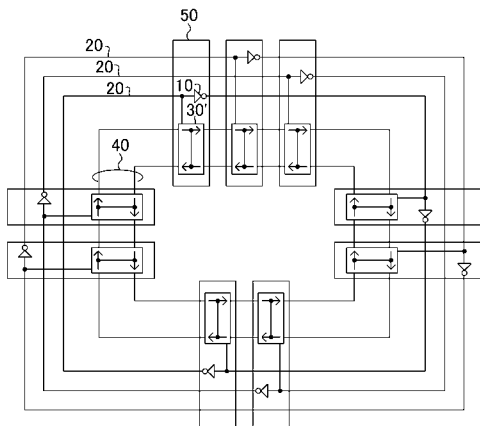
【 図 10 】



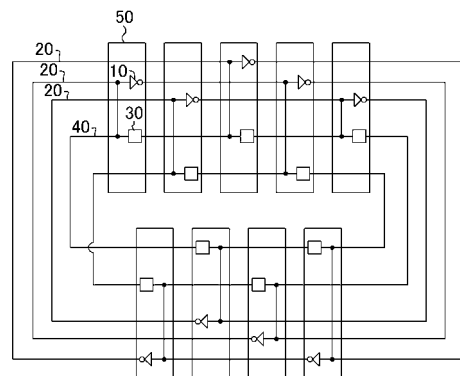
【 図 12 】



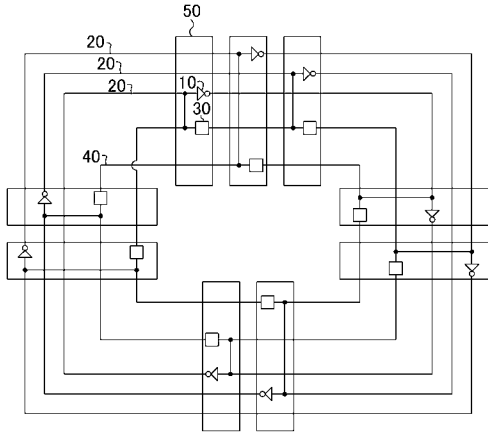
【 図 11 】



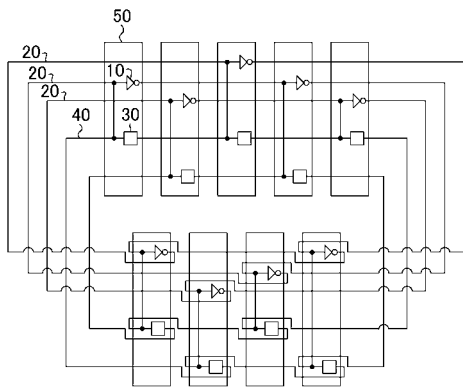
【 図 13 】



【 図 1 4 】



【 図 1 5 】



## フロントページの続き

- (74)代理人 100117581  
弁理士 二宮 克也
- (74)代理人 100117710  
弁理士 原田 智雄
- (74)代理人 100121728  
弁理士 井関 勝守
- (74)代理人 100124671  
弁理士 関 啓
- (74)代理人 100131060  
弁理士 杉浦 靖也
- (72)発明者 道正 志郎  
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 崎山 史朗  
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 武田 憲明  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 石田 勝

- (56)参考文献 特開平8-70239(JP,A)  
特開2000-156629(JP,A)  
特開2001-332698(JP,A)  
特開2003-188689(JP,A)  
特開2005-6025(JP,A)  
特表平7-507435(JP,A)  
特開平6-188634(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 3/354  
H01L 21/822  
H01L 27/04  
H03K 3/03