

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-32663  
(P2015-32663A)

(43) 公開日 平成27年2月16日(2015.2.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4M118
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 690	5C024

審査請求 未請求 請求項の数 6 O L (全 32 頁)

(21) 出願番号	特願2013-160565 (P2013-160565)	(71) 出願人	000003078
(22) 出願日	平成25年8月1日(2013.8.1)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100153051
			弁理士 河野 直樹

最終頁に続く

(54) 【発明の名称】 固体撮像装置

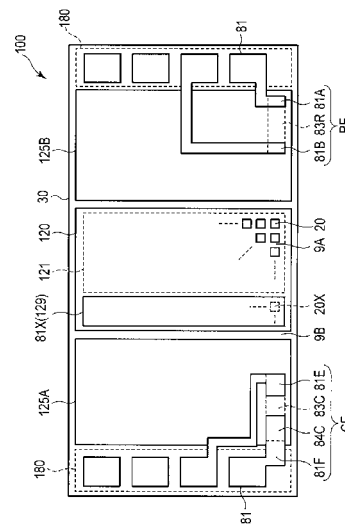
(57) 【要約】

【課題】 固体撮像装置のサイズを縮小する。

【解決手段】 本実施形態の固体撮像装置は、第1の面FSと前記第1の面FSに対向する第2の面BSを有する半導体基板30と、半導体基板30の第1の面FS側に設けられ、多層配線を含む第1の絶縁膜90と、半導体基板30内に設けられ、第2の面BS側から照射された光を光電変換する画素1と、半導体基板30の第1の面FS側に設けられ、第1の絶縁膜90に覆われる第1の回路7と、半導体基板30の第2の面BS側に設けられる1以上の第1の素子CE, REと、を含む。

【選択図】 図3

図3



## 【特許請求の範囲】

## 【請求項 1】

第 1 の面と前記第 1 の面に対向する第 2 の面を有し、画素領域と前記画素領域に隣り合う回路領域とを含む半導体基板と、

前記半導体基板の第 1 の面側に設けられ、多層配線を含む第 1 の絶縁膜と、

前記半導体基板の前記画素領域内に設けられ、前記第 2 の面側から照射された光を光電変換する画素と、

前記回路領域内における前記第 1 の面側に設けられ、前記第 1 の絶縁膜に覆われる第 1 の回路と、

前記回路領域内における前記第 2 の面側に設けられた抵抗素子及び容量素子と、

を具備し、

前記抵抗素子は、前記半導体基板における前記第 2 の面側の第 1 の半導体領域内の第 1 の拡散層及び第 1 の金属層の少なくとも一方から形成される抵抗体を含み、

前記容量素子は、前記半導体基板における前記第 2 の面側の第 2 の半導体領域内の第 2 の拡散層と、前記第 2 の面側に設けられた第 2 の金属層と、前記第 2 の拡散層と前記第 2 の金属層との間の第 2 の絶縁膜と、を含む、

ことを特徴とする固体撮像装置。

10

## 【請求項 2】

第 1 の面と前記第 1 の面に対向する第 2 の面を有する半導体基板と、

前記半導体基板の前記第 1 の面側に設けられ、多層配線を含む第 1 の絶縁膜と、

前記半導体基板内に設けられ、前記第 2 の面側から照射された光を光電変換する画素と

、

前記半導体基板の前記第 1 の面側に設けられ、前記第 1 の絶縁膜に覆われる第 1 の回路と、

前記半導体基板の前記第 2 の面側に設けられる 1 以上の第 1 の素子と、

を具備することを特徴とする固体撮像装置。

20

## 【請求項 3】

前記第 1 の素子は、前記半導体基板における前記第 2 の面側の第 1 の半導体領域内の第 1 の拡散層又は前記第 2 の面側の第 1 の金属層から形成される抵抗体を含む抵抗素子である、

ことを特徴とする請求項 2 に記載の固体撮像装置。

30

## 【請求項 4】

前記第 1 の素子は、前記半導体基板における前記第 2 の面側の第 2 の半導体領域内の第 2 の拡散層と、前記第 2 の面側に設けられた第 2 の金属層と、前記第 2 の拡散層と前記第 2 の金属層との間の第 2 の絶縁膜と、を含む容量素子である、

ことを特徴とする請求項 2 に記載の固体撮像装置。

## 【請求項 5】

前記半導体基板は、前記画素を含む画素領域と、前記画素領域に隣り合う回路領域とを含み、

前記第 1 の回路は、前記回路領域内における前記第 1 の面側に設けられ、

前記第 1 の素子は、前記回路領域内における前記第 2 の面側に設けられている、

ことを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の固体撮像装置。

40

## 【請求項 6】

前記第 1 の素子は、前記第 1 の回路及び前記第 2 の面側に設けられた第 1 のパッドのうち少なくとも一方に接続される、

ことを特徴とする請求項 2 乃至 5 のいずれか 1 項に記載の固体撮像装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、固体撮像装置に関する。

50

## 【背景技術】

## 【0002】

CCDイメージセンサやCMOSイメージセンサなどの固体撮像装置は、デジタルスチルカメラ、ビデオカメラ、或いは、監視カメラ等、多様な用途で使われている。

## 【0003】

裏面照射型イメージセンサは、配線のような、画素とマイクロレンズとの間における光に対する障害物を無くすることができる。そのため、裏面照射型イメージセンサは、入射光に対する画素の感度を高くでき、光学シェーディングを小さくできる。

## 【0004】

それゆえ、近年では、裏面照射型イメージセンサの開発が、推進されている。

10

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2010-98219号公報

【特許文献2】特開2011-61092号公報

【特許文献3】特開2012-204403号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

固体撮像装置のサイズの縮小を図る技術を提案する。

20

## 【課題を解決するための手段】

## 【0007】

本実施形態の固体撮像装置は、第1の面と前記第1の面に対向する第2の面を有する半導体基板と、前記半導体基板の前記第1の面側に設けられ、多層配線を含む第1の絶縁膜と、前記半導体基板内に設けられ、前記第2の面側から照射された光を光電変換する画素と、前記半導体基板の前記第1の面側に設けられ、前記第1の絶縁膜に覆われる第1の回路と、前記半導体基板の前記第2の面側に設けられる1以上の第1の素子と、を含む。

## 【図面の簡単な説明】

## 【0008】

【図1】実施形態の固体撮像装置を含むモジュールの一例を示す図。

30

【図2】実施形態の固体撮像装置を含むモジュールの一例を示す図。

【図3】実施形態の固体撮像装置の構造例を模式的に示す平面図。

【図4】実施形態の固体撮像装置の構造例を模式的に示す断面図。

【図5】固体撮像装置の画素アレイの構成例を示す等価回路図。

【図6】実施形態の固体撮像装置の製造工程の一工程を説明するための図。

【図7】実施形態の固体撮像装置の製造工程の一工程を説明するための図。

【図8】実施形態の固体撮像装置の製造方法の一工程を説明するための図。

【図9】実施形態の固体撮像装置の製造工程の一工程を説明するための図。

【図10】実施形態の固体撮像装置の製造工程の一工程を説明するための図。

【図11】実施形態の固体撮像装置の製造工程の一工程を説明するための図。

40

【図12】実施形態の固体撮像装置の製造工程の一工程を説明するための図。

【図13】実施形態の固体撮像装置の製造工程の一工程を説明するための図。

【図14】実施形態の固体撮像装置の具体例を模式的に示す図。

【図15】実施形態の固体撮像装置の具体例を模式的に示す図。

【図16】実施形態の固体撮像装置の具体例を模式的に示す図。

【図17】実施形態の固体撮像装置の具体例を模式的に示す図。

【図18】実施形態の固体撮像装置の具体例を模式的に示す図。

【図19】実施形態の固体撮像装置の具体例を模式的に示す図。

【図20】実施形態の固体撮像装置の具体例を模式的に示す図。

## 【発明を実施するための形態】

50

## 【0009】

以下、図面を参照しながら、本実施形態について詳細に説明する。以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複する説明は必要に応じて行う。

## 【0010】

[実施形態]

図1乃至図20を参照して、実施形態に係る固体撮像装置について説明する。

## 【0011】

(1) 構造

図1乃至図5を用いて、実施形態に係る固体撮像装置の構造について、説明する。

10

## 【0012】

図1及び図2は、本実施形態の固体撮像装置を説明するための模式図である。図1は、本実施形態の固体撮像装置(例えば、イメージセンサ)100を含むモジュールの構成例を示すブロック図である。図2は、本実施形態のイメージセンサ100を含むモジュールの構造例を模式的に示す断面図である。以下では、本実施形態のイメージセンサ100を含むモジュールのことを、カメラモジュールとよぶ。

## 【0013】

図1に示されるように、カメラモジュールは、イメージセンサ100を含んでいる。図1のカメラモジュールは、イメージセンサ100の他に、例えば、DSP(Digital Signal Processor)101、光学レンズユニット102、メモリ103、ディスプレイ104、及び、コントローラ105を含んでいる。

20

## 【0014】

イメージセンサ100は、画像に対応する入射光(被写体からの光)を、電気信号に変換する。光学レンズユニット102は、入射光(被写体からの光)をイメージセンサ100に集光し、入射光に対応する画像をイメージセンサ100上に結像させる。光学レンズユニット102は、複数のレンズを含む。各レンズに対する機械的又は電気的な制御によって、光学レンズユニット102の光学特性(例えば、焦点距離)を制御できる。

## 【0015】

DSP(信号処理回路)101は、イメージセンサ100から出力された電気信号を処理する。メモリ103は、DSP101からの信号を記憶する。メモリ103は、外部から与えられた信号及びデータを記憶することもできる。

30

## 【0016】

ディスプレイ104は、DSP101からの信号又はメモリ103からの信号を、表示する。DSP101からの信号及びメモリ103からの信号は、イメージセンサ100が取得した被写体からの光に対応した画像データ(静止画データ又は動画データ)である。コントローラ105は、カメラモジュール内の各構成部101~104の動作を制御する。

## 【0017】

図2に示されるように、イメージセンサ100はパッケージ化及びモジュール化され、回路基板(プリント基板、モジュール基板、又は、フレキシブル基板ともよばれる)200上に設けられる。イメージセンサ100のチップは、例えば、リードフレームやBGA(Ball Grid Array)などの基板(以下では、パッケージ基板とよぶ)を用いてパッケージ化されている。

40

## 【0018】

光学レンズユニット102を含むレンズホルダ117が、イメージセンサ100に取り付けられる。光学レンズユニット102からの光は、イメージセンサ100に取り付けられたマイクロレンズアレイMLを介して、イメージセンサ100の画素アレイに照射される。

## 【0019】

フィルタや保護膜などの積層体114が、接着剤によって、イメージセンサ100と光

50

学レンズユニット102との間に取り付けられる。

【0020】

イメージセンサ100を含むカメラモジュールは、電極（半田ボールやピン）118によって、回路基板200内に形成されたコネクタ（図示せず）又は配線（図示せず）に接続される。これによって、カメラモジュールは、回路基板200上の他のデバイス（モジュール又はパッケージ）に接続される。イメージセンサ100の側面を覆うように、シールド部119が、イメージセンサ100及びレンズホルダ117に取り付けられる。例えば、DSP101、メモリ103及びコントローラ105は、イメージセンサ100と電氣的に接続されていれば、イメージセンサ100と同じ基板（パッケージ基板又は回路基板）上に設けられてもよいし、イメージセンサ100とは異なる基板上に設けられてもよい。DSP101、メモリ103及びコントローラ105は、シールド部119の外部に設けられてもよいし、シールド部119内に設けられてもよい。

10

【0021】

図3乃至図5を参照して、本実施形態のイメージセンサ100の構造について、説明する。図3は、本実施形態のイメージセンサ100の平面構造を模式的に示す平面図である。図4は、本実施形態のイメージセンサ100の断面構造を模式的に示す断面図である。

【0022】

図3及び図4に示されるように、本実施形態のイメージセンサ100において、画素アレイ120、及び、画素アレイ120を駆動させるための回路が形成される領域（以下では、周辺回路領域とよぶ）125A、125Bが、1つの半導体基板（チップ）30内に設けられている。半導体基板30は、第1の面FSと、第1の面FSに対して垂直方向において第1の面FSに対向する第2の面BSを有している。

20

【0023】

本実施形態のイメージセンサ100は、半導体基板30の第2の面BS側から被写体からの光を取り込む。本実施形態のイメージセンサ100は、半導体基板30の第1の面FS側に、イメージセンサの回路内のトランジスタ及び多層配線構造の層間絶縁膜90が設けられ、半導体基板30の第2の面BS側に、イメージセンサ100に用いられる受動素子RE、CEが設けられている。

【0024】

画素アレイ120は、複数の単位セル20を含む。各単位セル20は、外部からの入射光を電気信号へ変換するための画素（光電変換素子ともよばれる）を含む。1つの単位セル20は、少なくとも1つの画素を含む。周辺回路領域125A、125B内には、ロジック回路やアナログ回路、より具体的には、画素アレイ120の動作を制御するための回路、及び、画素アレイ120からの信号を処理するための回路などが設けられている。

30

【0025】

互いに隣接する単位セル20及びそれに含まれる画素は、素子分離領域9Aによって、分離されている。各単位セル20及び画素の形成領域は、素子分離領域9Aに取り囲まれている。画素アレイ120と周辺回路領域125A、125Bとの間に、素子分離領域9Bが設けられている。

【0026】

本実施形態において、画素は、フォトダイオードを用いて形成される。1つのフォトダイオードは、1つの画素に対応する。例えば、画素としてのフォトダイオード1を用いて、CMOSセンサ又はCCDセンサが形成される。

40

【0027】

ここで、図5を用いて、画素アレイ120の内部構成の一例について説明する。図5は、画素アレイ120及びその近傍の回路の回路構成例を示す図である。

【0028】

図5に示されるように、複数の単位セルUCは、画素アレイ120内に、マトリクス状に、配置されている。各単位セルUCは、読み出し制御線RD1、RD2と垂直信号線VSLとの交差位置に、設けられている。

50

## 【 0 0 2 9 】

図 5 に示される単位セル U C は、1 つの単位セル U C が 2 つの画素を含む 2 画素 1 セル構造を有している。2 画素 1 セル構造の単位セル U C において、1 つのフローティングディフュージョン 6 が、2 つのフォトダイオード 1 A , 1 B に対して共通化されている。

## 【 0 0 3 0 】

単位セル U C は、例えば、2 つのリードトランジスタ 2 A , 2 B、リセットトランジスタ 3、アドレストラジスタ 4、及びアンプトランジスタ 5 を含む。2 画素 1 セル構造の単位セル U C において、2 つのリードトランジスタ 2 A , 2 B が各フォトダイオード 1 A , 1 B にそれぞれ対応するように、設けられている。2 画素 1 セル構造の単位セル U C において、リセットトランジスタ 3、アドレストラジスタ 4 及びアンプトランジスタ 5 は、2 つのフォトダイオード 1 A , 1 B に共有されている。

10

## 【 0 0 3 1 】

フォトダイオード 1 A , 1 B のカソードは、リードトランジスタ 2 A , 2 B の電流経路を介して、フローティングディフュージョン 6 に、それぞれ接続されている。フォトダイオード 1 A , 1 B は、マイクロレンズ及びカラーフィルタを通過してフォトダイオードに入射された光を信号電荷（電気信号）に変換し、その電荷を蓄積する。以下では、フォトダイオード 1 A , 1 B を区別しない場合には、フォトダイオード 1 と表記する。

## 【 0 0 3 2 】

各リードトランジスタ 2 A , 2 B は、各フォトダイオード 1 A , 1 B の信号電荷の蓄積及び転送を制御する。リードトランジスタ 2 A , 2 B のゲートは、読み出し制御線 R D 1 , R D 2 にそれぞれ接続されている。リードトランジスタ 2 A , 2 B の電流経路の一端は、フォトダイオード 1 A , 1 B のカソードに、それぞれ接続される。リードトランジスタ 2 A , 2 B の電流経路の他端は、フローティングディフュージョン 6 に接続されている。以下では、リードトランジスタ 2 A , 2 B を区別しない場合には、リードトランジスタ 2 と表記する。

20

## 【 0 0 3 3 】

リセットトランジスタ 3 は、フローティングディフュージョン 6 の電位（アンプトランジスタ 5 のゲート電位）をリセットする。リセットトランジスタ 3 のゲートは、リセット制御線 R S T に接続されている。リセットトランジスタ 3 の電流経路の一端は、フローティングディフュージョン 6 に接続され、リセットトランジスタ 3 の電流経路の他端は、電源端子に接続されている。

30

## 【 0 0 3 4 】

アドレストラジスタ 4 は、単位セル U C を選択する（活性化する）ための選択素子として機能する。アドレストラジスタ 4 のゲートは、アドレス制御線 A D R に接続されている。アドレストラジスタ 4 の電流経路の一端は、アンプトランジスタ 5 の電流経路の他端に接続され、アドレストラジスタ 4 の電流経路の他端は、電源端子に接続されている。

## 【 0 0 3 5 】

アンプトランジスタ 5 は、フローティングディフュージョン 6 が保持するフォトダイオード 1 からの信号を増幅する。アンプトランジスタ 5 のゲートは、フローティングディフュージョン 6 に接続されている。アンプトランジスタ 5 の電流経路の一端は、垂直信号線 V S L に接続され、アンプトランジスタ 5 の電流経路の他端は、アドレストラジスタ 4 の電流経路の一端に接続されている。アンプトランジスタ 5 によって増幅された信号は、単位セル（又は画素）の信号として垂直信号線 V S L に出力される。

40

## 【 0 0 3 6 】

垂直シフトレジスタ 1 3 3 は、2 本の読み出し制御線 R D 1 , R D 2、アドレス制御線 A D R 及びリセット制御線 R S T に接続されている。垂直シフトレジスタ 1 3 3 は、読み出し制御線 R D 1 , R D 2、アドレス制御線 A D R 及びリセット制御線 R S T の電位（信号レベル）を制御し、画素アレイ 1 2 0 内の複数の単位セル U C（及び画素）をロウ単位で制御及び選択する。

50

## 【0037】

A D変換回路131は、垂直信号線V S Lに接続されている。A D変換回路131は、単位セルU Cからのアナログ信号をデジタル信号に変換したり、単位セルU Cからの信号をC D S (Correlated Double Sampling: 相関二重サンプリング) 処理したりするための処理ユニットP Uを含む。

## 【0038】

負荷トランジスタ134は、垂直信号線V S Lに対する電流源として用いられる。負荷トランジスタ134の電流経路の一端は、垂直信号線V S Lを介して、アンプトランジスタ3の電流経路の一端に接続される。負荷トランジスタ134の電流経路の他端は、電源端子(例えば、グランド端子)に接続されている。負荷トランジスタ134のゲートは、負荷トランジスタ134の電流経路の他端に接続されている。

10

## 【0039】

尚、各単位セルU Cは、アドレスタランジスタ5を含まなくともよい。この場合、単位セルU Cにおいて、リセットトランジスタ4の電流経路の他端が、アンプトランジスタ3の電流経路の他端に接続される。単位セルU Cがアドレスタランジスタ5を含まない場合、アドレス信号線A D Rも設けられない。

## 【0040】

単位セルU Cは、1つの画素を含む1画素1セル構造でもよいし、4画素1セル構造或いは8画素1セル構造のように、1つの単位セルが、3以上の画素(フォトダイオード)を含む回路構成(多画素1セル構造)でもよい。複数の画素を含む単位セル内において、3以上のフォトダイオードが、1つのフローティングディフュージョン及びリセットトランジスタ、アンプトランジスタ及びアドレスタランジスタを共有する。複数の画素を含む単位セルにおいて、フォトダイオード毎に、1つのリードトランジスタが設けられる。

20

## 【0041】

図4において、図示の簡単化のため、単位セル20の構成要素のうち、フォトダイオード1、リードトランジスタ2及びフローティングディフュージョン6のみを図示している。

## 【0042】

図4に示されるように、フォトダイオード1は、画素アレイ120の単位セル20の形成領域(以下では、単位セル形成領域20とよぶ)において、半導体基板(又は半導体層)30内に形成される。フォトダイオード1は、N型(又はP型)の半導体基板30内に形成された少なくとも1つの不純物層(不純物半導体層、不純物半導体領域)10から形成される。フォトダイオード1の少なくとも1つの不純物層10は、N型の導電性を有する。但し、フォトダイオード1の特性(例えば、感度)を向上させるために、導電性及び不純物濃度が異なる複数の不純物層によって、フォトダイオード1が形成されてもよい。フォトダイオード1によって光電変換された入射光の光量に応じた電荷は、フォトダイオード1の不純物層10内に発生し、不純物層10内に蓄積される。

30

## 【0043】

例えば、フォトダイオード1の不純物層10の表層(上面)において、P型の導電性の不純物層(以下では、表面シールド層とよぶ)11が設けられている。表面シールド層11は、不純物に起因したフォトダイオード1の特性の劣化、例えば、暗電流の発生を、抑制する。

40

## 【0044】

半導体基板30の半導体領域(例えば、P型の半導体領域)38内に、フローティングディフュージョン6としての不純物層60が、設けられている。フローティングディフュージョン6の不純物層60は、例えば、N型の導電性を有する。フローティングディフュージョン6としての不純物層60内に、リードトランジスタ2を経由してフォトダイオード1から出力された電荷が、保持(蓄積)される。

## 【0045】

フォトダイオード1とフローティングディフュージョン6との間において、リードトラ

50

ンジスタ 2 が、半導体基板 30 上に設けられている。リードトランジスタ 2 のゲート電極 22 は、ゲート絶縁膜 21 を挟んで、半導体基板 30 の P 型不純物領域（以下、P 型領域と表記する）38 上に設けられる。例えば、半導体領域 38 内に形成された不純物層（図示せず）が、リードトランジスタ 2 のソース及びドレインとして用いられている。フォトダイオード 1 が含む不純物層、又は、フローティングディフュージョン 6 としての不純物層が、リードトランジスタ 2 のソース及びドレインとして用いられてもよい。

【0046】

素子分離領域 9A 内に設けられた素子分離層 98 が、互いに隣接する単位セル 20 及び互いに隣接するフォトダイオード 1 を取り囲むように、半導体基板 30 内に設けられている。素子分離層 98 によって、互いに隣接する単位セル 20 及びフォトダイオード 1 が、電氣的に分離される。画素アレイ 120 内の素子分離層 98 は、例えば、不純物層（以下では、素子分離不純物層とよぶ）によって、形成される。素子分離層としての不純物層 98 は、例えば、P 型の導電性を有している。尚、画素アレイ 120 内における素子分離層 98 は、STI 構造の絶縁膜（素子分離絶縁膜）でもよい。

10

【0047】

周辺回路領域 125A, 125B 内には、例えば、図 5 の AD 変換回路 131 や垂直シフトレジスタ 133 などの回路が、設けられている。

【0048】

周辺回路領域 125A, 125B は、例えば、素子分離領域 9B によって、画素アレイ 120 から電氣的に分離されている。周辺回路領域 125A, 125B を区画するための素子分離領域 9B 内には、例えば、STI 構造の素子分離絶縁膜 99 が埋め込まれたり、素子分離不純物層 31B, 98 が設けられたりしている。

20

【0049】

例えば、周辺回路領域 125A がアナログ回路領域である場合、P 型不純物領域（P 型領域）31A が、アナログ回路領域 125A の半導体基板 30 内に、設けられている。例えば、P 型領域 31A は、接地電位（グランド電位）が印加される金属層（図示せず）に接続されている。P 型領域 31A に接地電位を印加するための金属層は、第 1 の面 FS 側に設けられてもよいし、第 2 の面 BS 側に設けられてもよい。

【0050】

例えば、周辺回路領域 125B がロジック回路領域である場合、N 型不純物領域（以下では、N 型領域と表記する）32 が、ロジック回路領域 125B の半導体基板 30 内に、設けられている。ロジック回路領域 125B において、N 型領域 32 の周囲を取り囲むように、P 型領域 31B が設けられている。周辺回路領域 125A, 125B の P 型領域 31A, 31B は、半導体基板 30 の第 1 の面 FS から第 2 の面 BS へ達するように、形成されている。

30

【0051】

P 型又は N 型のウェル領域 39 が、アナログ回路領域 125A の P 型領域 31A 内、及び、ロジック回路領域 125B の N 型領域 32 内に、それぞれ設けられている。ウェル領域 39 内に、電界効果トランジスタのような、イメージセンサ 100 の周辺回路の構成素子が、設けられている。図 4 には、周辺回路の構成素子としての電界効果トランジスタ 7 が示されている。

40

【0052】

アナログ及びロジック回路領域 125A, 125B 内において、電界効果トランジスタ（例えば、MOS トランジスタ）7 は、ウェル領域 39 内に設けられている。ウェル領域 39 内に、トランジスタ 7 のソース/ドレインとしての 2 つの不純物層（拡散層）73 が設けられている。2 つの拡散層 73 間のウェル領域 39 上方に、ゲート絶縁膜 71 を介して、ゲート電極 72 が設けられる。2 つの拡散層 73 間のウェル領域 39 が、トランジスタ 7 のチャンネル領域となる。電界効果トランジスタ 7 が、P チャンネル型であるか N チャンネル型であるか、或いは、エンハンスメント型であるかデプレッション型であるかは、電界効果トランジスタ 7 が設けられるウェル領域 39 の導電型、或いは、ソース/ドレインと

50



しての不純物領域（拡散層）73の導電型に応じる。

【0053】

尚、上述の例では、アナログ回路領域125A内のP型領域31A及びロジック回路領域125B内のN型領域32を示しているが、各周辺回路領域125A, 125Bは、P型及びN型領域の両方を含んでもよく、N型領域が、アナログ回路領域125A内に設けられてもよいし、P型領域がロジック回路領域125B内に設けられてもよい。以下では、周辺回路領域125A, 125Bを区別しない場合には、周辺回路領域125と表記する。

【0054】

トランジスタ2, 7のゲート電極22, 72及びフォトダイオード1の上面（表面シールド層11）を覆うように、複数の層間絶縁膜（例えば、シリコン酸化膜）90が、半導体基板30上に積層されている。

10

【0055】

本実施形態のイメージセンサ100に対して、多層配線(multi-layer interconnection)技術が用いられている。すなわち、各配線レベル（基板の主面を基準とした高さ）に応じて、複数の導電層91が、積層された層間絶縁膜90内にそれぞれ設けられている。導電層91は、層間絶縁膜90内のそれぞれに埋め込まれたプラグ92によって、上方又は下方の配線レベルに位置する他の導電層91に、電気的に接続されている。導電層91は、例えば、銅(Cu)又はアルミニウム(Al)を含む金属層である。例えば、銅（又は銅合金）からなる導電層91は、ダマシン構造を有し、層間絶縁膜90内に形成された溝（ダマシン溝）内に、埋め込まれている。

20

【0056】

例えば、トランジスタ2, 7のゲート電極22, 72、ソース/ドレイン73、及び、半導体基板30上に形成された素子の端子は、コンタクトプラグ92を介して、半導体基板30側から数えて1番目（最下層）の配線レベルに位置する導電層（配線）91に接続される。各層間絶縁膜90内の導電層91が、プラグ92を介して、上層（又は下層）の配線レベルの導電層91に接続されることによって、半導体基板30上に設けられた複数の素子が、互いに接続される。これによって、イメージセンサ100が含む複数の回路が形成される。

【0057】

尚、導電層91は、素子間及び回路間を接続する配線に加え、素子及び回路に接続されないダミー層、フォトダイオードに対する光の入射を防止する遮光膜を含む。ダミー層は、各配線レベルの層間絶縁膜に設定された被覆率（ある領域の面積とその領域内における金属パターンの面積との比率）を調整するために、層間絶縁膜内に設けられている。

30

【0058】

このように、多層配線技術によって、積層された層間絶縁膜90は、各配線レベルに設けられた多層配線91を含む。

【0059】

最上層の層間絶縁膜90上に、支持基板85が設けられている。支持基板85は、例えば、接着層（保護層、平坦化層）88を介して、層間絶縁膜90上に積層される。支持基板85には、例えば、シリコン基板や絶縁性基板が用いられる。支持基板85によって、裏面照射型イメージセンサ100が支持されている。

40

【0060】

再配線技術によって形成された配線（図示せず）が、支持基板85と層間絶縁膜90との間に、設けられてもよい。以下では、再配線技術によって形成された配線のことを、再配線(Re-Distribution Layer)とよぶ。

【0061】

本実施形態において、トランジスタ2, 7のゲート電極22, 72が設けられている半導体基板30の面（第1の面）FSを半導体基板30の表面とよぶ。半導体基板30の表面FS上に、多層配線技術によって形成された層間絶縁膜90が設けられている。層間絶

50

縁膜 90 は、半導体基板 30 と支持基板 85 との間に設けられている。本実施形態において、半導体基板 30 の表面 FS に対向する面（第 2 の面）BS を、半導体基板 30 の裏面 BS とよぶ。尚、図 3 は、イメージセンサを裏面 BS 側から見た場合のイメージセンサの平面構造を模式的に示している。以下では、半導体基板 30 の表面 FS と裏面 BS とを区別しない場合には、それらの面のことを、主面とよぶ。

【0062】

本実施形態において、図 4 に示されるように、半導体基板 30 の裏面 BS 側に、平坦化層 89 を介して、カラーフィルタ層 CF が設けられる。カラーフィルタ層 CF は、半導体基板 30 の主面（表面及び裏面）に対して垂直方向に関してカラーフィルタ層 CF と画素アレイ 120 とが重なる位置に、設けられている。平坦化層 89 は、保護層及び接着層としての機能を有する少なくとも 1 層の絶縁膜である。

10

【0063】

例えば、単板式のイメージセンサは、単一の画素アレイ 120 で複数の色情報を取得する。この場合、カラーフィルタ層 CF は、1 つの画素（フォトダイオード 1）に対して、例えば、赤（R）に対応する波長域の光を透過するフィルタ（色素膜ともよばれる）、緑（G）に対応する波長域の光を透過するフィルタ及び青（B）に対応する波長域の光を透過するフィルタを含む。赤、青及び緑のうち 1 色のフィルタが、1 つのフォトダイオード 1（又は単位セル 20）に対応するように、カラーフィルタ層 CF 内に設けられている。

【0064】

カラーフィルタ層 CF の各フィルタは、所定のパターンを有するように、配列されている。尚、カラーフィルタ層 CF は、赤、緑及び青に加え、黄（Y）に対応する波長域の光を透過するフィルタ、又は、可視光の全波長域を透過させる白（W）のフィルタを有してもよい。カラーフィルタ層 CF は、例えば、ベイヤー配列や WRGB 配列などの所定の配列パターンを有する。

20

【0065】

マイクロレンズアレイ ML は、保護層（図示せず）及び接着層（図示せず）を介して、カラーフィルタ層 CF 上に取り付けられている。

【0066】

マイクロレンズアレイ ML は、半導体基板 30 の主面に対して垂直方向に関して、カラーフィルタ層 CF を介して、半導体基板 30 の裏面 BS 側における画素アレイ 120 上方に設けられている。マイクロレンズアレイ ML は、1 つの画素（フォトダイオード 1）にそれぞれ対応するマイクロレンズが、2 次元に配列されることによって、形成されている。各マイクロレンズは、各画素 1 に対して入射光を集光する。

30

【0067】

カラーフィルタ層 CF 及びマイクロレンズアレイ ML が取り付けられた面は、半導体基板 30 の裏面 BS である。素子が形成された半導体基板 30 は、層間絶縁膜 90 とマイクロレンズアレイ ML とに挟まれている。このように、本実施形態のイメージセンサ 100 において、マイクロレンズアレイ ML 及びカラーフィルタ層 CF は、トランジスタ 2, 7 のゲート電極 22, 72 及び層間絶縁膜 90 が設けられた面（表面）FS とは反対側の面（裏面）BS に設けられている。被写体からの光は、マイクロレンズアレイ ML 及びカラーフィルタ層 CF を経由して、半導体基板 30 の裏面 BS 側から画素アレイ 120 に照射される。

40

【0068】

本実施形態のイメージセンサ 100 のように、層間絶縁膜 90（及び支持基板 85）が設けられた半導体基板 30 の表面 FS に対向する裏面 BS 側から、被写体の光がフォトダイオードに照射される構造のイメージセンサのことを、裏面照射型イメージセンサとよぶ。

【0069】

例えば、半導体基板 30 の裏面 BS 側に、単位セル 20 X を覆う遮光膜 81 X が、設けられている。画素アレイ 120 内における遮光膜 81 X に覆われた領域 129 は、オプテ

50

ィカルブラック領域（以下、OB領域又は遮光領域と表記する）129である。OB領域129内の単位セル20Xによって、画素アレイ120（例えば、リセットトランジスタ又はアンプトランジスタ）に印加される基準電位、又は、有効領域129内の単位セル20における暗電流の補正のための電位（又は電流）が、生成される。以下では、画素アレイ120内のOB領域129以外の領域121のことを、有効領域121とよぶ。

【0070】

例えば、OB領域129において、色の異なる複数のフィルタの積層膜CFXが、その膜CFXと遮光膜81Xとが上下に重なる位置に、設けられている。これによって、OB領域129に対する遮光性が向上される。複数のフィルタの積層膜CFXが、OB領域129内に設けられている場合、遮光膜81XがOB領域129内に設けられなくともよい。尚、OB領域129に対して、マイクロレンズが形成されなくともよい。

10

【0071】

例えば、半導体基板30の裏面BS側において、画素アレイ120の半導体基板30内に、シールド層としての不純物層19が設けられている。半導体基板30の裏面BS側のシールド層（以下、裏面シールド層とよぶ）19は、マイクロレンズアレイMLと半導体基板30との間に設けられた各層89, 81X, CFに起因する不純物が、半導体基板30内に拡散するのを抑制する。これによって、半導体基板30の裏面BS側からの不純物の拡散に起因した単位セル20の構成要素2, 3, 6の特性の劣化が、抑制される。

【0072】

半導体基板30の表面FS側に設けられたパッド及び半導体基板30の裏面BS側に設けられたパッド81, 81Aによって、イメージセンサ100と外部装置との間において信号が入出力されたり、イメージセンサ100に電圧が供給されたりする。

20

【0073】

例えば、最上層の層間絶縁膜90内の導電層（配線）91、又は、最上層の層間絶縁膜90上の再配線（図示せず）、又は、支持基板85上（又は内部）の金属層（図示せず）が、半導体基板30の表面FS側のパッドとして、用いられる。以下では、イメージセンサが形成される半導体基板30の表面FS側に設けられるパッドのことを、表面側パッドとよぶ。尚、裏面照射型イメージセンサは、表面側パッドを含まなくともよい。

【0074】

図3及び図4に示されるように、半導体基板30の端部（半導体基板30の外周部）に、複数のコンタクト領域180が設けられている。コンタクト領域180は、例えば、画素アレイ120及び周辺回路領域125A, 125Bに隣接する。図3において、コンタクト領域180が、画素アレイ120と周辺回路領域125A, 125Bとが隣接する方向における半導体基板30の一端及び他端に設けられた例が示されている。但し、イメージセンサ100のチップ内のレイアウトに応じて、コンタクト領域180が、画素アレイ120と周辺回路領域125A, 125Bとが隣接する方向と交差する方向における半導体基板30の一端及び他端に設けられる場合もあるし、画素アレイ120及び周辺回路領域125A, 125Bを取り囲むように、四角形状のチップの各辺に沿って設けられる場合もある。

30

【0075】

コンタクト領域180は、半導体基板30内のP型又はN型の不純物領域31Cを含んでいる。コンタクト領域180内において、TSV（Through Silicon Via）技術によって、半導体基板30の表面FS側から裏面BS側に向かって半導体基板30を貫通するように、貫通孔（開口部）T1が、半導体基板30内に形成される。

40

【0076】

その貫通孔T1内に、貫通電極（貫通ビアともよばれる）82が埋め込まれる。貫通孔T1の内部の側面（側壁）上に、絶縁膜（図示せず）が設けられ、貫通電極82は、絶縁膜によって、半導体基板30から電氣的に分離されている。貫通電極82は、最下層（半導体基板30の最も表面FS側）の層間絶縁膜90内のプラグ92を経由して、層間絶縁膜90内の最下層の導電層91に接続される。例えば、各コンタクト領域180内におい

50

て、１つ又は複数の貫通電極 8 2 及び 1 つ又は複数の貫通孔が設けられる。

【 0 0 7 7 】

半導体基板 3 0 の裏面 B S 側において、複数のパッド 8 1 が、コンタクト領域 1 8 0 内に設けられている。

【 0 0 7 8 】

１つのパッド 8 1 は、１つ又は複数の貫通電極 8 2 に接続される。パッド 8 1 と半導体基板 3 0 の裏面 B S との間には、絶縁膜（図示せず）が設けられ、パッド 8 1 は、その絶縁膜によって、半導体基板 3 0 から電氣的に分離されている。

【 0 0 7 9 】

パッド 8 1 は、貫通電極 8 2 及び層間絶縁膜 9 0 内のプラグ 9 2 を介して、半導体基板 3 0 の表面 F S 側の導電層（例えば、最下層の配線レベルの配線 9 1 ）に接続される。以下では、イメージセンサ 1 0 0 を形成するための半導体基板の裏面 B S 側に設けられるパッド 8 1 のことを、裏面側パッド 8 1 とよぶ。

【 0 0 8 0 】

例えば、駆動電圧（電源電圧）V d d 又はグランド電圧（接地電圧）V s s をイメージセンサに印加するための電源パッド、信号の入出力用のパッド、テストピン又はモニターピンに接続されるパッドなどが、表面側パッド及び裏面側パッド 8 1 として、イメージセンサ 1 0 0 内に設けられている。

【 0 0 8 1 】

貫通電極 8 2 は、高濃度の不純物を含む半導体（例えば、ポリシリコン）を用いて、形成される。裏面側パッド 8 1 は、金属層（例えば、アルミニウム又は銅を主成分として含む金属）を用いて形成される。例えば、裏面側パッド 8 1 は、遮光膜 8 1 X と実質的に同時に形成され、遮光膜 8 1 X と同じ材料（アルミニウム又は銅を主成分として含む金属）からなる。貫通電極 8 2 は、金属を用いて、形成されてもよい。

【 0 0 8 2 】

複数の裏面側パッド 8 1 及びコンタクト領域 1 8 0 は、イメージセンサ 1 0 0 のチップ 3 0 の各辺に沿って、配列されている。以下では、チップの各辺における裏面側パッド 8 1 , 8 1 A が配列される方向のことを、パッド配列方向とよぶ。

【 0 0 8 3 】

例えば、半導体基板 3 0 の裏面 B S 側に、配線としての金属層（以下では、裏面側配線とよぶ）が設けられている。裏面側配線は、裏面側パッド 8 1 や半導体基板 3 0 の裏面 B S 側の遮光膜 8 1 X と、実質的に同時に形成され、同じ材料を用いて形成される。

【 0 0 8 4 】

半導体基板 3 0 の外周、例えば、コンタクト領域 1 8 0 内において、ガードリング（図示せず）が、半導体基板 3 0 内に設けられた溝（又は貫通孔）内に設けられている。例えば、ガードリングは、貫通電極 8 2 と共通の工程によって、実質的に同時に形成される。この場合、ガードリングは、貫通電極 8 2 と同じ材料からなる。

【 0 0 8 5 】

図 3 及び図 4 に示されるように、実施形態の裏面照射型イメージセンサ 1 0 0 において、素子 C E , R E が、半導体基板 3 0 の裏面 B S 側に設けられている。半導体基板 3 0 の裏面 B S 側に設けられる素子 C E , R E は、受動素子であり、例えば、容量素子 C E 又は抵抗素子 R E である。

【 0 0 8 6 】

以下では、説明の明確化のため、本実施形態における半導体基板 3 0 の裏面 B S 側（被写体からの光の受光面側）に設けられた容量素子 C E 及び抵抗素子 R E のことを、裏面側容量素子 C E 及び裏面側抵抗素子 R E とよぶ。また、裏面側容量素子 C E 及び裏面側抵抗素子 R E を区別しない場合には、半導体基板 3 0 の裏面 B S 側に設けられた素子のことを、裏面側受動素子又は裏面側素子とよぶ。

【 0 0 8 7 】

裏面側受動素子 C E , R E は、裏面側配線 8 1 A , 8 1 B , 8 1 E , 8 1 F を介して、

10

20

30

40

50

裏面側パッド 8 1 や貫通電極 8 2 に接続される。

【 0 0 8 8 】

本実施形態において、裏面側容量素子 C E 及び裏面側抵抗素子 R E は、半導体基板 3 0 の裏面 B S 側における周辺回路領域 1 2 5 内に設けられている。裏面側容量素子 C E 及び裏面側抵抗素子 R E は、半導体基板 3 0 の表面 F S 側の回路及び素子（例えば、トランジスタ）と基板の主面に対して垂直方向に重なる位置に、設けられている。

【 0 0 8 9 】

例えば、裏面側容量素子 C E は、半導体基板 3 0 の裏面 B S 側の半導体領域 3 1 A 内に設けられた拡散層 8 3 C と、半導体基板 3 0 の裏面側において拡散層 8 3 C 上に設けられた絶縁膜（誘電膜） 8 8 C と、半導体基板 3 0 の裏面側において絶縁膜 8 8 C 上に設けられた金属層 8 4 C とを含んでいる。例えば、半導体領域 3 1 A が、接地された P 型領域である場合、容量素子 C E の拡散層 8 3 C は、N 型拡散層である。

10

【 0 0 9 0 】

裏面側容量素子 C E における拡散層 8 3 C と金属層 8 4 C とは、絶縁膜 8 8 C を挟んで、互いに対向する。拡散層 8 3 C 及び金属層 8 4 C は、容量素子 C E の電極として用いられる。以下では、容量素子 C E の拡散層 8 3 C 及び金属層 8 4 C のことを、キャパシタ電極 8 3 C , 8 4 C とよぶ。また、キャパシタ電極 8 3 C , 8 4 C 間の絶縁膜 8 8 C のことを、キャパシタ絶縁膜（又は、キャパシタ誘電膜） 8 8 C とよぶ。

【 0 0 9 1 】

所定の静電容量の容量素子 C E を形成するために、容量素子 C E の電極としての拡散層 8 3 C と金属層 8 4 との対向面積、キャパシタ絶縁膜 8 8 C の膜厚、及び、キャパシタ絶縁膜 8 8 C の材料（誘電率）のうち、少なくとも 1 つが、制御される。

20

【 0 0 9 2 】

裏面側容量素子 C E のキャパシタ電極としての拡散層 8 3 C に、直接又はコンタクト部（図示せず）を介して、容量素子 C E の端子（又は、裏面側配線）としての金属層 8 1 E が、接続されている。裏面側容量素子 C E のキャパシタ電極としての金属層 8 4 C に、直接又はコンタクト部（図示せず）を介して、裏面側配線 8 1 F が、接続されている。

【 0 0 9 3 】

裏面側容量素子 C E は、コンタクト部及び裏面側配線 8 1 E , 8 1 F を介して、裏面側パッド 8 1 に接続されたり、貫通電極 8 2 及び配線 8 1 E , 8 1 F , 9 1 を介して、半導体基板 3 0 の表面側の回路に接続されたりする。裏面側容量素子 C E は、周辺回路の容量素子、又は、電源の安定化のためのキャパシタなどに、用いられる。

30

【 0 0 9 4 】

尚、裏面側容量素子 C E の拡散層 8 3 C が設けられる半導体領域が、N 型領域である場合、キャパシタ電極としての拡散層 8 3 C は、P 型拡散層である。

【 0 0 9 5 】

例えば、裏面側抵抗素子 R E は、半導体基板 3 0 の裏面側の半導体領域（例えば、N 型領域） 3 2 内に設けられた拡散層（例えば、P 型拡散層） 8 3 R と、半導体基板 3 0 の裏面側において拡散層 8 3 R の一端及び他端上に設けられた金属層 8 1 A , 8 1 B と、を含んでいる。裏面側抵抗素子 R E の金属層 8 1 A , 8 1 B は、裏面側抵抗素子 R E の拡散層 8 3 R に、直接又はコンタクト部（図示せず）を介して、接続されている。金属層 8 1 A , 8 1 B は、拡散層 8 3 R に直接接触していてもよい。

40

【 0 0 9 6 】

裏面側抵抗素子 R E における拡散層 8 3 R は、抵抗素子 R E の抵抗体として、用いられている。

【 0 0 9 7 】

例えば、裏面側抵抗素子 R E の金属層 8 1 A , 8 1 B は、抵抗素子 R E の端子として用いられている。例えば、金属層 8 1 A , 8 1 B は、裏面側配線と連続し、裏面側抵抗素子 R E が、裏面側配線に接続される。

【 0 0 9 8 】

50

裏面側抵抗素子 R E は、コンタクト部（図示せず）及び裏面側配線 8 1 A , 8 1 B を介して、裏面側パッド 8 1 に接続されたり、貫通電極 8 2 及び配線 9 1 を介して、半導体基板 3 0 の表面側の回路に接続されたりする。裏面側抵抗素子 R E は、例えば、電圧の調整用の抵抗素子、又は、周辺回路の抵抗素子などに、用いられる。

【 0 0 9 9 】

尚、裏面側抵抗素子 R E の拡散層 8 3 R が設けられる半導体領域が、P 型領域である場合、拡散層 8 3 R は、N 型拡散層である。

【 0 1 0 0 】

半導体基板 3 0 の裏面 B S 側に設けられた容量素子 C E 及び抵抗素子 R E のみを用いて、半導体基板 3 0 の裏面 B S 側に、ある機能を有する回路（例えば、フィルタや遅延回路）が形成されてもよい。

10

【 0 1 0 1 】

図 3 及び図 4 に示される例では、裏面側受動素子としての容量素子 C E 及び抵抗素子 R E は、裏面側パッド 8 1 間にそれぞれ接続されているが、後述のように、裏面側受動素子 C E , R E は、半導体基板 3 0 の表面 F S 側の配線、素子及び回路に接続することもできる。

【 0 1 0 2 】

例えば、誘導素子（インダクタ）が、本実施形態のイメージセンサの裏面側素子として、半導体基板 3 0 の裏面 B S 側に設けられてもよい。裏面照射型イメージセンサ 1 0 0 に用いられる受動素子の全てが半導体基板 3 0 の裏面 B S 側に設けられずともよく、半導体基板 3 0 の表面 F S 側に、抵抗素子及び容量素子が設けられてもよい。また、図 3 及び図 4 に示される例では、図示の簡略化のため、抵抗素子及び容量素子が、1 つずつ設けられた例が示されているが、複数の抵抗素子及び複数の容量素子が、半導体基板 3 0 の裏面 B S 側に設けられてもよい。また、裏面側受動素子として、抵抗素子のみが半導体基板 3 0 の裏面 B S 側に設けられてもよいし、容量素子のみが半導体基板の裏面 B S 側に設けられてもよい。

20

【 0 1 0 3 】

本実施形態の裏面照射型イメージセンサは、被写体からの光の受光面側となる半導体基板 3 0 の裏面 B S 側に、受動素子 C E , R E が設けられている。

【 0 1 0 4 】

本実施形態のイメージセンサのように、半導体基板 3 0 の裏面 B S 側に設けられた素子 C E , R E が、半導体基板 3 0 の表面 F S 側に設けられた回路及び素子と半導体基板 3 0 の主面に対して垂直方向において上下に重なるように、イメージセンサ 1 0 0 の受動素子 C E , R E が半導体基板 3 0 の裏面 B S 側に設けられる。これによって、本実施形態において、半導体基板 3 0 の主面に対して平行方向に関して、イメージセンサ 1 0 0 のチップ 3 0 内における受動素子の占有面積を、低減できる。この結果として、本実施形態のイメージセンサ 1 0 0 は、イメージセンサのチップのサイズを縮小できる。

30

【 0 1 0 5 】

本実施形態のイメージセンサを含むカメラモジュールは、一般的なカメラモジュールにおいてカメラモジュールが搭載される回路基板上に設けられる素子を、イメージセンサの裏面側に設けることができ、回路基板 2 0 0 上における受動素子の配置領域の面積を削減できる。この結果として、本実施形態のイメージセンサ 1 0 0 を含むカメラモジュールによれば、カメラモジュールを小型化できる。

40

【 0 1 0 6 】

また、本実施形態によれば、チップ及びモジュールのサイズの縮小により、イメージセンサ及びカメラモジュールのコストを低減できる。

【 0 1 0 7 】

以上のように、実施形態の固体撮像装置によれば、固体撮像装置（イメージセンサ及びイメージセンサを含むカメラモジュール）のサイズの縮小できる。

【 0 1 0 8 】

50

## (2) 製造方法

図6乃至図13を参照して、本実施形態の固体撮像装置（例えば、イメージセンサ）の製造方法について、説明する。

### 【0109】

図6乃至図13は、本実施形態のイメージセンサの製造方法の各工程における断面工程を模式的に示す図である。ここでは、図6乃至図13に加え、図1乃至図4も適宜用いて、本実施形態のイメージセンサの製造方法の各工程について、説明する。尚、本実施形態のイメージセンサの製造方法において、後述の各構成要素の形成順序は、プロセスの整合性が確保されていれば、適宜変更されてもよい。

### 【0110】

図6に示されるように、基板300上に、半導体層30が形成される。例えば、基板300は、SOI基板300である。SOI基板300は、半導体基板（例えば、シリコン基板）301上の絶縁層としてのBOX（Buried Oxide）層302と、BOX層302上のSOI（Silicon On Insulator）層303とを含んでいる。SOI層303は、50nm～100nm程度の膜厚を有する結晶層（エピタキシャル層）である。SOI層303は、 $10^{15} \sim 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度のN型ドーパントを含んでいる。

### 【0111】

半導体層30は、SOI層303上に、形成されている。半導体層30は、例えば、N型のエピタキシャル層30である。例えば、SOI層303上のエピタキシャル層30は、3μmから8μm程度の膜厚を有するように、形成される。また、例えば、エピタキシャル層30は、 $10^{14} \sim 10^{17} \text{ cm}^{-3}$ 程度のN型ドーパントの不純物濃度を有するように、形成される。

### 【0112】

SOI層303上のエピタキシャル層30が、本実施形態のイメージセンサ100を形成するための半導体基板30として、用いられる。

### 【0113】

エピタキシャル層30上に、シリコン酸化膜（図示せず）が、CVD法又は熱酸化法を用いて、形成される。エピタキシャル層30上のシリコン酸化膜上に、シリコン窒化膜（図示せず）が、例えば、CVD法を用いて、形成される。シリコン酸化膜とシリコン窒化膜との積層膜からなるハードマスク層（図示せず）が、エピタキシャル層30上に形成される。

### 【0114】

ハードマスク層上に、レジスト膜900が塗布される。フォトリソグラフィ及びエッチングによって、レジスト膜900内に、エピタキシャル層30を露出させるための開口部が、形成される。レジスト膜900の開口部は、エピタキシャル層30の表面と裏面とを貫通するビアホール（貫通孔）が形成される位置に、形成される。この時、ガードリングが形成される位置において、開口部がレジスト膜900内に形成される。

### 【0115】

開口部が形成されたレジスト膜900がマスクに用いられて、エピタキシャル層30内に、貫通電極が埋め込まれる貫通孔となるトレンチT1がBOX層302又はSOI層303に到達するように、コンタクト形成領域180内に、形成される。トレンチT1の形成と同時に、ガードリングが埋め込まれるトレンチが、形成される。例えば、エピタキシャル層303内を貫通するように、トレンチT1が形成され、トレンチT1の形成位置において、SOI層303の上面が露出する。

### 【0116】

図7に示されるように、レジスト膜が除去された後、形成されたトレンチ（貫通孔）T1内において露出したエピタキシャル層30に対して酸化処理が施され、エピタキシャル層30内におけるトレンチT1の内側面（側壁）上に、酸化膜（図示せず）が形成される。また、エピタキシャル層30内におけるトレンチT1の内側面（酸化膜）上に、シリコン窒化膜（図示せず）が、例えば、CVD法によって、シリコン窒化膜がトレンチT1内

10

20

30

40

50

部を満たさないように、形成される。尚、シリコン窒化膜は、窒化処理によって形成されてもよい。

【0117】

そして、高濃度に不純物ドーピングされたポリシリコン層82が、例えば、CVD法及びCMP (Chemical Mechanical Polishing) 法を用いて、エピタキシャル層30内のトレンチT1に埋め込まれる。

【0118】

図6及び図7に示される工程によって、エピタキシャル層(半導体基板)30の表面側から裏面側に達する貫通電極となる導電体82が、エピタキシャル層30のトレンチ(貫通孔)T1内に、形成される。

10

【0119】

尚、コンタクト形成領域180内に形成されるトレンチT1及び貫通電極82の個数は、コンタクト形成領域180のパッドの形成領域ごとに異なってもよい。

【0120】

図8に示されるように、フォトリソグラフィ及びRIE (Reactive Ion Etching) によって、素子分離溝が、エピタキシャル層30内の所定領域内に形成される。素子分離溝内に、絶縁体が、CVD (Chemical Vapor Deposition) 法又は塗布法によって埋め込まれる。これによって、STI (Shallow Trench Isolation) 構造の素子分離絶縁膜99が、エピタキシャル層30内の所定の位置に形成される。例えば、素子分離絶縁膜99は、後の工程で形成される周辺回路領域125A, 125B内のN型不純物領域(例えば、N型ウェル領域)とP型不純物領域(例えば、P型ウェル領域)との境界、及び、画素アレイ120内に形成される。

20

【0121】

素子分離絶縁膜99の形成工程とは別途の工程において、不純物領域31A, 31B, 98が、レジスト膜(図示せず)をマスクに用いたイオン注入によって、エピタキシャル層30内に順次形成される。

【0122】

例えば、N型のエピタキシャル層30内に、P型不純物半導体領域(P型領域)31A, 98が、開口部を有するレジスト膜をマスクに用いたイオン注入によって、所定の素子形成領域及び素子分離領域に対応する位置に形成される。P型領域31Aは、画素アレイ120内及び周辺回路領域125A, 125Bの素子形成領域31Aとして用いられる。P型領域31B, 98は、画素アレイ120と周辺回路領域125A, 125Bとの素子分離不純物層、又は、画素アレイ120内の素子分離不純物層98として、用いられる。

30

【0123】

例えば、素子形成領域及び素子分離領域内におけるP型領域31A, 98の形成と同時に、イメージセンサのコンタクト領域180内において、P型領域31Cが形成される。尚、コンタクト領域180は、N型不純物半導体領域(N型領域)でもよい。

【0124】

例えば、イオン注入におけるイオンの加速エネルギーは、100keVから3MeV程度に設定される。但し、加速エネルギーの上限は、イオン注入装置の性能、生産性及びプロセスによって、適宜変更される。イオンの加速エネルギーは、3MeV以下に設定されることが好ましい。例えば、P型領域31A, 31B, 98の形成時のボロンのドーズ量は、 $10^{11}$ から $10^{13} \text{ cm}^{-2}$ 程度に設定されている。例えば、P型領域31A, 31B, 98は、 $10^{15} \text{ cm}^{-3}$ から $10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を有するように、形成される。

40

【0125】

P型領域31A, 31B, 98が形成され、P型領域31A, 31B, 98を形成するためのマスクが除去された後、所定の素子形成領域及び素子分離領域に対応する位置に開口部を有する他のレジスト膜(図示せず)が、エピタキシャル層30上に形成される。レジスト膜の開口部は、N型領域が形成される領域に対応する位置に形成されている。

50



その開口部を有するレジスト膜をマスクに用いて、N型領域32が、イオン注入によって、周辺回路領域125A, 125B内に形成される。

【0126】

この後、素子が形成されるP型又はN型領域31A, 32内に、P型又はN型のウェル領域39が、レジスト膜をマスクに用いたイオン注入によって、適宜形成される。

【0127】

この工程において、例えば、P型ウェル領域の形成と同時に、画素アレイ120内においてP型の素子分離不純物層98に囲まれた領域(セル形成領域)20内に、P型領域(ウェル領域)38が、レジスト膜をマスクに用いたイオン注入によって、エピタキシャル層30内に形成される。

10

【0128】

以上のように、図8に示される工程によって、半導体層30内に、隣接する素子を電氣的に分離する素子分離絶縁膜99及び素子分離不純物層98が形成される。これによって、画素アレイ120、周辺回路領域125A, 125Bが、それぞれSOI基板300上の半導体層30内に区画される。画素アレイ120及び周辺回路領域125A, 125Bの各素子形成領域内において、P型又はN型領域31A, 32, 38, 39が、形成される。画素アレイ120内において、セル形成領域20が形成される。

【0129】

尚、P型及びN型領域31A, 31B, 32, 38, 39, 98が形成された後に、素子分離絶縁膜99が、半導体層30内に形成されてもよい。

20

【0130】

図9に示されるように、画素アレイ120のセル形成領域20内及び周辺回路領域125A, 125Bのウェル領域38, 39内に、イメージセンサが含む素子が形成される。

【0131】

トランジスタ2, 7のゲート絶縁膜21, 71が、例えば、エピタキシャル層30に対する熱酸化処理によって、エピタキシャル層30の露出面上に形成される。形成されたゲート絶縁膜21, 71上に、ポリシリコン層が、CVD法により、堆積される。そして、フォトリソグラフィ及びRIE法によって、ポリシリコン層が加工され、所定のゲート長及び所定のゲート幅を有するゲート電極22, 72が、ゲート絶縁膜21, 71を挟んで、エピタキシャル層30の表面(第1の面)上に形成される。

30

【0132】

例えば、画素アレイ120内において、形成されたゲート電極22及びレジスト膜(図示せず)がマスクとして用いられ、フォトダイオード1のN型不純物層(N型領域)10が、イオン注入法によって、セル形成領域20内に形成される。また、形成されたN型不純物層10の表層において、表面シールド層としてのP型不純物層11が、イオン注入によって形成される。また、セル形成領域20内のP型領域38内に、フローティングディフュージョンとしてのN型不純物層60、及び、トランジスタ(例えば、リードトランジスタ)2のソース/ドレインとしてのN型領域(図示せず)が、それぞれ形成される。

【0133】

例えば、単位セルの構成要素1, 2, 6が含む不純物層が画素アレイ120内に形成されている工程において、周辺回路領域125A, 125Bは、レジスト膜(図示せず)に覆われている。

40

【0134】

周辺回路領域125A, 125B内のトランジスタ7が形成される領域(N型又はP型ウェル領域)39において、ゲート電極72をマスクに用いたイオン注入によって、トランジスタ7のソース/ドレインとしてのP型又はN型の不純物層が、エピタキシャル層30内に形成される。

【0135】

以上のように、図9に示される工程によって、単位セル20を形成するフォトダイオード1、フローティングディフュージョン6及び電界効果トランジスタ2、周辺回路を形成

50

する電界効果トランジスタ 7 が、画素アレイ 1 2 0 内及び周辺回路領域 1 2 5 A , 1 2 5 B 内に、それぞれ形成される。

【 0 1 3 6 】

単位セル 2 0 内のトランジスタ 2 及び周辺回路のトランジスタ 7 は、同時の工程で形成されてもよいし、それぞれ別の工程で形成されてもよい。また、フォトダイオード 1 が形成された後、トランジスタ 2 , 7 が形成されてもよい。

【 0 1 3 7 】

図 1 0 に示されるように、素子 1 , 2 , 7 が形成されたエピタキシャル層 3 0 の表面上に、多層配線プロセス（多層配線技術）によって、層間絶縁膜（例えば、シリコン酸化膜）9 0 が、例えば、C V D 法を用いて堆積される。層間絶縁膜 9 0 は、エピタキシャル層 3 0 の表面側を覆い、例えば、トランジスタ 2 , 7 のゲート電極 2 2 , 7 2 を覆っている。

10

【 0 1 3 8 】

層間絶縁膜 9 0 の上面が C M P 法を用いて平坦化された後、層間絶縁膜 9 0 内に、フォトリソグラフィ及び R I E 法によって、コンタクトホールが形成される。コンタクトプラグ（例えば、タングステン又はモリブデン）9 2 が、形成されたコンタクトホール内に埋め込まれる。

【 0 1 3 9 】

例えば、アルミニウムや銅などの導電層が、スパッタ法によって層間絶縁膜 9 0 上及びコンタクトプラグ 9 2 上に堆積される。堆積された導電層は、フォトリソグラフィ及び R I E 法などによって、コンタクトプラグ 9 2 に接続されるように、所定の形状に加工される。これによって、配線としての導電層 9 1 が、形成される。配線としての導電層 9 1 の形成と同時に、同じ材料からなる遮光膜及びダミー層が、層間絶縁膜 9 0 上に形成される。ダマシン法によって配線（銅配線）9 1 が形成される場合、溝（ダマシン溝）がある配線レベルの層間絶縁膜 9 0 内に形成された後、銅が層間絶縁膜 9 0 上に堆積される。その後、堆積された銅に対する C M P 処理によって、銅配線が、層間絶縁膜 9 0 内に形成されたダマシン溝内に、自己整合的に埋め込まれる。これによって、ダマシン構造の多層配線が形成される。

20

【 0 1 4 0 】

コンタクト領域 1 8 0 の表面側を覆う層間絶縁膜 9 0 内において、エピタキシャル層 3 0 の表面側の素子に接続されるプラグ 9 2 及び配線 9 1 が形成されると同時に、プラグ 9 2 及び配線 9 1 が、貫通電極としての導電体 8 2 に接続されるように、形成される。

30

【 0 1 4 1 】

最下層の配線レベルの配線層の形成と実質的に同様の工程によって、各配線レベルにおいて層間絶縁膜 9 0 、プラグ（ピアプラグ）9 2 及び導電層（配線、遮光膜又はダミー層）9 1 が、多層配線プロセスによって、順次形成される。例えば、イメージセンサの表面側のパッドが、最上層の配線レベルの導電層 9 1 を用いて形成されてもよい。

【 0 1 4 2 】

以上のように、半導体基板 3 0 の表面 F S 側において、多層配線構造の配線 9 1 及び層間絶縁膜 9 0 が、半導体基板の表面 F S 側の素子 2 , 7 を覆うように、半導体基板 3 0 の表面 F S 上に形成される。

40

これによって、半導体基板としてのエピタキシャル層 3 0 上の複数の素子 1 , 2 , 7 が、多層配線技術の配線によって接続され、イメージセンサの各回路が形成される。また、コンタクト領域 1 8 0 内においてエピタキシャル層 3 0 内に埋め込まれた導電体（貫通電極）が、層間絶縁膜 9 0 内の導電層 9 1 及びプラグ 9 2 に接続される。

【 0 1 4 3 】

図 1 1 に示されるように、エピタキシャル層 3 0 の表面側における最上層の層間絶縁膜 9 0 及び導電層 9 1 の上面が、例えば、C M P 法を用いて平坦化された後、最上層の層間絶縁膜 9 0 及び導電層（配線及び表面側パッド）9 1 上に、接着層（例えば、シリコン酸化膜）8 8 が形成される。そして、支持基板 8 5 が、接着層 8 8 上に形成される。例えば

50

、支持基板 85 上に形成された接着層（図示せず）が、層間絶縁膜 90 上の接着層 88 に貼り付けられる。これによって、支持基板 85 が、エピタキシャル層 30 の覆う層間絶縁膜 90 に接合する。

【0144】

例えば、支持基板 85 が層間絶縁膜 90 に貼り付けられる前に、再配線技術による再配線層が、層間絶縁膜 90 内の配線に接続されるように、最上層の層間絶縁膜 90 上に形成されてもよい。

【0145】

図 12 に示されるように、支持基板 85 が層間絶縁膜 90 に貼り付けられた後、SOI 基板内に含まれる半導体基板及び BOX 層及び SOI 層が、CMP 法、HF 溶液を用いたウェットエッチングなどを用いて、選択的に除去され、半導体基板、BOX 層及び SOI 層が、エピタキシャル層 30 から剥離される。これによって、エピタキシャル層 30 の裏面及びエピタキシャル層 30 内に埋め込まれた導電体 82 が、露出する。

10

【0146】

露出したエピタキシャル層 30 の裏面 BS 側において、シールド層としての P 型不純物層 19 が、イオン注入によって、セル形成領域 20 のエピタキシャル層（N 型領域）30 内に、形成される。

【0147】

SOI 層（シリコン層）を除去せずに、SOI 層をイメージセンサの構成要素に用いてもよい。この場合、図 6 及び図 7 に示される工程において、SOI 層内に、貫通電極が形成され、図 12 に示される工程において、裏面シールド層 19 が、SOI 層内に形成される。

20

【0148】

本実施形態において、図 12 に示されるように、エピタキシャル層 30 の裏面側において、裏面側受動素子（容量素子及び抵抗素子）の構成要素としての拡散層 83C, 83R が、エピタキシャル層 30 の裏面 BS 上に形成されたレジストマスク（図示せず）に基づいて、周辺回路領域 125A, 125B の所定の位置の半導体領域内に、例えば、イオン注入によって、形成される。裏面側受動素子内に含まれる拡散層 83C, 83R は、素子の電極（例えば、キャパシタ電極）83C に用いられ、素子の抵抗体 83R に用いられ、又は、素子の端子に用いられる。

30

【0149】

裏面側受動素子の拡散層 83C, 83R の不純物濃度は、受動素子としての容量素子 CE 及び抵抗素子 RE の特性に応じて、適宜調整される。例えば、拡散層 83C, 83R が形成される半導体領域が、N 型領域である場合、P 型の拡散層 83C, 83R が、N 型領域内に形成される。拡散層 83C, 83R が形成される半導体領域が、P 型領域である場合、N 型の拡散層 83C, 83R が、P 型領域内に形成される。

【0150】

図 13 に示されるように、裏面側受動素子としての容量素子 CE が形成される領域内において、容量素子の電極（キャパシタ電極）となる拡散層 83C 上に、容量素子の構成要素としての絶縁膜（誘電膜、キャパシタ絶縁膜）が、CVD 法又は熱酸化法などを用いて、形成される。キャパシタ絶縁膜 88C は、キャパシタ電極としての拡散層 83C に接触するように、形成される。

40

【0151】

例えば、エピタキシャル層 30 の裏面上に保護膜（図示せず）が形成された後、エピタキシャル層 30 の裏面側に、金属層がスパッタ法によって堆積される。堆積された金属層が、フォトリソグラフィ法及び RIE 法によって、所定の形状に加工される。尚、金属層が貫通電極及び半導体領域に直接接触する箇所において、金属層の堆積の前に、保護膜は除去されている。

【0152】

これによって、画素アレイ 120 において、複数のセル形成領域 20, 20X のうち、

50

一部のセル形成領域 20X の裏面側に、遮光膜（金属層）81X が形成される。遮光膜 81X に覆われたセル形成領域 20X が形成されることによって、画素アレイ 120 内に OB 領域 129 と有効領域とが、それぞれ形成される。

【0153】

遮光膜 81X の形成と同時に、金属層からなるパッド（裏面側パッド）81 が、エピタキシャル層 30 内の導電体（貫通電極）82 に接続されるように、コンタクト領域 180 の裏面側に形成される。また、遮光膜 81X の形成と同時に、金属層からなる配線（裏面側配線）が、エピタキシャル層 30 の裏面 BS 側に、形成される。

【0154】

本実施形態のイメージセンサの製造方法において、例えば、遮光膜 81X 及びパッド 81 の形成と実質的に同時に、裏面側受動素子 CE, RE の構成要素としての金属層 81A, 81B, 84C が、エピタキシャル層 30 の裏面側に形成される。裏面側受動素子 CE, RE の構成要素としての金属層 81A, 81B, 84C は、容量素子のキャパシタ電極、抵抗素子の抵抗体、又は、素子の端子となるように、所定の形状にパターンニングされる。キャパシタ電極としての金属層 84C は、キャパシタ絶縁膜 88C 上に、形成される。素子 CE, RE の端子としての金属層 81A, 81B は、拡散層 83C, 83R に直接接触するように、拡散層 83C, 83R 上に形成される。

10

【0155】

裏面側受動素子 CE, RE の金属層 81A, 81B, 84C は、例えば、エピタキシャル層 30 の裏面側における周辺回路領域 125 内に形成される。

20

【0156】

このように、イメージセンサを形成するための半導体基板 30 の裏面側に、容量素子 CE や抵抗素子 RE などの受動素子が、形成される。

【0157】

素子の端子及び電極としての金属層 81A, 81B, 84C が、裏面側配線（又は裏面側パッド）81F と同じ材料から形成される場合、金属層 81A, 81B, 84C は、裏面側配線（又は、裏面側パッド）81F に連続した層となっている。裏面側受動素子 CE, RE は、裏面側配線 81F を介して、裏面側パッド 81、又は、貫通電極 82 に接続される。これによって、裏面側受動素子が CE, RE が、エピタキシャル層（半導体基板）30 の表面側の素子及び回路に接続される。

30

【0158】

遮光膜 81X、裏面側パッド 81 及び裏面側素子（例えば、抵抗素子及び容量素子）がエピタキシャル層（基板）の裏面側に形成された後、図 4 に示されるように、平坦化層 89 が、遮光膜 81X、裏面側パッド 81 及び裏面側受動素子 CE, RE を覆うように、エピタキシャル層 30 の裏面上に形成される。平坦化層 89 は、例えば、アクリル樹脂やシリコン酸化膜を含む積層膜を用いて、形成されている。

【0159】

エピタキシャル層 30 の主面に対して垂直方向に関して、画素アレイ 120 と上下に重なる位置に、所定のフィルタ（色素膜）の配列パターンを有するカラーフィルタ層 CF が、裏面側の平坦化層 89 上に形成される。マイクロレンズアレイ ML がカラーフィルタ層 CF を挟んで画素アレイ 120 と上下に重なる位置に、マイクロレンズアレイ ML が、エピタキシャル層 30 の裏面側に形成される。

40

【0160】

1つのフィルタ及び1つのマイクロレンズが、画素アレイ 120 内の1つのフォトダイオードに対応するように、エピタキシャル層 30 の裏面側に配置される。例えば、OB 領域 129 の単位セルに対して、遮光性の向上のため、複数のフィルタが積層されたフィルタ層 CFX が、形成されてもよい。

【0161】

裏面側パッド 81 が露出するように、平坦化層 89 に開口が形成された後、裏面照射型イメージセンサ 100 のチップが、リードフレーム又は BGA のようなパッケージ基板上

50

に搭載される。尚、表面側パッドがイメージセンサに設けられている場合、表面側パッドが露出するように、支持基板 85 内に開口部が形成される。

【0162】

イメージセンサ 100 の裏面側パッド 81 及び表面側パッドが、ボンディングワイヤや半田ボール（又は、半田パンプ）によって、パッケージ基板の配線及び端子に、電気的に接続される。これによって、イメージセンサ 100 がパッケージ化される。

【0163】

図 2 に示されるように、パッケージ化されたイメージセンサ 100 が、レンズホルダ 117 やシールド部 119 が、イメージセンサ 100 に取り付けられ、回路基板（プリント基板）200 上に搭載される。メモリやコントローラのパッケージが、回路基板 200 上に、搭載される。これによって、裏面照射型イメージセンサを含むカメラモジュールが形成される。

10

【0164】

以上の工程において、本実施形態のイメージセンサ 100 及びそのイメージセンサを含むカメラモジュールが形成される。

【0165】

本実施形態のイメージセンサの製造方法において、SOI 基板 300 を用いてイメージセンサが形成される場合が例示されているが、バルク基板（例えば、シリコン単結晶基板）を用いてイメージセンサが形成されてもよい。例えば、バルク基板が用いられる場合には、所望の深さのトレンチを形成するために、トレンチ（貫通孔）を形成するためのエッチングの時間が調整される。そして、支持基板の貼り合せ後において、バルク基板の裏面が、トレンチに達するまで研削され、バルク基板の表面から裏面へ達する貫通孔が形成される。

20

【0166】

本実施形態のイメージセンサの製造方法において、半導体基板内に貫通電極が形成された後に、イメージセンサの単位セル（画素）及び層間絶縁膜が形成される場合について、述べた。但し、本実施形態のイメージセンサの製造方法において、イメージセンサの単位セル（画素）及び層間絶縁膜が形成された後に、貫通電極が半導体基板内に形成されてもよい。

【0167】

図 6 乃至図 13 に示されるように、本実施形態のイメージセンサの製造方法において、被写体からの光の受光面側となる半導体基板の裏面側に、イメージセンサ 100 を形成するための容量素子及び抵抗素子などの受動素子（裏面側受動素子）CE, RE が、形成される。本実施形態において、半導体基板 30 の裏面側に設けられた裏面側受動素子 CE, RE は、周辺回路領域 125 内において、それらの素子 CE, RE と半導体基板 30 の表面側に設けられた回路及び素子 7 とが半導体基板 30 の主面に対して垂直方向において上下に重なるように、半導体基板 30 の裏面側に形成される。これによって、本実施形態のイメージセンサの製造方法によれば、チップのサイズが縮小されたイメージセンサ 100 を、提供できる。

30

【0168】

本実施形態における製造方法で形成されたイメージセンサ 100 を含むカメラモジュールは、カメラモジュールの構成素子が、イメージセンサ 100 の裏面側に形成されるので、回路基板（プリント基板）200 上における受動素子の配置領域の面積を削減できる。この結果として、本実施形態によれば、小型化されたカメラモジュールを提供できる。

40

【0169】

本実施形態のイメージセンサの製造方法において、例えば、裏面側受動素子 CE, RE が含む金属層 81A, 81B, 84C は、裏面側パッド 81 及び裏面側配線と実質的に同じ材料を用いて、実質的に共通の工程で形成される。それゆえ、本実施形態のイメージセンサのように、半導体基板 30 の裏面側に、受動素子 CE, RE が形成されたとしても、イメージセンサの製造工程が過剰に増えたり、複雑になったりすることは、ほとんどない

50

。それゆえ、本実施形態のイメージセンサの製造方法によれば、半導体基板の裏面側に素子を形成することに起因するイメージセンサの製造コストの増加を抑制できるため、チップサイズの縮小によるイメージセンサのチップコストの低減を図ることができる。

【0170】

以上のように、実施形態の固体撮像装置の製造方法によれば、サイズが縮小できる固体撮像装置（イメージセンサ又はカメラモジュール）を提供できる。

【0171】

（3） 具体例

図14乃至図20を参照して、本実施形態のイメージセンサの具体例について、説明する。

10

【0172】

図14乃至図20は、本実施形態のイメージセンサが含む裏面側素子の具体的な構造例を示す断面図である。尚、図14乃至図20において、本実施形態のイメージセンサのうち裏面側素子RE, CEが設けられた周辺回路領域125が、抽出されて、図示されている。

【0173】

図14乃至図17は、本実施形態のイメージセンサにおける半導体基板の裏面側に設けられた抵抗素子の具体的ないくつかの構造例を示している。

【0174】

図14の(a)は、裏面型受動素子としての抵抗素子の平面構造を示し、図14の(b)は、図14の(a)の抵抗素子の断面構造を示している。

20

【0175】

図14の(a)及び(b)に示されるように、裏面側受動素子としての抵抗素子REは、拡散層83Rが抵抗体として用いられた拡散層抵抗である。抵抗体としての拡散層83Rは、半導体基板30の裏面側において、半導体領域（半導体基板）内に設けられている。所定の抵抗値を有する抵抗素子REを形成するために、抵抗体としての拡散層83Rは、所定の拡散層の不純物濃度、拡散層の長さ及び深さを、それぞれ有する。尚、抵抗体としての拡散層83Rの導電型は、抵抗素子REの特性や、拡散層83Rが設けられる半導体領域の導電型に応じて、適宜変更される。

【0176】

拡散層83Rの一端及び他端に、プラグ85A, 85Bが接続されている。プラグ85Aは、半導体基板30の裏面上の絶縁膜（保護膜又は平坦化層）89A内に設けられている。

30

【0177】

拡散層83Rの一端は、プラグ85Aを介して、金属層81Aに接続されている。金属層81Aは、拡散層83Rの一端側から裏面側パッド81側に引き出されている。金属層81Aは、イメージセンサ100の裏面側パッド81に接続されている。裏面側パッド81は、金属層81A上に設けられ、金属層81Aに直接接触している。金属層81A, 81Bの材料は、裏面側パッド81と同じ材料でもよいし、裏面側パッド81と異なる材料でもよい。

40

【0178】

これによって、抵抗体としての拡散層83Rは、裏面側パッド81を介して、イメージセンサ100の外部の素子（図示せず）に接続される。

【0179】

拡散層83Rの他端は、プラグ85Bを介して、金属層81Bに接続されている。

【0180】

金属層81Bは、拡散層83Rの他端側から貫通電極82側に引き出されている。金属層81Bは、プラグ85Cを介して、半導体基板30内の貫通電極82に接続されている。貫通電極82は、半導体基板30の表面FS側のコンタクトプラグ92及び層間絶縁膜90内の配線（表面側配線）91を介して、イメージセンサ100の周辺回路CCのトラン

50

ジスタ 7 に接続される。

【0181】

これによって、抵抗体としての拡散層 83R は、貫通電極 82 及び表面側配線 91 を介して、半導体基板 30 の表面 FS 側の素子 7 に、接続される。

【0182】

抵抗体としての拡散層 83R に接続されたプラグ 85A, 85B 及び金属層 81A, 81B が、裏面側抵抗素子 RE の端子となる。なお、裏面側抵抗素子 RE の端子としての金属層 81A, 81B は、裏面側配線 81A, 81B としても用いられる。

【0183】

図 14 に示されるように、拡散層 83R を用いた抵抗素子 RE は、イメージセンサ 100 の裏面 BS 側の裏面側パッド 81 とイメージセンサ 100 の表面 FS 側の周辺回路 CC との間に、接続される。

10

【0184】

図 15 の (a) は、裏面型受動素子としての抵抗素子の平面構造を示し、図 15 の (b) は、図 15 の (a) の抵抗素子の断面構造を示している。

【0185】

図 15 の (a) 及び (b) に示されるように、拡散層 83R を用いた抵抗素子 RE は、半導体基板 30 の表面 FS 側の 2 つの周辺回路 CC1, CC2 に接続されてもよい。抵抗素子 RE の一端 81B は、貫通電極 82 を介して、周辺回路 CC1 のトランジスタ 7 に接続される。抵抗素子 RE の他端 81A は、貫通電極 82 を介して、周辺回路 CC2 のトランジスタ 7 に接続される。

20

【0186】

このように、本実施形態のイメージセンサが含む裏面側抵抗素子 RE は、半導体基板 30 の表面 FS 側の 2 つの周辺回路 CC1, CC2 に接続される。

【0187】

尚、1 つの抵抗素子 RE が、半導体基板の表面 FS 側の 3 以上の回路に接続されてもよい。

【0188】

図 16 及び図 17 は、図 14 及び図 15 と異なる構成の裏面側抵抗素子 RE の断面構造を、示している。

30

【0189】

図 16 の (a) は、裏面型受動素子としての抵抗素子の平面構造を示し、図 16 の (b) は、図 16 の (a) の抵抗素子の断面構造を示している。

【0190】

図 16 の (a) 及び (b) に示されるように、抵抗素子 RE の抵抗体は、半導体基板 30 の裏面 BS 側に設けられた金属層 84R を用いて形成されてもよい。例えば、抵抗体としての金属層 84R は、遮光膜や裏面側の配線と同じ材料を用いて、形成される。

【0191】

例えば、抵抗体としての金属層 84R は、半導体基板 30 の裏面上の絶縁膜 (保護膜又は平坦化層) 89Z 上に設けられている。金属層 84R は、絶縁膜 89Z によって、半導体基板 30 と電氣的に分離されている。

40

【0192】

図 16 において、裏面側抵抗素子 RE の抵抗体としての金属層 84R は、矩形形状の平面形状を有している。但し、ある面積の領域内で所定の抵抗値を有する抵抗素子 RE を形成するために、折り返し形状 (ジグザグ状、メアングダ状) の平面形状を有する金属層 84R を形成し、抵抗体としての金属層 84R の長さを制御してもよい。また、金属層 84R の膜厚や線幅が調整されることによって、抵抗素子 RE の抵抗値が制御されてもよい。金属層 84R と拡散層との両方を用いて、抵抗素子 RE の抵抗体が、形成されてもよい。

【0193】

図 17 の (a) は、裏面型受動素子としての抵抗素子の平面構造を示し、図 17 の (b)

50

)は、図17の(a)の抵抗素子の断面構造を示している。

【0194】

図17に示されるように、抵抗体としての金属層84Rを含む抵抗素子REは、図15に示される例と実質的に同様に、半導体基板30の表面FS側の2つの周辺回路CC1, CC2間に接続されてもよい。

【0195】

図18乃至図20は、本実施形態のイメージセンサにおける半導体基板の裏面側に設けられた容量素子の具体例を示している。

【0196】

図18の(a)は、裏面型受動素子としての容量素子の平面構造を示し、図18の(b)は、図18の(a)の容量素子の断面構造を示している。

10

【0197】

図18の(a)及び(b)に示されるように、裏面側容量素子CEは、拡散層83Cと、金属層84Cと、拡散層83Cと金属層84Cとの間の絶縁膜(誘電膜)88Cを含む。

【0198】

容量素子CEの構成要素(電極)としての拡散層83Cは、半導体基板30の裏面側において、半導体基板30内に設けられている。

【0199】

容量素子CEの構成要素としての拡散層83Cは、例えば、容量素子CEの電極(キャパシタ電極)として機能する。拡散層83Cがキャパシタ電極として用いられる場合、拡散層83Cの抵抗値を低くするために、容量素子CEのキャパシタ電極としての拡散層83Cの不純物濃度は、高いことが好ましい。尚、キャパシタ電極としての拡散層83Cの導電型は、容量素子CEの特性や、拡散層83Cが設けられる半導体領域の導電型に応じて、適宜変更できる。

20

【0200】

半導体基板30の裏面BS側において、絶縁膜(キャパシタ絶縁膜)88Cが、拡散層83C上に設けられている。半導体基板30の裏面BS側において、キャパシタ絶縁膜88C上に、キャパシタ電極としての金属層84Cが、設けられている。裏面側容量素子CEの対向電極としての拡散層83C及び金属層84Cが、絶縁膜89Cを挟んで、対向する。

30

【0201】

所定の静電容量の容量素子CEを形成するために、容量素子CEの電極としての拡散層83Cと金属層84との対向面積、キャパシタ絶縁膜88Cの膜厚、及び、キャパシタ絶縁膜88Cの材料(誘電率)のうち、少なくとも1つが、制御される。

【0202】

キャパシタ電極としての金属層84Cは、プラグ85A及び金属層(素子の端子及び裏面側配線)81Fを経由して、裏面側パッド81に接続されている。裏面側パッド81は、金属層81Fに直接接触している。これによって、容量素子CEの一方のキャパシタ電極としての金属層84Cは、裏面側パッド81を介して、イメージセンサ100の外部の素子(図示せず)に接続される。金属層81F, 81Eの材料は、裏面側パッド81と同じ材料でもよいし、裏面側パッド81と異なる材料でもよい。

40

【0203】

拡散層83Cは、プラグ85B, 85C及び金属層(素子の端子及び裏面側配線)81Eを経由して、貫通電極82に接続されている。これによって、容量素子CEの他方のキャパシタ電極としての拡散層83Cは、貫通電極82を介して、半導体基板30の表面FS側の周辺回路CC1の素子(例えば、トランジスタ)7に、接続される。

【0204】

図18に示されるように、拡散層83を用いた容量素子CEは、イメージセンサ100の裏面BS側の裏面側パッド81とイメージセンサ100の表面FS側の周辺回路CCと

50



の間に、接続される。

【0205】

尚、裏面側容量素子CEは、半導体基板30の裏面側の半導体領域（真性領域又は低濃度不純物領域）83Cと、金属層84Cと、半導体領域83Cと金属層84Cとの間のキャパシタ絶縁膜89Cとを含むMOSキャパシタでもよい。裏面側受動素子としてのMOSキャパシタにおいて、半導体領域83Cとプラグ85Bとの接触部において、低濃度の半導体領域83Cとプラグ85Bとの接触抵抗の低減のために、半導体領域83C内に、高濃度不純物領域（図示せず）が、設けられることが好ましい。また、裏面側容量素子CEは、キャパシタ絶縁膜を含まずに、拡散層の接合容量を用いた容量素子によって、形成されてもよい。

10

【0206】

図19の(a)は、裏面型受動素子としての容量素子の平面構造を示し、図19の(b)は、図19の(a)の容量素子の断面構造を示している。

【0207】

図19の(a)及び(b)に示されるように、裏面側容量素子CEは、半導体基板30の表面FS側の2つの周辺回路CC1, CC2に接続されてもよい。キャパシタ電極としての拡散層83Cは、貫通電極82を介して、周辺回路CC1のトランジスタ7に接続される。キャパシタ電極としての金属層84Cは、貫通電極82を介して、周辺回路CC2のトランジスタ7に接続される。

20

【0208】

このように、本実施形態のイメージセンサが含む裏面側容量素子CEは、半導体基板30の表面FS側の2つの周辺回路CC1, CC2間に接続される。

【0209】

図20は、裏面型受動素子としての容量素子の断面構造を示している。

図20に示されるように、裏面側容量素子CEは、互いに対向するキャパシタ電極としての2つの金属層84C, 84Dと、金属層84C, 84D間に挟まれた絶縁膜88Cと、によって形成されてもよい。

【0210】

尚、図14乃至図20の構造の裏面側受動素子CE, REの製造方法は、図1乃至図13を用いて説明した実施形態のイメージセンサにおける裏面側受動素子と実質的に同じ製造方法で形成される。そのため、ここでの裏面側受動素子の製造方法に関する説明は、省略する。

30

【0211】

以上のように、本実施形態のイメージセンサにおいて、半導体基板30の裏面BS側に、図14乃至図20に示された構造を有する裏面側受動素子としての抵抗素子RE又は容量素子CEの少なくとも1つが、設けられる。

【0212】

本実施形態のように、半導体基板30の裏面BS側に素子CE, REが設けられることによって、イメージセンサ100のチップサイズ及び本実施形態のイメージセンサ100を含むカメラモジュールのサイズを小さくできる。

40

【0213】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0214】

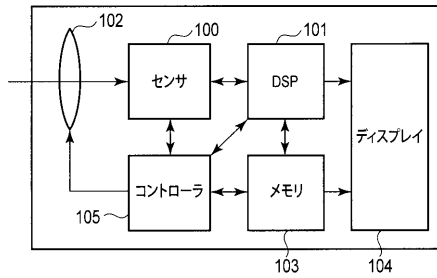
100：イメージセンサ、120：画素アレイ、125A, 125B：周辺回路領域、

50

20 : 単位セル、1 : フォトダイオード、2, 7 : トランジスタ、6 : フローティングデ  
イフュージョン、30 : 半導体基板、90 : 層間絶縁膜、CE : 容量素子、RE : 容量素  
子、83C : 拡散層 (電極)、83R : 拡散層 (抵抗体)、88C : 絶縁膜、84C : 金  
属層 (電極)。

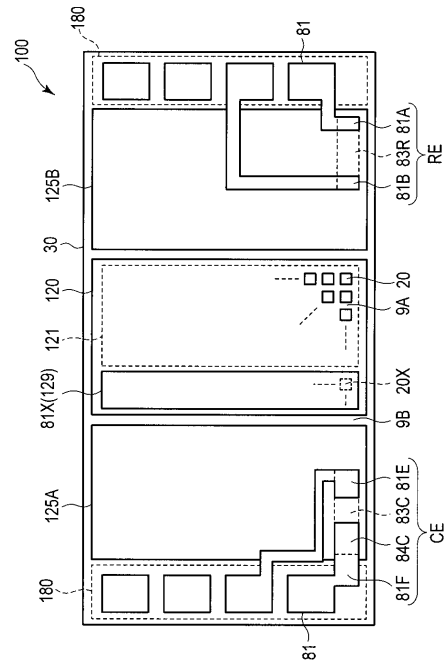
【 図 1 】

図 1



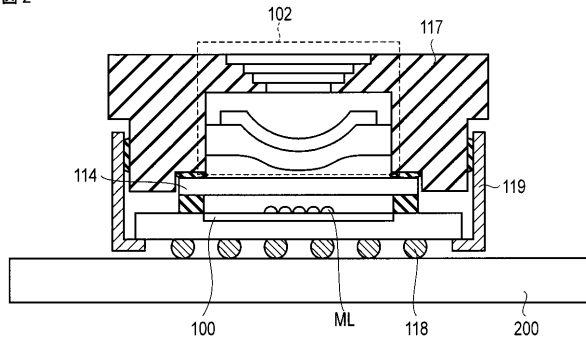
【 図 3 】

図 3

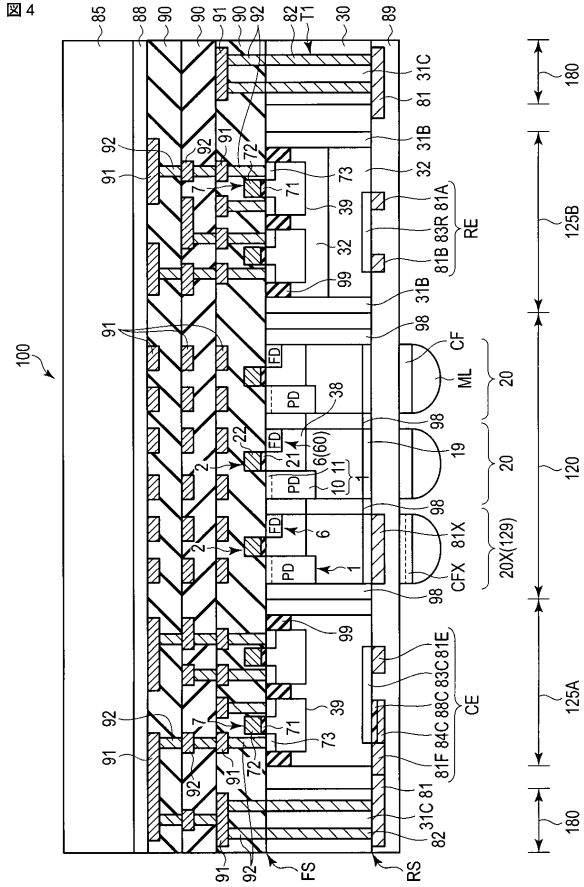


【 図 2 】

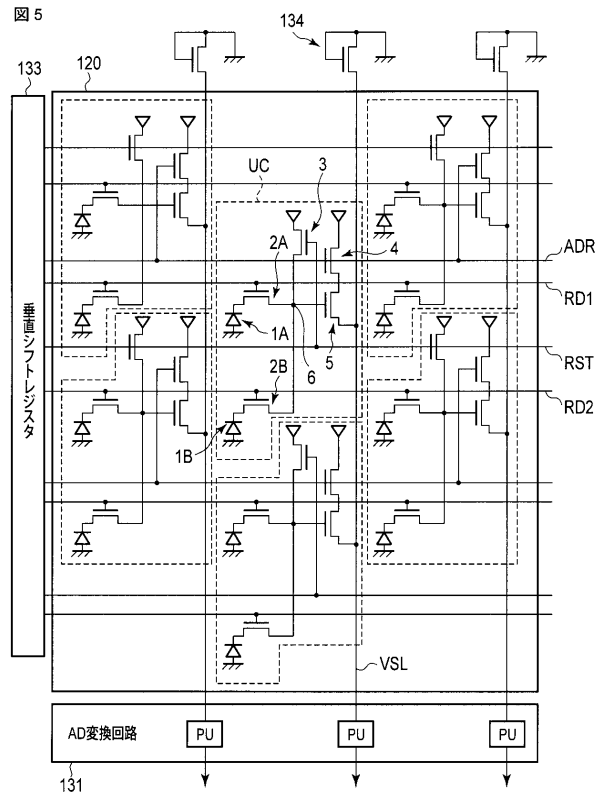
図 2



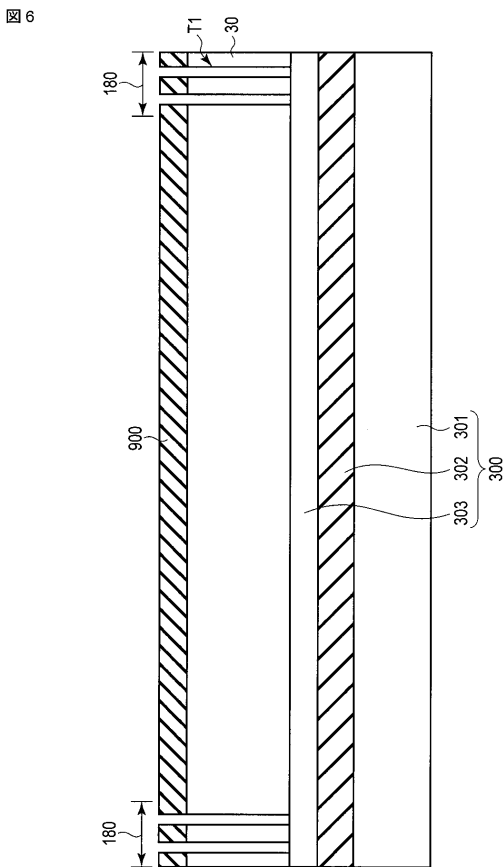
【 図 4 】



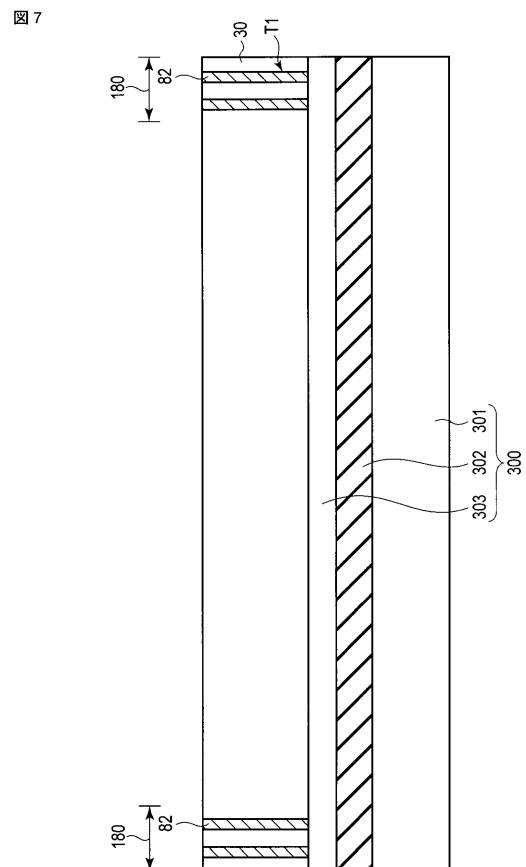
【 図 5 】



【 図 6 】



【 図 7 】

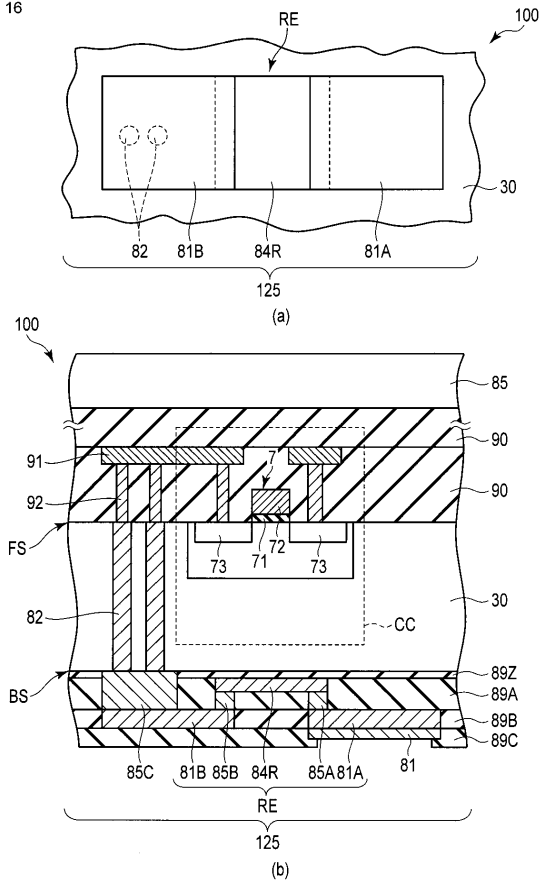






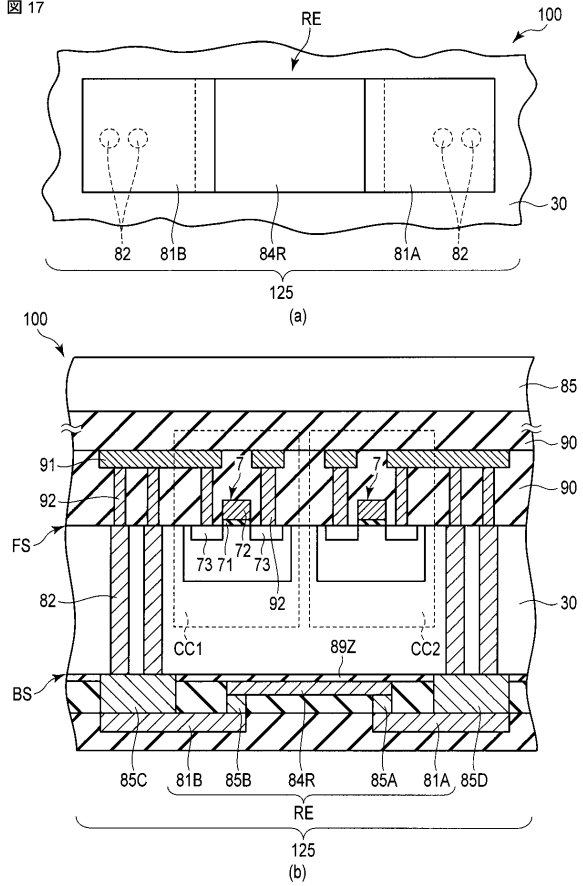
【 図 1 6 】

図 16



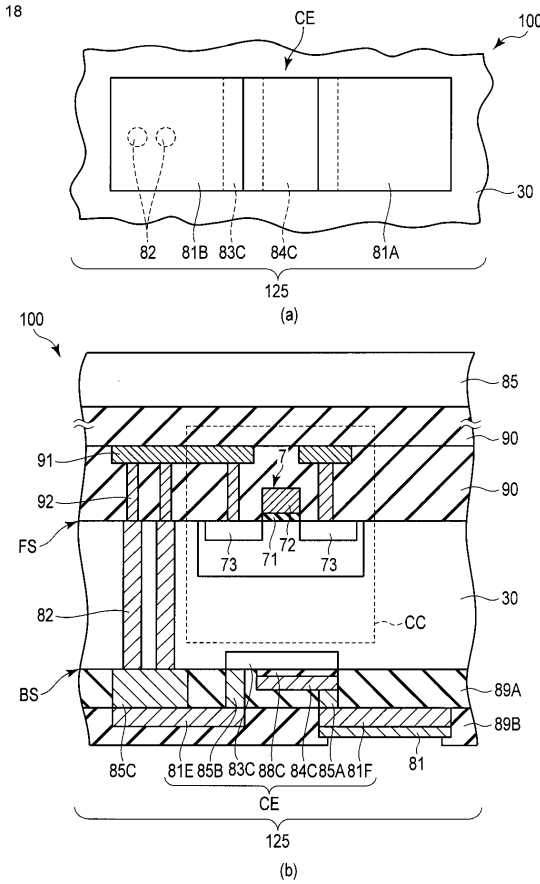
【 図 1 7 】

図 17



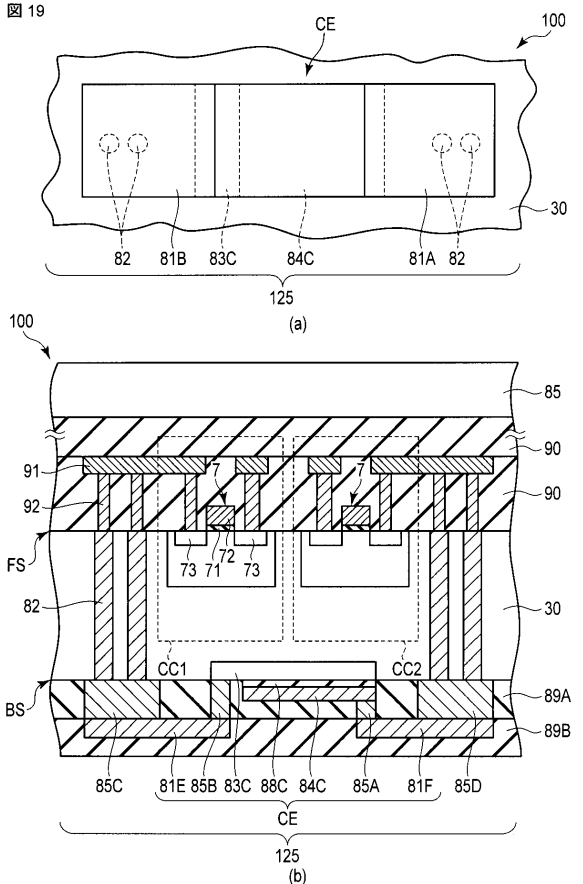
【 図 1 8 】

図 18



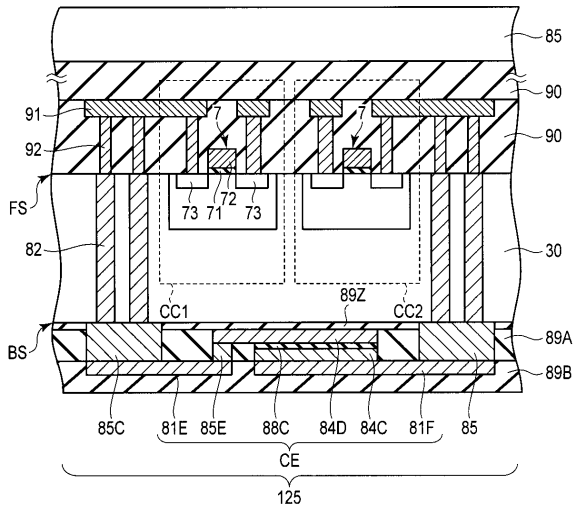
【 図 1 9 】

図 19



【 図 20 】

図 20



## フロントページの続き

- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100158805  
弁理士 井関 守三
- (74)代理人 100172580  
弁理士 赤穂 隆雄
- (74)代理人 100179062  
弁理士 井上 正
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (72)発明者 井上 郁子

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M118 AA10 AB01 BA10 BA14 CA04 CA24 DD04 FA06 FA26 FA28  
GA02 GB03 GB09 GC09 GC14 GD03 GD04 HA30 HA31 HA33  
5C024 AX01 CY47 EX25 GX03 GX14 GX18 GX19 GY31 GY39 HX01