

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-186620
(P2004-186620A)

(43) 公開日 平成16年7月2日(2004.7.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78	6 5 5 B
HO 1 L 21/336	HO 1 L 29/78	6 5 2 H
	HO 1 L 29/78	6 5 8 A
	HO 1 L 29/78	6 5 8 F
	HO 1 L 29/78	6 5 8 Z
審査請求 未請求 請求項の数 7 O L (全 15 頁)		

(21) 出願番号	特願2002-354785 (P2002-354785)	(71) 出願人	503361248 富士電機デバイステクノロジー株式会社 東京都品川区大崎一丁目11番2号
(22) 出願日	平成14年12月6日(2002.12.6)	(74) 代理人	100088339 弁理士 篠部 正治
		(72) 発明者	武井 学 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

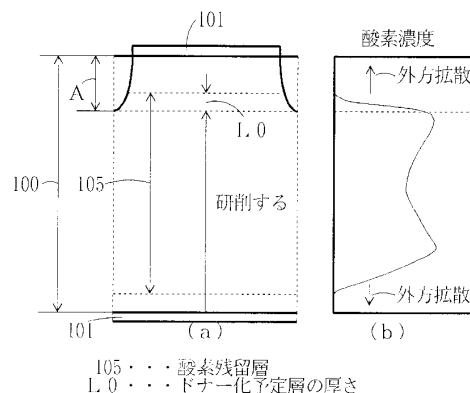
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】低濃度で幅の広いバッファ層をデバイス特性を悪化させずに低コストで形成できる半導体装置の製造方法を提供すること。

【解決手段】1300 程度の高温で長時間の熱処理を行い酸素をFZウェハ100に導入し、その後、導入された酸素の内、表面の酸素を外方拡散で取り除くことで、FZウェハ100内に酸素残留層105を形成し、この酸素残留層105が残るように、FZウェハ100の裏面を研削除去し、400 程度の低温で熱処理することで酸素残留層105をドナー化して、バッファ層とする。このように、酸素を熱拡散してバッファ層を形成するので、従来のイオン注入法によるバッファ層の形成と比べて、デバイス特性を悪化させずに低コストでバッファ層を形成することができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板の両面から高温で酸素を拡散する工程と、前記半導体基板の表面層の酸素を高温の熱処理で除去する工程と、前記半導体基板の一方の面を研削し厚さを半分以下とする工程と、半導体基板に残留した酸素を熱処理でドナー化する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記酸素の拡散深さが、前記半導体基板の厚さの半分より浅く、前記研削面が、該酸素の拡散深さに達しないことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

第 1 導電型低不純物濃度のドリフト層の一方の主面に形成された第 2 導電型高不純物濃度のベース領域と、該ベース領域の表面層に形成された第 1 導電型のエミッタ領域と、該エミッタ領域および前記ベース領域の両方に電氣的に接続するエミッタ電極と、前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記ドリフト層の他方の主面に形成された第 2 導電形のコレクタ層と、該コレクタ層と電氣的に接続するコレクタ電極と、前記ドリフト層と前記コレクタ層との間に形成され、プロッキングモード時の空乏層の伸びを途中で阻止すると共に、ターンオフ時に前記コレクタ寄りの領域に過剰キャリアを有する第 1 導電形のバッファ層と、前記ドリフト層の一方の主面から前記バッファ層まで、半導体ウェハに形成された個々の素子を切りわける際の切断面に沿って延びる第 1 導電形高不純物濃度の分離領域とを具備する半導体装置の製造方法において、
酸素雰囲気中における高温長時間の熱処理により酸素を半導体ウェハ中に拡散させ、その後の無酸素または低酸素雰囲気中における熱処理により前記半導体ウェハ表面から酸素を逃がし、酸素濃度勾配を形成させ、低温熱処理により酸素をドナー化させることにより前記バッファ層を形成することを特徴とする半導体装置の製造方法。

【請求項 4】

F Z ウェハの両面から酸素雰囲気中における所定の温度の第 1 の熱処理により酸素を半導体ウェハ中に拡散させる工程と、無酸素もしくは低酸素雰囲気中における所定の温度の第 2 の熱処理により前記半導体ウェハ表面から酸素を逃がし、酸素濃度勾配を形成する工程と、低温の第 3 の熱処理により酸素をドナー化させることにより前記バッファ層を形成する工程と、前記ウェハの一方の主面側に選択的に高不純物濃度の分離領域を形成する工程と、隣り合う分離領域間のウェハ表面に、エミッタ領域、ゲート絶縁膜、ゲート電極およびエミッタ電極を形成する工程と、ウェハの他方の主面を研削する工程と、ウェハの研削後に、ウェハの他方の主面にコレクタ層を形成する工程と、該コレクタ層上にコレクタ電極を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 5】

前記第 1 の熱処理の温度が、1150 ~ 1350 の範囲であることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 の熱処理の温度が、1150 ~ 1350 の範囲であることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 7】

前記第 3 の熱処理の温度が、350 ~ 550 の範囲であることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は電力変換装置などに使用される半導体装置の製造方法に関し、特に F Z ウェハを用いたパンチスルー型の IGBT の製造方法に関する。

【0002】

【従来の技術】

10

20

30

40

50

電力変換装置などに使用される半導体装置として IGBT がある。IGBT には、ブロッキングモード（エミッタ・コレクタ間に所定の電圧（定格電圧以下の電圧）が印加され、ゲートにしきい値以上の電圧が印加されていないターンオフ過程でのオフ状態）時にエミッタ領域から伸びる空乏層がコレクタ層にまで伸展しないようにドリフト層を厚くしたノンパンチスルー型 IGBT（以下、NPT-IGBT とする）と、ドリフト層とコレクタ層との間にバッファ層を設けて空乏層がコレクタ層にまで伸展するのを防ぐパンチスルー型 IGBT（以下、PT-IGBT とする）とがある。一般に、NPT-IGBT は安価な FZ ウェハを用いて製造される。一方、PT-IGBT にはエピタキシャルウェハが用いられる。

【0003】

図 10 は、従来の NPT-IGBT の構成を示す縦断面図である。NPT-IGBT では、図 10 に示すように、FZ ウェハよりなる n^- ドリフト層 11 の一方の主面（以下、表面とする）側に p ベース領域 12 および n^+ エミッタ領域 13 が設けられており、もう一方の主面（以下、裏面とする）側に p^+ コレクタ層 14 が設けられている。そして、ベース領域 12 上にはゲート絶縁膜であるゲート酸化膜 15 を介してゲート電極 16 が形成されており、さらにその上に層間絶縁膜 17 を介してエミッタ電極 18 が形成されている。また、コレクタ層 14 の表面上にはコレクタ電極 19 が形成されている。

【0004】

図 10 に示す構成の NPT-IGBT では、コレクタ電極 19 に正電圧を印加するとともにゲート電極 16 に正電圧を印加すると、IGBT 表面にチャネルが形成され、ドリフト層 11 中を電子電流が流れる。電子がコレクタ層 14 に到達すると、ドリフト層 11 にホールが注入される。それによって、ドリフト層 11 は高注入状態となり、抵抗が激減するため、低オン電圧が実現される。しかし、この構成の NPT-IGBT では、ドリフト層 11 が十分に厚いため、その分抵抗が上昇し、IGBT のオン状態における電圧降下量が大きくなるとともに、ドリフト層 11 での蓄積キャリア量が増大してターンオフ時の損失が大きくなるという欠点がある。

【0005】

図 11 は、従来の PT-IGBT の構成を示す縦断面図である。PT-IGBT では、図 11 に示すように、 p^+ コレクタ層 24 上に n^+ バッファ層 20 および n^- ドリフト層 21 が順に設けられる。これら 3 つの層（コレクタ層 24、バッファ層 20 およびドリフト層 21）は、高濃度 p 型シリコン基板上に高濃度 n 型エピタキシャル層を成長させ、さらにその上に低濃度 n 型エピタキシャル層を成長させたウェハにより構成される。 n^- ドリフト層 21 の表面部分には p ベース領域 22 および n^+ エミッタ領域 23 が設けられている。そして、さらにその上に、ゲート絶縁膜であるゲート酸化膜 25、ゲート電極 26、層間絶縁膜 27 およびエミッタ電極 28 が形成されている。また、コレクタ層 24 の裏面にはコレクタ電極 29 が形成されている。

【0006】

図 11 に示す構成の PT-IGBT では、ブロッキングモード時の空乏層の伸びがバッファ層 20 で止められるため、ドリフト層 21 が薄くても高い耐圧を得ることができる。このため、同耐圧の NPT-IGBT に比較して、オン状態の電圧降下量が小さいという利点を有する。しかし、順方向導通時にコレクタ層 24 から注入されるホールの量が極めて多いため、ターンオフ損失が大きいという欠点がある。また、エピタキシャルウェハは高価格であるため、NPT-IGBT に比べてコストが増大するという欠点もある。

そこで、FZ ウェハを用いた PT-IGBT（以下、I 型ドリフト層 PT-IGBT とする）が知られている。図 12 は、I 型ドリフト層 PT-IGBT の構成を示す縦断面図である。I 型ドリフト層 PT-IGBT は、図 12 に示すように、FZ ウェハよりなる n^- ドリフト層 31 の裏面側に p^+ コレクタ層 34 および n^+ バッファ層 30 がイオン注入法により形成され、コレクタ電極 39 が設けられた構成となっている。 n^- ドリフト層 31 の表面側には、p ベース領域 32、 n^+ エミッタ領域 33、ゲート酸化膜（ゲート絶縁膜）35、ゲート電極 36、層間絶縁膜 37 およびエミッタ電極 38 が形成され

10

20

30

40

50

ている。

【0007】

図12に示す構成のI型ドリフト層PT-IGBTでは、ブロッキングモード時の空乏層の伸びがバッファ層30で止められるため、ドリフト層31が薄くても高い耐圧を得ることができる。このため、同耐圧のNPT-IGBTと比較して、オン状態の電圧降下量が小さいという利点を有する。また、コレクタ層34が低濃度であるため、順方向導通時におけるホール注入量が少ない。したがって、ターンオフ損失が小さいという利点も有する。

一般に、IGBTの損失を低減するためには、ドリフト層をできるだけ短くするのが望ましい。しかし、ドリフト層を短くすると耐圧が低くなってしまふ。図13は、ブロッキングモード時にIGBTに生じる電界分布の様子を表すグラフである。このグラフにおいて、各IGBTの、PN接合部における最大電界強度が臨界電界強度に達したときの電界分布の積分値、すなわち各電界分布の面積がそれぞれのIGBTの耐圧を表す。この面積が大きいほど耐圧特性が高くなる。したがって、短いドリフト層で高い耐圧特性を得るためには、図13に実線で示す「I型ドリフト層PT-IGBT」のように、ドリフト層中の電界分布の傾きをできるだけ小さくして四角形電界分布を実現すればよいことがわかる。ドリフト層中の電界分布の傾きを小さくするためには、ドリフト層の不純物濃度を非常に小さくしてI層化すればよい。

【0008】

しかしながら、ドリフト層をI層化すると、ターンオフ時に非常に高いサージ電圧を伴う激しい振動が発生するという問題点がある。この振動が発生する理由は以下のとおりである。バッファ層付きのIGBTは、ターンオフ時に空乏層の電界によってドリフト層中の蓄積キャリアが掃き出されて、ブロッキングモードに移行する。スイッチング時のコレクタ・エミッタ間電圧はIGBTの定格耐圧の半分程度である。ターンオフ時に空乏層がバッファ層に到達すると、ドリフト層中に過剰キャリアが存在せず、IGBTは容量/Wのコンデンサとなる。ここで、 ρ はシリコンの誘電率であり、Wはドリフト層幅である。このIGBTの容量と配線の寄生インダクタンスによりLC回路が構成されることとなるため、振動が発生する。

【0009】

また、ドリフト層をI層化すると、空乏層が素子の側面(ダイシング面)にまで容易に到達してしまう。この素子側面にはダイシング後の物理的な歪が残っているため、キャリア寿命が非常に短い。したがって、素子側面に空乏層が到達すると非常に大きな発生電流が流れてしまい、十分な耐圧を得ることができないという問題点もある。したがって、実際には、定格電圧が印加されたときに空乏層が素子側面に到達しない程度にドリフト層の不純物濃度を高くする必要がある。ドリフト層をI層化することは極めて困難である。これを解決するために、FZウェハを用い、I層化したドリフト層を有するバッファ層付きのI型ドリフト層PT-IGBTを構成する半導体装置およびその製造方法が特願2001-158612号に報告されている。

【0010】

その内容について詳細に説明する。図14は、この半導体装置を構成するI型ドリフト層PT-IGBTの構成の一例を示す縦断面図である。このI型ドリフト層PT-IGBTは、図14に示すように、 n^- ドリフト層41、pベース領域42、 n^+ エミッタ領域43、 p^+ コレクタ層44、ゲート絶縁膜であるゲート酸化膜45、ゲート電極46、層間絶縁膜47、エミッタ電極48、コレクタ電極49、 n^+ バッファ層40および n^+ 分離領域51を備えている。図14においては、 n^- ドリフト層41にはpベース領域42が1つしか形成されていないが、pベース領域42を複数形成することができる。そしてそれぞれのpベース領域42に対して n^+ エミッタ領域43、ゲート酸化膜45、ゲート電極46、層間絶縁膜47を備えるようにすることもできる。

【0011】

ドリフト層41はFZウェハにより構成される。ベース領域42はドリフト層41の表面

10

20

30

40

50

部分に形成されている。エミッタ領域 4 3 はベース領域 4 2 の表面部分に形成されている。ゲート酸化膜 4 5 はベース領域 4 2 のチャンネル領域となる部分の表面に形成されており、その上にゲート電極 4 6 が形成されている。エミッタ電極 4 8 は、層間絶縁膜 4 7 によりゲート電極 4 6 およびドリフト層 4 1 から絶縁された状態で、エミッタ領域 4 3 およびベース領域 4 2 に電氣的に接続されている。コレクタ層 4 4 およびコレクタ電極 4 9 は、ドリフト層 4 1 の裏面部分に形成されている。バッファ層 4 0 はコレクタ層 4 4 とドリフト層 4 1 との間に設けられている。分離領域 5 1 は、素子側面に沿ってドリフト層 4 1 の表面からバッファ層 4 0 に達するように設けられている。

【0012】

ここで、ドリフト層 4 1 は、不純物濃度が非常に小さく、I 層化されている。また、バッファ層 4 0 は、図 1 5 に示すように、バッファ層幅が長く、さらに低めの濃度に設定されている。これによって、ターンオフ時に、空乏層の伸びがバッファ層 4 0 中で阻止される。また、バッファ層濃度が低いため、空乏層が阻止された位置よりもさらにコレクタ側に過剰キャリアが存在する。一般に、I 型ドリフト層 P T - I G B T でターンオフ時に振動が発生するのは、ドリフト層中の過剰キャリアが枯渇することが原因である。この I 型ドリフト層 P T - I G B T では、バッファ層 4 0 中のコレクタ側に存在する過剰キャリアによってターンオフ時の振動が抑制される。

10

【0013】

ここで、順方向導通時のバッファ層 4 0 中の電子濃度を N とすると、バッファ層 4 0 の平均ドーピング濃度が N 以下の場合に高注入状態となり、過剰キャリアが存在する。したがって、バッファ層 4 0 の厚さを x とすると、バッファ層 4 0 中の総不純物濃度は $x \cdot N$ 以下である必要がある。一方、バッファ層 4 0 において空乏層を阻止するためには、バッファ層 4 0 内で臨界電界、たとえば $2 \times 10^5 \text{ V/cm}$ をゼロにする必要がある。したがって、シリコン中の誘電率を ϵ_{ps} 、素電荷を q とすると、 $2 \times 10^5 < q \cdot (\text{バッファ層中の総不純物濃度}) / \epsilon_{ps}$ という式が成り立つ必要がある。この式について定数を計算すると、 $x \cdot N > (\text{バッファ層中の総不純物濃度}) > 1.3 \times 10^{12}$ が得られる。

20

【0014】

また、定格耐圧を V 、ドリフト層 4 1 の不純物濃度を N_D とすると、縦方向の空乏層幅は $((2 \cdot \epsilon_{ps} \cdot V) / (q \cdot N_D))$ で与えられる。横方向の空乏層幅を縦方向の空乏層幅のたとえば 6 倍であるとする、横方向の空乏層幅は $6 \cdot ((2 \cdot \epsilon_{ps} \cdot V) / (q \cdot N_D))$ となる。これを計算すると、横方向の空乏層幅は $(4.68 \times 10^8 \text{ V} / N_D)$ となる。

30

この場合には、定格耐圧 V 、ドリフト層 4 1 の不純物濃度 N_D および耐圧構造幅 W の間には、 $W^2 < 4.68 \times 10^8 \text{ V} / N_D$ という関係が成り立つ。つまり、耐圧構造幅 W は横方向の空乏層幅よりも短い。したがって、分離領域 5 1 がないと仮定すると、ブロッキングモード時に空乏層が素子側面にまで広がり、漏れ電流が大きくなってしまう。これを防ぐため、前記の分離領域 5 1 が設けられている。つまり、分離領域 5 1 により空乏層が素子側面に到達するのを防いでいるので、漏れ電流が従来の I G B T と同程度かそれ以下に抑えられる。なお、耐圧構造幅 W が横方向の空乏層幅よりも長い場合に分離領域 5 1 を設けても何ら特性上の問題はない。

40

【0015】

つぎに、図 1 4 に示す構成の I 型ドリフト層 P T - I G B T の製造プロセスについて説明する。図 1 6 ~ 図 2 1 は、製造途中の I 型ドリフト層 P T - I G B T の要部を示す縦断面図である。一例として、この I G B T の耐圧を 1200 V とする。まず、たとえば比抵抗が 1000 cm で厚さが $500 \mu\text{m}$ の F Z (フローティング・ゾーン) ウェハの表面に、たとえば $100 \mu\text{m}$ の間隔をあけて選択的にマスク 6 1 を形成する (図 1 6)。そして、ウェハ表面から n 型不純物をイオン注入する。これによって、ウェハ表面の、マスク 6 1 で被われていない領域に不純物注入領域 6 2 ができる (図 1 7)。

【0016】

つづいて、熱処理によって不純物注入領域 6 2 の n 型不純物をたとえば $110 \mu\text{m}$ の深さ

50

まで選択拡散させて分離領域 5 1 を形成する (図 1 8) 。 ウェハ表面の熱酸化膜 6 3 を除去した後、隣り合う分離領域 5 1 , 5 1 間に、ベース領域 4 2 、エミッタ領域 4 3 、ゲート酸化膜 4 5 およびゲート電極 4 6 を形成する。そして、表面に層間絶縁膜 4 7 を形成した後、アルミニウムを蒸着し、パターンニングしてエミッタ電極 4 8 を形成する (図 1 9) 。しかる後、FZ ウェハを裏面から研削し、シリコン領域の厚さをたとえば $95 \mu\text{m}$ にする (図 2 0) 。

つづいて、ウェハ裏面にボロンイオンを照射した後、 $300 \sim 500$ でアニールをおこない、ボロン原子を活性化させて、たとえば厚さ $0.5 \mu\text{m}$ のコレクタ層 4 4 を形成する。つづいて、ウェハ裏面にプロトンまたは酸素イオンを照射した後、 $300 \sim 500$ でアニールをおこない、たとえばピーク濃度が $5 \times 10^{15} \text{cm}^{-3}$ で幅が $20 \mu\text{m}$ のバッファ層 4 0 を形成する (図 2 1) 。このとき、ドリフト層 4 1 の幅はたとえば $75 \mu\text{m}$ となる。最後に、ウェハ裏面にコレクタ電極 4 9 を形成し、ダイシングすれば図 1 4 に示す I 型ドリフト層 PT - IGBT が完成する。なお、図 1 4 および図 1 6 ~ 図 2 1 において、ダイシング面を破線で示す。

10

20

30

40

50

【0017】

前記したように製造することで、バッファ層 4 0 により、プロッキングモード時の空乏層の伸びがコレクタ層 4 4 に到達するのが阻止されるとともに、空乏層の伸びを阻止した状態でバッファ層 4 0 の、コレクタ層寄りの領域に過剰キャリアが存在するので、I 層化したドリフト層 4 1 を有する IGBT においてターンオフ時に振動が発生するのを防ぐことができる。図 2 2 に、実施の形態の I 型ドリフト層 PT - IGBT と従来の I 型ドリフト層 PT - IGBT (図 1 2 参照) についてターンオフ波形を示す。実施の形態によれば、ターンオフ時に振動が発生していないことがわかる。

【0018】

また、前記したように製造すれば、分離領域 5 1 により、プロッキングモード時の空乏層の伸びが素子側面に到達するのが阻止されるので、耐压構造幅が横方向の空乏層幅よりも短い場合でも漏れ電流を抑えることができる。したがって、ターンオフ時に振動発生のない、高耐压の I 型ドリフト層 PT - IGBT を構成する半導体装置が得られる。

また、前記した製造において、順方向導通時の過剰キャリア分布に関して、ドリフト層中間位置における過剰キャリア濃度がドリフト層 4 1 とバッファ層 4 0 の境界における過剰キャリア濃度以上で、かつ 5 倍以下になるようにするとよい。そうすれば、オン電圧対ターンオフ損失のトレードオフを最適化することができる。これにはトレンチゲート構造を採用するとよい。図 2 3 に、定格耐压を 1200V とした場合の、実施の形態の I 型ドリフト層 PT - IGBT、それにトレンチゲート構造を採用した I 型ドリフト層 PT - IGBT、従来の I 型ドリフト層 PT - IGBT (図 1 2 参照)、および従来の NPT - IGBT (図 1 0 参照) のトレードオフを示す。また、オン電圧と耐压のトレードオフも改善される。

【0019】

また、前記の内容とは異なるが、耐压を維持する半導体領域の表面に、減圧 CVD (Chemical Vapor Deposition) 法を用いて、 700 の高温でシリコンに酸素を添加し、 $10^7 \sim 10^{13} \cdot \text{cm}$ の高抵抗の半導電膜を形成して、耐压の安定を確保する構造がある。しかし、この半導電膜に冷却過程 (700 から室温に戻す過程) で外部から酸素が混入すると、ホットエレクトロンがこの半導電膜に入り込み、デバイス内の電界に乱れが生じて耐压劣化を起こすので、この半導電膜をポリシリコンの導電膜で被覆し、冷却過程で外部からの酸素の混入を抑制して、耐压の安定化を図ることが開示されている (例えば、特許文献 1 参照) 。

【0020】

【特許文献 1】

特開 2000 - 312012 号公報

【0021】

【発明が解決しようとする課題】

しかし、前記のようにイオン注入法で低濃度で幅の広いバッファ層を形成するためには、プロトンまたは酸素をイオン注入できる特別の高価なイオン注入装置が必要となり、また、イオン注入工程の後に長時間のアニール工程が必要となる。このように、イオン注入を長時間行くと、半導体基板にダメージが発生し、デバイスのもれ電流が増大し、キャリアの移動度が低下してオン電圧が増大するなどデバイス特性が悪化する。また、ウェハ厚みを薄くした後でこのようなイオン注入すると、ウェハ割れが発生し良品率が低下して製造コストが増大する。また、注入時間を短縮するために、イオン注入の加速電圧を過大に上げると、イオン注入しない箇所を遮蔽することが困難となる不都合が出てくる。

【0022】

この発明の目的は、前記の課題を解決して、低濃度で幅の広いバッファ層をデバイス特性を悪化させずに低コストで形成できる半導体装置の製造方法を提供することにある。 10

【0023】

【課題を解決するための手段】

前記の目的を達成するために、半導体基板の両面から高温で酸素を拡散する工程と、前記半導体基板の表面層の酸素を高温の熱処理で除去する工程と、前記半導体基板の一方の面を研削し厚さを半分以下とする工程と、半導体基板に残留した酸素を熱処理でドナー化する工程と、を含む製造方法とする。

また、前記酸素の拡散深さが、前記半導体基板の厚さの半分より浅い場合に、前記研削面は該酸素の拡散深さに達しないようにする。

また、第1導電型低不純物濃度のドリフト層の一方の主面に形成された第2導電型高不純物濃度のベース領域と、該ベース領域の表面層に形成された第1導電型のエミッタ領域と、該エミッタ領域および前記ベース領域の両方に電氣的に接続するエミッタ電極と、前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記ドリフト層の他方の主面に形成された第2導電形のコレクタ層と、該コレクタ層と電氣的に接続するコレクタ電極と、前記ドリフト層と前記コレクタ層との間に形成され、ブロッキングモード時の空乏層の伸びを途中で阻止すると共に、ターンオフ時に前記コレクタ寄りの領域に過剰キャリアを有する第1導電形のバッファ層と、前記ドリフト層の一方の主面から前記バッファ層まで、半導体ウェハに形成された個々の素子を切りわけの際の切断面に沿って延びる第1導電型高不純物濃度の分離領域とを具備する半導体装置の製造方法において、酸素雰囲気中における高温長時間の熱処理により酸素を半導体ウェハ中に拡散させ、その後の無酸素または低酸素雰囲気中における熱処理により前記半導体ウェハ表面から酸素を逃がし、酸素濃度勾配を形成させ、低温熱処理により酸素をドナー化させることにより前記バッファ層を形成する製造方法とする。 20 30

【0024】

また、FZウェハの両面から酸素雰囲気中における所定の温度の第1の熱処理により酸素を半導体ウェハ中に拡散させる工程と、無酸素もしくは低酸素雰囲気中における所定の温度の第2の熱処理により前記半導体ウェハ表面から酸素を逃がし、酸素濃度勾配を形成する工程と、低温の第3の熱処理により酸素をドナー化させることにより前記バッファ層を形成する工程と、前記ウェハの一方の主面側に選択的に高不純物濃度の分離領域を形成する工程と、隣り合う分離領域間のウェハ表面に、エミッタ領域、ゲート絶縁膜、ゲート電極およびエミッタ電極を形成する工程と、ウェハの他方の主面を研削する工程と、ウェハの研削後に、ウェハの他方の主面にコレクタ層を形成する工程と、該コレクタ層上にコレクタ電極を形成する工程と、を含む製造方法とする。 40

【0025】

また、前記第1の熱処理の温度が、1150 ~ 1350 の範囲であるとよい。

また、前記第2の熱処理の温度が、1150 ~ 1350 の範囲であるとよい。

また、前記第3の熱処理の温度が、350 ~ 550 の範囲であるとよい。

〔作用〕

1150 ~ 1350 の高温でシリコンに導入された酸素は、原子の状態でシリコン原子格子間に点在する。これを350 から550 の範囲で熱処理すると、この点在する 50

酸素が集まって来てクラスターの状態となる。このとき、酸素の持っている電子が飛び出すため、このクラスターはドナーの働きをする。温度が550を超えると、このクラスターがシリコン結晶内で析出して、電子の放出はなくなり、ドナーの働きが無くなる。また、温度が350未満では、ドナーの働きをするクラスターが形成されない。

【0026】

そのため、シリコン結晶内に導入された酸素がドナーとして働く温度は、350から550の間であり、その効果が高い温度範囲は、400から500である。

【0027】

【発明の実施の形態】

図1～図3は、この発明の第1実施例の半導体装置の製造方法であり、各図(a)は工程順に示す要部製造工程断面図、各図(b)は、各図(a)の酸素濃度または不純物濃度のプロファイル図である。尚、プロファイル図の縦軸はLOG目盛りであり、図3(b)は図3(a)のY-Y線の不純物濃度のプロファイルである。

1000・cmの比抵抗で厚み500 μ mのn型のFZウェハ100に1.6 μ mの厚みの熱酸化膜101を形成する。その後、スクライプ予定箇所上の熱酸化膜101をエッチングして開口部102を形成し、シリコンを露出させる。その後、POCl₃ガスを酸素雰囲気中で、1200で2時間流し、リンを開口部102のシリコン上にドーブする。その後、酸素雰囲気(O₂を約12リットル/分、H₂を約9.6リットル/分、流す雰囲気)中で1300で100時間、ドライブして、拡散深さ120 μ mのn型の分離領域103を形成する。このとき同時に酸素をFZウェハ100中に拡散させる。その拡散長(濃度が37%となる距離)は約200 μ mになる。その酸素拡散層104は、FZウェハ100の全域に及ぶ。また、図示しないが表面はリンガラス膜で被覆される(図1)。つぎに、熱酸化膜101と図示しないリンガラス膜を除去せずに、窒素雰囲気(N₂12リットル/分、流す雰囲気)中において、1150で24時間の熱処理を行いウェハ表面から酸素を逃がす(抜き取る:外方拡散)。この結果、酸素残留層105が形成され、酸素濃度に勾配が出来る。このときFZウェハ100表面に熱酸化膜が存在しても、シリコン内の酸素は酸化膜に吸収されて酸化膜の成長に使われるか、または酸化膜を通りぬけて外部に逃げるので、FZウェハ100内部の酸素は、シリコンからシリコン外へ抜けていく(抜き取られる)ことになる。前記の熱酸化膜101と図示しないリンガラス膜を除去して、シリコン内の酸素を除去すると、分離層103からリンが外方拡散し、そのリンが再度シリコン内に拡散して、デバイス形成領域を汚染するので、熱酸化膜101および図示しないリンガラス膜は除去しない方がよい。図中のL0はドナー化予定層の厚さである(図2)。

【0028】

つぎに、熱酸化膜101および図示しないリンガラス膜を除去して、FZウェハ100表面に従来通りの方法でIGBTセルの表面側の構造(つまり、ベース領域106、エミッタ領域107、ゲート電極108およびエミッタ電極109などで構成される構造)を形成し、裏面からFZウェハ100を分離層103が露出するまで研削して(図2(a)参照)、ウェハを90 μ m厚(A部の厚さ)にする。その後、裏面にボロンイオンを注入し、450で5時間アニールする。この低温度アニールによってボロンが活性化してp型のコレクタ層111が形成されると同時に、前記のドナー化予定層の酸素がドナー化して、ピーク濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 程度で、厚さWが20 μ m程度のn型のバッファ層110が形成される。図中のLはドナー化された層の厚さで、120はn⁻層のドリフト層である(図3)。

【0029】

その後、FZウェハ100の図示しないスクライプラインに沿って切断して、比較的低濃度で厚いバッファ層を有する、I型ドリフト層付きPT型IGBTチップが出来上がる。図4～図6は、この発明の第2実施例の半導体装置の製造方法であり、各図(a)は工程順に示す要部製造工程断面図、各図(b)は、各図(a)の酸素濃度または不純物濃度のプロファイル図である。尚、プロファイル図の縦軸はLOG目盛りであり、図6(b)は図6

10

20

30

40

50

(a) の Y - Y 線の不純物濃度のプロファイルである。

【 0 0 3 0 】

図 1 ~ 図 3 との違いは F Z ウェハの比抵抗が小さい (不純物濃度が高い) 点のみでありその他は同じである。

6 0 ・ c m の比抵抗で 5 0 0 μ m の n 型の F Z ウェハ 2 0 0 を第 1 実施例と同様の条件の酸素雰囲気中で 1 3 0 0 で 1 0 0 時間の熱処理することで、図 1 と同様に図 4 のような酸素濃度のプロファイルが出来上がる。その後、前記と同様の条件の窒素雰囲気中において 1 1 5 0 で 2 4 時間の熱処理を行い、F Z ウェハ 2 0 0 表面から酸素を逃がすと、図 2 と同様に図 5 のような酸素濃度勾配が出来る。

【 0 0 3 1 】

F Z ウェハ 2 0 0 表面に従来通りの方法で、図 3 と同様に、I G B T セルの表面側の構造を形成し、裏面から F Z ウェハ 2 0 0 を研削して 1 4 0 μ m 厚にする。裏面にボロンイオンを注入し、4 5 0 で 5 時間アニールする。この低温度アニールによってボロンが活性化してコレクタ層 1 1 1 が形成されると同時に、酸素がドナー化して、ピーク濃度が $5 \times 1 0^{15}$ c m⁻³ 程度で、厚さ W が 2 0 μ m 程度の図 6 のようなバッファ層 1 1 0 が形成される。図 6 中の 1 3 0 は n⁻ 層のドリフト層である。

その後、F Z ウェハ 2 0 0 のスクライブラインに沿って切断して、比較的低濃度で厚いバッファ層を有する、I 型ドリフト層付き P T 型 I G B T チップが出来上がる。

【 0 0 3 2 】

前記の第 1 実施例および第 2 実施例の酸素導入工程で、拡散温度が高い程酸素の拡散係数が上り、より短い時間で所定の拡散距離を得ることができる。しかし温度が 1 3 5 0 を超えてシリコンの融点 (1 4 1 4) に近づくとシリコンの結晶性が乱れてデバイス特性を悪化させる。一方、拡散温度が 1 1 5 0 を下回ると拡散係数が小さくなり過ぎて、拡散に時間がかかる。1 3 0 0 における酸素の拡散係数は約 $1 \times 1 0^{-9}$ c m² / s e c であるが、1 1 5 0 ではその 1 / 1 0 の約 $1 \times 1 0^{-10}$ m² / s e c になる。例えば 1 1 5 0 で 1 0 0 時間では 6 0 μ m 程度しか拡散できない。そのため、1 1 5 0 で 2 0 0 μ m 拡散しようとするすると 3 0 0 時間以上かかることになり、これを超える長い時間の熱処理は現実的でない。

【 0 0 3 3 】

また、酸素をシリコン表面から除去する (逃がす) 工程も酸素の熱拡散を利用しているので、前記の温度範囲が好適である。

このことから、酸素をシリコンへ拡散する温度、酸素をシリコンから抜き取る温度を共に 1 1 5 0 以上で 1 3 5 0 以下とする。また、効果的に酸素を拡散するためには、もしくは、効果的に酸素を抜き取るためには、この温度は 1 2 5 0 以上で 1 3 2 0 以下であるとよい。

また、酸素のドナー化は 4 5 0 で最も効率よく進む。5 5 0 を超えると逆にドナーが減少してしまうし、3 5 0 未満ではほとんどドナー化が生じない。従って酸素のドナー化のためには 3 5 0 以上で 5 5 0 以下の温度範囲とする。また、さらに好ましくは、4 0 0 以上で 5 0 0 の範囲が効果的である。

【 0 0 3 4 】

また、前記の酸素導入の拡散条件 (拡散温度と時間) と酸素を逃がす熱処理条件 (熱処理温度と時間) の組合せによって、様々な n⁺ バッファ層のプロファイルを形成することが出来る。

図 7 ~ 図 9 は、この発明の第 3 実施例の半導体装置の製造方法であり、各図 (a) は工程順に示す要部製造工程断面図、各図 (b) は、各図 (a) の酸素濃度または不純物濃度のプロファイル図である。尚、プロファイル図の縦軸は L O G 目盛である。

酸素を拡散する時間を短くして、F Z ウェハ 4 0 0 の表面および裏面から 7 0 μ m 程度まで酸素を拡散して酸素拡散層 4 0 4 を形成する (図 7)。つぎに熱処理でこの酸素を引き抜き酸素残留層 4 0 5 を形成する (図 8)。その後、裏面を研削した後で、この酸素をドナー化することで、薄くしたウェハの中央部に幅の広い n⁺ バッファ層 4 1 0 を形成す

10

20

30

40

50

る(図9)。このようにすると、 n^- ドリフト層420/ n^+ バッファ層410/ n^- ドリフト層420のような n^- ドリフト層の中央部に n^+ バッファ層を有するプロファイルを形成することができる。このような拡散プロファイルをIGBTやpinダイオードのドリフト層に適用することで、ブロッキングモードの電圧波形の振動を抑制することができる。

【0035】

【発明の効果】

この発明では、酸素を長時間の熱処理で半導体基板に導入し、これを再度熱処理で外方拡散させ、表面層の酸素を除去することでバッファ層を形成するため、容易に低濃度で幅の広いバッファ層を形成できる。

また、熱処理によりバッファ層を形成するため、イオン注入でバッファ層を形成するときに問題となるダメージの発生がなくデバイス特性を悪化させることがない。

また、バッファ層の形成は厚いウェハで行うため、薄いウェハでイオン注入してバッファ層を形成するときのウェハの割れは発生しない。そのため、良品率を向上できて、製造コストの低減を図ることができる。

【図面の簡単な説明】

【図1】この発明の第1実施例の半導体装置の製造方法を示す図であり、(a)は要部製造工程断面図、(b)は酸素濃度のプロファイル図

【図2】図1に続く、この発明の第1実施例の半導体装置の製造方法を示す図であり、(a)は要部製造工程断面図、(b)は酸素濃度のプロファイル図

【図3】図2に続く、この発明の第1実施例の半導体装置の製造方法を示す図であり、(a)は要部製造工程断面図、(b)は、(a)のY-Y線での不純物濃度のプロファイル図

【図4】この発明の第2実施例の半導体装置の製造方法を示す図であり、(a)は要部製造工程断面図、(b)は酸素濃度のプロファイル図

【図5】図4に続く、この発明の第2実施例の半導体装置の製造方法を示す図であり、(a)は要部製造工程断面図、(b)は酸素濃度のプロファイル図

【図6】図5に続く、この発明の第2実施例の半導体装置の製造方法を示す図であり、(a)は要部製造工程断面図、(b)は、(a)のY-Y線での不純物濃度のプロファイル図

【図7】この発明の第3実施例の半導体装置の製造方法を示す図であり、(a)は要部製造工程断面図、(b)は酸素濃度のプロファイル図

【図8】図7に続く、この発明の第3実施例の半導体装置の製造方法を示す図であり、(a)は要部製造工程断面図、(b)は酸素濃度のプロファイル図

【図9】図8に続く、この発明の第3実施例の半導体装置の製造方法を示す図であり、(a)は要部製造工程断面図、(b)は酸素濃度のプロファイル図

【図10】従来のNPT-IGBTの構成を示す縦断面図

【図11】従来のPT-IGBTの構成を示す縦断面図

【図12】従来のPT-IGBTの別の構成を示す縦断面図

【図13】ブロッキングモード時にIGBTに生じる電界分布の様子を表すグラフ

【図14】本発明にかかる半導体装置を構成するI型ドリフト層PT-IGBTの構成の一例を示す縦断面図

【図15】図14に示す構成のI型ドリフト層PT-IGBTにおいてバッファ層中に過剰キャリアが存在することを説明するための図

【図16】図14に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図

【図17】図14に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図

【図18】図14に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図

【図19】図14に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図

10

20

30

40

50

【図20】図14に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図

【図21】図14に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図

【図22】図14のI型ドリフト層PT-IGBTと従来のI型ドリフト層PT-IGBTについてターンオフ波形を示す波形図

【図23】図14を含む種々のI型ドリフト層PT-IGBTについてオン電圧対ターンオフ損失のトレードオフを示す図

【符号の説明】

100 FZウェハ (n型 / 1000 · cm)

10

101、401 熱酸化膜

102 開口部

103 分離領域

104、404 酸素拡散層

105、405 酸素残留層

106 ベース領域

107 エミッタ領域

108 ゲート電極

109 エミッタ電極

110 バッファ層

20

111 コレクタ層

112 コレクタ電極

120 ドリフト層

130 ドリフト層

200 FZウェハ (n型 / 60 · cm)

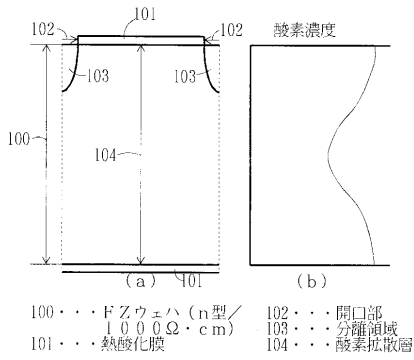
400 FZウェハ

L0 ドナー化予定層の厚さ

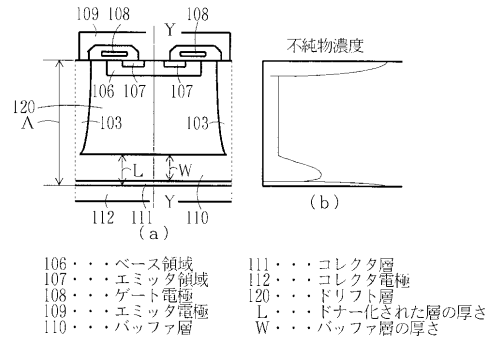
L ドナー化された層の厚さ

W バッファ層の厚さ

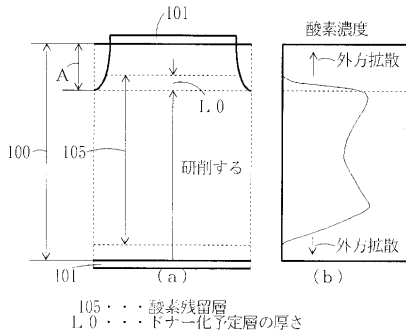
【図 1】



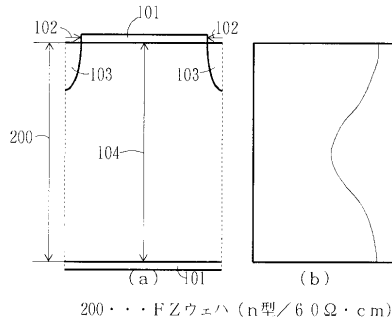
【図 3】



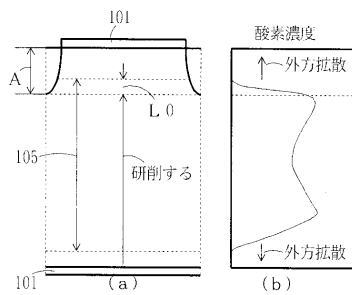
【図 2】



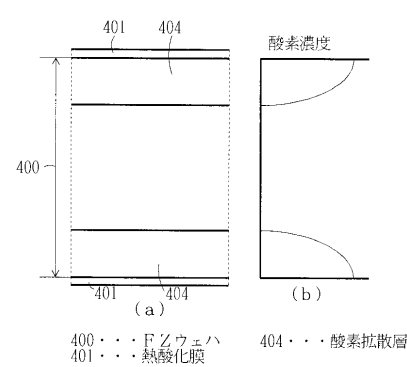
【図 4】



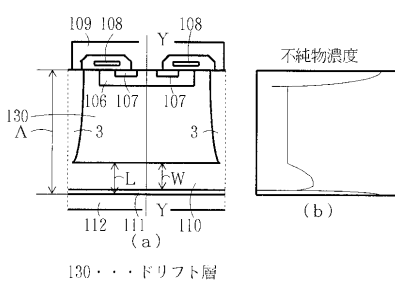
【図 5】



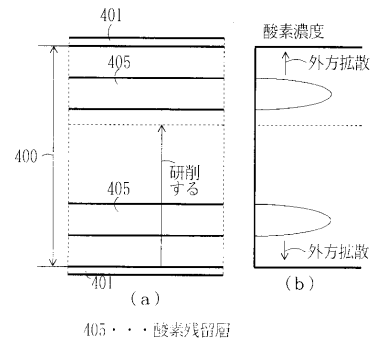
【図 7】



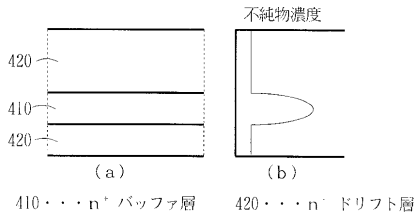
【図 6】



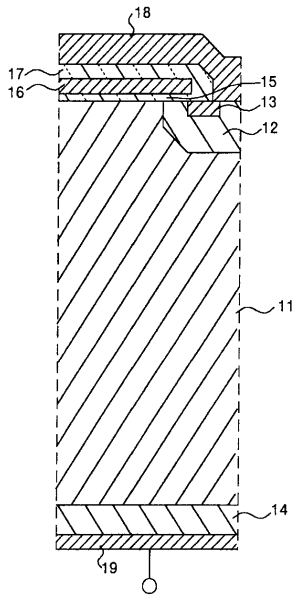
【図 8】



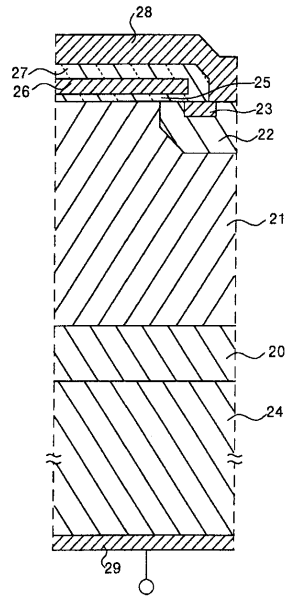
【図9】



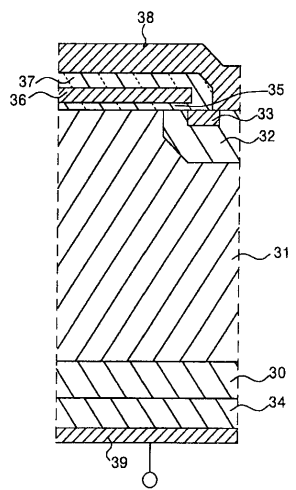
【図10】



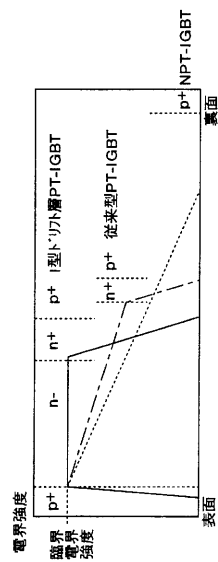
【図11】



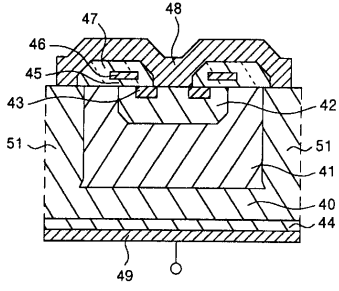
【図12】



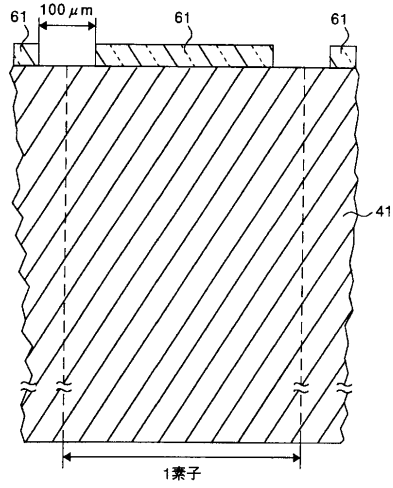
【図13】



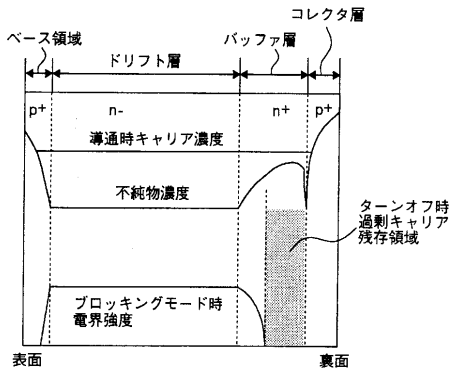
【図14】



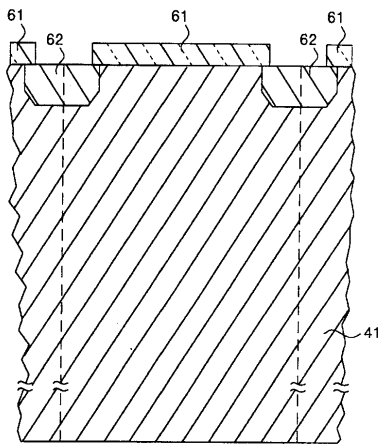
【図16】



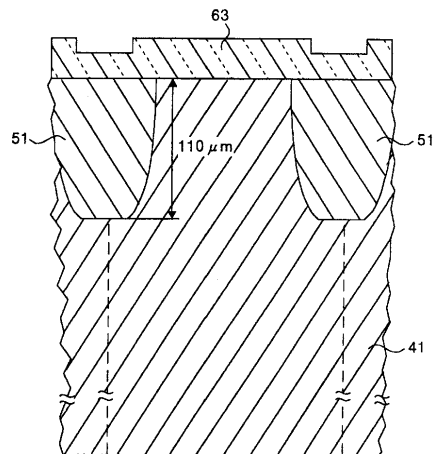
【図15】



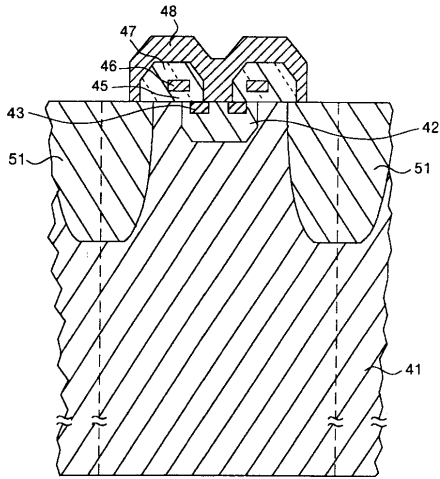
【図17】



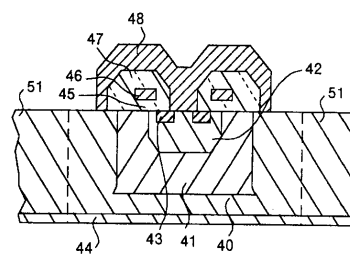
【図18】



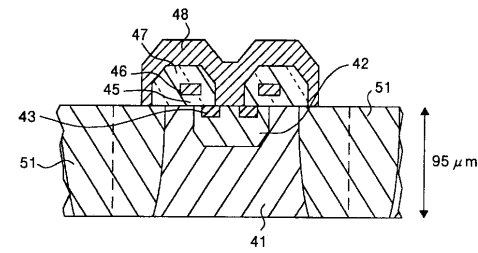
【図19】



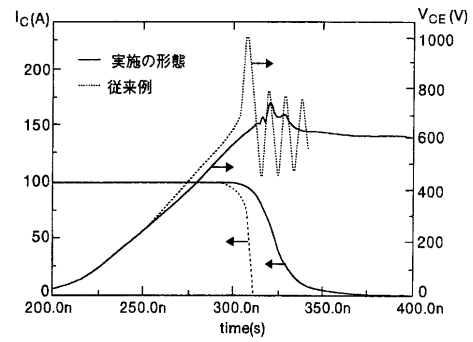
【図21】



【図20】



【図22】



【図23】

