

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-193867

(P2007-193867A)

(43) 公開日 平成19年8月2日(2007.8.2)

(51) Int. Cl. F I テーマコード (参考)
G 1 1 C 16/02 (2006.01) G 1 1 C 17/00 6 1 1 A 5 B 1 2 5
 G 1 1 C 17/00 6 1 2 C

審査請求 未請求 請求項の数 30 O L (全 32 頁)

(21) 出願番号 特願2006-9216 (P2006-9216)
 (22) 出願日 平成18年1月17日 (2006.1.17)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100115691
 弁理士 藤田 篤史

最終頁に続く

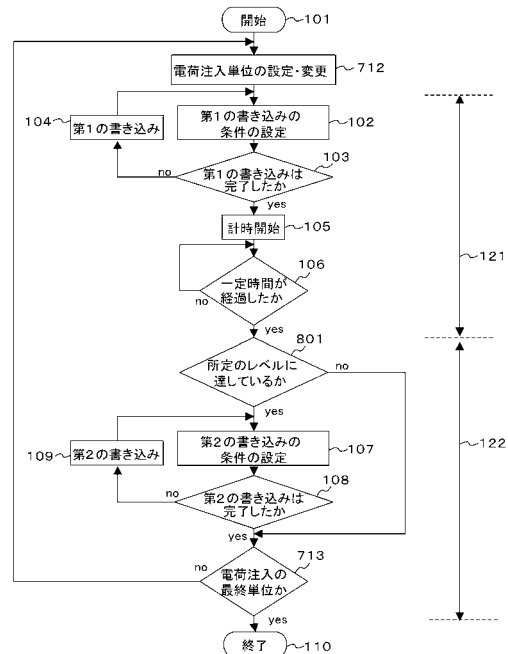
(54) 【発明の名称】 不揮発性半導体記憶装置及びその書き換え方法

(57) 【要約】

【課題】トラップ層を有する不揮発性メモリセルのデータ保持特性の劣化を抑制する。

【解決手段】トラップ層を有する不揮発性メモリセルにおいて、任意の待ち時間を確保した第1の電荷注入121と、書き換えシーケンスにおいて、第1の電荷注入後に実施する第2の電荷注入122とを有することにより、書き込み直後の初期変動(ごく短時間での周辺電荷との結合による電荷ロス現象)を利用して、データ保持特性を劣化させる周辺電荷を低減させ、更に初期変動による電荷ロス分を補うことで、その後のデータ保持特性を向上させる。ただし、所定の判定レベルに達している時のみ第2の電荷注入を実施する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、
書き換え時に、第 1 の電荷注入ステップと、前記第 1 の電荷注入ステップの後に実施される第 2 の電荷注入ステップとを有し、

前記第 1 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第 2 の電荷注入ステップでは、任意の判定レベルに達している時のみ任意の閾値電圧まで電荷注入を実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項 2】

請求項 1 記載の不揮発性半導体記憶装置の書き換え方法において、

前記第 2 の電荷注入ステップを任意の回数実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項 3】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

消去前書き込み時に、第 1 の電荷注入ステップと、前記第 1 の電荷注入ステップの後に実施される第 2 の電荷注入ステップとを有し、

前記第 1 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第 2 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項 4】

請求項 3 記載の不揮発性半導体記憶装置の書き換え方法において、

データ書き込み時には、前記消去前書き込み時とは条件を変更して第 1 の電荷注入と第 2 の電荷注入とを実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項 5】

請求項 4 記載の不揮発性半導体記憶装置の書き換え方法において、

前記消去前書き込み時に前記第 1 の電荷注入ステップのみを実施することを特徴とする揮発性半導体記憶装置の書き換え方法。

【請求項 6】

請求項 3 ~ 5 のいずれか 1 項に記載の不揮発性半導体記憶装置の書き換え方法において

、
前記消去前書き込み時の第 1 の電荷注入ステップでは、データ書き込み時以上の書き込みレベルまで電荷注入を実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項 7】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第 1 の電荷注入ステップと、前記第 1 の電荷注入ステップの後に実施される第 2 の電荷注入ステップとを有し、

前記第 1 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第 2 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

前記第 1 の電荷注入及び前記第 2 の電荷注入の条件を製造単位により変更することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項 8】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第 1 の電荷注入ステップと、前記第 1 の電荷注入ステップの後に実施される第 2 の電荷注入ステップとを有し、

前記第 1 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

10

20

30

40

50

前記第 2 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、
前記第 1 の電荷注入ステップ及び前記第 2 の電荷注入ステップの条件を書き換え単位により変更することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項 9】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、
書き換え時に、第 1 の電荷注入ステップと、前記第 1 の電荷注入ステップの後に実施される第 2 の電荷注入ステップとを有し、

前記第 1 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第 2 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、
前記第 1 の電荷注入ステップ及び前記第 2 の電荷注入ステップの条件を検査工程において製造単位で設定することを特徴とする不揮発性半導体記憶装置の書き換え方法。

10

【請求項 10】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、
書き換え時に、第 1 の電荷注入ステップと、前記第 1 の電荷注入ステップの後に実施される第 2 の電荷注入ステップとを有し、

前記第 1 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第 2 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、
前記第 1 の電荷注入ステップ及び前記第 2 の電荷注入ステップの条件を検査工程において書き換え単位で設定することを特徴とする不揮発性半導体記憶装置の書き換え方法。

20

【請求項 11】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、
書き換え時に、第 1 の電荷注入ステップと、前記第 1 の電荷注入ステップの後に実施される第 2 の電荷注入ステップとを有し、

前記第 1 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第 2 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、
前記第 1 の電荷注入ステップ及び前記第 2 の電荷注入ステップの条件を、それ以前の書き換え時の特性から、書き換え単位で設定することを特徴とする不揮発性半導体記憶装置の書き換え方法。

30

【請求項 12】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、
書き換え時に、第 1 の電荷注入ステップと、前記第 1 の電荷注入ステップの後に実施される第 2 の電荷注入ステップとを有し、

前記第 1 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第 2 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、
前記待ち時間は、前回のデータ書き込みから書き換えまでの放置時間の長さに応じて変化することを特徴とする不揮発性半導体記憶装置の書き換え方法。

40

【請求項 13】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、
書き換え時に、第 1 の電荷注入ステップと、前記第 1 の電荷注入ステップの後に実施される第 2 の電荷注入ステップとを有し、

前記第 1 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第 2 の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、
前回のデータ書き込みから書き換えまでの放置時間の長さに応じて、前記第 1 の電荷注入ステップのみを実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項 14】

50

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、
書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

前記第2の電荷注入ステップの電荷注入条件は、前回のデータ書き込みから書き換えまでの放置時間の長さに応じて変化することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項15】

10

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

前記待ち時間は、データ書き込み時の周辺温度の高さに応じて変化することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項16】

20

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

データ書き込み時の周辺温度の高さに応じて、前記第1の電荷注入ステップのみを実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項17】

30

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

前記第2の電荷注入ステップの電荷注入条件は、データ書き込み時の周辺温度の高さに応じて変化することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項18】

40

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

前記待ち時間は、データ書き換え回数に応じて変化することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項19】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意

50

の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

データ書き換え回数に応じて、前記第1の電荷注入ステップのみを実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項20】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

前記第2の電荷注入ステップの電荷注入条件は、データ書き換え回数に応じて変化することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項21】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

前記待ち時間は、書き換え直前のデータ値に応じて変化することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項22】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

書き換え直前のデータ値に応じて、前記第1の電荷注入ステップのみを実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項23】

トラップ層を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施し、

前記第2の電荷注入ステップの電荷注入条件は、書き換え直前のデータ値に応じて変化することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項24】

トラップ層を有し、かつ3値以上の複数のメモリセル閾値電圧を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施することとし、

まず低い閾値電圧を設定するメモリセルに対して電荷注入を実施し、次に別のより高い閾値電圧を設定するメモリセルの電荷注入を実施し、前記低い閾値電圧を設定するメモリ

10

20

30

40

50

セルの第1の電荷注入後の待ち時間を確保し、その後、前記低い閾値電圧を設定するメモリセルに対して第2の電荷注入を実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項25】

トラップ層を有し、かつ3値以上の複数のメモリセル閾値電圧を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

10

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施することとし、

まず高い閾値電圧を設定するメモリセルに対して電荷注入を実施し、次に別のより低い閾値電圧を設定するメモリセルの電荷注入を実施し、前記高い閾値電圧を設定するメモリセルの第1の電荷注入後の待ち時間を確保し、その後、前記高い閾値電圧を設定するメモリセルに対して第2の電荷注入を実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項26】

トラップ層を有し、かつ3値以上の複数のメモリセル閾値電圧を有する不揮発性半導体記憶装置の書き換え方法であって、

書き換え時に、第1の電荷注入ステップと、前記第1の電荷注入ステップの後に実施される第2の電荷注入ステップとを有し、

20

前記第1の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施した後に、任意の待ち時間を確保し、

前記第2の電荷注入ステップでは、任意の閾値電圧まで電荷注入を実施することとし、

メモリセルの閾値電圧レベルに応じて、データ書き込み時に前記第1の電荷注入と前記第2の電荷注入とを実施するか、消去前書き込み時に前記第1の電荷注入と前記第2の電荷注入との双方又は前記第1の電荷注入のみを実施するかを変更することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項27】

請求項26記載の不揮発性半導体記憶装置の書き換え方法において、

30

特に書き換え時において、書き換え前に低い閾値電圧に設定されていたメモリセルに対しては、前記第1の電荷注入を消去前書き込み時に実施し、消去後のデータ書き込み時には前記第1の電荷注入と前記第2の電荷注入とをまず高い閾値電圧を設定するメモリセルに対して実施し、前記第1の電荷注入後の待ち時間を、別のより低い閾値電圧を設定するメモリセルの書き込み時間で確保し、その後、前記高い閾値電圧を設定するメモリセルに対して前記第2の電荷注入を実施することを特徴とする不揮発性半導体記憶装置の書き換え方法。

【請求項28】

トラップ層を有する不揮発性メモリアレイと、

書き換え時に第1の電荷注入と、第2の電荷注入とを実施するように、前記第1の電荷注入において、任意のメモリセル閾値電圧まで電荷注入を実施した後に任意の待ち時間を制御すると共に、前記任意の待ち時間以降に、前記第2の電荷注入を制御する書き換え順序制御回路と、

40

前記不揮発性メモリアレイの消去単位領域毎に前記第1の電荷注入の実施時刻を記憶する領域を有する時間管理領域とを備えたことを特徴とする不揮発性半導体記憶装置。

【請求項29】

トラップ層を有する不揮発性メモリアレイと、

書き換え時に第1の電荷注入と、第2の電荷注入とを実施するように、前記第1の電荷注入において、任意のメモリセル閾値電圧まで電荷注入を実施した後に任意の待ち時間を制御すると共に、前記任意の待ち時間以降に、前記第2の電荷注入を制御する書き換え順

50

序制御回路と、

前記不揮発性メモリアレイの消去単位領域毎に前記第1の電荷注入後であるか又は前記第2の電荷注入後であるかの状態を記憶する領域を有する状態管理領域とを備えたことを特徴とする不揮発性半導体記憶装置。

【請求項30】

トラップ層を有し、かつ書き換え時に第1の電荷注入と、第2の電荷注入とを実施するように、前記第1の電荷注入において、任意のメモリセル閾値電圧まで電荷注入を実施した後に任意の待ち時間を制御すると共に、前記任意の待ち時間以降に、前記第2の電荷注入を制御する書き換え順序制御回路を備えた不揮発性半導体記憶装置と、

前記第1の電荷注入における任意の待ち時間の制御終了後、前記第1の電荷注入と、前記第2の電荷注入とを切り換え選択可能な書き換え動作選択回路とを備えたことを特徴とする電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリセルトランジスタのチャンネル領域とゲート電極との間のゲート絶縁膜の内部にトラップ層を有し、電氣的に書き込みと消去が可能な不揮発性半導体記憶装置及びその書き換え方法に関するものである。

【背景技術】

【0002】

従来のトラップ層を有する不揮発性メモリでは、メモリセルのチャンネル領域とゲート電極との間の絶縁膜(SiO_2)内に存在する離散化されたトラップ層(SiN 膜又は SiN 膜/トップ SiO_2 膜界面の遷移領域)に電氣的な電荷(電子及びホール)注入により電荷がトラップされ、そのメモリセル閾値電圧によってデータ“0”、データ“1”を判定し、情報を記憶する。

20

【0003】

以下、電子注入を書き込みとして、またホール注入を消去として、書き込み動作における注入電荷を電子とし、書き込み動作における周辺電荷をホールとして説明する。

【0004】

図23は、横軸をチャンネル方向とした、トラップ層を有する不揮発性メモリの断面構造図である。図23を用いて従来のトラップ層を有する不揮発性メモリの構成と動作について説明する。

30

【0005】

図23において、3001はP型シリコンからなる半導体基板、3002は半導体基板3001上に設けられたP型のチャンネル領域、3003はチャンネル領域3002の片側に半導体基板3001上に設けられたN型の半導体からなる第1の不純物領域、3004はチャンネル領域3002の片側に半導体基板3001上に設けられたN型の半導体からなる第2の不純物領域、3007は半導体基板3001上に設けられたシリコンの酸化膜からなるボトム絶縁膜、3006はボトム絶縁膜3007上に設けられたシリコンの窒酸化膜からなるトラップ層、3005はトラップ層3006上に設けられたシリコンの酸化膜からなるトップ絶縁膜、3008はトップ絶縁膜3005上に設けられたN型のポリシリコンからなるゲート電極である。

40

【0006】

書き込みは、ゲート電極3008に約9Vを、第1の不純物領域3003に約5Vを、第2の不純物領域3004に約1Vを、半導体基板3001に0Vをそれぞれ印加する。これにより、第2の不純物領域3004から第1の不純物領域3003に向かう電子の一部が第1の不純物領域3003の近傍の高電界によってホットとなり、トラップ層3006に局所的に注入され、メモリセル閾値電圧は高い状態となる。

【0007】

消去は、ゲート電極3008に約-3Vを、第1の不純物領域3003に約5Vを、半

50

導体基板 3001 に 0 V をそれぞれ印加し、第 2 の不純物領域 3004 をフローティングとする。これにより、第 1 の不純物領域 3003 内のバンド間トンネルにより生じるホールの一部が第 1 の不純物領域 3003 の近傍の高電界によってホットとなり、トラップ層 3006 に局所的に注入され、メモリセル閾値電圧は低い状態となる。

【0008】

読み出しは、ゲート電極 3008 に約 4 V を、第 1 の不純物領域 3003 に 0 V を、第 2 の不純物領域 3004 に約 1.5 V を、半導体基板 3001 に 0 V をそれぞれ印加する。これにより、トラップ層 3006 中の電荷の有無により、データ“0”又は“1”が得られる。

【0009】

次に、図 24 を用いて従来のトラップ層を有する不揮発性メモリの、書き込み後の無バイアス状態におけるトラップされた電荷の挙動について説明する。

【0010】

図 24 (a) 及び (b) は横軸をメモリセル閾値電圧、縦軸を書き込み対象のメモリセル数としたメモリセル閾値電圧の分布である。図 24 (c) から (e) は横軸を図 23 の矢印 X 方向の距離、縦軸を電荷密度とした第 1 の不純物領域 3003 の近傍の確率密度分布である。

【0011】

図 24 (a) において、3101 は書き込み直後のメモリセル閾値電圧の分布である。図 24 (b) において、3102 は寿命末期のメモリセル閾値電圧の分布であり、3103 はベリファイレベルである。図 24 (c) において、3111 は書き込みにより注入した電子の確率密度分布、3112 は書き込み以前の消去により注入したホールの確率密度分布である。図 24 (d) において、3121 はホールと結合した後の電子の確率密度分布、3122 は電子と結合した後のホールの確率密度分布である。図 24 (e) において、3131 は寿命末期の電子の確率密度分布である。

【0012】

上記のように局所的に 2 種類の電荷がトラップされた状態では、書き込み直後のメモリセル閾値電圧の分布 3101 において、図 24 (c) のように電子の確率密度分布 3111 とホールの確率密度分布 3112 はそれぞれ異なる確率密度分布を示し、電子の確率密度分布 3111 とホールの確率密度分布 3112 の重なった部分は瞬時に結合し、図 24 (d) のような電子の確率密度分布 3121 とホールの確率密度分布 3122 となる。その後、電荷の横方向拡散により電子とホールの結合が進み、メモリセル閾値電圧に変化が生じる。

【0013】

従来の寿命末期のメモリセル閾値電圧の分布 3102 において、書き込み状態はホールよりも電子の総数が多いため、ホールが無くなり、図 24 (e) のような電子の確率密度分布 3131 のみとなる。これにより、書き込み後のホールの総数を少なくすることで、メモリセルのデータ保持特性の向上を図ることができる。

【0014】

なお、ディスタ urb (擾乱) によりメモリセル閾値電圧が低下し、ベリファイレベルを満たさないメモリセルに対して、再度書き込みを実施することで、ベリファイレベルを満たし、メモリセル閾値電圧の変化の抑制を図っているものもある (特許文献 1 参照)。

【特許文献 1】特開平 7 - 37397 号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

従来のトラップ層を有する不揮発性メモリにおいて、局所的に電荷をトラップ層に注入すると、トラップされた電荷が無バイアス状態にて横方向拡散し、周辺電荷と結合しメモリセル閾値電圧の変化が生じる。このメモリセル閾値電圧の変化によるデータ保持特性劣化が市場でのアクセススピードの低下やデータの誤読み出しの原因となる。

10

20

30

40

50

【 0 0 1 6 】

また、データ保持特性には書き換え回数の依存性があり、書き換え回数が多いほどデータ保持特性の劣化が大きく、製品の書き換え保証回数の向上の妨げとなっている。

【 0 0 1 7 】

本発明は、上記従来の問題点を解決するためのもので、トラップ層を有する不揮発性メモリセルのデータ保持特性の劣化の抑制を実現することを目的とする。

【課題を解決するための手段】

【 0 0 1 8 】

上記目的を達成するため、本発明では、トラップ層を有する不揮発性半導体記憶装置の書き換えにあたり、任意の閾値電圧まで電荷注入を実施した後、任意の待ち時間を確保したうえで、更に任意の閾値電圧まで電荷注入を実施することとしたものである。ただし、一定の条件下で、待ち時間後の電荷注入を省略する。

10

【発明の効果】

【 0 0 1 9 】

本発明によれば、書き換えシーケンスにおいて、任意の待ち時間を確保した第1の電荷注入と、当該第1の電荷注入後の第2の電荷注入とを実施することにより、電荷注入動作直後の初期変動（ごく短時間での周辺電荷との結合による電荷ロス現象）を利用して、データ保持特性を劣化させる周辺電荷を低減させたうえで、更に、初期変動による電荷ロス分を補うことで、その後のデータ保持特性が向上する。しかも、第2の電荷注入が不要である場合には、これを省略することで高速書き換えを実現できる。

20

【発明を実施するための最良の形態】

【 0 0 2 0 】

以下、本発明の実施形態について、図面を参照しながら説明する。なお、以下で述べる全ての実施形態における不揮発性半導体記憶装置のメモリセルは、トラップ層を有するものである。

【 0 0 2 1 】

以下、第1の電荷注入を第1の書き込み及び待ち時間とし、かつ第2の電荷注入を第2の書き込みとして説明する。

【 0 0 2 2 】

《第1の実施形態》

30

図1は、本発明の第1の実施形態における不揮発性半導体記憶装置の書き換え方法を示したフローチャートである。所定の不揮発性メモリセルに書き込みを行う場合の方法を説明する。

【 0 0 2 3 】

図1のフローチャートにおいて、101は開始端子、110は終了端子であり、また102、104、105、107、109は処理を示し、103、106、108は判断を示し、121、122は範囲を示す。処理712及び判断801、713については後述する。

【 0 0 2 4 】

102は第1の書き込みを実施するための条件を設定する処理であり、104は第1の書き込みを実施する処理であり、105は時間計測を開始する処理であり、107は第2の書き込みを実施するための条件を設定する処理であり、109は第2の書き込みを実施する処理である。また103は第1の書き込みが完了したかを判断する処理であり、106は一定時間が経過しているかを判断する処理であり、108は第2の書き込みが完了したかを判断する処理である。121は第1の電荷注入の範囲であり、122は第2の電荷注入の範囲である。

40

【 0 0 2 5 】

所定のメモリセルに対する書き込みフローは開始端子101から開始し、所望の第1の書き込み条件を設定する処理102を経て第1の書き込みが完了したかの判断103に進む。処理102は例えば、書き込みにおける電圧条件・パルス幅条件などの設定である。

50

また判断103は例えば、所定の閾値電圧まで書き込みが行われていることを確認する書き込みベリファイである。

【0026】

判断103において、第1の書き込みが完了していないと判断した場合は、第1の書き込み処理104へ進む。第1の書き込み処理104を実施した後は、所望の第1の書き込み条件を設定する処理102を経て第1の書き込みが完了したかの判断103に戻る。判断103で第1の書き込み完了を確認するまで、処理104、102を繰り返す。

【0027】

判断103で第1の書き込み完了と判断した場合、時間計測を開始する処理105を実施し判断106に進む。判断106において、時間計測を開始する処理105から、計測した時間が一定時間以上経過しているかを確認し、経過している場合、第2の書き込みを実施するための条件を設定する処理107へ進む。判断106において、一定時間以上経過していない場合は、判断106の条件を満たすまで判断106を繰り返す。判断106での一定時間とは長時間であるほど望ましい。以上が第1の電荷注入の範囲121であり、第1の書き込みと一定時間で決定される待ち時間から構成されている。以後は第2の電荷注入122となる。

10

【0028】

第2の書き込みを実施するための条件を設定する処理107は第2の書き込みが完了したかの判断108に進む。処理107は例えば、書き込みにおける電圧条件・パルス幅条件などの設定である。また判断108は例えば、所定の回数書き込みパルス印加をしたか

20

【0029】

判断108において、第2の書き込みが完了していないと判断した場合は、第2の書き込み処理109へ進む。第2の書き込み処理109を実施した後は、所望の第2の書き込み条件を設定する処理107を経て第2の書き込みが完了したかの判断108に戻る。判断108で書き込み完了を確認するまで、処理109、107を繰り返す。判断108で書き込み完了と判断した場合、終了端子110へ進み一連の書き込みフローが終了する。

【0030】

本書き込みフローはメモリセルアレイの書き込みにおいても、各処理をアドレスなどの書き込み単位で実施することにより同様に適用できる。

30

【0031】

図1のフローチャートにおいて、713はメモリセルアレイの所定の書き込みエリアにおける書き込み単位の最終であるかの判断、712は書き込み単位の設定又は変更処理を示す。

【0032】

第1の書き込みを実施する前に、書き込みを実施する書き込み単位を設定712し、前記のとおり第1、第2の書き込みを実施し、第2の書き込みが完了したかの判断108において書き込み完了を確認した場合、メモリセルアレイの所定の書き込みエリアにおける書き込み単位の最終であるかの判断713を行う。判断713で最終でないと判断した場合書き込み単位の変更処理712を行った後、第1の書き込みを行う。判断713で最終と判断した場合、終了端子110へ進み一連の書き込みフローを終了する。ここで書き込み単位とは例えばアドレスであり、書き込み単位の変更とは例えばアドレスインクリメントである。なお、第2の書き込みを任意の回数実施することとしてもよい。

40

【0033】

図1のフローチャートにおいて、801は所定の判定レベルに達しているかの判断を示す。ここで、所定の判定レベルとは例えば第1の書き込み時のベリファイレベルや、そのベリファイレベルから待ち時間における変動期待分を追加したレベルなどである。

【0034】

所定のレベルに達している場合は、第2の書き込みの条件設定107に進み前記のとおり第2の電荷注入を実施する。所定のレベルに達していない場合は、電荷注入の最終単位

50

かの判断 7 1 3 に進み、他の書き込み単位の第 1 の書き込みに進むか、最終単位であれば終了 1 1 0 に進む。

【 0 0 3 5 】

所定のレベルに達しているかの判断 8 0 1 によって、例えば第 1 の書き込み及び待ち時間によって電子とホールの結合によるメモリセル閾値電圧の変化量が少ない場合は第 2 の電荷注入を実施しないこととなる。所定の判定レベルを例えば読み出しレベルからの必要なマージンを確保した書き込みレベルなどとすれば、判定レベルに達したものののみ第 2 の書き込みを実施すればよく、本発明の効果をより最適な時間で適用できる。

【 0 0 3 6 】

次に、図 2 を使って本発明の第 1 の実施形態における電荷の挙動を説明する。図 2 は、
10
トラップ層を有する不揮発性メモリにおけるトラップされた電荷の挙動を、上記図 1 にて説明した書き込みフローをメモリセルアレイに対して実施した場合について示すものである。

【 0 0 3 7 】

図 2 において図 2 (a) から図 2 (d) は横軸をメモリセル閾値電圧、縦軸を書き込み対象のメモリセル数としたメモリセル閾値電圧の分布である。図 2 (e) から図 2 (h) は横軸を図 2 3 のメモリセルにおける矢印 X 方向の距離、縦軸を電荷密度とした第 1 の不純物領域 3 0 0 3 の近傍の確率密度分布である。

【 0 0 3 8 】

図 2 (a) において、2 0 1 は第 1 の書き込み直後のメモリセル閾値電圧の分布である
20
。図 2 (b) において、2 0 2 は一定時間経過後のメモリセル閾値電圧の分布である。図 2 (c) において、2 0 3 は一定時間経過後第 2 の書き込みを実施した直後のメモリセル閾値電圧の分布である。図 2 (d) において、2 0 4 は寿命末期のメモリセル閾値電圧の分布である。図 2 (a) から (d) において、2 0 5 は書き込みベリファイレベルである。

【 0 0 3 9 】

図 2 (e) において、2 1 1 は第 1 の書き込みにより注入した電子の確率密度分布、2
1 2 はそれ以前の消去により注入したホールの確率密度分布である。図 2 (f) において、
30
2 2 1 はホールと結合した後の電子の確率密度分布、2 2 2 は電子と結合した後のホールの確率密度分布である。図 2 (g) において、2 3 1 はホールと結合した後に第 2 の書き込みにより注入した電子の確率密度分布、2 3 2 は電子と結合した後のホールの確率密度分布である。図 2 (h) において、2 4 1 は寿命末期の電子の確率密度分布である。

【 0 0 4 0 】

第 1 の書き込み完了直後のメモリセル閾値電圧の分布 2 0 1 において、図 2 (e) のように電子とホールはそれぞれ異なる確率密度分布を示し、電子とホールの重なった部分は瞬時に結合し、第 1 の書き込み完了から一定時間経過後、図 2 (f) のような電子の確率密度分布 2 2 1 とホールの確率密度分布 2 2 2 となり、メモリセル閾値電圧の分布は 2 0 1 から低下し 2 0 2 となる。

【 0 0 4 1 】

この後第 2 の書き込みを実施すると、メモリセル閾値電圧の分布は 2 0 2 から上昇し、
40
図 2 (c) のような第 2 の書き込み完了直後のメモリセル閾値電圧の分布 2 0 3 となる。そしてその完了直後の電子、ホールの確率密度分布は、図 2 (g) のような電子の確率密度分布 2 3 1、ホールの確率密度分布 2 3 2 となり、メモリセルのデータ保持特性を劣化させるホールの確率密度が減少し、電子の確率密度が増加することとなる。

【 0 0 4 2 】

これによって、本発明の効果としてその後の電荷の横方向拡散による電子とホールの結合は図 2 4 に示した従来例に比べ抑制され、メモリセル閾値電圧の経時変化量も低減し、メモリセルのデータ保持特性が向上する。すなわち、図 2 (d) のような寿命末期のメモリセル閾値電圧の分布 2 4 1 においては、図 2 (h) のように電子の確率密度分布 2 4 1 が図 2 4 (e) の従来の電子の確率密度分布 3 1 3 1 に比べ高くなる。
50

【 0 0 4 3 】

図 3 に、本発明を適用した場合のメモリセル閾値電圧の変化を示す。図 3 (a) は、横軸は保存時間、縦軸はメモリセル閾値電圧であり、3 0 1 は従来のメモリセル閾値電圧の変動、3 0 2 は本発明におけるメモリセル閾値電圧の変動、3 0 3 は読み出しレベルである。どの保存時間においても、本発明におけるメモリセル閾値電圧 3 0 2 は従来のメモリセル閾値電圧 3 0 1 に比べて高く、データ読み出しのマージンがより多く確保できるため、データ保持特性が向上する。

【 0 0 4 4 】

図 3 (b) は、横軸は書き換え回数、縦軸はメモリセル閾値電圧の変動量であり、3 1 1 は従来の閾値変動量の書き換え回数依存性、3 1 2 は本発明における閾値変動量の書き換え回数依存性である。本発明によって、メモリセル閾値電圧の変動量が同じになる書き換え回数が、従来に比べ増加する。

【 0 0 4 5 】

なお、本実施形態において第 2 の書き込みを、例えば電圧やパルス幅をより細かな単位で実施することで、本実施形態の更なる効果を得られる。

【 0 0 4 6 】

図 4 の多値メモリのメモリセル閾値電圧分布の図を用いて本実施形態の効果を説明する。9 0 1 は多値メモリにおける 1 番目のレベルのデータのメモリセル閾値電圧の分布、9 0 2 は多値メモリにおける 2 番目のレベルのデータのメモリセル閾値電圧の分布、9 0 3 は多値メモリにおける 3 番目のレベルのデータのメモリセル閾値電圧の分布、9 0 4 は多値メモリにおける 4 番目のレベルのデータのメモリセル閾値電圧の分布、9 0 5 は 1 番目と 2 番目のデータの判定に必要な閾値電圧マージン、9 0 6 は 2 番目と 3 番目のデータの判定に必要な閾値電圧マージン、9 0 7 は 3 番目と 4 番目のデータの判定に必要な閾値電圧マージンである。

【 0 0 4 7 】

特に閾値電圧レベルが中間的なレベルのものについて、例えば 2 番目のレベルのデータのメモリセル閾値電圧の分布 9 0 2 について効果を説明する。第 1 の書き込み後に所定のレベルに達した場合には第 2 の書き込みを行い、所定のレベルまで書き込みを行うが、その際例えば電圧やパルス幅をより細かな単位で実施することで、2 番目のレベルのデータのメモリセル閾値電圧の分布 9 0 2 の上側の上昇を最小限にとどめることができる。これにより、2 番目と 3 番目のデータの判定に必要な閾値電圧マージン 9 0 6 をより少なくできる。これによって、より多くのレベルを持った多値メモリ、あるいは全体の閾値レベルの低下による昇圧回路の縮小化などを図ることが可能となる。

【 0 0 4 8 】

本実施形態は、図 5 の構成によって実現できる。図 5 は、本発明の第 1 の実施形態における不揮発性半導体記憶装置を示している。所定のアドレスの不揮発性メモリセルに書き込みを行う場合の方法を説明する。

【 0 0 4 9 】

図 5 の 4 1 0 は書き込み条件設定回路、4 1 1 は高電圧設定回路、4 1 2 はパルス幅制御回路、4 2 0 はタイマー回路、4 3 0 は書き換え順序制御回路、4 4 0 は高電圧発生 / 制御回路、4 5 0 はアドレスデコーダ回路、4 6 0 はデータラッチ回路、4 7 0 はメモリセルアレイ、4 8 0 はベリファイ回路である。

【 0 0 5 0 】

また、S 4 1 0 ~ S 4 8 1 は制御信号、A 4 1 0 ~ A 4 7 0 はアドレスバス、D 4 1 0 ~ D 4 8 0 はデータバス、4 4 0 は高電圧信号を示している。

【 0 0 5 1 】

まず、第 1 の書き込み動作について説明する。書き込み条件設定回路 4 1 0 は、外部から入力される制御信号 S 4 1 0、書き込みアドレス A 4 1 0、書き込みデータ D 4 1 0 を受けて、第 1 の書き込み条件の設定を行う。ここでの制御信号は書き込みコマンドなどである。また、書き込み条件は例えば、書き込みにおける電圧条件・パルス幅条件などの設

10

20

30

40

50

定である。入力された設定条件に従い、電圧条件は高電圧設定回路411に、パルス幅条件はパルス幅制御回路412に設定又は制御される。書き込みに必要な高電圧は、高電圧設定回路411の設定値に基づき高電圧発生/制御回路440で制御され、高電圧信号P440として出力される。この高電圧信号P440は、アドレスデコーダ回路450及びデータラッチ回路460に入力され、アドレスデコーダ回路450によって選択されたメモリセルアレイ470内のメモリセルを対象としてデータラッチ回路460のデータに基づきパルス幅制御回路412に設定された時間だけ印加される。

【0052】

書き込み終了の判断は例えば、ベリファイ回路480を用いて、所定の閾値レベルまで書き込みが行われていることを確認する書き込みベリファイによって行われる。

10

【0053】

書き込みベリファイにおいて、第1の書き込みが完了していないと判断した場合は、第1の書き込みパルスを印加する。第1の書き込みパルス印加後は、所望の第1の書き込み条件の設定を経て第1の書き込みが完了したかの書き込みベリファイを行う。書き込みベリファイによって、書き込み完了を判断するまで、繰り返し行う。

【0054】

書き込みベリファイによって、書き込み完了と判断した場合、ベリファイ回路480の出力信号S428をタイマー回路420に入力することで時間計測を開始する。一定時間経過後、制御信号S432を書き換え順序制御回路430に入力し、第2の書き込み動作に進む。

20

【0055】

あるいは、例えば、ベリファイを実施しない書き込みフローの場合には、パルス幅制御回路412の出力信号S420からパルス印加終了のタイミングをタイマー回路420に入力することで時間計測を開始する。一定時間経過後、制御信号S432を書き換え順序制御回路430に入力し、第2の書き込み動作に進む。

【0056】

次に、第2の書き込み動作について説明する。書き込み条件設定回路410は、書き換え順序制御回路430からの制御信号S431によって、第2の書き込み動作を開始する。また、第2の書き込み条件の設定を行う。書き込み条件は例えば、書き込みにおける電圧条件・パルス幅条件などの設定である。入力された設定条件に従い、電圧条件は高電圧設定回路411に、パルス幅条件はパルス幅制御回路412にそれぞれ設定又は制御される。書き込みに必要な高電圧は、高電圧設定回路411の設定値に基づき高電圧発生/制御回路440で制御され、高電圧信号P440として出力される。この高電圧信号P440は、アドレスデコーダ回路450及びデータラッチ回路460に入力され、アドレスデコーダ回路450によって選択されたメモリセルアレイ470内のメモリセルを対象としてデータラッチ回路460のデータに基づきパルス幅制御回路412に設定された時間だけ印加される。また、書き込み終了の判断は例えば、ベリファイ回路480を用いて、所定の閾値レベルまで書き込みが行われていることを確認する書き込みベリファイによって行われる。

30

【0057】

書き込みベリファイにおいて、第2の書き込みが完了していないと判断した場合は、第2の書き込みパルスを印加する。第2の書き込みパルス印加後は、所望の第2の書き込み条件の設定を経て第2の書き込みが完了したかの書き込みベリファイを行う。書き込みベリファイによって、書き込み完了を判断するまで、繰り返し行う。

40

【0058】

書き込みベリファイによって、書き込み完了と判断した場合、一連の書き込み動作が終了する。

【0059】

以上より本発明によれば、電荷注入動作直後のごく短時間での周辺電荷との結合による電荷ロス現象である初期変動を利用して、データ保持特性を劣化させる周辺電荷を低減さ

50

せとうえで、初期変動による電荷ロス分を補うことで、その後のデータ保持特性が向上する。

【0060】

なお、第1の書き込み(第1の電荷注入)を所定の回数実行することとしてもよい。第1の書き込みと一定時間の放置による電子とホールの結合を繰り返すことで、データ保持特性が更に向上し、更にメモリセル閾値電圧の分布の範囲が狭くなる利点がある。

【0061】

《第2の実施形態》

一般的な不揮発性メモリの書き換えでは、消去前に書き換えエリアのデータを全て“0”データにした後、消去を実施するものが多い。これは、“1”データのセルを消去することで、セルがより深い消去レベルとなり、特性を悪化させるリークなどが発生することを防ぐものである。

10

【0062】

本発明は、この消去前書き込みにおいても適用することができ、第2の実施形態として説明する。

【0063】

図6は、一般的な不揮発性メモリの書き換えに本発明を適用した場合のフローチャートである。1101から1103までは消去前書き込みでのフローであり、1105から1107まではデータ書き込みでのフローである。1104はデータの消去である。1101、1105は前記第1の書き込みであり、1102、1106は前記第1の書き込みに付随する待ち時間であり、1103、1107は前記第2の書き込みである。なお、データ消去1104の前の第2の書き込み1103は省略可能である。

20

【0064】

図7は、本発明の第2の実施形態における不揮発性半導体記憶装置の書き換え方法をメモリセル閾値電圧の分布及び確率密度分布で示した図である。所定の不揮発性メモリセルに消去前書き込みを行う場合を説明する。

【0065】

図7(a)から(c)は横軸をメモリセル閾値電圧、縦軸を書き込み対象のメモリセル数としたメモリセル閾値電圧の分布である。ここに、1004は消去ベリファイレベル、1005は書き込みベリファイレベルである。図7(d)から(f)は横軸を図23の矢印X方向の距離、縦軸を密度とした第1の不純物領域3003近傍の確率密度分布である。

30

【0066】

図7(a)において、1000は消去前書き込み直前のデータ“1”側のメモリセル閾値の分布であり、1001は消去前書き込み直前のデータ“0”側のメモリセル閾値の分布である。図7(b)において、1002は消去前書き込みにおける第1の書き込み直後のメモリセル閾値電圧の分布である。図7(c)において、1003は第1の書き込みにおける一定時間経過後のメモリセル閾値電圧の分布である。図7(d)において、1011は消去前書き込み直前のデータ“0”側の電子の確率密度分布、1012は同じくホールの確率密度分布である。図7(e)において、1021は消去前書き込みにおける第1の書き込み直後の電子の確率密度分布、1022は同じくホールの確率密度分布である。図7(f)において、1031は第1の書き込みにおける一定時間経過後の電子の確率密度分布、1032は同じくホールの確率密度分布である。

40

【0067】

本発明の第2の実施形態は、消去前書き込みの第1の書き込み1101で、データ書き込み時の書き込みレベルよりも高い閾値電圧まで書き込みを行うことと、消去前書き込みの第2の書き込み1103を実施しないこととを特徴とするものである。

【0068】

消去前書き込みにおいて、第1の電荷注入1101をデータ書き込み時の書き込みレベルよりも高い閾値電圧まで実施することで、電子の確率密度分布1021が増加する。こ

50

れによって、電子とホールとの結合によりメモリセルのデータ保持特性を劣化させるホールの確率密度1032が減少し、電子の確率密度1031が増加する。消去前書き込みでは、その後必ず消去ステップ1104があるので、データ保持に懸念される書き込みレベルが高いことによる問題もなく、また電子とホールとの結合によって低下したレベルを上昇させる必要もないので、消去前書き込みの第2の書き込み1103は省くことができる。

【0069】

書き換え毎にホールの確率密度分布を低下させておくことで、多数回の書き換えによって蓄積されるホールの増加を最小限にとどめることができ、不揮発性メモリの電荷保持特性の書き換え回数依存性の向上が図れ、高エンデュランスを実現できる。

【0070】

なお、第1の書き込み及び第2の書き込みの条件を製造単位又は書き換え単位で変更することとしてもよい。ここで製造単位とは、例えば製造工場、製造時期、又はロットやウェハなど製造上のバラツキにより特性のバラツキが生ずる単位などである。また書き換え単位とは、例えば個々のチップやエリア、アドレス、個々のメモリセルなど、位置や回路的な違いなどにより特性差を生ずる単位である。

【0071】

これによって、製造や回路、位置などによる特性のバラツキが存在しても最適な第1及び第2の書き込みを実施できる。

【0072】

書き換えの最小単位で最適化することで、本発明の最大の効果を得ることができ、製造単位や大きな又は中間的な書き換え単位で最適化することで、書き換え時間の増加を最小限にとどめたうえで各種バラツキにも対応した本発明の効果向上を図ることができる。

【0073】

《第3の実施形態》

第3の実施形態は、検査時に各チップの書き込み特性などを測定し、測定結果に応じて書き換えにおける第1及び第2の書き込みの条件を決定し、書き込み条件の設定値を記憶し、実使用においてその設定値により書き換えを実施するものである。

【0074】

図8は、本実施形態を検査工程の中で実施する場合のフローチャートである。図8のフローチャートにおいて、1201は開始端子、1207は終了端子であり、また1202、1204、1205は処理を示し、1203、1206は判断を示す。

【0075】

開始端子1201は書き込み特性の測定1202につながる。ここで測定する特性とは例えば所定の回数書き込みパルス印加をした後の書き込み閾値電圧レベルや、所定の書き込みベリファイレベルに達するまで印加したパルス数又は時間などである。1202は書き込み特性測定の最終かの判断1203につながる。測定が最終である場合書き込み条件の決定1204につながり、最終でない場合書き込み特性の測定1202に戻る。ここで書き込み条件の決定1204とは、例えば測定を行った範囲の特性の平均値又は最大値、最小値などから、過去の評価の結果などを踏まえて書き込み条件を算出するものである。

【0076】

書き込み条件の決定1204後、書き込み条件の記憶1205につながる。書き込み条件の記憶1205は、例えば不揮発性メモリなどに行われる。書き込み条件の記憶1205は書き込み条件記憶の最終かの判断1206につながる。記憶の完了を待って端子1207につながる。

【0077】

書き込み条件を実際のチップの特性測定結果を反映した値とすることで、各チップの特性を踏まえた最適な第1及び第2の書き込みが実現でき、実際の書き換えにおいて書き換え時間の増加なく本発明の効果をより上げることができる。

【0078】

《第4の実施形態》

10

20

30

40

50

図9は、本発明の第4の実施形態における不揮発性半導体記憶装置の書き換え方法を示したフローチャートである。図9のフローチャートにおいて、1301、1302、1303は処理である。

【0079】

電荷注入の最終単位かの判断713で最終の場合、次の書き換えの書き込み条件の決定・記憶1301に進み、その後終了端子110につながる。ここで次の書き換えの書き込み条件の決定・記憶1301は、第1の電荷注入121及び第2の電荷注入122で実際に書き込みを実施したときの、例えば所定の回数書き込みパルス印加をした後の書き込み閾値電圧レベルや、所定の書き込みベリファイレベルに達するまで印加したパルス数又は時間などをもとに、電荷注入単位での特性の平均値又は最大値、最小値などから、過去の評価の結果などを踏まえて書き込み条件を算出、決定する処理である。なお、決定された書き込み条件は、揮発性メモリあるいは不揮発性メモリなどに記憶される。

10

【0080】

次の書き換えにおいて、第1の電荷注入では、電荷注入単位の設定・変更712から、第1の書き込みの条件の読み出し・設定1302につながり、この書き込み条件の読み出し・設定1302では過去の書き換えにおいて決定・記憶1301された条件を用いることになる。第2の電荷注入においても同様に、第2の書き込みの条件の読み出し・設定1303から開始され、第2の書き込み条件の読み出し・設定1303でも過去の書き換えにおいて決定・記憶1301された条件を用いる。

【0081】

これによって、最も小さな単位としてメモリセルで第1及び第2の電荷注入の最適化を行うことができ、どのメモリセルでも均一に本発明の効果を得ることができる。また、次の書き換えの書き込み条件の決定・記憶1301を都度実施することで、書き換え回数などに応じた特性変動にも対応した第1、第2の電荷注入が実施できる。

20

【0082】

《第5の実施形態》

図10は、本発明の第5の実施形態における不揮発性半導体記憶装置の書き換え方法を示したフローチャートである。図10のフローチャートにおいて、1401、1402、1403は処理を示す。1401は前回の書き込み時刻の読み出しを実施する処理であり、1402は待ち時間の設定を変更する処理であり、1403は書き込み時刻を記憶する処理である。

30

【0083】

所定のメモリセルに対する書き込みフローは開始端子101から開始し、前回の書き込み時刻の読み出しを実施する処理1401を経て、更に待ち時間の設定を変更する処理1402を経て、所望の第1の書き込み条件を設定する処理102へ進む。処理1401は例えば、不揮発性メモリのある領域に、前回の書き込みを実施した時刻を記憶させておき、その情報を読み出すものである。処理1402は例えば、前回の書き込み時刻からの経過時間が長いとき、判断106の経過時間の設定を短くするものである。前回の書き込み時刻からの経過時間が長いときは、書き込みにより注入した電子と消去により注入したホールの結合は十分にされており、判断106の経過時間の設定を短くすることができ、書き込み時間を短縮できる。一方、前回の書き込み時刻からの経過時間が短いとき、判断106の経過時間の設定を長くするものである。前回の書き込み時刻からの経過時間が短いときは、電子とホールの結合は十分でなく、判断106の経過時間の設定を長くすることで電子とホールの結合を促し、データ保持特性を向上させる。

40

【0084】

判断108で書き込み完了と判断した場合、書き込み時刻を記憶する処理1403を経て、終了端子110へ進み一連の書き込みフローが終了する。処理1403は例えば、不揮発性メモリのある領域に、書き込み終了時の時刻を記憶させるものである。この情報は次の書き換え時に使用する。

【0085】

50

図 1 1 は、本発明の第 5 の実施形態の変形例を示したフローチャートである。図 1 1 のフローチャートにおいて、1 5 0 1 は第 2 の書き込みを実施するかを判断する処理である。

【 0 0 8 6 】

判断 1 0 6 において、時間計測を開始する処理 1 0 5 から、計測した時間が一定時間以上経過しているかを確認し、経過している場合は判断 1 5 0 1 へ進む。判断 1 5 0 1 において、前回の書き込み時刻からの経過時間が長いとき、第 2 の書き込みを実施せず、書き込み時刻を記憶する処理 1 4 0 3 へ進む。前回の書き込み時刻からの経過時間が長いときは、電子とホールの結合は十分にされ、第 1 の書き込み後の初期変動による電荷ロス分が少ないため、第 2 の書き込みを実施しなくてもよく、書き込み時間を短縮できる。一方、前回の書き込み時刻からの経過時間が短ければ、第 2 の書き込みを実施するために、第 2 の書き込みを実施する条件を設定する処理 1 0 7 へ進む。前回の書き込み時刻からの経過時間が短いときは、電子とホールの結合は十分でなく、第 1 の書き込み後の初期変動による電荷ロス分が多いため、第 2 の書き込みを実施し、データ保持特性を向上させる。

10

【 0 0 8 7 】

図 1 2 は、本発明の第 5 の実施形態の他の変形例を示したフローチャートである。図 1 2 のフローチャートにおいて、1 6 0 1 は第 2 の書き込みを実施する条件を変更する処理である。

【 0 0 8 8 】

第 2 の書き込みを実施する条件を設定する処理 1 0 7 を経て、第 2 の書き込みを実施する条件を変更する処理 1 6 0 1 へ進む。処理 1 0 7 は例えば、書き込みにおける電圧条件・パルス幅条件などの設定である。処理 1 6 0 1 は例えば、前回の書き込み時刻からの経過時間が長いとき、第 2 の書き込みの電圧条件を低い設定に変更するものである。前回の書き込み時刻からの経過時間が長いときは、電子とホールの結合は十分にされ、第 1 の書き込み後の初期変動による電荷ロス分が少ないため、第 2 の書き込みを高い電圧で実施しなくてもよく、過剰なストレスの印加を抑制できる。一方、前回の書き込み時刻からの経過時間が短ければ、第 2 の書き込みの電圧条件を高い設定に変更するものである。前回の書き込み時刻からの経過時間が短いときは、電子とホールの結合は十分でなく、第 1 の書き込み後の初期変動による電荷ロス分が多いため、第 2 の書き込みを高い電圧で実施し、データ保持特性を向上させる。

20

30

【 0 0 8 9 】

処理 1 6 0 1 を経て、第 2 の書き込みが完了したかの判断 1 0 8 へ進む。判断 1 0 8 は例えば、所定の回数書き込みパルス印加をしたかを確認するものである。

【 0 0 9 0 】

本実施形態は、図 1 3 の構成によって実現できる。図 1 3 は、本発明の第 5 の実施形態における不揮発性半導体記憶装置を示している。メモリセルアレイ 4 7 0 を消去単位領域 A (1) 2 3 7 1 ~ 消去単位領域 A (N) 2 3 7 3 に分割し、前記各消去単位領域毎に時間管理領域 T (1) 2 3 7 4 ~ 時間管理領域 T (N) 2 3 7 6 を含み、更に時間管理回路 2 3 2 1 とセンスアンプ回路 2 3 9 0 とを含み、センスアンプ回路 2 3 9 0 をメモリセルアレイ 4 7 0 とのデータバス D 2 3 9 0 と時間管理回路 2 3 2 1 とのデータバス D 2 3 9 1 との間に接続し、時間管理回路 2 3 2 1 と書き込み条件設定回路 4 1 0 とをデータバス D 2 3 2 1 で接続すること以外は、図 5 と同様の構成を有する。

40

【 0 0 9 1 】

書き込みを行う場合の動作を説明する。まず、任意の消去単位領域 A (1、2、・・・、N) に対する第 1 の書き込み動作終了後の第 2 の書き込み動作について説明する。時間管理回路 2 3 2 1 が発生する現在時刻をデータバス D 2 3 2 1 経由で書き込み条件設定回路 4 1 0 に設定し、データバス D 4 6 0 を経由してデータラッチ回路 4 6 0 に設定し、更にデータバス D 4 7 0 を経由したデータをアドレスデコーダ回路 4 5 0 によって、各々該当する時間管理領域 T (1、2、・・・、N) に対して書き込みを行う。

【 0 0 9 2 】

50

次に、任意の消去単位領域 A (1、2、・・・、N) に対する第 1 の書き込み前の消去動作について説明する。消去動作前に各々該当する時間管理領域 T (1、2、・・・、N) のデータを、データバス D 2 3 9 0 を経由しセンスアンプ回路 2 3 9 0 により読み出す。読み出されたデータは、先の第 2 の書き込み動作時刻を示しており、このデータを、D 2 3 9 1 を経由し時間管理回路 2 3 2 1 に入力し、時間管理回路 2 3 2 1 により、先の第 2 の書き込み時刻と現在時刻を比較し、先の第 2 の書き込み時刻から現在までの経過待ち時間を算出すると共に、前記経過待ち時間情報を時間管理回路 2 3 2 1 内に一時記憶する。その後、先の第 2 の書き込み時刻を読み出した消去単位領域 A (1、2、・・・、N) に対する消去動作を行う。

【0093】

次に、任意の消去単位領域 A (1、2、・・・、N) に対する第 1 の書き込み前の消去動作について説明する。先の消去動作時に時間管理回路 2 3 2 1 内に一時記憶した前記経過待ち時間情報をデータバス D 2 3 2 1 経由で書き込み条件設定回路 4 1 0 に設定する。書き込み条件設定回路 4 1 0 は、前記経過待ち時間情報をもとに、第 1 の書き込み条件を設定する。すなわち、前記経過待ち時間情報より、経過待ち時間が一定時間以上の場合には、経過待ち時間中に第 1 の書き込みベリファイによって、書き込み完了と判断した場合のタイマー回路 4 2 0 による第 2 の書き込みまでの待ち時間を短縮することができる。

【0094】

以上より本実施形態によれば、先の第 2 の書き込み時刻から第 1 の書き込み動作前の消去動作までの経過待ち時間によって、電荷注入動作後の長時間の周辺電荷との結合による電荷ロス現象を利用して、データ保持特性を劣化させる周辺電荷を低減させたいうで、この長時間にわたる必要十分な周辺電荷の低減が行われた場合には、次の第 1 の書き込み完了後の第 2 の書き込みまでの待ち時間を短縮することができる。実際の用途においては、長時間にわたり保持されるデータが多いため、データ保持特性の向上と書き込み時間の短縮とを両立することができる。

【0095】

《第 6 の実施形態》

図 1 4 は、本発明の第 6 の実施形態における不揮発性半導体記憶装置の書き換え方法を示したフローチャートである。図 1 4 のフローチャートにおいて、1701 は処理を示す。1701 は周辺温度を検知する処理である。

【0096】

所定のメモリセルに対する書き込みフローは開始端子 101 から開始し、周辺温度を検知する処理 1701 を経て、所望の第 1 の書き込み条件を設定する処理 102 へ進む。処理 1701 は例えば、抵抗に流れる電流量をモニターすることで周辺温度を検知するものである。

【0097】

第 2 の書き込みを実施する条件を設定する処理 107 を経て、第 2 の書き込みを実施する条件を変更する処理 1601 へ進む。処理 107 は例えば、書き込みにおける電圧条件・パルス幅条件などの設定である。処理 1601 は例えば、周辺の温度が低いとき、第 2 の書き込みの電圧条件を低い設定に変更するものである。周辺の温度が低いときは、電子とホールの結合は温度により加速されず、第 1 の書き込み後の初期変動による電荷ロス分が少ないため、第 2 の書き込みを高い電圧で実施しなくてもよく、過剰なストレスの印加を抑制できる。一方、周辺の温度が高いとき、第 2 の書き込みの電圧条件を高い設定に変更するものである。周辺の温度が高いときは、電子とホールの結合は温度により加速され、第 1 の書き込み後の初期変動による電荷ロス分が多く、それを補うために第 2 の書き込みの電圧条件を高く設定し、データ保持特性を向上させる。

【0098】

処理 1601 を経て、第 2 の書き込みが完了したかの判断 108 に進む。判断 108 は例えば、所定の回数書き込みパルス印加をしたかを確認するものである。

【0099】

10

20

30

40

50

なお、データ書き込み時の周辺温度の高さに応じて待ち時間を変化させてもよい。また、データ書き込み時の周辺温度の高さに応じて、第1の電荷注入のみを実施することとしてもよい。

【0100】

《第7の実施形態》

図15は、本発明の第7の実施形態における不揮発性半導体記憶装置の書き換え方法を示したフローチャートである。図15のフローチャートにおいて、1801、1802は処理を示す。1801は書き換え回数の読み出しを実施する処理であり、1802は書き換え回数を記憶する処理である。

【0101】

所定のメモリセルに対する書き込みフローは開始端子101から開始し、今までの書き換え回数の読み出しを実施する処理1801を経て、第1の書き込みを実施する条件を設定する処理102へ進む。処理1801は例えば、不揮発性メモリのある領域に、今までの書き換え回数を記憶させておき、その情報を読み出すものである。

【0102】

判断106において、時間計測を開始する処理105から、計測した時間が一定時間以上経過しているかを確認し、経過している場合は判断1501へ進む。判断1501において、今までの書き換え回数が少ないとき、第2の書き込みを実施せず、書き換え回数を記憶する処理1403に進む。今までの書き換え回数が少ないときは、データ保持特性を劣化させる周辺電荷が少なく、第1の書き込み後の初期変動による電荷ロス分が少ないため、第2の書き込みを実施しなくてもよく、書き込み時間を短縮できる。一方、今までの書き換え回数が多いとき、第2の書き込みを実施するために、第2の書き込みを実施する条件を設定する処理107へ進む。今までの書き換え回数が多いとき、データ保持特性を劣化させる周辺電荷が多く、第1の書き込み後の初期変動による電荷ロス分が多いため、第2の書き込みを実施し、データ保持特性を向上させる。

【0103】

判断108で書き込み完了と判断した場合、書き換え回数を記憶する処理1802を経て、終了端子110へ進み一連の書き込みフローが終了する。処理1802は例えば、不揮発性メモリのある領域に、書き込み終了時の書き換え回数を記憶させるものである。この情報は次の書き換え時に使用する。

【0104】

なお、データ書き換え回数に応じて待ち時間を変化させてもよい。また、データ書き換え回数に応じて第2の電荷注入の電荷注入条件を変化させてもよい。

【0105】

本実施形態は、図16の構成によって実現できる。図16は、本発明の第7の実施形態における不揮発性半導体記憶装置を示している。メモリセルアレイ470を消去単位領域A(1)2371～消去単位領域A(N)2373に分割し、前記各消去単位領域毎に状態管理領域S(1)2474～状態管理領域S(N)2476を含み、更にセンスアンプ回路2390を含み、センスアンプ回路2390をメモリセルアレイ470とのデータバスD2390と状態信号出力S2491との間に接続すること以外は、図5と同様の構成を有する。

【0106】

書き込みを行う場合の動作を説明する。まず、任意の消去単位領域A(1、2、・・・、N)に対する第1の書き込み動作について説明する。第1の書き込み動作時には各々該当する状態管理領域S(1、2、・・・、N)を消去する。

【0107】

次に、任意の消去単位領域A(1、2、・・・、N)に対する第2の書き込み動作について説明する。第2の書き込み動作時には各々該当する状態管理領域S(1、2、・・・、N)にデータの書き込みを行う。

【0108】

10

20

30

40

50

次に、任意の状態管理領域 S (1、2、・・・、N) に書き込まれた状態の確認方法について説明する。書き込まれた状態の確認には任意の状態管理領域 S (1、2、・・・、N) をアドレスデコーダ回路 4 5 0 により選択し、各々該当する状態管理領域 S (1、2、・・・、N) のデータをデータバス D 2 3 9 0 を経由しセンスアンプ回路 2 3 9 0 によって読み出し、状態信号出力 S 2 4 9 1 に出力する。これにより、各々該当する消去単位領域 A (1、2、・・・、N) が消去状態にあるか書き込み状態にあるかによって、消去単位領域毎に第 2 の書き込みまで完了しているか否かを判別することが可能となる。

【 0 1 0 9 】

なお、状態管理領域 S (1、2、・・・、N) に対して該当消去単位領域への書き換え回数を書き込むデータとしてもよく、この場合には、消去単位領域毎の書き換え回数によって、第 1 の書き込み完了後の第 2 の書き込みまでの待ち時間を短縮することができる。

10

【 0 1 1 0 】

以上より図 1 6 の構成によれば、消去単位領域毎に状態管理領域を備えることで、領域毎に第 1 の書き込み後の状態か第 2 の書き込み後の状態かの判別が容易となり、制御性が向上する。また、状態管理領域に該当消去単位領域への書き換え回数を書き込むことで、消去単位領域毎の書き換え回数によっては、第 1 の書き込み完了後の第 2 の書き込みまでの待ち時間を短縮することができる。

【 0 1 1 1 】

図 1 7 は、図 1 6 の不揮発性半導体記憶装置 (不揮発性メモリ 2 5 0 0) を用いた電子機器を示している。不揮発性メモリ 2 5 0 0 に電氣的に接続されるメモリ制御回路 2 5 1 0 を含み、前記メモリ制御回路 2 5 1 0 内に書き換え動作選択回路 2 5 2 0 を含み、前記書き換え動作選択回路 2 5 2 0 に状態信号出力 S 2 4 9 1 を入力し、制御信号 S 4 1 0、アドレスバス A 4 1 0、データバス D 4 1 0 を書き換え動作選択回路 2 5 2 0 に接続すること以外は、図 1 6 と同様の構成を有する。

20

【 0 1 1 2 】

先に図 1 6 にて示したとおり、任意の消去単位領域 A (1、2、・・・、N) に対して、第 1 の書き込み動作時には各々該当する状態管理領域 S (1、2、・・・、N) を消去し、任意の消去単位領域 A (1、2、・・・、N) に対する第 2 の書き込み動作時には各々該当する状態管理領域 S (1、2、・・・、N) にデータの書き込みを行う。また、読み出し動作によって、状態管理領域 S (1、2、・・・、N) に書き込まれた状態を確認することにより、各々該当する消去単位領域 A (1、2、・・・、N) が消去状態にあるか書き込み状態にあるかによって、消去単位領域毎に第 2 の書き込みまで完了しているか否かを判別することが可能となる。これらの動作を実施するために、不揮発性メモリ 2 5 0 0 に対して、書き換え動作選択回路 2 5 2 0 から、第 1 の書き込み動作、第 2 の書き込み動作、及び読み出し動作に必要な制御を制御信号 S 4 1 0 から入力し、アドレス信号をアドレスバス A 4 1 0 から入力し、データ入出力をデータバス D 4 1 0 を経由して行う。また、状態管理領域 S (1、2、・・・、N) に対して該当消去単位領域への書き換え回数を書き込むデータとした場合には、消去単位領域 A (1、2、・・・、N) 毎の書き換え回数が状態信号出力 S 2 4 9 1 を経由して書き換え動作選択回路 2 5 2 0 に入力される。よって、消去単位領域毎の書き換え回数によっては、第 1 の書き込み完了後の第 2 の書き込みまでの待ち時間を短縮することが選択可能となる。あるいは、用途によっては、消去単位領域毎に第 1 の書き込み完了後の第 2 の書き込み動作実施の有無を選択可能となる。

30

40

【 0 1 1 3 】

以上より図 1 7 の構成によれば、消去単位領域毎の書き換え回数や市場での用途に応じて、第 1 の書き込み後の待ち時間の長さや第 2 の書き込みの有無を選択可能とすることで、信頼性向上や書き込み時間の抑制を最適化することが可能な電子機器を実現することが可能となる。

【 0 1 1 4 】

50

《第8の実施形態》

図18は、本発明の第8の実施形態における不揮発性半導体記憶装置の書き換え方法を示したフローチャートである。図18のフローチャートにおいて、1901は書き換え直前のデータ値の読み出しを実施する処理である。

【0115】

所定のメモリセルに対する書き込みフローは開始端子101から開始し、書き換え直前のデータ値の読み出しを実施する処理1901を経て、所望の第1の書き込み条件を設定する処理102へ進む。処理1901は例えば、データ“0”かデータ“1”かを判別する読み出しベリファイである。

【0116】

判断106において、時間計測を開始する処理105から、計測した時間が一定時間以上経過しているかを確認し、経過している場合は判断1501へ進む。判断1501において、書き換え直前のデータが“0”のとき、第2の書き込みを実施せず、終了端子110へ進み一連の書き込みフローが終了する。書き換え直前のデータが“0”のときは、電子とホールの結合は十分にされ、第1の書き込み後の初期変動による電荷ロス分が少ないため、第2の書き込みを実施しなくてもよく、書き込み時間を短縮できる。一方、書き換え直前のデータが“1”のとき、第2の書き込みを実施するために、第2の書き込みを実施する条件を設定する処理107へ進む。書き換え直前のデータが“1”のときは、電子とホールの結合は十分でなく、第1の書き込み後の初期変動による電荷ロス分が多いため、第2の書き込みを実施し、データ保持特性を向上させる。

【0117】

なお、書き換え直前のデータ値に応じて待ち時間を変化させてもよい。また、書き換え直前のデータ値に応じて第2の電荷注入の電荷注入条件を変化させてもよい。

【0118】

《第9の実施形態》

図19は、4値の多値メモリセルにおける閾値とメモリセル数の関係を示したものである。2001は消去状態のメモリセルであり、2002は第1の閾値電圧の書き込み状態のメモリセルであり、2003は第2の閾値電圧の書き込み状態のメモリセルであり、2004は第3の閾値電圧の書き込み状態のメモリセルである。消去状態、第1の閾値電圧、第2の閾値電圧、第3の閾値電圧の順に閾値が高くなっていく。

【0119】

図20は本発明の第9の実施形態における不揮発性半導体記憶装置の書き換え方法を示した図である。2005は消去を実施する処理であり、2006は第1の閾値電圧のメモリセルに対する第1の書き込みを実施する処理であり、2007は第2の閾値電圧のメモリセルに対する第1の書き込みを実施する処理であり、2008は第3の閾値電圧のメモリセルに対する第1の書き込みを実施する処理であり、2009は第3の閾値電圧のメモリセルに対する第2の書き込みを実施する処理であり、2010は第2の閾値電圧のメモリセルに対する第2の書き込みを実施する処理であり、2011は第1の閾値電圧のメモリセルに対する第2の書き込みを実施する処理である。2012は第1の閾値電圧のメモリセルに対する第1の書き込み後の待ち時間であり、2013は第2の閾値電圧のメモリセルに対する第1の書き込み後の待ち時間であり、2014は第3の閾値電圧のメモリセルに対する第1の書き込み後の待ち時間である。

【0120】

所定のメモリセルに対する書き換えフローは消去を実施する処理2005から開始し、第1の閾値電圧のメモリセルに対する第1の書き込みを実施する処理2006を経て、第2の閾値電圧のメモリセルに対する第1の書き込みを実施する処理2007を経て、第3の閾値電圧のメモリセルに対する第1の書き込みを実施する処理2008へ進む。処理2005はデータ書き換え前の消去であり、処理2006は低い閾値電圧を設定するメモリセルへの第1の書き込みであり、処理2007は別のより高い閾値電圧を設定するメモリセルへの第1の書き込みであり、処理2008は別のより高い閾値電圧を設定するメモリ

10

20

30

40

50

セルへの第 1 の書き込みである。

【 0 1 2 1 】

処理 2 0 0 8 を経て、第 3 の閾値電圧のメモリセルに対する第 2 の書き込みを実施する処理 2 0 0 9 を経て、第 2 の閾値電圧のメモリセルに対する第 2 の書き込みを実施する処理 2 0 1 0 を経て、第 1 の閾値電圧のメモリセルに対する第 2 の書き込みを実施する処理 2 0 1 1 へ進む。処理 2 0 0 9 は高い閾値電圧を設定するメモリセルへの第 2 の書き込みであり、処理 2 0 1 0 は別のより低い閾値電圧を設定するメモリセルへの第 2 の書き込みであり、処理 2 0 1 1 は別のより低い閾値電圧を設定するメモリセルへの第 2 の書き込みである。

【 0 1 2 2 】

ここで処理 2 0 1 1 と処理 2 0 0 6 の時間の差が 2 0 1 2 であり、第 1 の閾値電圧のメモリセルに対する第 1 の書き込み後の待ち時間である。同じく処理 2 0 1 0 と処理 2 0 0 7 の時間の差が 2 0 1 3 であり、第 2 の閾値電圧のメモリセルに対する第 1 の書き込み後の待ち時間である。同じく処理 2 0 0 9 と処理 2 0 0 8 の時間の差が 2 0 1 4 であり、第 3 の閾値電圧のメモリセルに対する第 1 の書き込み後の待ち時間である。

【 0 1 2 3 】

全てのメモリセルに対し同様のデータ保持特性の効果を得るためには、低い閾値電圧を設定するメモリセルに対しては、高い閾値電圧を設定するメモリセルより長い待ち時間を確保しなければならない。この構成によれば、高い閾値電圧を設定するメモリセルの書き込み時間を利用することで、本発明の実施による書き換え時間の増加を低減できる。

【 0 1 2 4 】

図 2 1 は、本発明の第 9 の実施形態の変形例を示した図である。これは、図 2 0 に対し、書き込みを実施するメモリセルの閾値電圧の順序を逆にしたものである。

【 0 1 2 5 】

図 2 1 の方法によれば、設定する閾値電圧が高いほど長い待ち時間を確保することで、初期変動による電荷ロスの大きな閾値電圧の高いメモリセルのデータ保持特性を向上させると共に、低い閾値電圧を設定するメモリセルの書き込み時間を利用することで、本発明の実施による書き換え時間の増加を低減できる。

【 0 1 2 6 】

《 第 1 0 の実施形態 》

図 2 2 は、本発明の第 1 0 の実施形態における不揮発性半導体記憶装置の書き換え方法を示したフローチャートである。図 2 2 のフローチャートにおいて、2 2 0 1 は開始端子、2 2 1 1 は終了端子であり、また 2 2 0 3 から 2 2 0 6、2 2 0 8 から 2 2 1 0 は処理を示し、2 2 0 2、2 2 0 7 は判断を示し、2 2 1 2、2 2 1 3 は範囲を示す。

【 0 1 2 7 】

2 2 1 2 は消去前書き込みの範囲であり、2 2 1 3 がデータ書き込みの範囲である。2 2 0 2 は消去前書き込みの実施時に所定の閾値電圧レベルからの消去前書き込みであるかを判断する処理であり、2 2 0 7 は所定の閾値電圧レベルへのデータ書き込みであるかを判断する処理であり、2 2 0 3、2 2 0 9 は第 1 の書き込みを実施する処理であり、2 2 0 4、2 2 1 0 は第 2 の書き込みを実施する処理であり、2 2 0 5、2 2 0 8 は所定のレベルへの書き込みを実施する処理であり、2 2 0 6 は消去を実施する処理である。

【 0 1 2 8 】

図 1 9 に示すような 3 値以上の閾値電圧によってデータを記憶する多値の不揮発性メモリにおける書き換えについて説明する。開始端子 2 2 0 1 から開始し、消去前書き込みの実施時に所定のレベルからの消去前書き込みであるかを判断する処理 2 2 0 2 に進む。ここで所定のレベルとは例えば図 1 9 における第 3 の閾値電圧の書き込み状態のメモリセル 2 0 0 4 のように、閾値電圧の最も高いレベルである。所定のレベルからの消去前書き込みである場合、所定レベルへの書き込み 2 2 0 5 へ進み、そうでない場合、第 1 の書き込み 2 2 0 3 そして第 2 の書き込み 2 2 0 4 と進む。ここで所定レベルへの書き込み 2 2 0 5 とは例えば消去前書き込みレベルである。また消去前書き込みレベルが閾値電圧の最も

10

20

30

40

50

。

【図 1 0】第 5 の実施形態における不揮発性半導体記憶装置の書き換え方法を示す図である。

【図 1 1】第 5 の実施形態の変形例を示す図である。

【図 1 2】第 5 の実施形態の他の変形例を示す図である。

【図 1 3】第 5 の実施形態における不揮発性半導体記憶装置の回路構成を示す図である。

【図 1 4】第 6 の実施形態における不揮発性半導体記憶装置の書き換え方法を示す図である。

【図 1 5】第 7 の実施形態における不揮発性半導体記憶装置の書き換え方法を示す図である。

【図 1 6】第 7 の実施形態における不揮発性半導体記憶装置の回路構成を示す図である。

【図 1 7】第 7 の実施形態における不揮発性半導体記憶装置を用いた電子機器の回路構成を示す図である。

【図 1 8】第 8 の実施形態における不揮発性半導体記憶装置の書き換え方法を示す図である。

【図 1 9】第 9 の実施形態を説明するための多値メモリのメモリセル閾値電圧分布の図である。

【図 2 0】第 9 の実施形態における不揮発性半導体記憶装置の書き換え方法を示す図である。

【図 2 1】第 9 の実施形態の変形例を示す図である。

【図 2 2】第 1 0 の実施形態における不揮発性半導体記憶装置の書き換え方法を示す図である。

【図 2 3】従来の不揮発性半導体記憶装置のメモリセル構造を示す図である。

【図 2 4】従来の不揮発性半導体記憶装置のトラップされた電荷の挙動を示す図である。

【符号の説明】

【 0 1 3 4 】

2 0 1 第 1 の書き込み直後のメモリセル閾値電圧の分布

2 0 2 一定時間経過後のメモリセル閾値電圧の分布

2 0 3 一定時間経過後に第 2 の書き込みを実施した直後のメモリセル閾値電圧の分布

2 0 4 寿命末期のメモリセル閾値電圧の分布

2 0 5 書き込みベリファイレベル

2 1 1 第 1 の書き込みにより注入した電子の確率密度分布

2 1 2 第 1 の書き込み以前の消去により注入したホールの確率密度分布

2 2 1 ホールと結合した後の電子の確率密度分布

2 2 2 電子と結合した後のホールの確率密度分布

2 3 1 ホールと結合した後に第 2 の書き込みにより注入した電子の確率密度分布

2 3 2 電子と結合した後のホールの確率密度分布

2 4 1 寿命末期の電子の確率密度分布

3 0 1 従来の閾値変動

3 0 2 本発明における閾値変動

3 0 3 読み出しレベル

3 1 1 従来の閾値変動量の書き換え回数依存性

3 1 2 本発明における閾値変動量の書き換え回数依存性

4 1 0 書き込み条件設定回路

4 1 1 高電圧設定回路

4 1 2 パルス幅制御回路

4 2 0 タイマー回路

4 3 0 書き換え順序制御回路

4 4 0 高電圧発生 / 制御回路

4 5 0 アドレスデコーダ回路

10

20

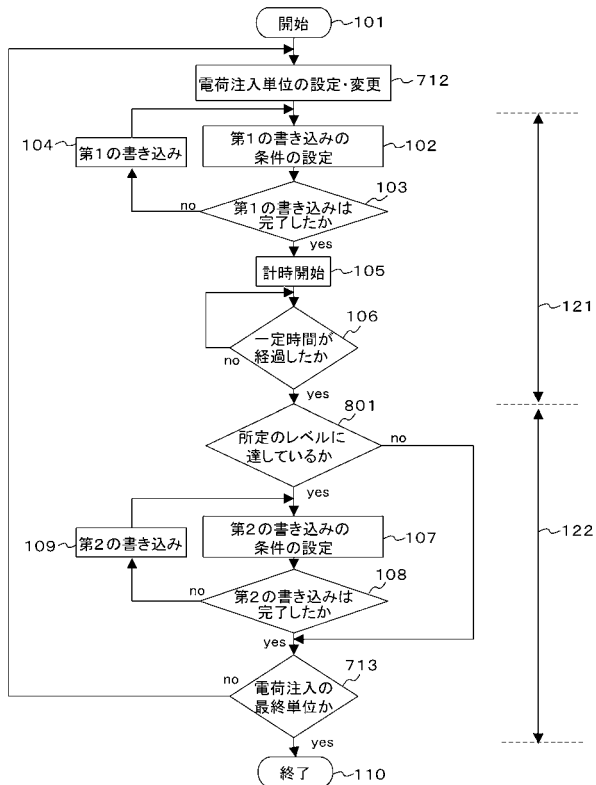
30

40

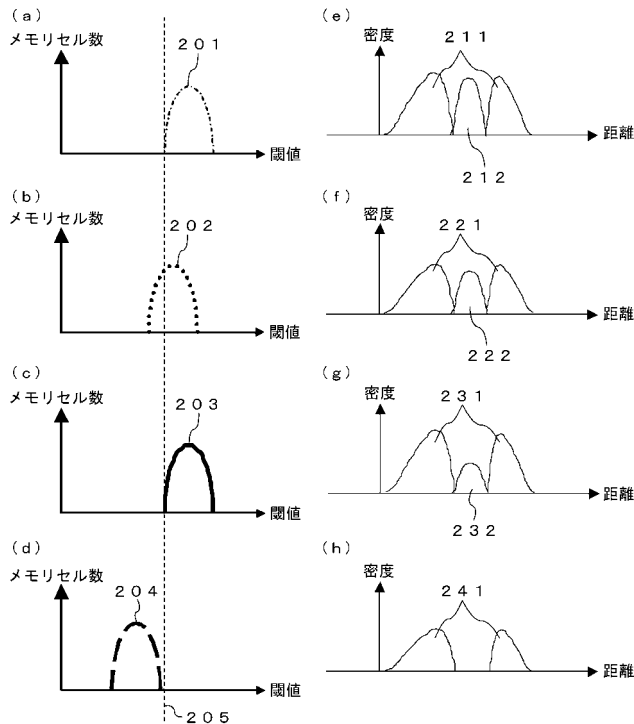
50

4 6 0	データラッチ回路	
4 7 0	メモリセルアレイ	
4 8 0	ベリファイ回路	
9 0 1	多値メモリにおける 1 番目のレベルのデータのメモリセル閾値電圧の分布	
9 0 2	多値メモリにおける 2 番目のレベルのデータのメモリセル閾値電圧の分布	
9 0 3	多値メモリにおける 3 番目のレベルのデータのメモリセル閾値電圧の分布	
9 0 4	多値メモリにおける 4 番目のレベルのデータのメモリセル閾値電圧の分布	
1 0 0 0	消去前書き込み直前のメモリセル閾値電圧の分布 (データ " 1 ")	
1 0 0 1	消去前書き込み直前のメモリセル閾値電圧の分布 (データ " 0 ")	
1 0 0 2	消去前書き込みにおける、第 1 の書き込み後のメモリセル閾値電圧の分布	10
1 0 0 3	一定時間経過後のメモリセル閾値電圧の分布	
1 0 0 4	消去ベリファイレベル	
1 0 0 5	書き込みベリファイレベル	
1 0 1 1 , 1 0 2 1 , 1 0 3 1	データ " 0 " 側の電子の確率密度分布	
1 0 1 2 , 1 0 2 2 , 1 0 3 2	データ " 0 " 側のホールの確率密度分布	
2 0 0 1	消去状態のメモリセル	
2 0 0 2	第 1 の閾値電圧の書き込み状態のメモリセル	
2 0 0 3	第 2 の閾値電圧の書き込み状態のメモリセル	
2 0 0 4	第 3 の閾値電圧の書き込み状態のメモリセル	
2 3 2 1	時間管理回路	20
2 3 7 1 ~ 2 3 7 3	消去単位領域	
2 3 7 4 ~ 2 3 7 6	時間管理領域	
2 3 9 0	センスアンプ回路	
2 4 7 4 ~ 2 4 7 6	状態管理領域	
2 5 0 0	不揮発性メモリ	
2 5 1 0	メモリ制御回路	
2 5 2 0	書き換え動作選択回路	
3 0 0 1	半導体基板	
3 0 0 2	チャネル領域	
3 0 0 3	第 1 の不純物領域	30
3 0 0 4	第 2 の不純物領域	
3 0 0 5	トップ絶縁膜	
3 0 0 6	トラップ層	
3 0 0 7	ボトム絶縁膜	
3 0 0 8	ゲート電極	
S 2 4 9 1	状態信号出力	

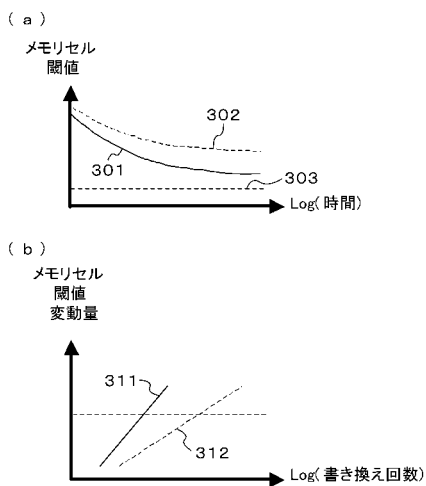
【 図 1 】



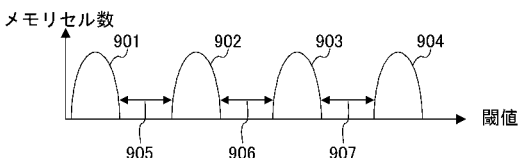
【 図 2 】



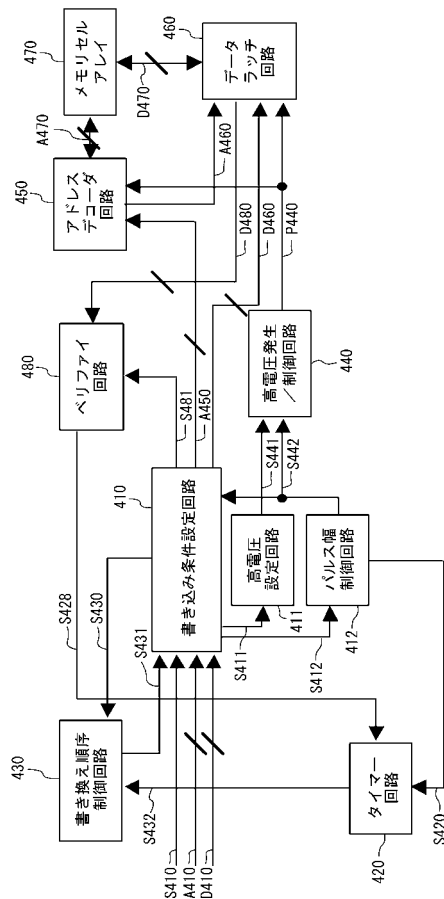
【 図 3 】



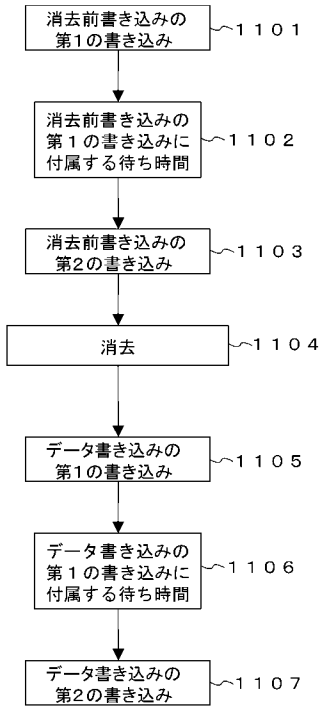
【 図 4 】



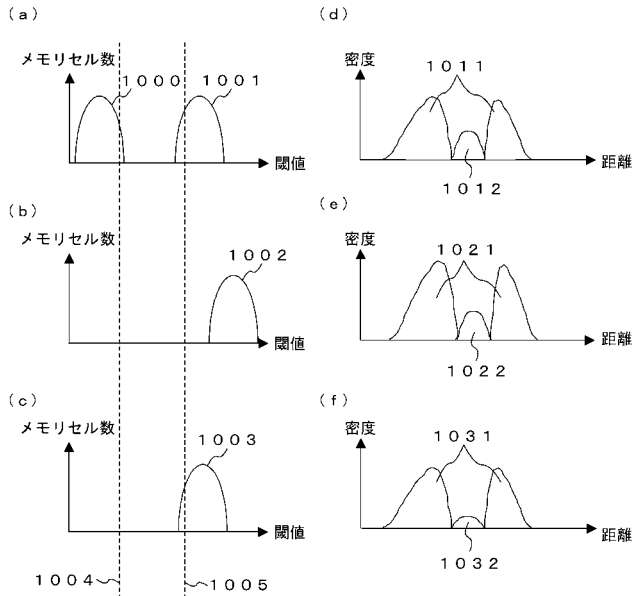
【 図 5 】



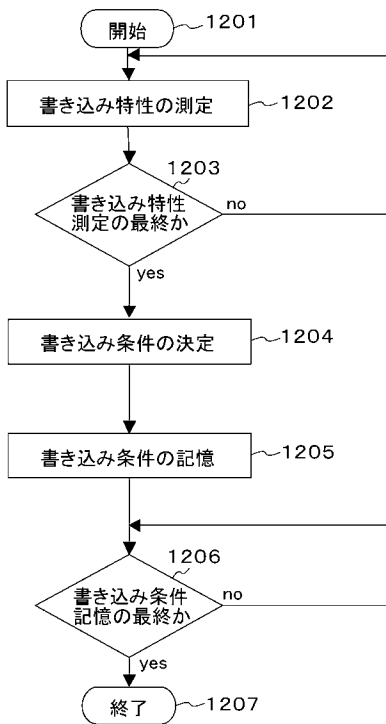
【 図 6 】



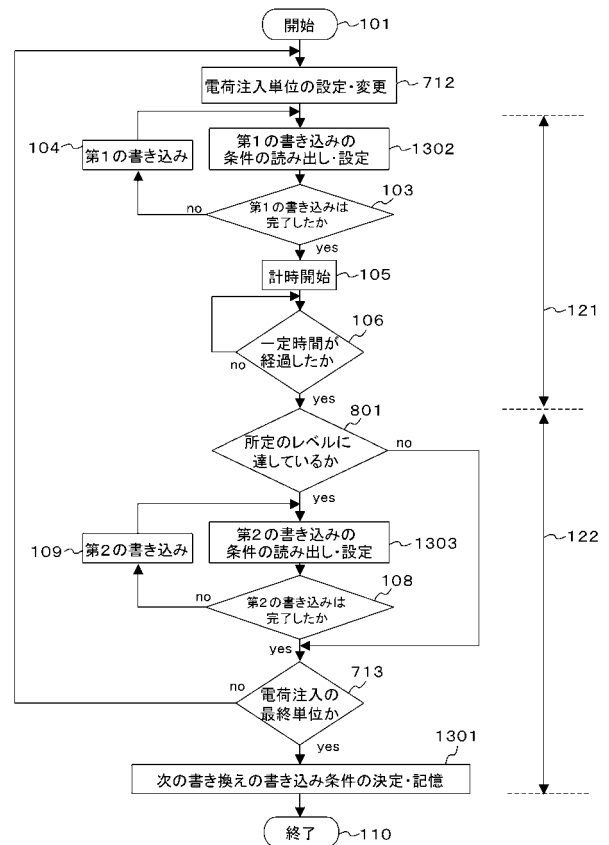
【 図 7 】



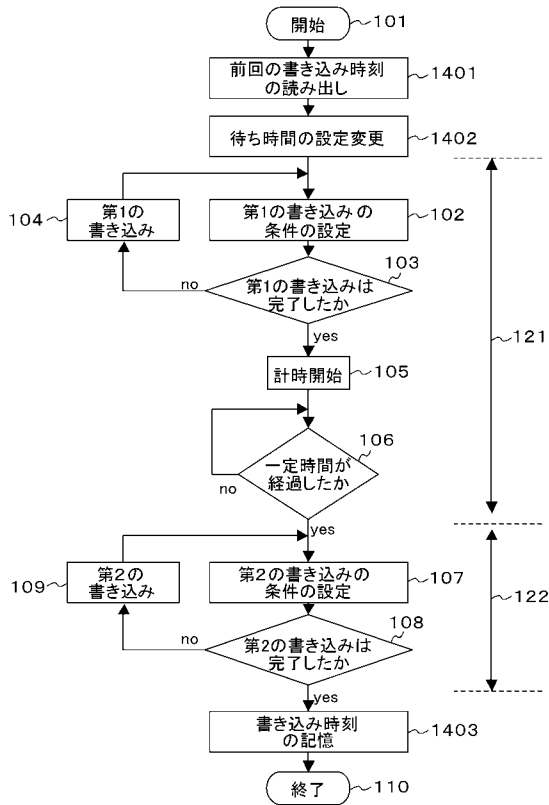
【 図 8 】



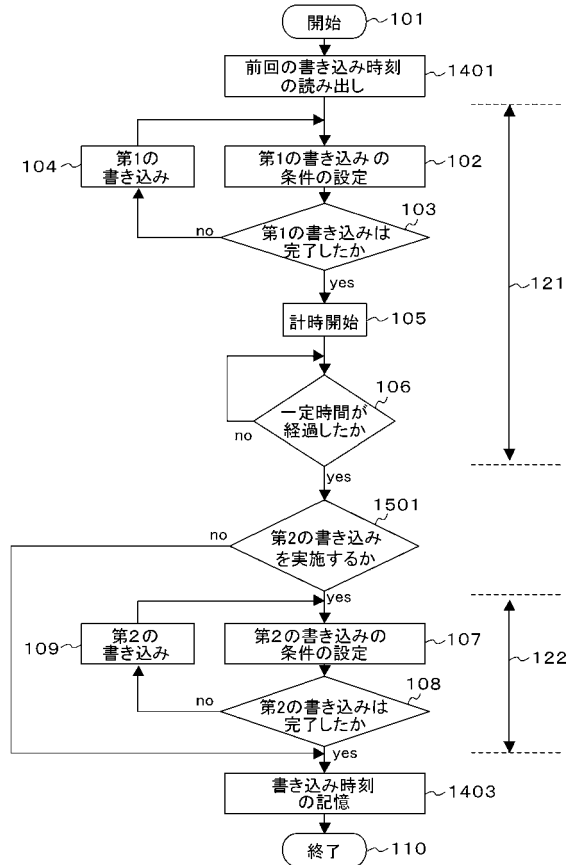
【 図 9 】



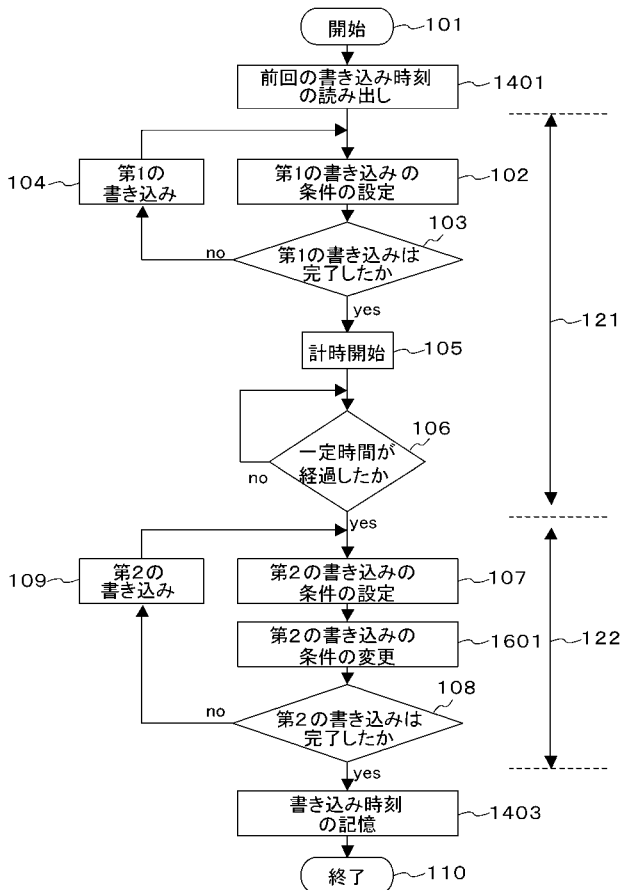
【図10】



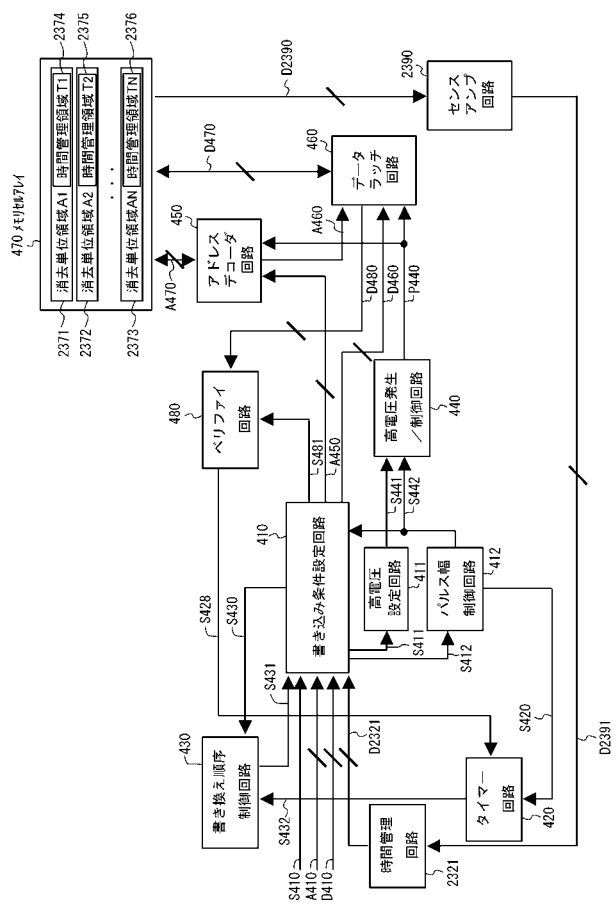
【図11】



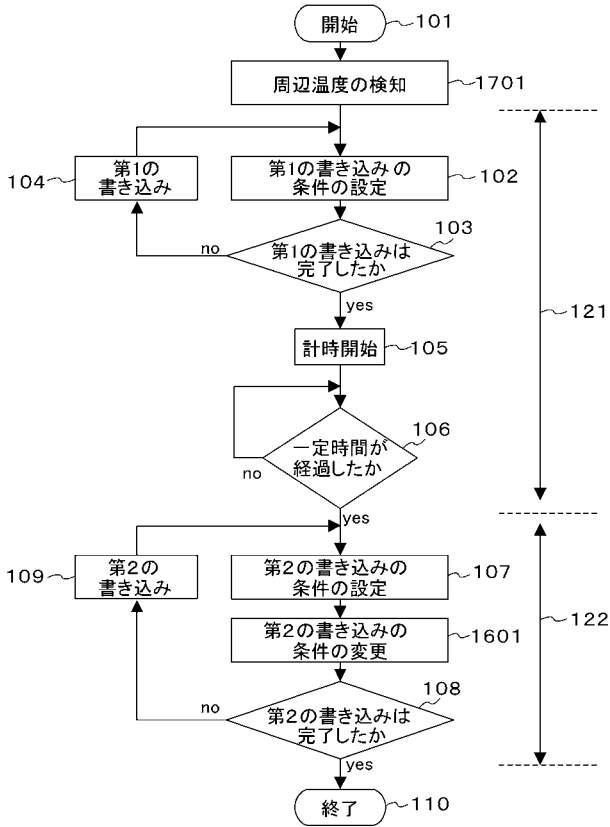
【図12】



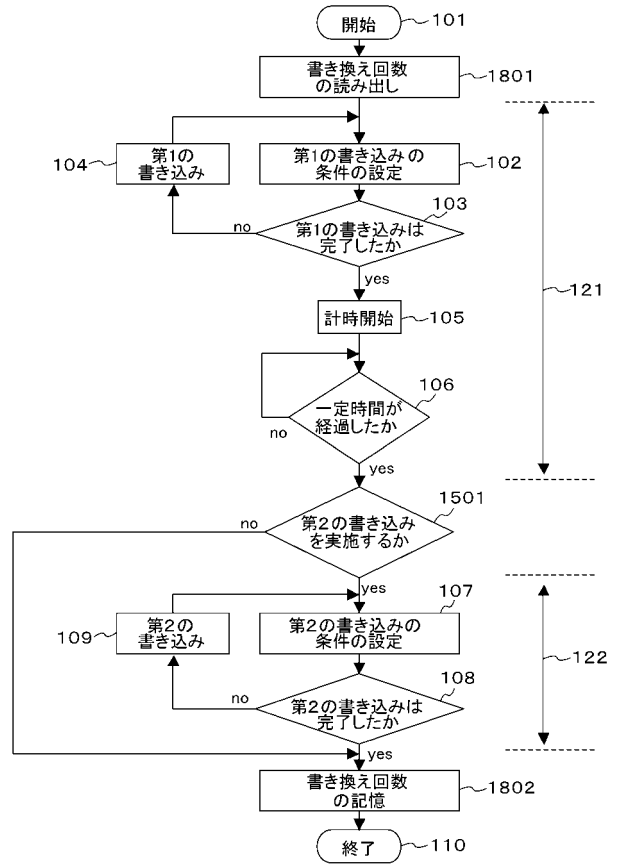
【図13】



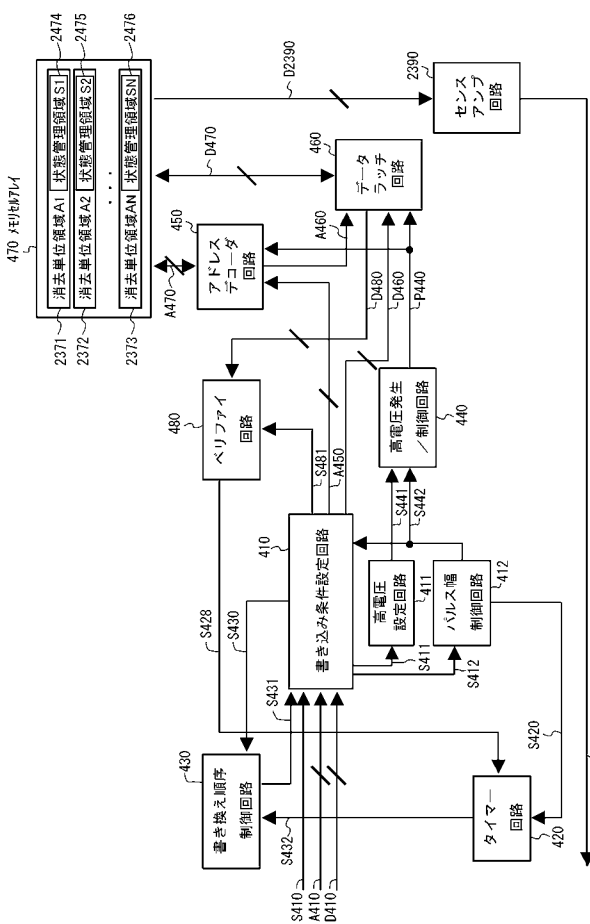
【図14】



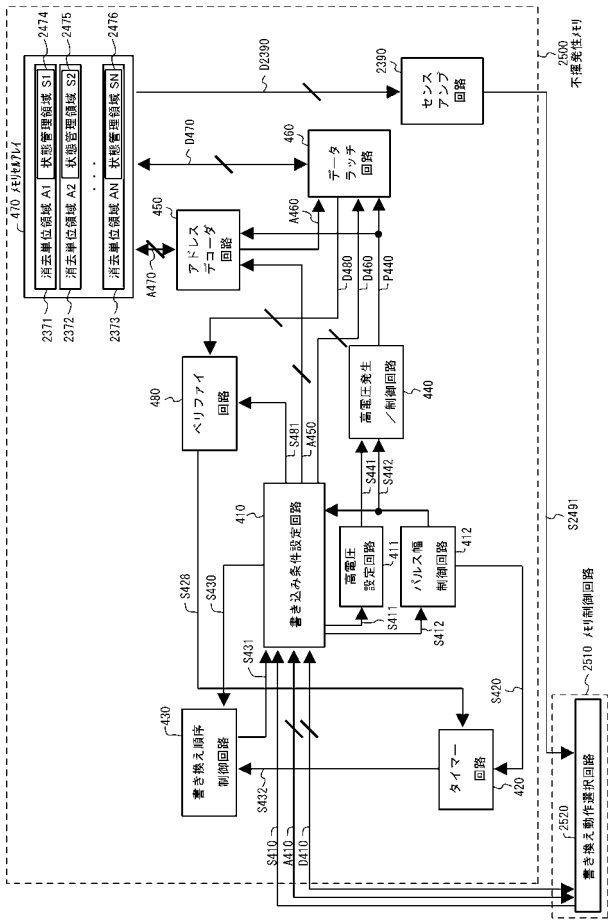
【図15】



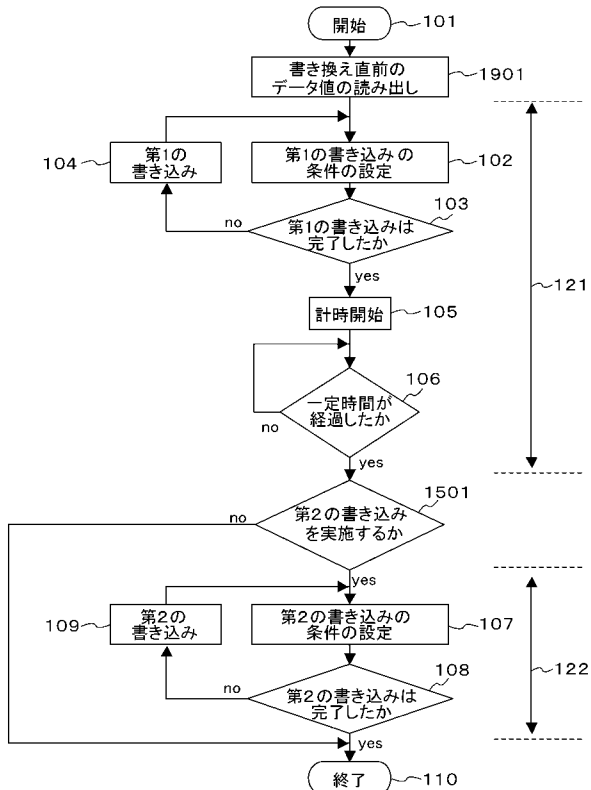
【図16】



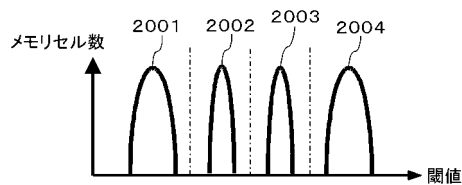
【図17】



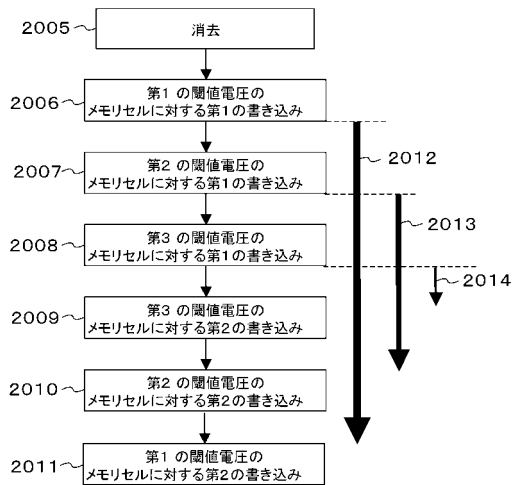
【図18】



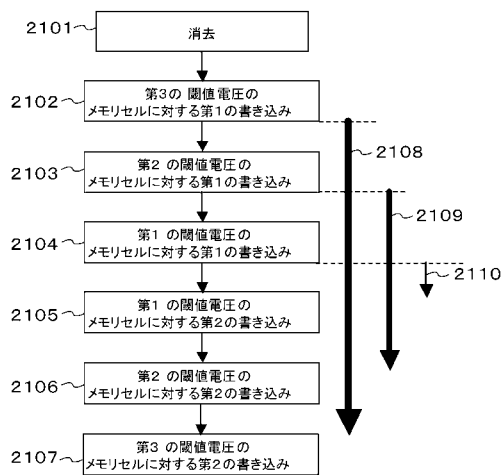
【図19】



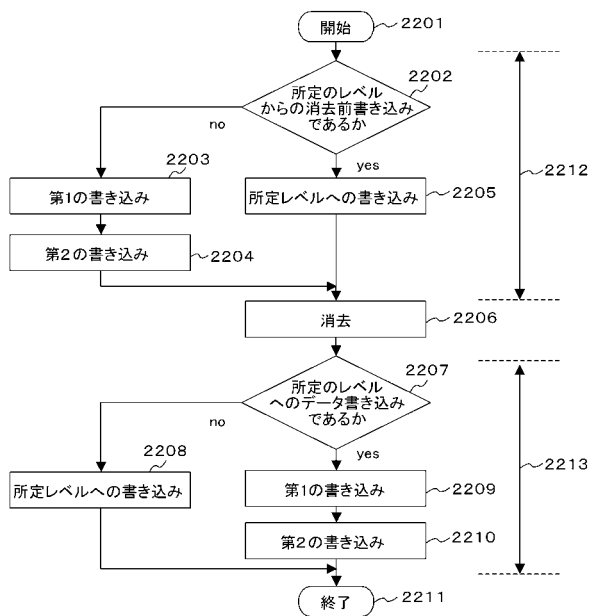
【図20】



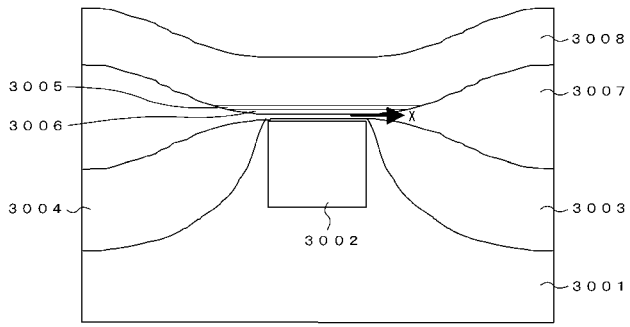
【図21】



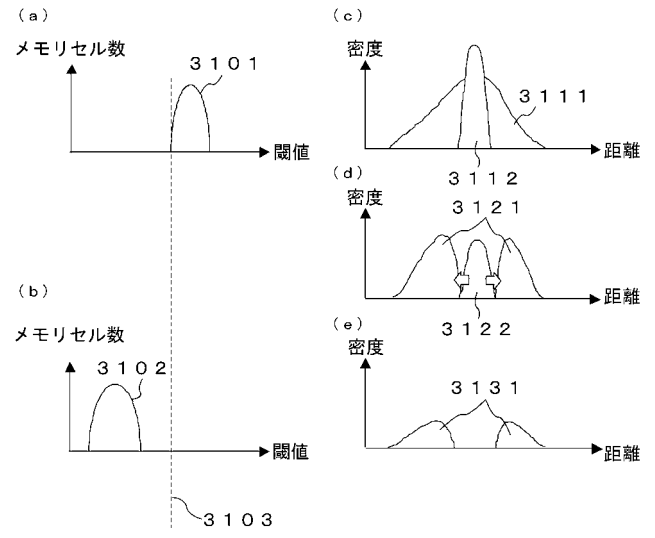
【図22】



【図 2 3】



【図 2 4】



フロントページの続き

- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 土岐 和啓
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 永井 裕康
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 三角 賢治
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 小谷 秀人
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- Fターム(参考) 5B125 BA02 BA19 CA27 CA28 DB08 DB16 DC09 DE11 EB02 EB04
EB09 FA01 FA05