

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3720094号
(P3720094)

(45) 発行日 平成17年11月24日(2005.11.24)

(24) 登録日 平成17年9月16日(2005.9.16)

(51) Int. Cl.⁷

G06F 15/82

F I

G06F 15/82 610Q

請求項の数 13 (全 16 頁)

(21) 出願番号	特願平7-269573	(73) 特許権者	000005049
(22) 出願日	平成7年10月18日(1995.10.18)		シャープ株式会社
(65) 公開番号	特開平9-114664		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成9年5月2日(1997.5.2)	(74) 代理人	100064746
審査請求日	平成11年7月16日(1999.7.16)		弁理士 深見 久郎
前置審査		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 データ駆動型情報処理装置

(57) 【特許請求の範囲】

【請求項1】

入力されたデータパケット中のデータが処理可能となるまで他のデータパケットの待ち合わせを行い、処理可能な対データを収容したデータパケットを生成する対データ検出手段と、

前記対データ検出手段によって生成されたデータパケットに含まれる対データに対して演算を行う演算手段と、

前記演算手段による演算結果、次の演算内容および行き先情報を含んだデータパケットを生成するプログラム記憶手段と、

前記プログラム記憶手段によって生成されたデータパケットの外部装置への出力を制御する出力制御手段と、

外部装置からのデータパケットの入力を制御する入力制御手段とが周回パイプラインにて接続されたデータ駆動型情報処理装置に於いて、

該装置内で扱われるデータ単位である、データ本体、並びに、データ相互の識別情報である世代番号、データの行き先を指示する行き先情報、データに施すべき演算を指示する命令情報、等により構成されるデータパケットの構成が、その世代番号が連続している複数のデータを1つのデータパケットに含み、他の情報を共有する構成であり、

前記演算手段は、データパケット内のデータの個数に応じて相互に独立した演算器を有することを特徴とするデータ駆動型情報処理装置。

【請求項2】

10

20

上記複数のデータを構成する各データが、それぞれ、互いに相関のあるデータ群であることを特徴とする、請求項 1 に記載のデータ駆動型情報処理装置。

【請求項 3】

上記複数のデータとして、データ相互の識別情報である世代番号の内、特定の 1 ビットの値のみ異なる 2 つのデータを 1 つのデータパケット内に含むことを特徴とする、請求項 2 に記載のデータ駆動型情報処理装置。

【請求項 4】

複数のデータの各々に対して、データパケット内のデータの値が有効であるか否かの識別フラッグをデータパケット内に有することを特徴とする、請求項 2 又は 3 に記載のデータ駆動型情報処理装置。

10

【請求項 5】

対データ検出手段に於いて、先に該手段に入力され待ち合わせ中のデータパケットと、後に入力されるデータパケットとの対応する識別フラッグを各々個別に検証し、

共に、有効な場合は、対データ検出済みとして、出力されるデータパケット中の当該識別フラッグを有効とし、待ち合わせ中のデータパケットにある当該識別フラッグを無効とする制御を行い、

共に無効な場合は、出力されるデータパケットの当該識別フラッグを無効とする制御を行い、

一方のみ無効な場合は対データ検出ミスとして、出力されるデータパケットの当該識別フラッグを無効とし、識別フラッグが有効であった入力データパケットのデータを待ち合わせ中のデータパケットのデータ領域に転記し、該パケットの当該識別フラッグを有効とする制御を行い、

20

さらに、出力されるデータパケットの識別フラッグが全て無効である場合、該パケットを出力しない制御を行うことを特徴とする、請求項 4 に記載のデータ駆動型情報処理装置。

【請求項 6】

データパケット中の複数のデータの各々に対して条件判断演算を実行した際に、

有効なデータに関する判断結果が全て真の場合、条件判断結果フラッグを真にセットしたデータパケットを 1 つ出力し、

有効なデータに関する判断結果が全て偽の場合、条件判断結果フラッグを偽にセットしたデータパケットを 1 つ出力し、

30

有効なデータに関する判断結果として真と偽が混在している場合は、

第 1 のパケットとして、条件判断結果フラッグを真にセットし、真の判断結果を得たデータに対して対応する識別フラッグを有効とし、偽の判断結果を得たデータに対して対応する識別フラッグを無効としたデータパケットを出力し、

第 2 のパケットとして、条件判断結果フラッグを偽にセットし、偽の判断結果を得たデータに対して対応する識別フラッグを有効とし、真の判断結果を得たデータに対して対応する識別フラッグを無効としてデータパケットを出力する制御を行うことを特徴とする、請求項 4 に記載のデータ駆動型情報処理装置。

【請求項 7】

40

前記対データ検出手段において、データパケット中の前記複数のデータの内、いずれかのデータが無効なデータパケットに対して、当該データが有効なデータパケットとの待ち合わせを行うものであり、待ち合わせ中の有効なデータと入力されたデータパケット中の有効なデータとで前記複数のデータが全て有効なデータとして揃った場合は当該有効なデータを全て含んだデータパケットを出力する制御を行い、それ以外の場合は、入力されたデータパケット中の有効なデータの値を、待ち合わせメモリ中のデータ領域に転記し、待ち合わせメモリ中の転記されたデータに対応する識別フラッグを有効とする制御を行うことを特徴とする、請求項 4 に記載のデータ駆動型情報処理装置。

【請求項 8】

待ち合わせ中のデータパケット内のデータが全て有効となるまで、待ち合わせを継続す

50

ることを特徴とする、請求項 7 に記載のデータ駆動型情報処理装置。

【請求項 9】

データパケットが待ち合わせ中に、次のデータパケットが入力され、待ち合わせ中のデータパケットと入力データパケットが、1つのデータパケットとして扱われる為の一定の規則に沿わない場合、待ち合わせ中のデータパケットをそのまま出力し、入力データパケットを待ち合わせ状態とすることを特徴とする、請求項 7 に記載のデータ駆動型情報処理装置。

【請求項 10】

データパケットが待ち合わせ中に、次のデータパケットが入力され、待ち合わせ中のデータパケットと入力データパケットが、1つのデータパケットとして扱われる為の一定の規則に沿わない場合、待ち合わせ中のデータパケットをそのまま待ち合わせ状態とし、入力データパケットをそのまま出力することを特徴とする、請求項 7 に記載のデータ駆動型情報処理装置。

10

【請求項 11】

前記対データ検出手段において、データパケット中の前記複数のデータの内の、いずれかのデータが無効なデータパケットに対して、当該データが有効なデータパケットとの待ち合わせを行うものであり、待ち合わせ中の有効なデータと入力されたデータパケット中の有効なデータとで前記複数のデータが全て有効なデータとして揃った場合は当該有効なデータを全て含んだデータパケットを出力する制御を行い、それ以外の場合は、入力されたデータパケット中の有効なデータの値を、待ち合わせメモリ中のデータ領域に転記し、待ち合わせメモリ中の転記されたデータに対応する識別フラグを有効とする制御における、データパケットの待ち合わせ用の領域を、対データ検出用の待ち合わせ用領域と共用させたことを特徴とする、請求項 7 に記載のデータ駆動型情報処理装置。

20

【請求項 12】

データパケットが2世代化の待ち合わせを行うに際して、他方のデータパケットが、待ち合わせて後、入力されないと予想される場合、待ち合わせを行わずそのままデータパケットを出力することを特徴とする、請求項 7 に記載のデータ駆動型情報処理装置。

【請求項 13】

出力制御手段に於いて、複数の有効なデータを有するデータパケットの入力に対して、1つの出力データパケットに1つの有効なデータを有する様、有効なデータの数だけデータパケットを出力する制御を行うことを特徴とする、請求項 2、3 又は 4 に記載のデータ駆動型情報処理装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の入力データを組み合わせることにより、入力データの冗長性を下げ、処理の時間を短縮する機構を備えたデータ駆動型情報処理装置に関する。

【0002】

【従来の技術】

データ駆動型プロセッサでは、「ある処理に必要なデータが全て揃い、かつ、その処理に必要な演算装置などの資源が割り当てられた時に処理を行う」という単純な規則にしたがって処理が並列に進行する。

40

【0003】

図 15 は、従来の映像信号処理向きデータ駆動型情報処理装置のブロック構成図及びデータパケット構成図である。同様のシステム構成例は、文献「データ駆動型プロセッサの概要」(コンピュータデザイン 1990 年 3 月号)、文献「動的データ駆動型プロセッサによる並列処理方式の検討」(情報処理学会主催マイクロコンピュータアーキテクチャシンポジウム(1991 年 11 月 12 日))等において示されている。

【0004】

図 15 に示すデータ駆動型プロセッサでは、入力されるパケット・160 はデータ・15

50

9 毎に独立しており、1つのデータに対してそれぞれ、命令情報・156、行先情報・157、世代番号・158を持っている。これらは、入力制御手段・151から入力される。対データ検出手段(待合わせ記憶手段・152は、入力されたデータ(パケット)のうち、2つのデータが揃わないと処理できないものを一時的に記憶する手段を有する。演算処理手段・153は、待合わせを行ったデータ(パケット)を受けて乗算、加算といった演算を実施する。プログラム記憶手段・154は演算処理の結果を受けて、プログラムの次の演算内容、行先情報をデータ(パケット)に与える機能を有する。分岐手段・155はプログラム記憶手段の結果から得られた行先を読み取り、同一のプロセッサ内部で処理を行うか(合流手段・151に送る)、プロセッサ外部に送られるかを判定する。

【0005】

特開平5-233854に示される装置によると、複数の対データ検出手段、複数のプログラム記憶手段、複数の演算処理手段からなるデータ駆動型プロセッサが示されており、それぞれ、複数の命令情報、行先情報、世代番号、データを有するパケットの処理がなされる。

【0006】

【発明が解決しようとする課題】

従来の装置では、複数データを持つパケットの処理ができなかった。特開平5-233854記載の装置では複数のデータを扱うパケット記述されているが、これらはそれぞれ行先情報、命令コードなどを個別に持つ別々のパケットを1つにまとめたただけのものであり、データパケット長が大きくなる。

【0007】

本発明は、複数データを1パケットに収める機構を設けることで、データの冗長度を下げ、処理の効率を上げることのできるデータ駆動型情報処理装置を提供するものである。

【0008】

【課題を解決するための手段】

請求項1の発明は、入力されたデータパケット中のデータが処理可能となるまで他のデータパケットの待ち合わせを行い、処理可能な対データを収容したデータパケットを生成する対データ検出手段と、対データ検出手段によって生成されたデータパケットに含まれる対データに対して演算を行う演算手段と、演算手段による演算結果、次の演算内容および行き先情報を含んだデータパケットを生成するプログラム記憶手段と、プログラム記憶手段によって生成されたデータパケットの外部装置への出力を制御する出力制御手段と、外部装置からのデータパケットの入力を制御する入力制御手段とが周回パイプラインにて接続されたデータ駆動型情報処理装置に於いて、該装置内で扱われるデータ単位である、データ本体、並びに、データ相互の識別情報である世代番号、データの行き先を指示する行き先情報、データに施すべき演算を指示する命令情報、等により構成されるデータパケットの構成が、その世代番号が連続している複数のデータを1つのデータパケットに含み、他の情報を共有する構成であり、演算手段は、データパケット内のデータの個数に応じて相互に独立した演算器を有することを特徴とするものである。

【0009】

請求項2の発明は、上記請求項1の発明において、上記複数のデータを構成する各データが、それぞれ、互いに相関のあるデータ群であることを特徴とするものである。

【0010】

請求項3の発明は、上記請求項2の発明において、データ相互の識別情報の内、特定の1ビットの値のみ異なる2つのデータを1つのデータパケット内に含むことを特徴とするものである。

【0011】

請求項4の発明は、上記請求項2又は3の発明において、複数のデータの各々に対して、データパケット内のデータの値が有効であるか否かの識別フラッグをデータパケット内に有する事を特徴とするものである。

【0013】

10

20

30

40

50

請求項5の発明は、上記請求項4の発明において、対データ検出手段に於いて、先に該手段に入力され待ち合わせ中のデータパケットと、後に入力されるデータパケットとの対応する識別フラッグを各々個別に検証し、共に、有効な場合は、対データ検出済みとして、出力されるデータパケット中の当該識別フラッグを有効とし、待ち合わせ中のデータパケットにある当該識別フラッグを無効とする制御を行い、共に無効な場合は、出力されるデータパケットの当該識別フラッグを無効とする制御を行い、一方のみ無効な場合は対データ検出ミスとして、出力されるデータパケットの当該識別フラッグを無効とし、識別フラッグが有効であった入力データパケットのデータを待ち合わせ中のデータパケットのデータ領域に転記し、該パケットの当該識別フラッグを有効とする制御を行い、さらに、出力されるデータパケットの識別フラッグが全て無効である場合、該パケットを出力しない 10
制御を行う事の特徴とするものである。

【0014】

請求項6の発明は、上記請求項4の発明において、データパケット中の複数のデータの各々に対して条件判断演算を実行した際に、有効なデータに関する判断結果が全て真の場合、条件判断結果フラッグを真にセットしたデータパケットを1つ出力し、有効なデータに関する判断結果が全て偽の場合、条件判断結果フラッグを偽にセットしたデータパケットを1つ出力し、有効なデータに関する判断結果として真と偽が混在している場合は、第1のパケットとして、条件判断結果フラッグを真にセットし、真の判断結果を得たデータに対して対応する識別フラッグを有効とし、偽の判断結果を得たデータに対して対応する識別フラッグを無効としたデータパケットを出力し、第2のパケットとして、条件判断結果 20
フラッグを偽にセットし、偽の判断結果を得たデータに対して対応する識別フラッグを有効とし、真の判断結果を得たデータに対して対応する識別フラッグを無効としてデータパケットを出力する制御を行う事の特徴とするものである。

【0015】

請求項7の発明は、上記請求項4の発明において、対データ検出手段において、データパケット中の複数のデータの内、いずれかのデータが無効なデータパケットに対して、当該データが有効なデータパケットとの待ち合わせを行うものであり、待ち合わせ中の有効なデータと入力されたデータパケット中の有効なデータとで複数のデータが全て有効なデータとして揃った場合は当該有効なデータを全て含んだデータパケットを出力する制御を行い、それ以外の場合は、入力されたデータパケット中の有効なデータの値を、待ち合わせ 30
メモリ中のデータ領域に転記し、待ち合わせメモリ中の転記されたデータに対応する識別フラッグを有効とする制御を行うことを特徴とするものである。

【0016】

請求項8の発明は、上記請求項7の発明において、待ち合わせ中のデータパケット内のデータが全て有効となるまで、待ち合わせを継続する事を特徴とするものである。

【0017】

請求項9の発明は、上記請求項7の発明において、データパケットが待ち合わせ中に、次のデータパケットが入力され、待ち合わせ中のデータパケットと入力データパケットが、1つのデータパケットとして扱われる為の一定の規則に沿わない場合、待ち合わせ中のデータパケットをそのまま出力し、入力データパケットを待ち合わせ状態とする事を特徴 40
とするものである。

【0018】

請求項10の発明は、上記請求項7の発明において、データパケットが待ち合わせ中に、次のデータパケットが入力され、待ち合わせ中のデータパケットと入力データパケットが、1つのデータパケットとして扱われる為の一定の規則に沿わない場合、待ち合わせ中のデータパケットをそのまま待ち合わせ状態とし、入力データパケットをそのまま出力する事を特徴とするものである。

【0019】

請求項11の発明は、上記請求項7の発明において、対データ検出手段において、データパケット中の前記複数のデータの内、いずれかのデータが無効なデータパケットに対し 50

て、当該データが有効なデータパケットとの待ち合わせを行うものであり、待ち合わせ中の有効なデータと入力されたデータパケット中の有効なデータとで前記複数のデータが全て有効なデータとして揃った場合は当該有効なデータを全て含んだデータパケットを出力する制御を行い、それ以外の場合は、入力されたデータパケット中の有効なデータの値を、待ち合わせメモリ中のデータ領域に転記し、待ち合わせメモリ中の転記されたデータに対応する識別フラグを有効とする制御における、データパケットの待ち合わせ用の領域を、対データ検出用の待ち合わせ用領域と共用させた事の特徴とするものである。

【0020】

請求項12の発明は、上記請求項7の発明において、データパケットが2世代化の待ち合わせを行うに際して、他方のデータパケットが、待ち合わせて後、入力されないと予想される場合、待ち合わせを行わずそのまま該データパケットを出力する事の特徴とするものである。

10

【0021】

請求項13の発明は、上記請求項2、3又は4の発明において、出力制御手段に於いて、複数の有効なデータを有するデータパケットの入力に対して、1つの出力データパケットに1つの有効なデータを有する様、有効なデータの数だけデータパケットを出力する制御を行う事の特徴とするものである。

【0022】

請求項1、2、3の機能を設けることで、命令情報・行先情報・世代番号などを共有化した複数データを1つのパケットにまとめることができる。また請求項4のフラグを設けることで、1パケット内の複数データ管理が容易になる。

20

【0023】

請求項6、8、9、10、11、12、13の機能を設けることで、複数データ処理が対データ検出手段の通常の待合わせメモリで実行できるようになる。

【0024】

請求項5、7の機能を設けることで、複数データ処理が複数の演算器で並列実行され、かつ条件分岐処理をデータごとに実行できるようになる。

【0025】

請求項1の手段により、複数の独立なデータを1つのパケットに収容可能となる。

【0026】

請求項2の手段により、相関のある一群のデータを複数組1つのパケットに収容可能となる。

30

【0027】

請求項3の手段により、特定の1ビットのみ異なる識別子を有するデータを1つのパケットに収容可能となる。

【0028】

請求項4の手段により、複数のデータを1つのパケットに収容した場合のデータ管理が簡易となる。

【0029】

請求項5の手段により、複数のデータを複数の演算器で一度に処理することができる。

40

【0030】

請求項6の手段により、複数のデータを持つパケットが対データ検出手段で検出できるようになる。

【0031】

請求項7の手段により、複数のデータを条件判断の結果により複数のパケットに分解可能となる。

【0032】

請求項8の手段により、対データ検出手段を用いた2世代化が可能になる。

【0033】

請求項9の手段により、対データ検出手段を用いた複数世代化が可能になる。

50

請求項 10 の手段により、2 世代化に於いて、古いパケットより新しいパケットの待ち合わせを優先させることができる。

【0034】

請求項 11 の手段により、2 世代化に於いて、既に待ち合わせを行っているパケットを常に優先させることができる。

【0035】

請求項 12 の手段により、対データ検出手段の待合わせメモリを複数世代化用に兼用可能となる。

【0036】

請求項 13 の手段により、対データ検出手段を用いた複数世代化で、2 世代化の可能性が低いパケットをバイパスできる。 10

【0037】

請求項 14 の手段により、複数データ・パケットを単独のデータを持つパケットに変換できる。

【0038】

【発明の実施の形態】

以下、実施形態に基づいて本発明を詳細に説明する。

【0039】

請求項 1 に記載のデータ駆動型プロセッサの実施形態を図 1 に示す。同図 (a) はブロック構成図であり、同図 (b) はデータパケット構成図である。入力制御手段 10 は、データ駆動型プロセッサに対する外部端子であり、ポート 1 から N とした複数の入力を有する。この入力制御手段はポート 1 ~ N の互いに独立な複数のデータを 1 つのパケットの中に取り込む機能を有する。合流手段 11 は入力制御手段 10 と分岐手段 15 からの入力を調停し、順序立てて対データ検出手段 (待合わせ記憶手段) 12 に送り込む機能を有する。対データ検出手段 12 は、入力されたデータ (パケット) のうち、2 つのデータが揃わないと処理できないものを一時的に記憶する手段を有する。演算処理手段 13 は、待合わせを行ったデータ (パケット) を受けて乗算、加算といった演算を実施する。プログラム記憶手段 14 は演算処理の結果を受けて、プログラムの次の演算内容、行先情報をデータ (パケット) に与える機能を有する。分岐手段 15 はプログラム記憶手段の結果から得られた行先を読み取り、同一のプロセッサ内部で処理を行うか (合流手段 11 に送る)、プロセッサ外部に送るかを判定する。上記合流手段 11、対データ検出手段 12、演算処理手段 13、プログラム記憶手段 14 及び分岐手段 15 は周回パイプラインにて接続された構成になっている。 20 30

【0040】

図 1 (b) にデータ (パケット) の構成を示す。ここで命令情報 16 は、データがどのような演算を施されるかを識別するための情報を意味する。行先情報 17 は、データがプログラムのどこをフェッチするかの情報を意味し、これはプログラム中のノード番号に相当する。世代番号 18 は、同一の行先を持つ複数のデータを識別するための情報を意味する。データ 19 は入力制御部 10 に入力された複数データが収められた領域で、ポート数相当のデータを収容する。単一パケット内に於いて、複数のデータが単一の命令情報等を共有する構成となっている。 40

【0041】

データ 1 ~ データ N の一例として、世代番号が連続しており、且つ、それぞれ同一の命令情報及び行先情報を持つ N 個のデータを挙げることができる。この場合、命令情報 16 及び行先情報 17 は上記共通の命令情報及び行先情報となり、世代番号 18 は、例えば、データ 1 の世代番号とすることができる。他のデータ (データ 2 ~ データ N) の世代番号は、各データの格納位置から復元可能である。

【0042】

請求項 2 に記載のデータ駆動型プロセッサの実施形態を図 2 に示す。ここでいう互いに相関のある一群のデータ例として、フルカラーのデータを示す。フルカラーの画像は一般に 50

$R_i 20$, $B_i 21$, $G_i 22$ (R_i :画素 i の赤, B_i :画素 i の青, G_i :画素 i の緑)の分割された信号の集合であらわされる。1つの画素にはRGBが必ず含まれるため、密接な関連があるといえる。これらRGBの値は別々に演算しなければならないため1つのデータパケットとして扱う。このデータは図1(b)記載の各データ部分に収められる。

【0043】

請求項3に記載のデータ駆動型プロセッサの実施形態を図3に示す。ここでいう特定の1ビットのみが異なるデータの例として、連続して入力されるシリアルなデータを挙げることができる。同一の行先(ノード番号31)を持つ連続した2つのデータは、同一の命令情報30と最下位(LSB)1ビットのみが異なる世代番号を持つ。従って、図3に示すようにLSB1ビットのみを省いた世代番号32とLSB=1の世代番号のデータ1・33とLSB=0の世代番号のデータ・34を、その位置関係で示せるので、1つのパケットに収めることができる。

10

【0044】

請求項4に記載のデータ駆動型プロセッサの実施形態を図4に示す。ここでの命令情報40、ノード番号41、世代番号42は図3と同様のものである。ここで、VLDフラッグ43, 45を設けることで、データ1・44とデータ0・46に有効なデータが存在するかどうかを識別する(VLD=1:対応するデータ値は有効、VLD=0:対応するデータ値は無効 当該世代番号のデータは存在しないか、別パケットに存在する)。VLDフラッグがない場合はデータは常に2つ存在しなければならないが、フラッグを設けたことでデータ0のみまたはデータ1のみの場合でも処理が可能になる。これは不連続なデータ処理(入りに隙間がある場合など)に有効となる。

20

【0045】

請求項5に記載のデータ駆動型プロセッサの実施形態を図5に示す。ここで複数の演算器51(データ1用演算器)から5N(データN用演算器)までが存在し、これらは図1(b)のデータ19に存在する複数のデータ(データ1からデータN)に対応するものである。複数のデータを同時に処理するためにはデータ数相当の演算器が必要である。

【0046】

請求項6に記載のデータ駆動型プロセッサの実施形態を図6に示す。ここで図6(a)はデータパケットをあらわし、命令情報60、ノード番号61、世代番号62は図3と同様のものである。図6(b)は対データ検出手段の内部構造(待ち合わせメモリの記憶内容)をあらわしており、ノード番号、世代番号の情報の一部(ハッシュアドレス作成に用いられなかった部分)を収容するハッシュ溢れ63、1つ目データが存在するか否かを識別するフラッグPRE1・64、1つ目のデータであるデータ1・65、2つ目データが存在するか否かを識別するフラッグPRE0・66、2つ目のデータであるデータ0・67から構成される。ここで、PRE0及びPRE1は対応するデータ0及びデータ1が有効か無効かによって有効:1、無効:0の値がセットされる。ハッシュ溢れの意味や詳細な動作については、文献「動的データ駆動型プロセッサによる並列処理方式の検討」(情報処理学会主催のマイクロコンピュータアーキテクチャシンポジウム(1991年11月12日)において発行)に示されているものと同様である。図16に本請求項の詳細な動作を示す。図16の1~5は対データ検出手段に含まれる待ち合わせのためのメモリに記憶されているデータの内容と、入出力パケットのデータの関係が示されている。各図の上段にはパケットが入力される前の状態が、下段にはパケットが出力される時の状態が示されている。1では入力時の待ち合わせメモリにD1'、D0'が既に記憶されている場合に、アドレス及びハッシュ溢れが一致する入力パケットD1, D0が入力されると、これらすべて相手があることになり、D1'とD1、D0'とD0がそれぞれ1組となって1パケットの形で出力される。2では入力時の待ち合わせメモリにD1'、D0'が既に記憶されている場合に、アドレス及びハッシュ溢れが一致する入力パケットD0のみが入力されると、これはD0'のみ相手があることになり、D0'とD0が1組となって1パケットの形で出力される。D1'は相手がないため、メモリ内部に残される。

30

40

50

3 では入力時の待合わせメモリにD0'のみが既に記憶されている場合に、アドレス及びハッシュ溢れが一致する入力パケットD0、D1が入力されると、これらはD0のみ相手があることになり、D0'とD0が1組となって1パケットの形で出力される。D1は相手がいないため、メモリ内部に残される。4 では入力時の待合わせメモリにD0'が既に記憶されている場合に、アドレス及びハッシュ溢れが一致する入力パケットD1のみが入力されると、これらは相手がいないことになり、D1、D0'ともに相手がいないためメモリ内部に残される。この場合、パケットは出力されない。5 では入力時の待合わせメモリに何も記憶されていない場合に、アドレスが一致する入力パケットD0が入力されると、これは相手がいないため、メモリ内部に残される。この場合、パケットは出力されない。何れの場合もデータの有効・無効はVLDフラッグの1,0で識別される。

10

【0047】

請求項7に記載のデータ駆動型プロセッサの実施形態を図7に示す。ここで、図7(a)の入力時にあるのは、演算前の入力パケットである。ここでVLD700は1つ目のデータ1(D1・701)が存在するか否かを示すフラッグ、VLD702は2つ目のデータ0(D0・703)が存在するか否かを示すフラッグである。演算器704は入力されたパケットの1つ目のデータ(D1・701)に対する演算器705と、2つ目のデータ(D0・703)に対する演算器706とを含む。この演算器は、各データ入力に対して独立に演算を実施し、その結果を出力のパケットに書き込む。D1・701に対する結果はD1'・709とBC・708に書かれるが、ここでBCは条件判定を伴う命令の結果フラッグを意味する。たとえばA(左データ)>B(右データ)のときに条件成立という演算があったとすると、AがBより大きいときBC=1となる。逆にBがAより大きいときBC=0となる。同様にD0・703に対する結果はD0'・712とBC・711に書かれる。いま、このBC・708とBC・711の結果が一致しなかった場合、たとえば図7(c)に示すような大小関係の成立を条件とする場合はD1とD0の値によって、結果が異なる。(D1',D1)=(5,1)では条件が成立し、BC・708=1となる。(D0',D0)=(1,6)では条件が成立せず、BC・711=0となる。従って、D1=条件成立、D0=条件不成立となる。このとき出力はBC1 BC0なので、図7(b)のように、2つのパケットに別れる(BC1=BC0のときは1パケットで出力される)。すなわち、出力1にはD1・701の出力707~709に相当する713~715があり、D0・703の出力部分はVLD・716=0のためデータが無効となっている。出力2にはD0・703の出力710~712に相当する722~724があり、D1・701の出力部分はVLD・719=0のためデータが無効となっている。またこのときBC・714、720にはBC・708の値が、BC・717、723にはBC・711の値が収められる。

20

30

【0048】

請求項8に記載のデータ駆動型プロセッサの実施形態を図8に示す。図8(a)で、いま入力時に対データ検出部内待合わせメモリの値が1つ目のデータ・800が無効、2つ目のデータ・801が有効、入力パケットの値が1つ目のデータ・802が有効、2つ目のデータ・803が無効の場合、待合わせメモリのデータ・801と入力パケットのデータ・802がお互い揃うので、これらは1つのパケットに収容され出力される(2世代化成功)。メモリ内には何も残らない。図8(b)で、いま入力時に対データ検出部内待合わせメモリの値が1つ目のデータ・808が無効、2つ目のデータ・809も無効、入力パケットの値が1つ目のデータ・810が無効、2つ目のデータ・811が有効の場合、待合わせメモリのデータと入力パケットが揃わないので、メモリ内のデータ・813に収容され書き込まれ、パケット出力は何も行われぬ(待合わせ継続)。

40

【0049】

請求項9に記載のデータ駆動型プロセッサの実施形態を図9に示す。複数のデータを1つのパケットに収容する場合は、その複数個のデータがすべて揃う必要がある。例えば、3つのデータを揃える場合、入力時に対データ検出部内待合わせメモリの値が、1つ目のデータ・900が無効、2つ目のデータ・901が無効、3つ目のデータ・902が有効、

50

入力パケットの値が1つ目のデータ・903が無効、2つ目のデータ・904が有効、3つ目のデータ・905が無効の場合、待合わせメモリのデータ・902と入力パケットのデータ・904がお互い揃うが、これらだけではデータ・907と908が揃うだけであり、データ・906が揃わずパケットは出力されない(待ち合わせ継続)。同様に、対データ検出部内待合わせメモリの値が、1つ目のデータ・910が無効、2つ目のデータ・911が有効、3つ目のデータ・912が有効、入力パケットの値が1つ目のデータ・913が有効、2つ目のデータ・914が無効、3つ目のデータ・915が無効の場合、待合わせメモリのデータ・911、912と入力パケットのデータ・913がお互い揃い、これらの値はパケットデータ・919、920、921となって出力される(3世代化成功)。メモリには何も残らない。

10

【0050】

請求項10に記載のデータ駆動型プロセッサの実施形態を図10に示す。ここで図10に示す入力時に、待合わせメモリのアドレスは一致するが、メモリ側の識別子・100(世代番号またはノード番号)とパケット側の識別子・102(世代番号またはノード番号)が一致しない場合に、図10に示す入力側のデータ・103がメモリ側データ・104に書き込まれ、メモリ側のデータ・101がパケットデータ・105に書き込まれて出力される。この場合の不一致の判定条件としては、世代番号が連続していない、ノード番号が異なるなどがある。このように、2世代化に於いて、古いパケットの待ち合わせよりも、新しいパケットの待ち合わせの方が優先される。本実施形態は、古いパケットより新しいパケットの方が、2世代化の確率が高い場合に、有効なものとなる。

20

【0051】

請求項11に記載のデータ駆動型プロセッサの実施形態を図11に示す。ここで図11に示す入力時に、待合わせメモリのアドレスは一致するが、図10と同様にメモリ側の識別子(世代番号またはノード番号)とパケット側の識別子(世代番号またはノード番号)が一致しない場合でも、図11に示すメモリ側のデータ・110がメモリ側データ・112にそのまま残され、パケット側のデータ・111がパケットデータ・113にそのまま書き込まれて出力される。この場合の不一致の判定条件としても、世代番号が連続していない、ノード番号が異なるなどがある。このように、2世代化に於いて、既に待ち合わせを行っているパケットが常に優先される。本実施形態は、待ち合わせの相手パケットが必ず入力される場合に、有効なものとなる。

30

【0052】

請求項12に記載のデータ駆動型プロセッサの実施形態を図12に示す。ここでハッシュ溢れ・120、データ1・122、データ0・123は図6(b)と同様のものである。これらのほかに2世代化判定フラッグF・121を設ける。F・121=1のときに書かれたデータを2世代化の相手を待つものとみなす。一方、F・121=0のときは、通常データ対作成の為の相手を待つものとみなす。すなわち、フラッグFの内容により識別可能となる。これにより、通常データ検出手段の持つ待合わせメモリと同様のメモリに、2世代化待合わせ機能を与えることができる。

【0053】

請求項13に記載のデータ駆動型プロセッサの実施形態を図13に示す。ここで図13に示す入力時に、待合わせメモリのアドレスは一致し、該当のメモリ(この場合データ・130)が無効であっても、パケット側のデータ・132はデータ・130に書かれない。図13の出力時に示すように、メモリ側のデータ・130、131がメモリ側データ・134、135にそのまま残され、パケット側のデータ・132、133がパケットデータ・136、137にそのまま書き込まれて出力される。この場合の書き込まない判定条件として、奇数側の世代番号のデータが偶数側の世代番号のデータよりも先に入力されたことが挙げられる。2世代化では、2世代化されるペアのうち、若い番号は常に偶数である。世代番号は0から始まるから、例えば1より0、3より2がより若い。従って、奇数世代のデータが先に来た場合は、待合わせメモリにその相手がいない場合、若い世代のデータは既に出力されたと判断して、メモリに書き込まれないのである。

40

50

【 0 0 5 4 】

請求項 1 4 に記載のデータ駆動型プロセッサの実施形態を図 1 4 に示す。ここで 1 5 1 ~ 1 5 5 は図 1 の 1 1 ~ 1 5 と同様である。いまパケットの一部が 1 4 0 ~ 1 4 4 の 2 世代化されたパケットが分岐手段 1 5 5 に入力されたとき、世代番号・1 4 0 の最下位 1 ビットの奇数世代が V L D ・ 1 4 1 とデータ 1 の・1 4 2 に、偶数世代が V L D ・ 1 4 3 と・データ 0 ・ 1 4 4 が相当することから、これを 2 つのパケットに分解するためには、世代の最下位ビット 0 ・ 1 4 6 を追加した新たな世代番号を持つパケットにデータ 0 ・ 1 4 7 を収め、世代の最下位ビット 1 ・ 1 4 9 を追加した新たな世代番号を持つパケットデータ 1 ・ 1 5 0 を収める。このようにして作成された 2 つのデータパケットが分岐手段 1 5 5 より出力される。

10

【 0 0 5 5 】

【 発明の効果 】

請求項 1 の発明により、従来複数パケットに別れていた処理を 1 つのパケットで行うことができる。そのために複数パケットを転送していた時間が短縮される。

【 0 0 5 6 】

請求項 2 の発明により、R G B などの本来 1 つのピクセルに対するデータを別々のパケットで扱う必要がなくなる。そのために複数パケットを転送していた時間が短縮される。

【 0 0 5 7 】

請求項 3 の発明により、本来 1 ビットしか違わない識別子を別々のパケットで持つ必要がなくなる。従ってパケットのサイズが短縮できる。

20

【 0 0 5 8 】

請求項 4 の発明により、1 ビットの情報でパケット内の複数データのどれが有効で、どれが無効かを識別することができる。従って、データ管理が容易となる。

【 0 0 5 9 】

請求項 5 の発明により、複数のデータを持つパケットが複数の演算器で同時（1 命令で）演算できるようになる。

【 0 0 6 0 】

請求項 6 の発明により、データ駆動型のプロセッサ内部で単一のデータしか持たないパケットと、複数データを持つパケットとが相互に矛盾なく待合わせすることができるようになる。

30

【 0 0 6 1 】

請求項 7 の発明により、複数データを持つパケットがプログラムの条件判定によって、複数個のパケットに分離できるようになる。

【 0 0 6 2 】

請求項 8 の発明により、データ駆動型のプロセッサ内部で単一のデータしか持たないパケットを 2 つのデータを持つパケットに変換することができるようになる。

【 0 0 6 3 】

請求項 9 の発明により、データ駆動型のプロセッサ内部で単一のデータしか持たないパケットを複数のデータを持つパケットに変換することができるようになる。

【 0 0 6 4 】

請求項 1 0 の発明により、単一データの packets を複数データの packets に変換する際に、古い packets より新しい packets の待合わせを優先させることができる。

40

【 0 0 6 5 】

請求項 1 1 の発明により、単一データの packets を複数データの packets に変換する際に、既に待合わせを行っている packets を常に優先させることができる。

【 0 0 6 6 】

請求項 1 2 の発明により、複数のデータを持つ packets に変換する待合わせメモリを、通常のプログラムで用いる対データ検出手段用のメモリと兼用して用いることができるようになる。そのために余分なメモリを新たに備える必要がない。

【 0 0 6 7 】

50

請求項 13 の発明により、単一データの packets を複数データの packets に変換する際に、必要以上に待合わせメモリの領域を占有する packets がなくなる。請求項 14 の発明により、複数データの packets を単一データの packets に分解することができる。これにより複数データが処理できる装置と、単一データしか処理できない装置間のデータに互換性を持たせることができる。

【図面の簡単な説明】

【図 1】(a) 及び (b) は、それぞれデータ駆動型プロセッサ装置及びその内部を流れるデータ packets のブロック構成図である。

【図 2】互いに密接な関連を持つ RGB データの構成図である。

【図 3】複数データを持つ packets の構成図である。

10

【図 4】データの有効無効 (VLD) フラグを持つ packets の構成図である。

【図 5】複数演算器を持つ演算手段の構成図である。

【図 6】複数データに対応する待合わせメモリの構成図であり、(a) は packets の構成図、(b) は待合わせメモリの内部構成図である。

【図 7】複数データの条件分岐が可能な演算器を示す構成図であり、(a) は複数データが入力された場合の演算動作を説明する図、(b) は出力 packets の構成図、(c) は大小判定演算の実行例を示す図である。

【図 8】2 世代化の実行時の packets 構成図であり、(a) は 2 世代化が成功した場合の構成図、(b) は 2 世代化が成功しなかった場合の構成図である。

【図 9】複数世代化の実行時の packets 構成図であり、(a) は複数世代化が成功しなかった場合の構成図、(b) は複数世代化が成功した場合の構成図である。

20

【図 10】2 世代化が実行される場合の優先関係を示す図である。

【図 11】図 10 とは別の手段の 2 世代化が実行される場合の優先関係を示す図である。

【図 12】2 世代化機能を内蔵した対データ検出手段のメモリの構成図である。

【図 13】2 世代化が実行されない場合を示す図である。

【図 14】多世代化されたデータが単独のデータを持つ packets に分解される関係を示す図である。

【図 15】(a) 及び (b) は、それぞれ一般的なデータ駆動型プロセッサのブロック構成図及びデータ packets の構成図である。

【図 16】複数データに対応する待合わせメモリの構成図であり、待合わせメモリの状態と packets の状態との対応関係を示した対応図である。

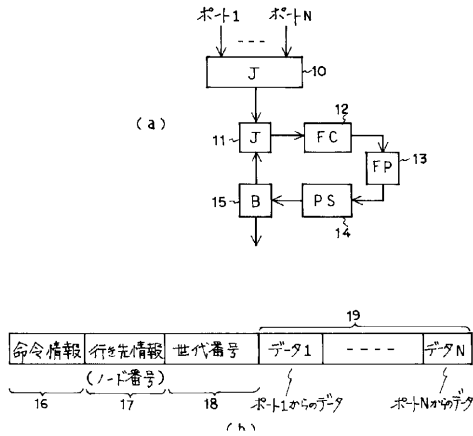
30

【符号の説明】

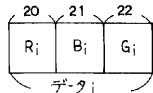
- 10 入力制御手段
- 11 合流手段
- 12 対データ検出手段
- 13 演算処理手段
- 14 プログラム記憶手段
- 15 分岐手段
- 16 命令情報
- 17 行先情報
- 18 世代番号
- 19 データ 1 , ... , データ N

40

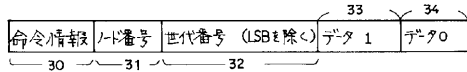
【 図 1 】



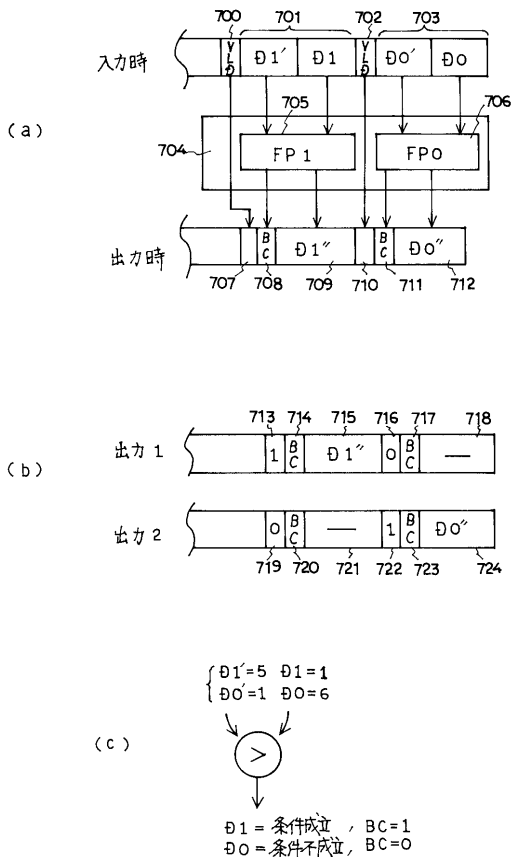
【 図 2 】



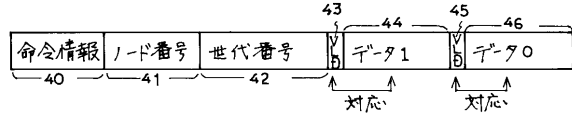
【 図 3 】



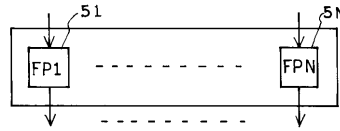
【 図 7 】



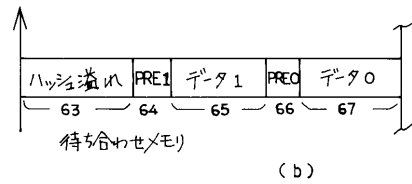
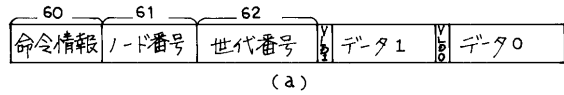
【 図 4 】



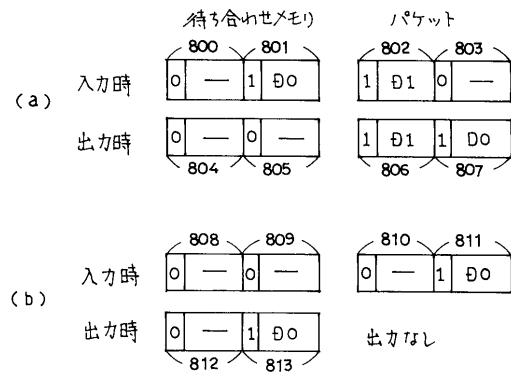
【 図 5 】



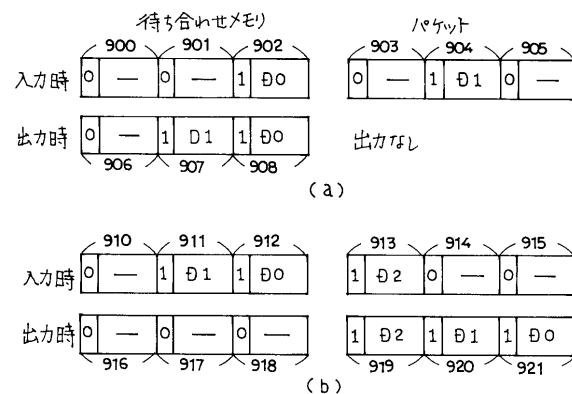
【 図 6 】



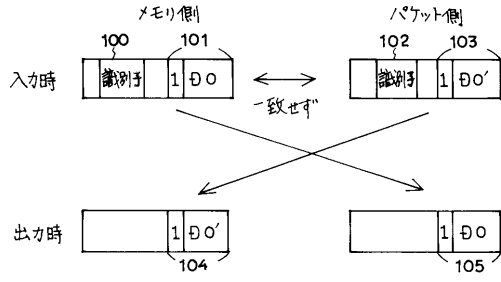
【 図 8 】



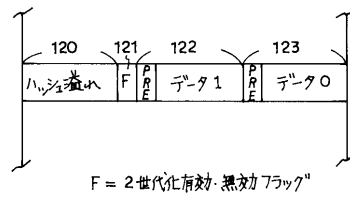
【 図 9 】



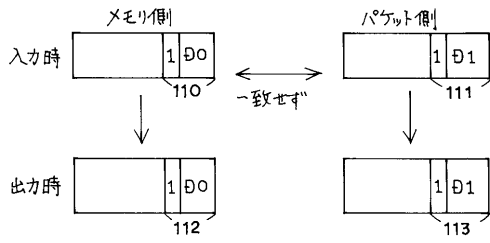
【図10】



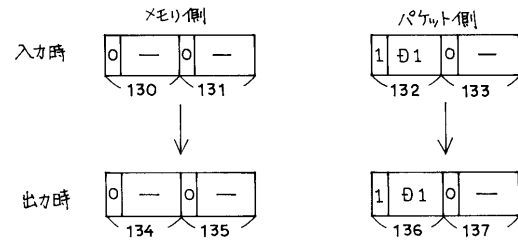
【図12】



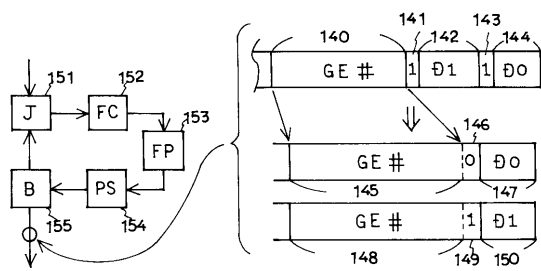
【図11】



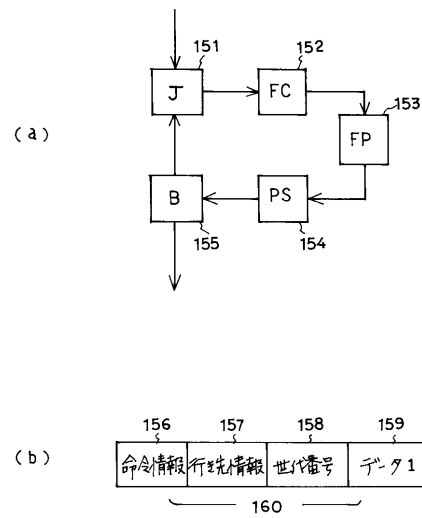
【図13】



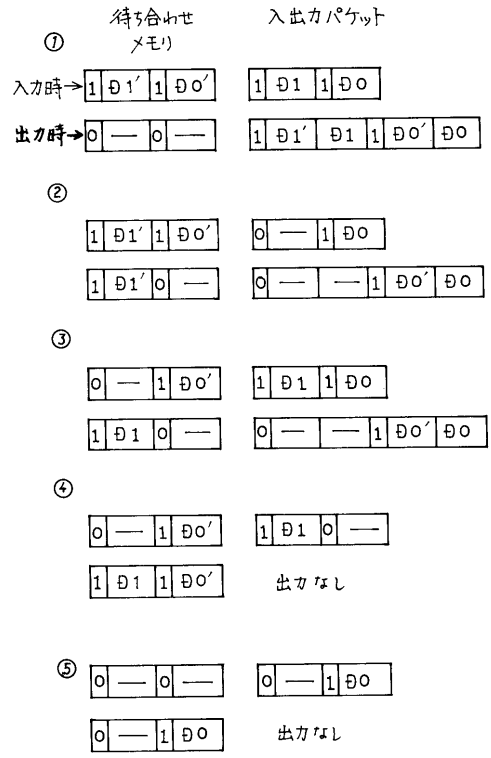
【図14】



【図15】



【 図 1 6 】



フロントページの続き

- (72)発明者 岡本 俊弥
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内
- (72)発明者 村松 剛司
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 酒井 恭信

- (56)参考文献 特開平03-224078(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G06F 15/82