

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/10 (2006.01)

G11C 11/34 (2006.01)



[12] 发明专利说明书

专利号 ZL 03106307.1

[45] 授权公告日 2007 年 1 月 24 日

[11] 授权公告号 CN 1297009C

[22] 申请日 2003.2.21 [21] 申请号 03106307.1

[30] 优先权

[32] 2002. 7. 25 [33] JP [31] 216132/2002

[73] 专利权人 富士通株式会社

地址 日本神奈川

[72] 发明人 森 郁 山田伸一

[56] 参考文献

US5966725 A 1999. 10. 12 G06F12/02

CN1112699 A 1995. 11. 29 G06F15/00

US5321662 A 1994. 6. 14 G11C7/00

US6359823 B2 2002. 3. 19 G11C7/00

US5596545 A 1997. 1. 21 G11C7/00

审查员 杨小明

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

代理人 付建军

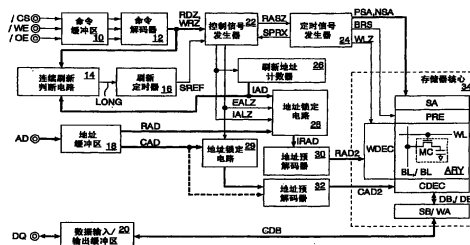
权利要求书 5 页 说明书 28 页 附图 24 页

[54] 发明名称

半导体存储器

[57] 摘要

一种操作控制电路把响应读请求、写请求或刷新请求而激活之读出放大器的非激活定时，设置为读出放大器为了响应刷新请求而输出之可能的最大信号量传送到存储器单元的定时。把读出放大器的活化周期调整为刷新操作，能够减少存取时间。一种刷新控制电路在延长产生刷新请求的周期之前，连续产生预定数目的刷新请求，以刷新所有存储器单元。连续发生刷新请求时，能够降低刷新频率，以降低功率消耗。结果，能够缩短存取时间而不增加待用模式期间的功率消耗。



1. 一个半导体存储器，包括：

多个需要刷新以保持数据的存储器单元；

若干读出放大器，用于放大要写到所述存储器单元之数据中的信号量；

一个操作控制电路，用于激活所述读出放大器，以响应对所述存储器单元的读请求、写请求和刷新请求，以及用于把所述读出放大器的非激活定时设置为对应于这样的定时，即在该定时中，要由读出放大器响应所述刷新请求运行而放大的最大可能信号量，被存储在所述存储器单元中，并且小于最大可能信号量的信号量在对应于写请求的写操作中和对应于读请求的读操作中被存储在所述存储器单元中；以及

一个刷新控制电路，用于周期地产生刷新请求信号作为刷新请求，以及在连续地产生了预定数目的所述刷新请求而没有所述读请求或所述写请求的介入之后，使产生所述刷新请求信号的周期延长，使得存储器单元全部刷新。

2. 根据权利要求1的半导体存储器，进一步包括

一个刷新地址计数器，用于产生指定要刷新之刷新存储器单元的刷新地址，其中，

所述刷新控制电路包括：

一个连续刷新判断电路，用于当所述刷新地址计数器遍历了一周而没有所述读请求或所述写请求介入时，激活一个周期改变信号；以及

一个刷新定时器，用于当周期改变信号被激活时，延长用于产生刷新请求信号之周期的长度，使得周期的长度比周期改变信号非激活时更长。

3. 根据权利要求2的半导体存储器，进一步包括

一个外部端子，用于把所述刷新计数器输出的所述周期改变信号，

输出到半导体存储器的外部。

4. 根据权利要求2的半导体存储器，其特征在于，
在延长了产生所述刷新请求信号之周期的情况下，当发生所述读请求或所述写请求时，所述刷新控制电路使所述周期改变信号非激活。

5. 根据权利要求1的半导体存储器，其特征在于，
所述刷新控制电路包括：

一个刷新计数器，被复位以响应所述读请求信号或所述写请求信号，进行计数以响应所述刷新请求信号，而且当其计数器值达到所述预定的数字时，激活周期改变信号；以及

一个刷新定时器，用于当周期改变信号被激活时，延长用于产生刷新请求信号之周期的长度，使得周期的长度比周期改变信号非激活时更长。

6. 根据权利要求5的半导体存储器，进一步包括
一个外部端子，用于把所述刷新计数器输出的所述周期改变信号，输出到半导体存储器的外部。

7. 根据权利要求5的半导体存储器，其特征在于，
在延长了产生所述刷新请求信号之周期的情况下，当发生所述读请求或所述写请求时，所述刷新控制电路使所述周期改变信号非激活。

8. 根据权利要求5的半导体存储器，其特征在于：
所述操作控制电路识别了所述刷新请求信号时，该操作控制电路就输出刷新控制信号，以执行刷新操作；以及
所述刷新地址计数器将所述刷新控制信号计数为所述刷新请求。

9. 根据权利要求1的半导体存储器，进一步包括
多条字线，分别连接到所述存储器单元，每条所述字线都是按照某个地址信号选择的，其特征在于，
在对应于所述读请求的读操作、对应于所述写请求的写操作、以及在对应于所述刷新请求的刷新操作中，所述操作控制电路把所述字线的选择周期设置为相等。

10. 根据权利要求1的半导体存储器，其特征在于：

所述刷新请求仅仅由从所述刷新控制电路输出的所述刷新请求信号来识别；以及

仅仅响应所述刷新请求信号就在所述存储器单元上执行刷新操作，不必从外部端子接收某个命令信号。

11. 根据权利要求 1 的半导体存储器，其特征在于，

从所述刷新控制电路输出刷新请求信号时或者通过外部端子提供刷新命令时，所述操作控制电路识别所述刷新请求。

12. 根据权利要求 1 的半导体存储器，其特征在于，

为了响应所述读请求、所述写请求和所述刷新请求，所述操作控制电路输出一个读出放大器激活信号，用于激活所述读出放大器；

所述读出放大器连接到一条电源线，以响应所述读出放大器激活信号；以及

所述读出放大器能放大的所述可能的最大信号量，是所述电源线的电源电压对应的一个量。

13. 根据权利要求 1 的半导体存储器，进一步包括

一个存储器单元阵列，包括所述存储器单元，并被划分为多个刷新区域，每个都是单一的刷新单元，其中，

所述预定数目等于所述刷新区域的数目。

14. 根据权利要求 13 的半导体存储器，进一步包括

多条字线，分别连接到所述存储器单元，每条所述字线都是按照某个地址信号选择的，并且其中，

分别按照所述字线，形成所述刷新区域。

15. 根据权利要求 1 的半导体存储器，进一步包括

多条位线，分别把所述存储器单元连接到所述读出放大器，并且其中，

所述读出放大器分别放大所述位线上传送之数据中的信号量。

16. 一个半导体存储器，包括：

多个需要刷新以保持数据的存储器单元；

若干读出放大器，用于放大要写到所述存储器单元之数据中的信

号量;

一个操作控制电路,用于激活所述读出放大器,以响应对所述存储器单元的读请求、写请求和刷新请求,以及用于把所述读出放大器的非激活定时,设置为传送到所述存储器单元的最大可能信号量对应的定时,该信号通过读出放大器操作来放大,以响应刷新请求;以及

一个刷新控制电路,用于周期地产生刷新请求信号作为刷新请求,以及在连续地产生了预定数目的所述刷新请求而没有所述读请求或所述写请求的介入之后,使产生所述刷新请求信号的周期延长,使得存储器单元全部刷新;

多条字线,分别连接到所述存储器单元,所述字线是按照某个地址信号选择的,其中,在对应于所述读请求的读操作或者对应于所述写请求的写操作其中之一中,所述操作控制电路把所述字线的某个选择周期,设置为短于对应于所述刷新请求的刷新操作中所述字线的选择周期。

17. 根据权利要求 16 的半导体存储器,其特征在于,

所述操作控制电路把所述读操作和所述写操作的至少其中之一期间所述字线的取消选择定时,设置为早于所述刷新操作中所述字线的取消选择定时。

18. 一个半导体存储器,包括:

多个需要刷新以保持数据的存储器单元;

若干读出放大器,用于放大要写到所述存储器单元之数据中的信号量;

一个操作控制电路,用于激活所述读出放大器,以响应对所述存储器单元的读请求、写请求和刷新请求,以及用于把所述读出放大器的非激活定时,设置为传送到所述存储器单元的最大可能信号量对应的定时,该信号通过读出放大器操作来放大,以响应刷新请求;以及

一个刷新控制电路,用于周期地产生刷新请求信号作为刷新请求,以及在连续地产生了预定数目的所述刷新请求而没有所述读请求或所述写请求的介入之后,使产生所述刷新请求信号的周期延长,使得存

存储器单元全部刷新；

在对应于所述读请求的读操作或者对应于所述写请求的写操作其中之一中，所述操作控制电路把所述读出放大器的激活周期，设置为短于对应于所述刷新请求的刷新操作中所述读出放大器的激活周期。

19. 根据权利要求 18 的半导体存储器，其特征在于，

所述操作控制电路把所述读操作和所述写操作的至少其中之一期间所述读出放大器的非激活定时，设置为早于所述刷新操作中所述读出放大器的非激活定时。

半导体存储器

技术领域

本发明涉及一种半导体存储器，它需要刷新操作以保持写在其存储器单元中的数据。

背景技术

比如 DRAM 的半导体存储器具有动态存储器单元，需要以预定的周期执行刷新操作，以保持其存储器单元中的数据。通过增加写在存储器单元中信号量（电荷），可以降低刷新操作的频率。因此，要写到存储器单元的信号量越多，数据保持时间就越长，功率消耗就越低。另一方面，在读操作期间的重写之时和写操作中，向存储器单元写更多的信号量导致延长操作时间（周期时间）。

如上所述，确保数据保持时间和减少周期时间是相互矛盾的目标。因此，对于半导体存储器比如 DRAM，一直很难同时做到既确保数据保持时间又减少周期时间。

按照惯例，在致力于降低功率消耗的半导体存储器中，增加要写在存储器单元中信号量以降低刷新的频率，代价是延长的周期时间。在致力于高速存取的半导体存储器中，不增加要写在存储器单元中的信号量，减少了周期时间，代价是更高的刷新频率。

发明内容

本发明的一个目的，是在不增加功率消耗的情况下，减少具有动态存储器单元的半导体存储器的周期时间。

依据本发明之半导体存储器的一个方面，一个操作控制电路激活读出放大器，以响应对存储器单元的某个读请求、某个写请求和某个刷新请求。读出放大器把要写入存储器单元的数据中的信号量放大。

存储器单元需要刷新以保持数据。操作控制电路也把读出放大器非激活的定时，设置为传送到存储器单元的最大可能信号量对应的定时，该信号由读出放大器的操作来放大，以响应刷新请求。因此，在对应于刷新请求的刷新操作中，从存储器单元读出的数据再次完全写到存储器单元中。在对应于读请求的读操作和对应于写请求的写操作中，数据不是完全写到存储器单元中。不过，调整读出放大器的活化周期为刷新操作时间，能够减少读操作时间和写操作时间。

为了刷新存储器单元，一个刷新控制电路周期地输出刷新请求信号作为刷新请求。在连续地产生了预定数目的刷新请求而没有读请求或写请求的介入而使得存储器单元全部刷新之后，刷新控制电路使产生刷新请求信号的周期延长。因而在连续发生刷新请求时(待用模式)，能够降低刷新频率，以减少功率消耗。结果，能够减少周期时间，而不增加待用模式下的功率消耗。

依据本发明之半导体存储器的另一个方面，刷新控制电路包括一个连续刷新判断电路和一个刷新定时器。某个刷新地址计数器用于产生一个刷新地址，指定要刷新的存储器单元。当该计数器遍历了一周而没有对存储器单元的读请求或写请求介入时，连续刷新判断电路就激活一个周期改变信号。当激活周期改变信号时，刷新定时器就延长用于产生刷新请求信号之周期的长度，使得周期的长度比周期改变信号非激活时更长。因此可以由一个简单的逻辑电路来减少周期时间，而不增加待用模式期间的功率消耗。

依据本发明之半导体存储器的另一个方面，从连续刷新判断电路输出的周期改变信号，通过某个外部端子输出到外部。按照周期改变信号，能够延长用于提供外部刷新请求的周期，使得能够接受提供的刷新请求——即使是来自外部——的半导体存储器减少周期时间，而不增加待用模式期间的功率消耗。

依据本发明之半导体存储器的另一个方面，刷新控制电路包括一个刷新计数器和一个刷新定时器。刷新计数器按照对存储器单元的读请求信号或写请求信号复位，并按照刷新请求信号计数。当刷新计数

器的计数器值达到某个预定的数字时，它就激活周期改变信号。当激活周期改变信号时，刷新定时器延长用于产生刷新请求信号之周期的长度，使得周期的长度比周期改变信号非激活时更长。因此可以由一个简单的逻辑电路来减少周期时间，而待用模式下的功率消耗没有任何增加。

依据本发明之半导体存储器的另一个方面，有多条字线分别连接到存储器单元。这些字线之一是按照某个地址信号选择的。在对应于读请求的读操作、在对应于写请求的写操作以及在对应于刷新请求的刷新操作中，操作控制电路把字线的选择周期设置为相等。由于字线的选择周期不必随着操作类型而改变，所以能够简单地配置操作控制电路。

依据本发明之半导体存储器的另一个方面，仅仅根据从刷新控制电路输出的刷新请求信号来识别刷新请求。仅仅响应刷新请求信号就在存储器单元上执行刷新操作，不必从外部端子接收某个命令信号。换句话说，能够在内部自动执行刷新操作的半导体存储器，能够减少其周期时间，而待用模式下的功率消耗没有任何增加。

依据本发明之半导体存储器的另一个方面，有多条字线分别连接到存储器单元。这些字线之一是按照某个地址信号选择的。在对应于读请求的读操作或者对应于写请求的写操作至少其中之一中，操作控制电路把字线的选择周期设置为短于对应于刷新请求的刷新操作中字线的选择周期。因此能够进一步减少周期时间，而待用模式下的功率消耗没有任何增加。

依据本发明之半导体存储器的另一个方面，操作控制电路把或者是读操作或者是写操作至少其一期间字线的取消选择定时，设置为早于刷新操作中字线的取消选择定时。因此能够进一步减少周期时间，而待用模式下的功率消耗没有任何增加。

依据本发明之半导体存储器的另一个方面，在对应于读请求的读操作或者对应于写请求的写操作至少其中之一中，操作控制电路把所述读出放大器的活化周期设置为短于存储器单元上刷新操作中读出放

大器的活化周期。因此能够进一步减少周期时间，而绝不增加待用模式下的功率消耗。

依据本发明之半导体存储器的另一个方面，从刷新控制电路输出刷新请求信号时或者通过外部端子提供刷新命令时，操作控制电路识别刷新请求。换句话说，对于既可在内部自动执行刷新操作，又可响应来自外部的刷新请求而执行刷新操作的半导体存储器，能够减少周期时间，而不增加待用模式下的功率消耗。

依据本发明之半导体存储器的另一个方面，为了响应读请求、写请求和刷新请求，操作控制电路输出一个读出放大器激活信号，用于激活这些读出放大器。这些读出放大器连接到一条电源线，以响应读出放大器激活信号。这些读出放大器能放大的可能的最大信号量，是电源线的电源电压对应的一个量。通过这些读出放大器，要写到这些存储器单元的信号量带上了相应的电源电压。这些读出放大器的操作开始之后，数据就能够由此高速地写到存储器单元。结果，能够高速地执行刷新操作、读操作和写操作。

附图简要说明

连同附图阅读以下的详细说明，本发明的性质、原理和用途将变得显而易见。图中相似的部件由相同的引用号指定，其中：

图 1 是一个框图，显示了本发明的半导体存储器的第一个实施例；

图 2 是一个框图，显示了图 1 所示刷新定时器的细节；

图 3 是一个框图，显示了图 1 所示存储器核心的细节；

图 4 是一个电路图，显示了图 3 所示读出放大器和预充电电路的细节；

图 5 是一个时间图，显示了第一个实施例的半导体存储器中存储器核心的操作；

图 6 是一个时间图，显示了存储器核心之操作的对比实例；

图 7 是一个时间图，显示了第一个实施例的半导体存储器的操作；

图 8 是一个时间图，显示了半导体存储器之操作的对比实例；

图 9 是一个框图，显示了本发明的半导体存储器的第二个实施例；
图 10 是一个时间图，显示了第二个实施例的半导体存储器的操作；

图 11 是一个框图，显示了本发明的半导体存储器的第三个实施例；

图 12 是一个时间图，显示了第三个实施例的半导体存储器中存储器核心的操作；

图 13 是一个时间图，显示了第三个实施例的半导体存储器的操作；

图 14 是一个框图，显示了本发明的半导体存储器的第四个实施例；

图 15 是一个电路图，显示了图 14 所示存储器核心之基本部件的细节；

图 16 是一个时间图，显示了第四个实施例的半导体存储器中存储器核心的操作；

图 17 是一个时间图，显示了第四个实施例的半导体存储器的操作；

图 18 是一个框图，显示了本发明的半导体存储器的第五个实施例；

图 19 是一个时间图，显示了第五个实施例的半导体存储器的操作；

图 20 是一个框图，显示了本发明的半导体存储器的第六个实施例；

图 21 是一个时间图，显示了第六个实施例的半导体存储器的操作；

图 22 是一个框图，显示了本发明的半导体存储器的第七个实施例；

图 23 是一个时间图，显示了第七个实施例的半导体存储器的操作；以及

图 24 是一个框图，显示了刷新定时器的另一个实例。

具体实施方式

下文中将参考附图，介绍本发明的若干实施例。在这些附图中，每条粗线表示一条信号线，它包括多条线。以“Z”结尾的信号是正逻辑的。以“/”引导的信号和以“X”结尾的信号是负逻辑的。附图中的双圈表示外部端子。在以下的说明中，信号名称可能会缩写，如“/CS 信号”表示“芯片选择信号”。

图 1 显示了本发明的半导体存储器的第一个实施例。这种半导体存储器通过使用 CMOS 技术，形成一种伪 SRAM，它具有 DRAM 存储器单元和 SRAM 接口。这种伪 SRAM 以规则的时间间隔，在芯片之内执行刷新操作，无须从外部接收刷新命令，从而保持着其存储器单元中写入的数据。例如，这种伪 SRAM 用于手机上安装的工作存储器。

这种伪 SRAM 包括命令缓冲区 10、命令解码器 12、连续刷新判断电路 14、刷新定时器 16、地址缓冲区 18、数据输入/输出缓冲区 20、控制信号发生器 22、定时信号发生器 24、刷新地址计数器 26、地址锁定电路 28 和 29、地址预解码器 30 和 32 以及存储器核心 34。

命令缓冲区 10 接收来自外部的命令信号（芯片选择信号/CS、写允许信号/WE 和输出允许信号/OE）。

命令解码器 12 使从命令缓冲区 10 提供的命令信号解码，并输出读控制信号 RDZ 或写控制信号 WRZ。

连续刷新判断电路 14 具有例如两个级联的锁定器。当刷新地址计数器 26 遍历了一周而没有读控制信号 RDZ（读请求）或写控制信号 WRZ（写请求）介入时，连续刷新判断电路 14 激活周期改变信号 LONG（变为高电平）。更确切地说，当收到两次刷新地址 IAD = “0”而没有读控制信号 RDZ（读请求）或写控制信号 WRZ（写请求）介入时，就探测到了刷新地址计数器 26 的一周。那么，在激活周期改变信号 LONG 之后，提供了新的读命令（读请求）或写命令（写请求）时，

连续刷新判断电路 14 就使周期改变信号 LONG 非激活(变为低电平)。

提供了低电平的/CS 信号和/OE 信号以及高电平的/WE 信号时,就识别出读命令。提供了低电平的/CS 信号和/WE 信号以及高电平的/OE 信号时,就识别出写命令。由于这个实施例的半导体存储器是一种伪 SRAM,没有从外部提供刷新命令。

刷新定时器 16 在预定的周期中,输出刷新请求信号 SREF(刷新请求、内部刷新命令)。当周期改变信号 LONG 处于低电平时,刷新定时器 16 按照后面将看到的图 7 所示的周期 CYC1,输出刷新请求信号 SREF。当周期改变信号 LONG 处于高电平时,刷新定时器 16 按照周期 CYC2——它比 CYC1 长——输出刷新请求信号 SREF。

连续刷新判断电路 14 和刷新定时器 16 用作刷新控制电路,当连续产生了预定数目的刷新请求信号 SREF 而没有读请求或写请求介入时,就把产生刷新请求信号 SREF 的周期延长。

地址缓冲区 18 通过某个地址端子,接收地址信号 AD,并把收到的信号输出为行地址信号 RAD(高位地址)和列地址信号 CAD(低位地址)。换句话说,这种伪 SRAM 是一种地址非多路类型的存储器,它同时接收高位地址和低位地址。

数据输入/输出缓冲区 20 通过公共数据总线 CDB 接收读数据,并把收到的数据输出到数据端子 DQ。数据输入/输出缓冲区 20 通过数据端子 DQ 接收写数据,并把收到的数据输出到公共数据总线 CDB。数据端子 DQ 的位数是例如 16 位。

控制信号发生器 22 接收读控制信号 RDZ、写控制信号 WRZ 和刷新请求信号 SREF,并激活行操作控制信号 RASZ,所以任何读、写和刷新操作都以收到的次序执行。控制信号发生器 22 使行操作控制信号 RASZ 非激活,以响应来自定时信号发生器 24 的复位信号 SPRX。在执行对应于读命令的读操作或对应于写命令的写操作时,控制信号发生器 22 输出外部地址锁定信号 EALZ。在执行对应于刷新请求信号 SREF 的刷新操作时,它输出内部地址锁定信号 IALZ。

控制信号发生器 22 在读控制信号 RDZ 或写控制信号 WRZ 之前

收到刷新请求信号 SREF 时，它就先输出行操作控制信号 RASZ 和对应于 SREF 信号的内部地址锁定信号 IALZ，再输出行操作控制信号 RASZ 和对应于 RDZ 信号或 WRZ 信号的外部地址锁定信号 EALZ。行操作控制信号 RASZ 和对应于刷新请求信号 SREF 的内部地址锁定信号 IALZ，用作控制刷新操作的刷新控制信号。

控制信号发生器 22 在 RDZ 信号或 WRZ 信号之后收到刷新请求信号 SREF 时，它就先输出行操作控制信号 RASZ 和对应于 RDZ 信号或 WRZ 信号的外部地址锁定信号 EALZ，再输出行操作控制信号 RASZ 和对应于 SREF 信号的内部地址锁定信号 IALZ。换句话说，控制信号发生器 22 作为一个判定器，在读 / 写操作和刷新操作之间设置优先权。

响应行操作控制信号 RASZ（读请求、写请求和刷新请求），定时信号发生器 24 输出读出放大器激活信号 PSA 和 NSA 以操作读出放大器 SA、位线复位信号 BRS 以控制位线 BL 和 /BL 的预充电操作以及字线控制信号 WLZ 以操作字解码器 WDEC。控制信号发生器 22 和定时信号发生器 24 作为操作控制电路，用于执行读、写和刷新操作。

刷新地址计数器 26 与内部地址锁定信号 IALZ 的上升沿同步进行计数，因而使内部地址 IAD 增加“1”。刷新地址计数器 26 的位数，与要提供给地址端子 AD 之行地址信号 RAD 的位数相同。

地址锁定电路 28 与外部地址锁定信号 EALZ 同步，锁定行地址 RAD，或者与内部地址锁定信号 IALZ 同步，锁定内部地址信号 IAD。地址锁定电路 28 输出锁定的信号作为内部行地址信号 IRAD。

地址锁定电路 29 与外部地址锁定信号 EALZ 同步，锁定列地址信号 CAD，并向地址预解码器 32 输出锁定的地址。在页模式——连续访问连接到某条字线 WL 的存储器单元 MC——期间，列地址信号 CAD 不通过地址锁定电路 29，直接提供给地址预解码器 32（在图中以虚线显示）。

地址预解码器 30 对内部行地址信号 IRAD 进行预解码，并把解码后的信号输出为行地址信号 RAD2。地址预解码器 32 对列地址信号

CAD 进行预解码，并把解码后的信号输出为列地址信号 CAD2。

存储器核心 34 包括存储器单元阵列 ARY、字解码器 WDEC、读出放大器 SA、预充电电路 PRE、列解码器 CDEC、读出缓冲区 SB 以及写入放大器 WA。存储器单元阵列 ARY 具有多个易失性存储器单元 MC（动态存储器单元），以及连接到这些存储器单元 MC 的多条字线 WL 和多条位线 BL、/BL（补充位线）。

存储器单元 MC 与典型的 DRAM 存储器单元相同，每个都具有一个电容器——用于以电荷的形式保持数据——以及这个电容器和一条位线 BL 之间安排的一个传递晶体管。为了数据保持的缘故，存储器单元 MC 需要在规则时间间隔的进行刷新操作（或读操作）。

传递晶体管的逻辑门连接到字线 WL。通过字线 WL 的选择，执行读操作、写操作和刷新操作中的任何一种。存储器单元阵列 ARY 先执行读操作、写操作和刷新操作中的任何一种，再执行预充电操作，以便响应位线复位信号 BRS 充电到高电平的状况，使位线 BL 复位到预定的电压。

读出放大器 SA 放大位线 BL 上数据的信号量。在读操作中，从存储器单元 MC 读出的数据经过读出放大器 SA 放大后，通过列开关 CSW 传送到数据总线 DB、/DB。同时，该数据重写到存储器单元 MC。在写操作中，从外部提供的数据经过读出放大器 SA 放大后，通过位线 BL 和 /BL 写到存储器单元 MC。在刷新操作中，从存储器单元 MC 读出的数据经过读出放大器 SA 放大后，重写到存储器单元 MC 而不输出到外部。预充电电路 PRE 执行预充电操作，响应位线复位信号 BRS 充电到高电平的状况，使位线 BL 复位到预定的电压。

收到高电平的字线控制信号 WLZ 时，字解码器 WDEC 按照行地址信号 RAD2，选择字线 WL 中的任何一个，并使选定的字线 WL 升压到高于电源电压的升压电压。由于是使用典型的技术对字线 WL 升压，所以没有特别展示产生升压电压的升压电路。

按照列地址信号 CAD2，列解码器 CDEC 输出列线信号（后面所见图 3 中的 CLZ），以便打开分别连接到位线 BL、/BL 和数据总线

DB、/DB 的列开关（后面所见图 3 中的 CSW）。

读出缓冲区 SB 把数据总线 DB、/DB 上读出数据的信号量放大，并向公共数据总线 CDB 输出结果。写入放大器 WA 把公共数据总线 CDB 上写入数据的信号量放大，并向数据总线 DB、/DB 输出结果。

图 2 显示了图 1 所示刷新定时器 16 的细节。

刷新定时器 16 包括三个部分：振荡电路 16a 包括振荡器 OSC1；振荡电路 16b 包括振荡器 OSC2，它的振荡周期比振荡器 OSC1 的振荡周期长；以及选择器 16c，它按照周期改变信号 LONG，选择振荡电路 16a 和 16b 的输出，并把结果输出为刷新请求信号 SREF。周期改变信号 LONG 处于高电平时，刷新定时器 16 输出的刷新请求信号 SREF 具有振荡器 OSC2 的振荡周期。尽管没有特别展示，刷新定时器 16 却包含一种电路，用于周期改变信号 LONG 变化时，防止刷新请求信号 SREF 遭受危险。

图 3 显示了图 1 所示存储器核心 34 的细节。

存储器单元阵列 ARY 包括以矩阵方式排列的存储器单元 MC、连接到这些存储器单元 MC 的多条字线 WL（WL0、WL1、…、WL_n）以及连接到这些存储器单元 MC 的多条位线 BL、/BL（BL0、/BL0、BL1、/BL1、…、BL_m、/BL_m）。单独连接到每一条字线 WL 的存储器单元 MC，构成一个单独的刷新单元，或者说刷新区域 REFA。换句话说，字线 WL 的数目等于刷新区域 REFA 的数目。字线 WL 的数目和刷新区域 REFA 的数目都是 n。

每个读出放大器 SA 都连接到读出放大器激活信号 PSA、NSA 的信号线和补充位线 BL、/BL。每个预充电电路 PRE 都连接到位线控制信号 BRS 的信号线和补充位线 BL、/BL。每个列开关 CSW 都连接到补充位线 BL 和 /BL。收到高电平的列线信号 CLZ 时，列开关 CSW 分别打开位线 BL、/BL 与数据总线 DB、/DB 的连接。

图 4 显示了图 3 所示读出放大器 SA 和预充电电路 PRE 的细节。

读出放大器 SA 包括两个 CMOS 反相器，在其输入端和输出端相互连接；一个 pMOS 晶体管（pMOS 开关），用于连接 CMOS 反相

器之 pMOS 晶体管的源极和电源线 VDD（高电平侧的电源线）；一个 nMOS 晶体管（nMOS 开关），用于连接 CMOS 反相器之 nMOS 晶体管的源极和地线 VSS（低电平侧的电源线）。CMOS 反相器的输入端（或者输出端）分别连接到位线 BL、/BL。

放大器激活信号 PSA 处于低电平时，pMOS 开关打开，从而把 CMOS 反相器连接到电源线 VDD。放大器激活信号 NSA 处于高电平时，nMOS 开关打开，从而把 CMOS 反相器连接到地线 VSS。pMOS 开关和 nMOS 开关打开时，激活 CMOS 反相器，所以位线 BL 和 /BL 之间的电压差被差分放大。换句话说，读出放大器 SA 连接到电源线 VDD 和 VSS，以响应读出放大器激活信号 PSA 和 NSA，所以它能够放大位线 BL 和 /BL 的电压，高至电源电压 VDD 或者低至地电压 VSS。换句话说，读出放大器 SA 能够放大的可能的最大信号量，对应于电源电压 VDD 和地电压 VSS。

预充电电路 PRE 包括一个 nMOS 晶体管，用于使位线 BL 和 /BL 相互连接；以及两个 nMOS 晶体管，分别用于使位线 BL 和 /BL 连接到预充电电压线 VPR。当预充电信号 PREZ 处于高电平时，这些 nMOS 晶体管打开，从而把位线 BL 和 /BL 连接到预充电电压线 VPR。

图 5 显示了第一个实施例的半导体存储器中存储器核心的操作。

在这个实施例中，在刷新操作、写操作和读操作中各自相同的定时点上，图 1 所示的定时信号发生器 24 输出读出放大器激活信号 PSA 和 NSA、位线控制信号 BRS 和字线控制信号 WLZ。因此，在刷新、写和读操作的任何一种中，读出放大器 SA 的操作期间字线 WL 的选择期间是相同的。

按照在刷新操作中，存储器单元 MC 的单元电压 CELL（图中的粗线）到达电源电压 VDD 或者地电压 VSS 的期间，设置读出放大器激活信号 PSA、NSA 的激活期间 ACT1 和字线控制信号 WLZ 的激活期间。换句话说，在运行读出放大器 SA 以响应传送到存储器单元 MC 的刷新请求时，按照读出放大器 SA 输出的可能的最大信号量（电源电压 VDD 或地电压 VSS），设置读出放大器 SA 的非激活定时。注意，

单元电压 CELL 是指在各自存储器单元 MC 中，连接着传递晶体管和电容器之节点的电压。

在刷新操作中，数据重写操作把单元电压 CELL 改变为电源电压 VDD 或地电压 VSS（图 5（a））。换句话说，从存储器单元 MC 读取到位线 BL（或/BL）的数据，完全写到存储器单元 MC。

在写操作中，最不利的定时点就是要写入的数据与存储器单元中保持的数据在逻辑上反相的情况。在这种情况下，开始由读出放大器 SA 放大的原始数据必须反相（图 5（b））。当列线信号 CLZ 处于高电平时，反相逻辑的数据通过数据总线 DB、/DB 提供。由于写操作可能需要数据反相操作，数据写入存储器单元 MC 可用的时间就变得更短了。所以不可能在激活期间 ACT1 之内使单元电压 CELL 改变到高至电源电压 VDD 或者低至地电压 VSS（图 5（c））。不过，这些电压还是足以保持数据。

在读操作中，由读出放大器 SA 放大的数据，通过列开关 CSW 输出到数据总线 DB、/DB。当列线信号 CLZ 处于高电平时，位线 BL、/BL 连接到数据总线 DB、/DB。注意，在数据总线 DB、/DB 的影响下，位线 BL、/BL 的电压有变化。因此，位线 BL、/BL 的电压达到电源电压 VDD 或者地电压 VSS 需要的时间比刷新操作中更长。换句话说，与位线 BL、/BL 不连接到数据总线 DB、/DB 的刷新操作相比，存储器单元 MC 没有充分重写。结果，不可能在激活期间 ACT1 之内使单元电压 CELL 改变到高至电源电压 VDD 或者低至地电压 VSS（图 5（d））。不过，这些电压还是足以保持数据。

如图 5 所示，这个实施例的特征之一在于，只有在刷新操作中存储器单元 MC 才完全写入了数据。此外，提供的读出放大器 SA 的激活期间、字线 WL 的选择期间和预充电操作定时，在刷新、写和读操作的任何一种中都是相同的。把存储器核心 34 的操作时间调整到刷新操作，减少了写操作时间和读操作时间（存取时间）。在写操作和读操作之后，单元电压 CELL 尚未达到电源电压 VDD 或者地电压 VSS。所以，如后面所见的图 7 所示，必须按照单元电压 CELL，缩短预定

数目的刷新操作的周期。

图 6 显示了常规的、典型的 DRAM 存储器核心的操作(对比实例)。

在这个存储器核心中，读出放大器激活信号 PSA 和 NSA 的激活期间 ACT2 调整为写操作 ($ACT2 > ACT1$)。按照读出放大器激活信号 PSA 和 NSA，设置字线控制信号 WLZ 和位线控制信号 BRS 的定时。因此，在读、写和刷新操作的任何一种中，单元电压 CELL 都达到电源电压 VDD 或者地电压 VSS。在该图中，附在字线 WL 波形上的虚线显示了以上所见图 5 中字线 WL 的非激活定时。

图 7 显示了第一个实施例的半导体存储器的操作。

在这个实例中，在一次提供写命令 WR 之前，两次提供读命令 RD。先输出刷新请求信号 SREF (刷新命令 REF)，再提供写命令 WR。提供了写命令 WR 之后，既不提供读命令 RD，又不提供写命令 WR，所以只执行刷新操作，以响应刷新命令 REF。

这个实施例的伪 SRAM，能够在在一个周期时间 t_{RC1} ——它是存取请求(读或写请求)的最小输入区间——之内进行一次存取操作(读操作或写操作)和一次刷新操作。因此伪 SRAM 能够执行刷新操作，而不必被伪 SRAM 安装在其上的系统识别。换句话说，刷新操作能够对外部隐藏。

初始情况下，为了响应第一个读命令 RD，输出读控制信号 RDZ (图 7(a))，因而选择与读命令 RD 一起提供的地址信号 RAD 对应的字线 WL。然后，执行读操作。图 1 所示的连续刷新判断电路 14 与读控制信号 RDZ 的上升沿同步，使其内部锁定器复位(图 7(b))。

下一步，执行读操作以响应第二个读命令 RD。与读控制信号 RDZ 的上升沿同步，连续刷新判断电路 14 中的锁定器再次复位(图 7(c))。

读操作之后或者读操作期间，输出刷新请求信号 SREF(图 7(d))，所以在读操作之后执行刷新操作。图 1 所示的刷新地址计数器 26 输出刷新地址 $IAD = "0"$ 时，连续刷新判断电路 14 设置内部锁定器(图 7(e))。

下一步，执行写操作以响应写命令 WR(图 7(f))。与写控制

信号 WRZ 的上升沿同步，连续刷新判断电路 14 中的锁定器再次复位（图 7（g））。以这种方式，连续刷新判断电路 14 中的锁定器，与读操作或写操作同步复位。

因此，以图 2 所示的振荡器 OSC1 的周期 CYC1，输出刷新请求信号 SREF（图 7（h））。设置了振荡器 OSC1 的周期 CYC1，所以在存储器单元 MC 保持的数据消失之前执行刷新操作，即使在写操作和读操作中单元电压 CELL 没有达到电源电压 VDD 或者地电压 VSS。

刷新地址计数器 26 与内部地址锁定信号 IALZ 同步进行计数，从而使刷新地址 IAD 增加“1”（图 7（i））。注意，虽然周期时间 tRC1 和刷新周期 CYC1 以近似相同长度的箭头表示，实际的刷新周期 CYC1 却设置为周期时间 tRC1 的几十倍或更长。

当刷新地址 IAD 变为“0”时，连续刷新判断电路 14 设置内部锁定器。然后，刷新地址 IAD 第二次变为“0”而没有对存储器单元 MC 的读请求或写请求介入时，即刷新地址计数器 26 遍历了一周时，连续刷新判断电路 14 就激活周期改变信号 LONG（图 7（j））。

注意，在存储器核心 34 的所有刷新区域 REFA（n 个区域）上已经连续执行了刷新操作，而没有读操作和写操作。换句话说，存储器核心 34 中所有的存储器单元 MC 都完全写入了。因此，进行后续的刷新操作可以采用 CYC2 的刷新周期，它比周期 CYC1 长。

图 2 所示的刷新定时器 16 接收高电平的周期改变信号 LONG，并以振荡器 OSC2 的周期 CYC2 输出刷新请求信号 SREF（图 7（k））。由于周期 CYC2 比周期 CYC1 长，在周期改变信号 LONG 处于高电平时，就延长了刷新周期。

如上所述，通过缩短刷新周期，能够缩短周期时间 tRC1，直到刷新地址计数器 26 遍历了一周。只有在刷新地址计数器 26 遍历一周时，缩短的刷新周期的阶段才会延续。这表明在待用模式下，功率消耗（待用电流、数据保持电流）增加不多。

提供了新的读命令或写命令，使连续刷新判断电路 14 中的锁定器复位时，周期改变信号 LONG 变为低电平（非激活状态）。

图 8 显示了半导体存储器之操作的对比实例。这种半导体存储器具有一个存储器核心，它在上图所见的图 6 所示的定时机制下运行。

刷新请求信号 SREF 的输出区间（刷新周期）永远是固定的，与振荡器 OSC2 的周期 CYC2 近似相同。在这个实例中，如图 6 所述，刷新周期可以提供的相对长一点，因为即使在写操作和读操作中，设置的读出放大器激活信号 PSA、NSA、位线控制信号 BRS 和字线控制信号 WLZ 的发生定时也使得存储器单元 MC 能够完全写入数据。不过，用于读操作和写操作的周期时间 t_{RC2} 比周期时间 t_{RC1} 更长。这就排除了数据传输率（I/O 总线占用率）的改进。

如上所述，依据本实施例，在刷新命令 REF 对应的刷新操作中，从存储器单元 MC 读出的数据完全写入。在读命令 RD 对应的读操作和写命令 WR 对应的写操作中，由于周期时间 t_{RC} 缩短的缘故，数据没有完全写入。此外，在产生刷新请求信号 SREF 的周期延长之前，连续产生预定数目的刷新命令 REF 而没有读命令 RD 或写命令 WR 介入，全部刷新了存储器单元 MC。结果，能够缩短周期时间 t_{RC} ，以改进数据传输率而不增加待用电流。尤其是在内部自动执行刷新操作的伪 SRAM，能够缩短周期时间 t_{RC} 而绝不增加待用电流。

通过使用简单配置的连续刷新判断电路 14 和刷新定时器 16，能够缩短周期时间 t_{RC} 而绝不增加待用模式下的功率消耗。

在读、写和刷新操作的任何一种中，定时信号发生器 24 对于字线 WL 设置相同的选择期间。由于字线 WL 的选择期间不必随着操作而改变，所以能够简单地配置定时信号发生器 24。

在读、写和刷新操作中，存储器单元 MC 通过读出放大器 SA 和位线 BL（或/B \bar{L} ），连接到电源线 VDD、VSS。读出放大器 SA 开始运行之后，数据就能够因此高速地写入存储器单元 MC。结果，就能够高速地执行刷新操作、读操作和写操作。

连续刷新判断电路 14 由锁定电路构成。由于不用大规模电路比如计数器就能够探测刷新地址 IAD 变为“0”，所以能够简单地配置连续刷新判断电路 14。

图 9 显示了本发明的半导体存储器的第二个实施例。与第一个实施例中介绍的元件相同的元件，将由相同的引用号或符号表示。所以这里将省略详细的说明。

在这个实施例中，形成了刷新计数器 15，而不是第一个实施例中的连续刷新判断电路 14。配置的其余部分与第一个实施例中相同。换句话说，通过使用 CMOS 技术形成的半导体存储器，是具有 DRAM 存储器单元和 SRAM 接口的伪 SRAM。

刷新计数器 15 包括与位线数目 WL（后面将介绍）相同位数的 2 位计数器。刷新计数器 15 与读控制信号 RDZ（读请求）或写控制信号 WRZ（写请求）同步复位，并且与内部地址锁定信号 IALZ 同步计数。当刷新计数器 15 的计数器数值从最大值改变为最小值，即结转时，它把结转信号 CARRY（周期改变信号）改变为高电平。那么，在结转发生之后，刷新计数器 15 使结转信号 CARRY 维持在高电平，直到提供了新的读命令（读请求）和写命令（写请求）。

刷新定时器 16 以预定的周期输出刷新请求信号 SREF（内部刷新命令）。当结转信号 CARRY 处于低电平时，刷新定时器 16 以后面所见图 10 所示的周期 CYC1 输出刷新请求信号 SREF。当结转信号 CARRY 处于高电平时，刷新定时器 16 以比周期 CYC1 长的周期 CYC2 输出刷新请求信号 SREF。

刷新计数器 15 和刷新定时器 16 作为刷新控制电路，用于连续产生了预定数目的刷新请求信号 SREF 而没有读请求或写请求介入时，延长产生刷新请求信号 SREF 的周期。

图 10 显示了第二个实施例的半导体存储器的操作。

在这个实例中，在一次提供写命令 WR 之前，两次提供读命令 RD。先输出刷新请求信号 SREF（刷新命令 REF），再提供写命令 WR。提供了写命令 WR 之后，既不提供读命令 RD，又不提供写命令 WR，所以只执行刷新操作，以响应刷新命令 REF。

这个实施例的伪 SRAM，能够在一个周期时间 t_{RC1} ——它是存取请求（读或写请求）的最小输入区间——之内进行一次存取操作（读

操作或写操作)和一次刷新操作。因此伪 SRAM 能够执行刷新操作,而不必被伪 SRAM 安装在其上的系统识别。换句话说,刷新操作能够对外部隐藏。

初始情况下,为了响应第一个读命令 RD,输出读控制信号 RDZ (图 10(a)),因而选择与读命令 RD 一起提供的地址信号 RAD 对应的字线 WL。然后,执行读操作。图 9 所示的刷新计数器 15 与读控制信号 RDZ 的上升沿同步,使其计数器数值 COUNT 复位到“0”(图 10(b))。

下一步,执行读操作以响应第二个读命令 RD。与读控制信号 RDZ 的上升沿同步,计数器数值 COUNT 再次复位到“0”(图 10(c))。

读操作之后或者读操作期间,输出刷新请求信号 SREF (图 10(d)),所以在读操作之后执行刷新操作。与用于锁定刷新地址 IAD 的内部地址锁定信号 IALZ (未显示)的上升沿同步,刷新计数器 15 把计数器数值 COUNT 从“0”改变为“1”(图 10(e))。

下一步,执行写操作以响应写命令 WR (图 10(f))。与写控制信号 WRZ 的上升沿同步,计数器数值 COUNT 再次复位到“0”(图 10(g))。以这种方式,刷新计数器 15 与读操作或写操作同步复位。

因此,如同在第一个实施例(图 2)中,以振荡器 OSC1 的周期 CYC1,输出刷新请求信号 SREF (图 10(h))。设置了振荡器 OSC1 的周期 CYC1,所以在存储器单元 MC 保持的数据消失之前执行刷新操作,即使在写操作和读操作中单元电压 CELL 没有达到电源电压 VDD 或者地电压 VSS。

刷新计数器 15 与内部地址锁定信号 IALZ 同步进行计数,从而使计数器数值 COUNT 增加“1”(图 10(i))。注意,虽然周期时间 tRC1 和刷新周期 CYC1 以近似相同长度的箭头表示,实际的刷新周期 CYC1 却是设置为周期时间 tRC1 的几十倍或更长。

利用刷新请求信号 SREF 的输出,计数器数值 COUNT 增加到达到最大值 n-1。然后,执行第 n-1 次刷新操作。收到下一个刷新请求信号 SREF 之后,计数器数值 COUNT 增加“1”将返回“0”。与

计数器数值 COUNT 变为 “0” 同步，刷新计数器 15 把结转信号 CARRY 改变为高电平（非激活状态）（图 10（j））。

注意，在存储器核心 34 的所有刷新区域 REFA（n 个区域）上已经连续执行了刷新操作，而没有读操作和写操作。换句话说，存储器核心 34 中所有的存储器单元 MC 都完全写入了。因此，进行后续的刷新操作可以采用 CYC2 的刷新周期，它比周期 CYC1 长。

图 9 所示的刷新定时器 16 接收高电平的结转信号 CARRY，并以振荡器 OSC2 的周期 CYC2 输出刷新请求信号 SREF（图 10（k））。由于周期 CYC2 比周期 CYC1 长，在结转信号 CARRY 处于高电平时，就延长了刷新周期。换句话说，在刷新计数器 15 的计数器数值 COUNT 遍历了一周而没有复位之后，就能够延长刷新周期。

以这种方式，通过缩短刷新周期，直到刷新计数器 15 的计数器数值 COUNT 遍历了一周，能够缩短周期时间 t_{RC1} 。只有当计数器数值 COUNT 遍历了一周时，缩短的刷新周期的阶段才会延续。这表明在待用模式下，功率消耗（待用电流、数据保持电流）增加不多。

提供了新的读命令或写命令，使刷新计数器 15 复位时，结转信号 CARRY 变为低电平（非激活状态）。

如上所述，本实施例能够提供与第一个实施例相同的效果。

图 11 显示了本发明的半导体存储器的第三个实施例。与第一个和第二个实施例中介绍的元件相同的元件，将由相同的引用号或符号表示。所以这里将省略详细的说明。

在这个实施例中，形成了定时信号发生器 24A，而不是第二个实施例中的定时信号发生器 24。配置的其余部分与第二个实施例中相同。换句话说，通过使用 CMOS 技术形成的半导体存储器，是具有 DRAM 存储器单元和 SRAM 接口的伪 SRAM。

与行操作控制信号 RASZ 同步，定时信号发生器 24A 输出读出放大器激活信号 PSA 和 NSA。此外，当定时信号发生器 24A 收到读控制信号 RDZ 或写控制信号 WRZ 时，以及没有收到这些信号时，它切换 PSA 和 NSA 信号、BRS 信号和 WLZ 信号的输出定时。

更确切地说，当定时信号发生器 24A 收到 RDZ 信号或 WRZ 信号（读操作或写操作）时，它缩短了 PSA 和 NSA 信号、BRS 信号和 WLZ 信号的时间。换句话说，在读操作或写操作中，PSA 和 NSA 信号、BRS 信号和 WLZ 信号的输出时间短，而在刷新操作中 PSA 和 NSA 信号、BRS 信号和 WLZ 信号的输出时间长，这时既不输出 RDZ 信号，又不输出 WRZ 信号，仅仅输出 RASZ 信号。

图 12 显示了第三个实施例的半导体存储器中存储器核心的操作。与第一个实施例（图 5）中相同的操作将不再说明。

在刷新操作、读操作和写操作中，以各自相同的定时输出 PSA 和 NSA 信号、BRS 信号和 WLZ 信号。在刷新操作中，读出放大器 SA 的激活期间 ACT1、字线 WL 的选择期间和预充电操作的复位期间与第一个实施例相同。

在读操作和写操作中，读出放大器 SA 的激活期间设置为期间 ACT3，它比激活期间 ACT1 短。按照激活期间 ACT3，字线 WL 的选择期间和预充电操作的复位期间也设置得比刷新操作中短。因此，在写操作和读操作中，读出放大器 SA 的非激活定时、字线 WL 的取消选择定时和预充电操作的开始定时都比刷新操作中早。

由于在写操作和读操作中读出放大器 SA 的操作时间更短，存储器单元 MC 的单元电压 CELL 到电源电压 VDD 和地电压 VSS 的差异变得比第一个实施例中更大。换句话说，在写操作和读操作中对存储器单元 MC 的写电压变得更低。

所以，在写操作和读操作之后，提供的刷新期间必然比第一个实施例中更短。同时，缩短了读出放大器 SA 的操作时间，能够缩短写操作时间和读操作时间（存取时间）。

图 13 显示了第三个实施例的半导体存储器的操作。与第二个实施例（图 10）中相同的操作将不再说明。

按照这个实施例，用于读操作和写操作的周期时间 t_{RC2} 比第一个实施例的周期时间 t_{RC1} 短。此外，用于刷新计数器 15 输出结转信号 CARRY 的刷新期间 CYC3 也比第一个实施例的刷新周期 CYC1 短。

仅仅当计数器数值 COUNT 遍历了一周时，刷新周期 “tRC3” 的时间才会延续。这表明在待用模式下，功率消耗（待用电流、数据保持电流）增加不多。

刷新计数器 15 遍历了一周输出结转信号 CARRY 之后，刷新周期就变为与第一个实施例的周期 CYC2 相同。因此，周期时间能够进一步缩短而待用模式下，功率消耗增加不多。

这个实施例能够提供与上述第一个实施例相同的效果。此外，在这个实施例中，定时信号发生器 24A 分别把读操作和写操作中字线 WL 的选择期间和读出放大器 SA 的激活期间 ACT3，设置为短于刷新操作中字线 WL 的选择期间和读出放大器 SA 的激活期间 ACT1。更确切地说，定时信号发生器 24A 分别把读操作和写操作中字线 WL 的取消选择定时和读出放大器 SA 的非激活定时，设置为早于刷新操作中字线 WL 的取消选择定时和读出放大器 SA 的非激活定时。因此，周期时间 tRC 能够进一步缩短而绝不增加待用模式下的功率消耗。

图 14 显示了本发明的半导体存储器的第四个实施例。与第一个和第二个实施例中介绍的元件相同的元件，将由相同的引用号或符号表示。所以这里将省略详细的说明。

通过使用 CMOS 技术，形成的这种半导体存储器为具有自刷新功能的 DRAM。自刷新功能就是在待用状态下为了保持写在其存储器单元中的数据时，在 DRAM 之内自动执行刷新操作的功能。

在这个实施例中，形成了命令缓冲区 10B、命令解码器 12B、地址缓冲区 18B、控制信号发生器 22B 和存储器核心 34B，而不是第二个实施例中伪 SRAM 的命令缓冲区 10、命令解码器 12、地址缓冲区 18、控制信号发生器 2B 和存储器核心 34。此外，只有当芯片选择信号/CS 处于高电平时，才运行刷新定时器 16。配置的其余部分几乎与第二个实施例中相同。

命令缓冲区 10B 接收来自外部的命令信号（芯片选择信号/CS、写允许信号/WE、行地址选通信号/RAS 和列地址选通信号/CAS）。/RAS 信号和/CAS 信号为用于接收行地址信号 RAD 和列地址信号 CAD 的

同步信号。

命令解码器 12B 使从命令缓冲区 10B 提供的命令信号解码，并输出读控制信号 RDZ、写控制信号 WRZ 和刷新控制信号 REFZ 中的任何一种。

地址缓冲区 18B 通过地址某些端子 AD，接收行地址信号 RAD 或列地址信号 CAD。为了减少地址端子 AD 的数目，这个实施例的 DRAM 采用地址多路传输方法，其中以分时方式接收地址信号。

当分别提供了低电平的 /CS 信号和高电平的 /WE 信号以及与 /RAS 信号和 /CAS 信号同步提供了行地址信号 RAD 和列地址信号 CAD 时，就识别出一个读命令。当分别提供了低电平的 /CS 信号和 /WE 信号以及与 /RAS 信号和 /CAS 信号同步提供了行地址信号 RAD 和列地址信号 CAD 时，就识别出一个写命令。

当提供了低电平的 /CS 信号、/RAS 信号和 /CAS 信号和高电平的 /WE 信号时，就识别出一个刷新命令。这种 DRAM 不必提供地址信号来指定要刷新的存储器单元（刷新地址）以响应该刷新命令。刷新地址由刷新地址计数器 26 产生。换句话说，这种 DRAM 具有自动刷新模式功能。

当控制信号发生器 22B 收到刷新控制信号 REFZ 时，它就输出行操作控制信号 RASZ 和内部地址锁定信号 IALZ。该设施的其余部分几乎与第一个实施例中的控制信号发生器 22 相同。

图 15 显示了图 14 所示存储器核心 34B 之基本部件的细节。

存储器核心 34B 具有列开关 36a、36b、36c 和 36d，其中每一个都包括一系列的双 nMOS，分别用于把位线 BL 和 /BL 连接到读数据总线 /RDB、RDB 和写数据总线 WDB、/WDB。

列开关 36a 一端连接到读控制信号 RCLX 的信号线，另一端连接到读数据总线 /RDB。列开关 36a 一端上的 nMOS 门接收列线信号 CLZ。列开关 36a 另一端上的 nMOS 门连接到位线 BL。

列开关 36b 一端连接到读控制信号 RCLX 的信号线，另一端连接到读数据总线 RDB。列开关 36b 一端上的 nMOS 门接收列线信号

CLZ。列开关 36b 另一端上的 nMOS 门连接到位线/BL。

如上所述,以位线 BL 和/BL 的电压控制列开关 36a 和 36b 导通/关闭的方法,称为直接读出方法。按照直接读出方法,位线 BL、/BL 没有与读数据总线/RDB、RDB 直接连接。此外,列开关 36a 和 36b 具有放大能力。因此,运行读出放大器 SA 时,能够防止位线 BL 和/BL 在读数据总线/RDB、RDB 的影响下改变电压。

列开关 36c 一端连接到位线 BL,另一端连接到写数据总线 WDB。列开关 36c 一端上的 nMOS 门接收列线信号 CLZ。列开关 36c 另一端上的 nMOS 门接收写控制信号 WCLZ——它是在某个写操作中按照列地址信号 CAD 激活的。

列开关 36d 一端连接到位线/BL,另一端连接到写数据总线/WDB。列开关 36d 一端上的 nMOS 门接收列线信号 CLZ。列开关 36c 另一端上的 nMOS 门接收写控制信号 WCLZ。

图 16 显示了第四个实施例的半导体存储器中存储器核心的操作。与第一个实施例(图 5)中相同的操作将不再说明。

在刷新操作、写操作和读操作中,PSA 和 NSA 信号、BRS 信号和 WLZ 信号的所有定时都与第一个实施例中相同。本实施例的 DRAM 采用直接读出方法,所以在读操作中,位线 BL 和/BL 不受数据总线 RDB、/RDB 的影响。因此,单元电压 CELL 在读操作中达到电源电压 VDD 或者地电压 VSS。换句话说,在读操作中重写之时,数据完全写入存储器单元 MC。操作的其余部分与第一个实施例中相同。即使在这个实例中,缩短读出放大器 SA 的操作期间也能够缩短写操作时间和读操作时间(存取时间)。

图 17 显示了第四个实施例的半导体存储器的操作。与第二个实施例(图 10)中相同的操作将不再说明。

在这个实例中,依次提供读命令 RD、写命令 WR、外部刷新命令 REF 和写命令 WR。随后,芯片选择信号/CS 改变为高电平,所以 DRAM 从正常操作模式转变为自刷新模式(低功率消耗模式)。在自刷新模式下,为了响应内部产生的刷新命令 REF(刷新请求信号

SREF)，执行刷新操作（自刷新）。

如同在第一个实施例中，以周期时间 t_{RC1} 的间隔，提供读命令 RD、写命令 WR 和外部刷新命令 REF（图 17（a））。刷新计数器 15 与锁定外部刷新命令 REF 所用的内部地址锁定信号 IALZ（未显示）的上升沿同步，把计数器数值 COUNT 从“0”改变为“1”（图 17（b））。为了响应随后的写命令 WR，计数器数值 COUNT 再次复位到“0”（图 17（c））。顺便说一句，在正常操作模式下，刷新定时器 16 不起作用。因此，计数器数值 COUNT 的变化对操作没有影响。

$/CS$ 信号改变为高电平，DRAM 进入自刷新模式（图 17（d））。进入自刷新模式使刷新定时器 16 开始运行。刷新定时器 16 以刷新周期 $CYC1$ 的区间输出刷新请求信号 SREF（图 17（e））。为了响应每个刷新请求信号 SREF，都输出内部地址锁定信号 IALZ，以执行刷新操作。

刷新计数器 15 与内部地址锁定信号 IALZ 同步进行计数，从而使计数器数值 COUNT 增加“1”（图 17（f））。计数器数值 COUNT 先达到最大值 $n-1$ ，再复位到“0”，以响应下一个刷新请求信号 SREF（图 17（g））。与计数器数值 COUNT 变为“0”同步，刷新计数器 15 把结转信号 CARRY 改变为高电平（非激活状态）（图 17（h））。然后，采用 $CYC2$ 的刷新周期进行后续的刷新操作，它比周期 $CYC1$ 长。

这个实施例能够提供与上述第一个实施例相同的效果。此外，按照这个实施例，对于既可在内部自动执行刷新操作，又可响应来自外部的刷新请求而执行刷新操作的 DRAM，能够减少周期时间，而不增加待用模式下的功率消耗。

图 18 显示了本发明的半导体存储器的第五个实施例。与第一个至第四个实施例中介绍的元件相同的元件，将由相同的引用号或符号表示。所以这里将省略详细的说明。

在这个实施例中，形成了第三个实施例的定时信号发生器 24C，

而不是第四个实施例的定时信号发生器 24。配置的其余部分与第四个实施例中相同。换句话说,通过使用 CMOS 技术形成的半导体存储器,是具有自刷新功能的 DRAM。

当定时信号发生器 24C 收到 RDZ 信号或 WRZ 信号(读操作或写操作)时,它就缩短 PSA 和 NSA 信号、BRS 信号和 WLZ 信号的输出期间。换句话说,在读操作或写操作中,PSA 和 NSA 信号、BRS 信号和 WLZ 信号的输出期间,设置为短于刷新操作中 PSA 和 NSA 信号、BRS 信号和 WLZ 信号的输出期间。

在这个实施例中,写操作和读操作中读出放大器 SA 的激活期间设置为期间 ACT3,它比激活期间 ACT1 短,如同在上述的第三个实施例(图 12)中。按照激活期间 ACT3,字线 WL 的选择期间和预充电操作的复位期间也设置得比刷新操作中短。因此,使写操作时间和读操作时间比第三个实施例中更短。换句话说,可能减少存取时间。

图 19 显示了第五个实施例的半导体存储器的操作。与第三个和第四个实施例(图 13 和图 17)中相同的操作将不再说明。

在这个实例中,依次提供读命令 RD、写命令 WR、外部刷新命令 REF 和写命令 WR。随后,芯片选择信号/CS 改变为高电平,所以 DRAM 从正常操作模式转变为自刷新模式(低功率消耗模式)。

在正常模式下,以周期时间 t_{RC3} 的间隔,提供读命令 RD、写命令 WR 和外部刷新命令 REF(图 19(a)),如同在第二个实施例中。/CS 信号改变为高电平,以便进入自刷新模式。然后,刷新计数器 15 输出结转信号 CARRY 的刷新期间 CYC3,变得短于第一个实施例的刷新周期 CYC1(图 19(b))。

在自刷新模式下,计数器数值 COUNT 先从最大值 $n-1$ 改变到“0”,再以刷新周期 CYC2 进行刷新操作,它比周期 CYC1 长(图 19(c))。

这个实施例能够提供与上述第一个至第三个实施例获得的相同效果。

图 20 显示了本发明的半导体存储器的第六个实施例。与第一个至

第五个实施例中介绍的元件相同的元件，将由相同的引用号或符号表示。所以这里将省略详细的说明。

在这个实施例中，连续刷新判断电路 14 取代了第五个实施例的刷新计数器 15。另外，还形成了输出缓冲区 38。配置的其余部分与第五个实施例中相同。换句话说，通过使用 CMOS 技术形成的半导体存储器，是具有自刷新功能的 DRAM。

输出缓冲区 38 接收连续刷新判断电路 14 输出的周期改变信号 LONG，并将收到的信号输出到外部端子 LNG。换句话说，在这个实施例中，刷新地址计数器 26 遍历了一周时，向外部给出通知。

图 21 显示了第六个实施例的半导体存储器的操作。与第一个实施例（图 7）中相同的操作将不再说明。

在这个实施例中，依次提供读命令 RD、写命令 WR、外部刷新命令 REF 和写命令 WR。随后，依次提供外部刷新命令 REF，所以通过使用刷新地址计数器 26 执行自动刷新。换句话说，DRAM 在正常模式下运行。

提供读命令 RD、写命令 WR 和外部刷新命令 REF 的区间设置为“tRC3”。提供外部刷新命令 REF 的区间设置为“CYC3”。

如果既不提供读命令 RD 又不提供写命令 WR，而是连续地提供刷新命令 REF，使得刷新地址计数器 26 遍历了一周，连续刷新判断电路 14 就输出的周期改变信号 LONG（图 21（a））。通过外部端子 LNG，把周期改变信号 LONG 输出到 DRAM 的外部（图 21（b））。

为了响应周期改变信号 LONG，控制 DRAM 的系统把提供刷新命令 REF 的区间（刷新周期）从 CYC3 改变为 CYC2（图 21（c））。换句话说，在刷新地址计数器 26 遍历了一周之后，控制 DRAM 的系统就延长刷新周期。延长的刷新周期降低了正常操作中的待用功率消耗。

顺便说一句，DRAM 具有自刷新模式。因此，跨越系统引起的 /CS 信号变为高电平的变化时，DRAM 在与第五个实施例（图 19）相同的定时下运行。

这个实施例能够提供与上述第一个至第五个实施例获得的相同效果。此外，在这个实施例中，从连续刷新判断电路 14 输出的周期改变信号 LONG，通过外部端子 LNG 输出到外部。因此，随着周期改变信号 LONG 的变化，可能改变控制 DRAM 的系统产生的刷新请求的间隔，该 DRAM 能够接受即使从外部提供的刷新请求。结果，即使保持从外部提供刷新请求（刷新命令 REF），也能够减少周期时间 tRC 而绝不增加待用模式下的功率消耗。

图 22 显示了本发明的半导体存储器的第七个实施例。与第一个至第六个实施例中介绍的元件相同的元件，将由相同的引用号或符号表示。所以这里将省略详细的说明。

把输出缓冲区 38 加到第五个实施例，就形成了这个实施例。配置的其余部分与第五个实施例中相同。换句话说，通过使用 CMOS 技术形成的半导体存储器，是具有自刷新功能的 DRAM。

输出缓冲区 38 接收刷新计数器 15 输出的结转信号 CARRY，并将收到的信号输出到外部端子 CRY。换句话说，在这个实施例中，刷新计数器 15 遍历了一周时，向外部给出通知。

图 23 显示了第七个实施例的半导体存储器的操作。与第五个实施例（图 19）中相同的操作将不再说明。

在这个实施例中，依次提供读命令 RD、写命令 WR、外部刷新命令 REF 和写命令 WR。随后，依次提供外部刷新命令 REF，所以通过使用刷新地址计数器 26 执行自动刷新。换句话说，DRAM 在正常模式下运行。

提供读命令 RD、写命令 WR 和外部刷新命令 REF 的区间设置为“tRC3”。提供外部刷新命令 REF 的区间设置为“CYC3”。

如果既不提供读命令 RD 又不提供写命令 WR，而是连续地提供刷新命令 REF，刷新计数器 15 就依次增加其计数器数值 COUNT（图 23（a））。计数器数值 COUNT 从最大值 n-1 改变为“0”，并输出结转信号 CARRY。结转信号 CARRY 通过外部端子 CRY，输出到 DRAM 的外部（图 23（b））。

为了响应结转信号 CARRY，控制 DRAM 的系统把提供刷新命令 REF 的区间（刷新周期）从 CYC3 改变为 CYC2（图 23（c））。换句话说，在刷新计数器 15 遍历了一周之后，控制 DRAM 的系统就延长刷新周期。延长的刷新周期降低了正常操作中的待用功率消耗。

顺便说一句，DRAM 具有自刷新模式。因此，跨越系统引起的 /CS 信号变为高电平的变化时，DRAM 在与第五个实施例（图 19）相同的定时下运行。

这个实施例能够提供与上述第一个至第六个实施例获得的相同效果。此外，在这个实施例中，从刷新计数器 15 输出的结转信号 CARRY，通过外部端子 CRY 输出到外部。因此，按照结转信号 CARRY 的变化，可能改变控制 DRAM 的系统产生的刷新请求的间隔，该 DRAM 能够接受即使从外部提供的刷新请求。结果，即使保持从外部提供刷新请求（刷新命令 REF），也能够减少周期时间 tRC 而绝不增加待用模式下的功率消耗。

在上述的实施例涉及的情况下，刷新定时器 16 是由图 2 所示电路构成。不过，本发明并不限于这些实施例。例如，如图 24 所示，把振荡器 OSC1 和计数器 CNT1、CNT2 串联起来，可以组成一个刷新定时器 40。在这种情况下，计数器 CNT1 能够用作较短的刷新周期对应的计数器以及用作较长的刷新周期对应的计数器的低位。结果，能够在更小的设计面积上构成刷新定时器 40。另外，脉冲发生器 40b 能够连接到选择器 40a 的输出，所以容易产生脉冲的刷新请求信号 SREF。

上述的实施例涉及的情况下，刷新计数器 15 与读控制命令 RDZ 和写控制命令 WRZ 同步复位，与内部地址锁定信号 IALZ 同步计数。不过，本发明并不限于这些实施例。例如，刷新计数器 15 可以与外部地址锁定信号 EALZ 同步复位，与内部地址锁定信号 IALZ 同步计数。此外，计数操作也可以与刷新请求信号 SREF 同步执行。

上述的第三个实施例涉及的情况下，读出放大器 SA 的激活期间，在刷新操作中设置为期间 ACT1，在写和读操作期间设置为期间 ACT3。不过，本发明并不限于这样一个实施例。例如，读出放大器

SAD 的激活期间可以缩短为刷新操作、写操作和读操作的次序。在这种情况下，读操作时间能够进一步缩短以改善数据传输率。当应用于读操作的频率高于写操作的半导体存储器时，这一点尤为有效。

上述的第四个实施例涉及的情况下，本发明应用于直接读出放大器方法之 DRAM。不过，本发明并不限于这样一个实施例。例如，即使应用于直接读出放大器方法之伪 SRAM 时，本发明也能够提供相同的效果。

虽然以上已经详细介绍了本发明，应当理解，本文中给出的前述实施例和修改实例仅仅是作为本发明的几个实例而已。

本发明不限于以上的实施例，可以进行多种修改而不脱离本发明的实质和范围。可以作出的任何改善，都部分地或全部属于这些成分。

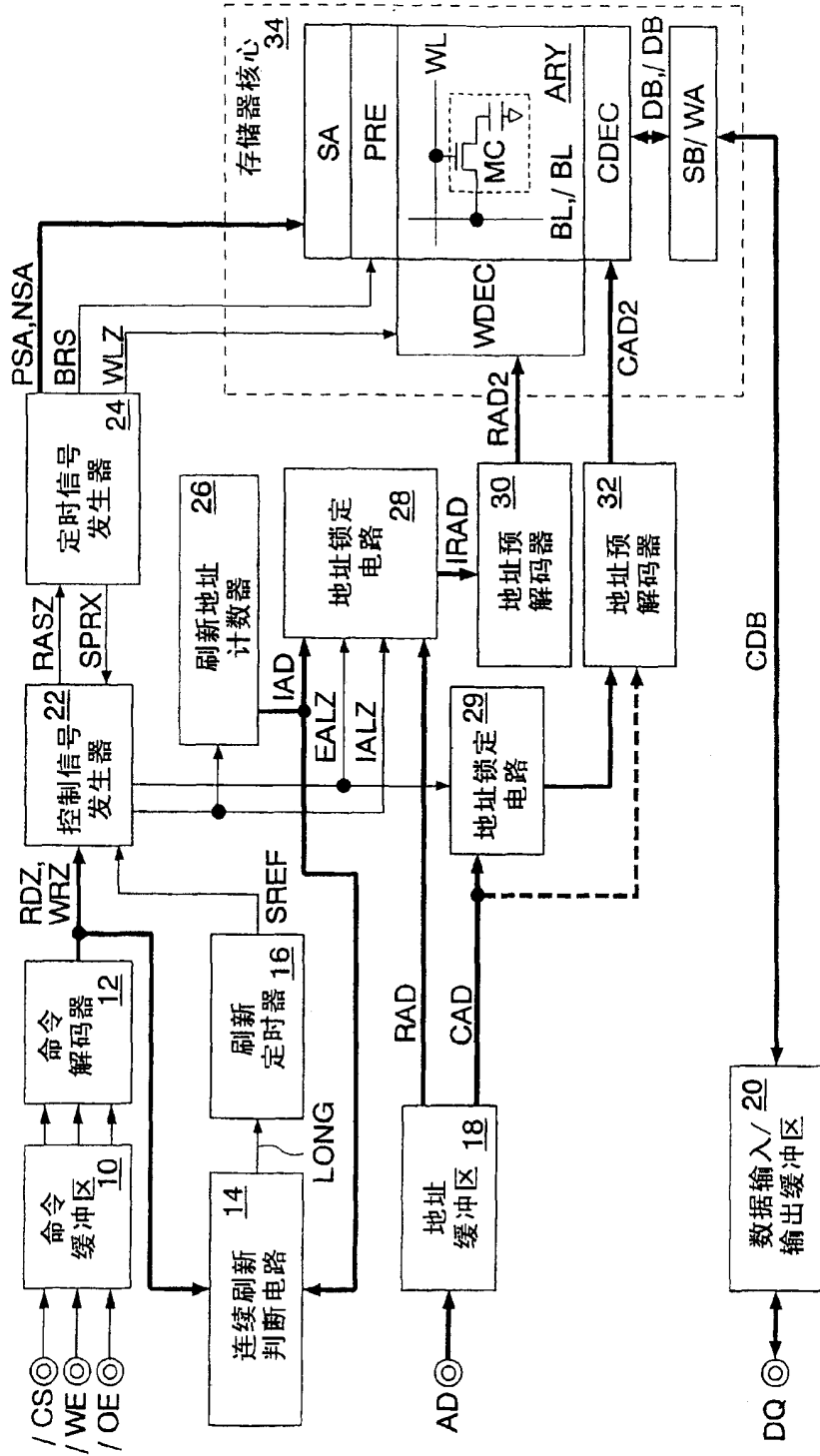


图1

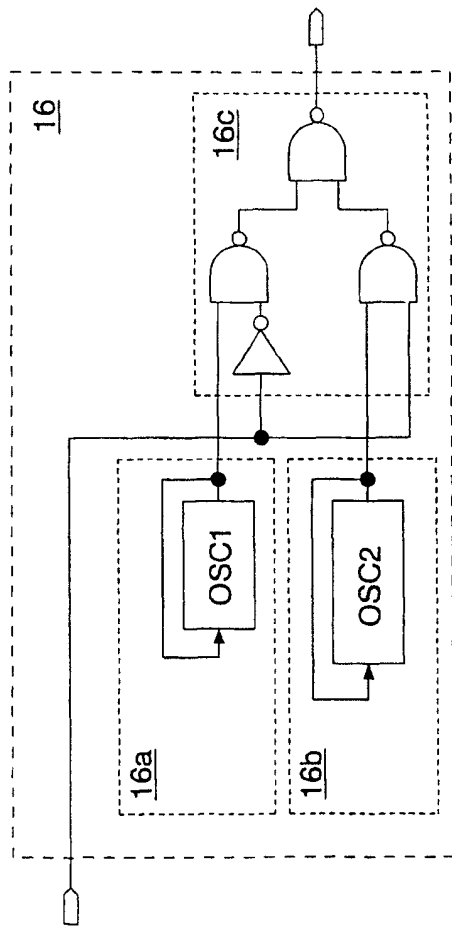


图2

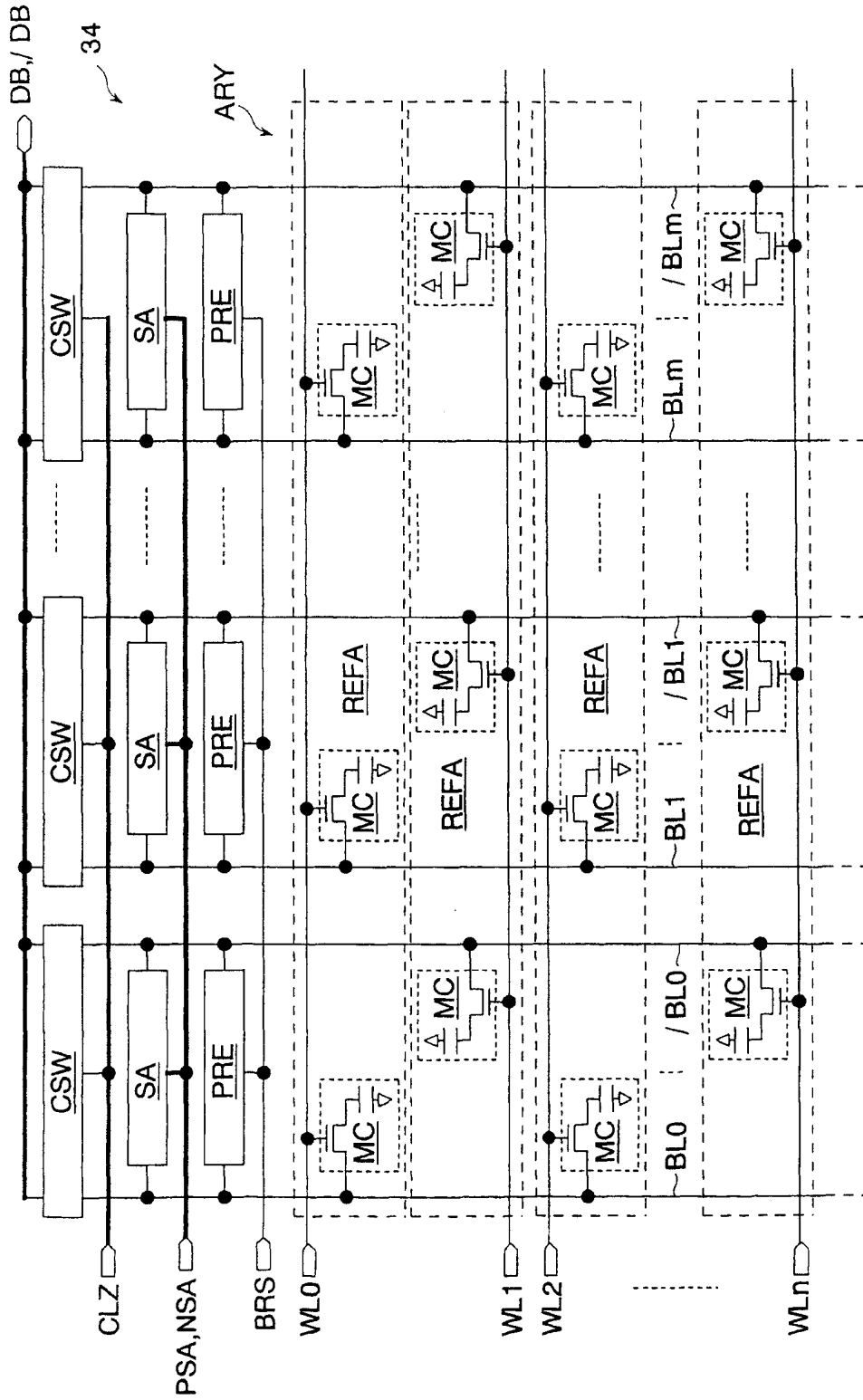
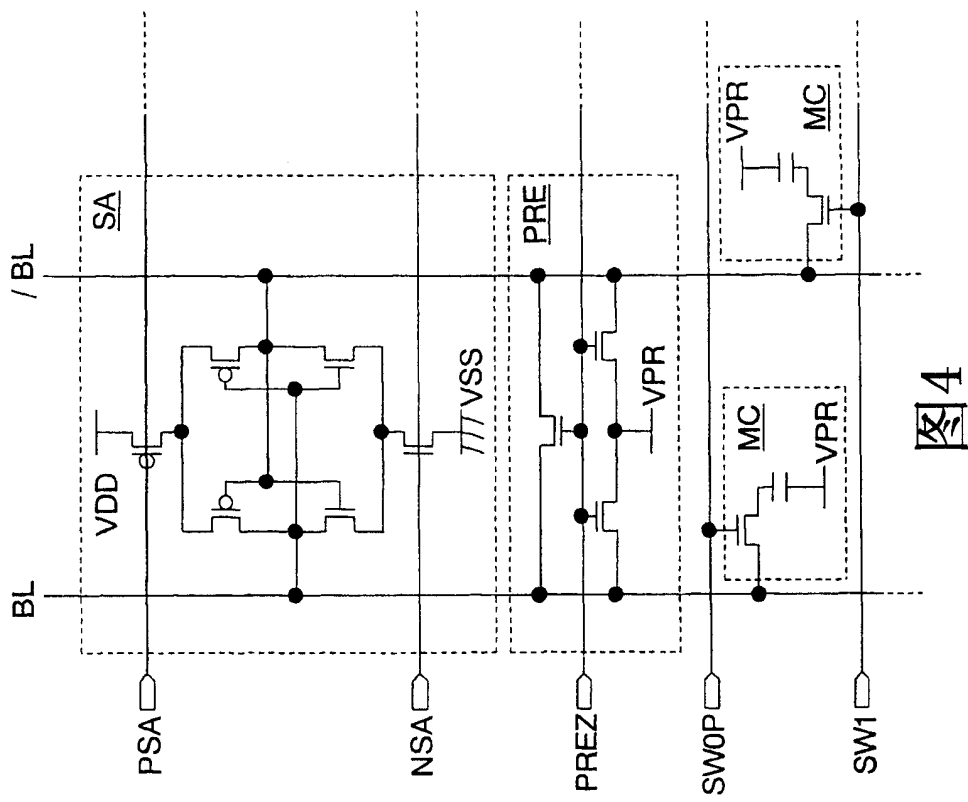


图3



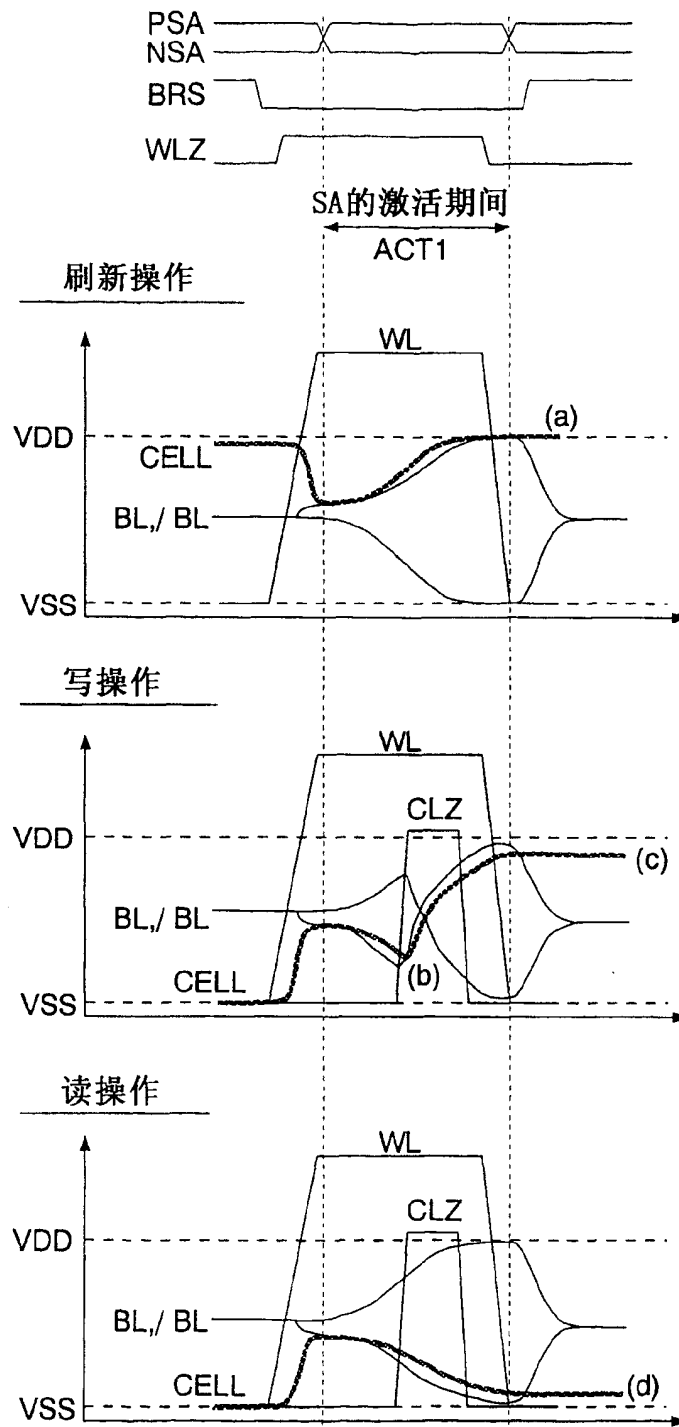


图5

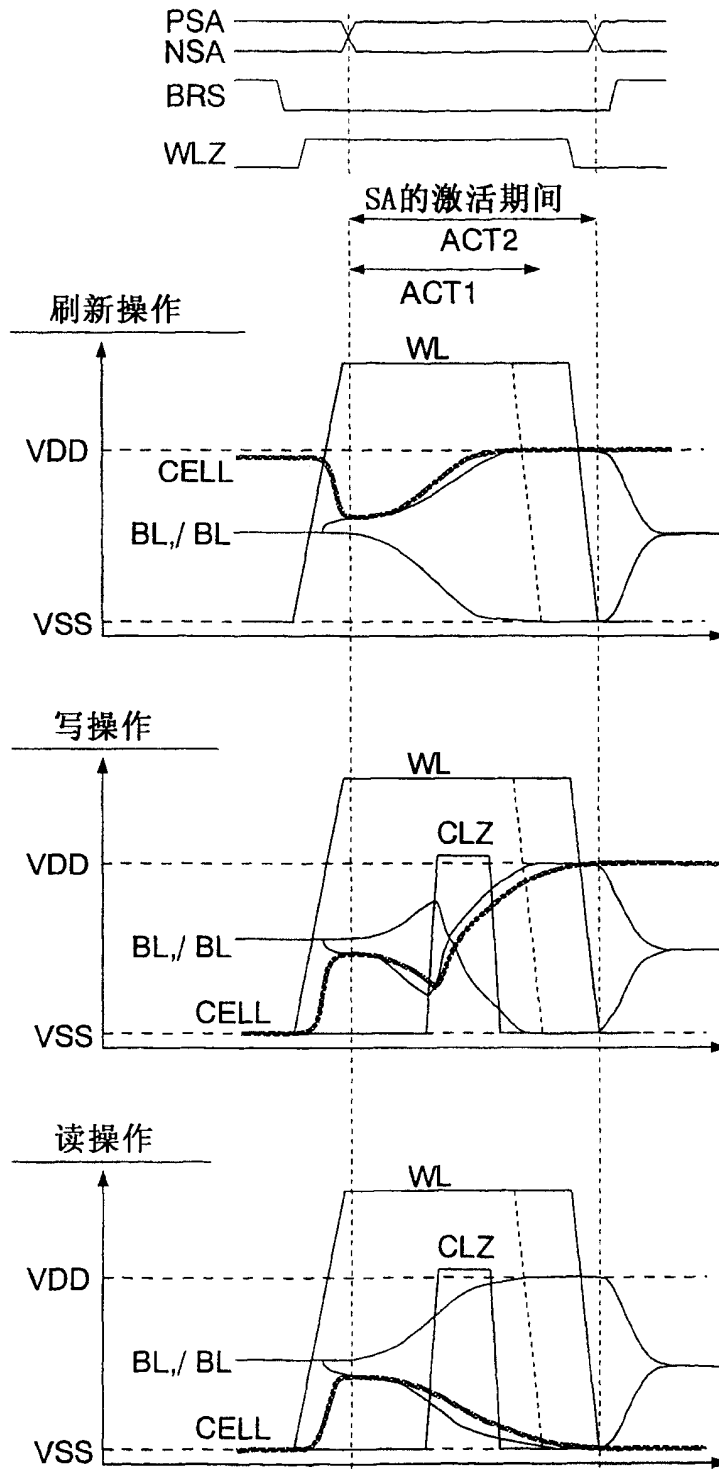


图6

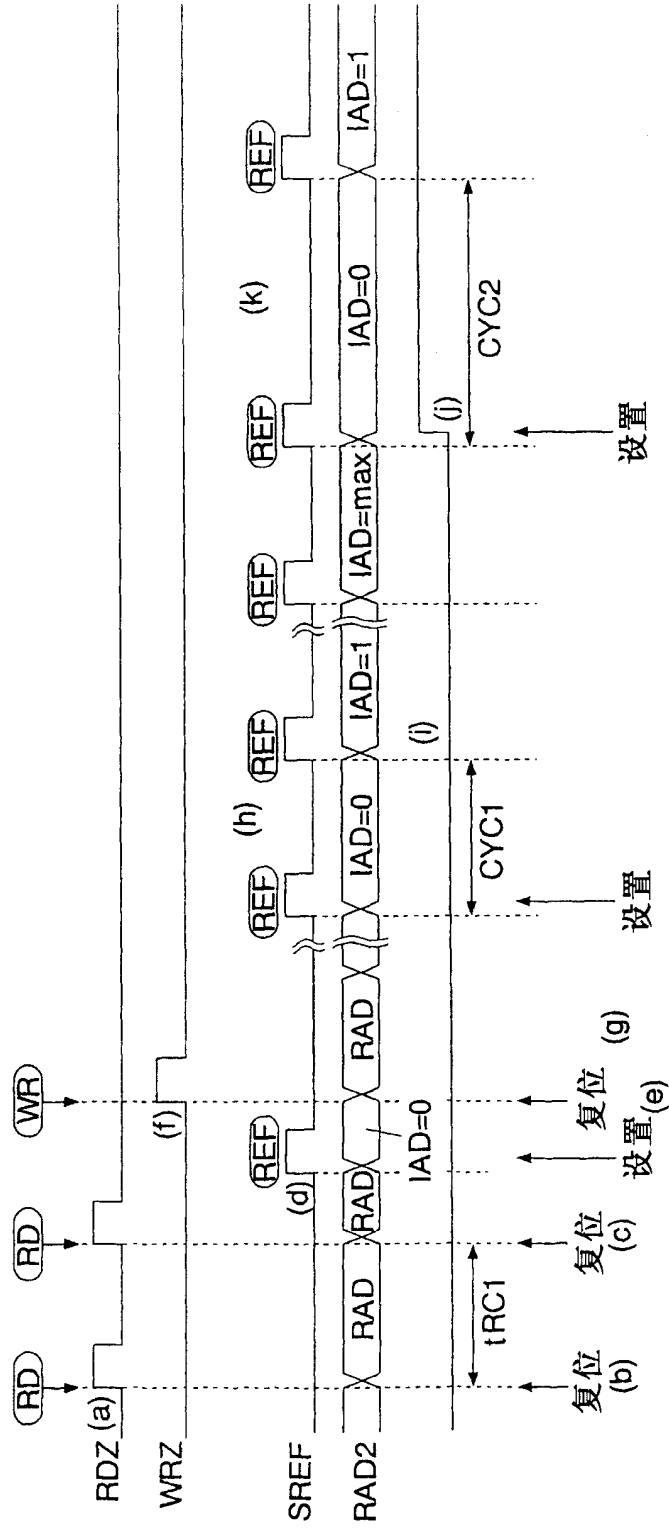


图7

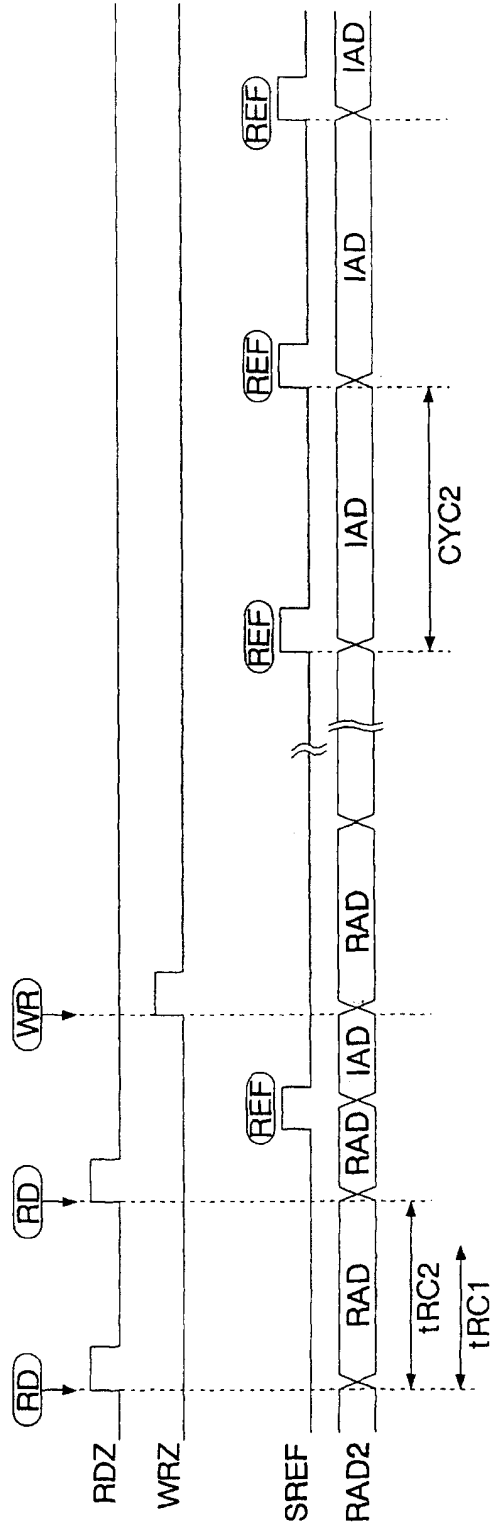


图8

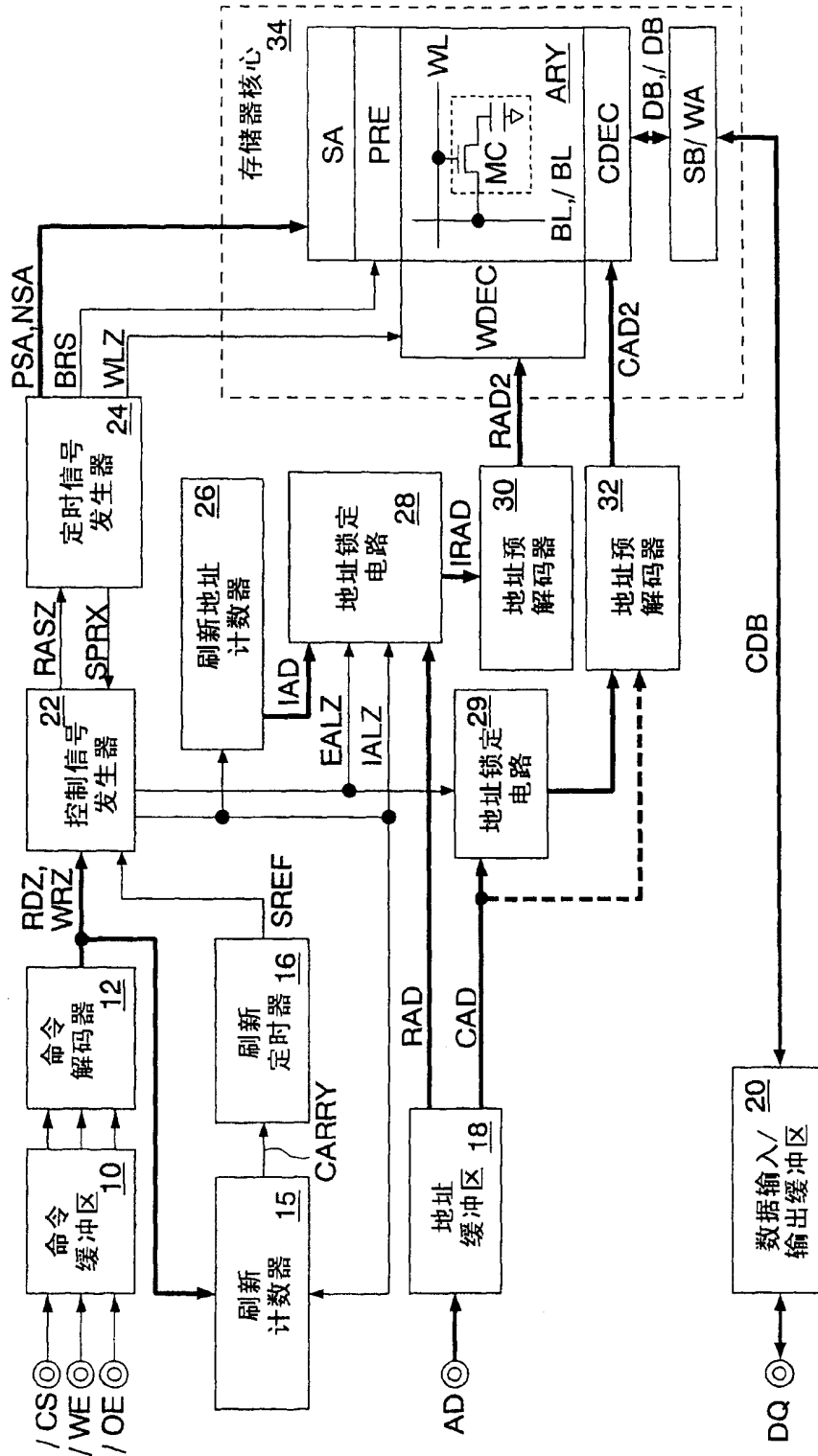


图9

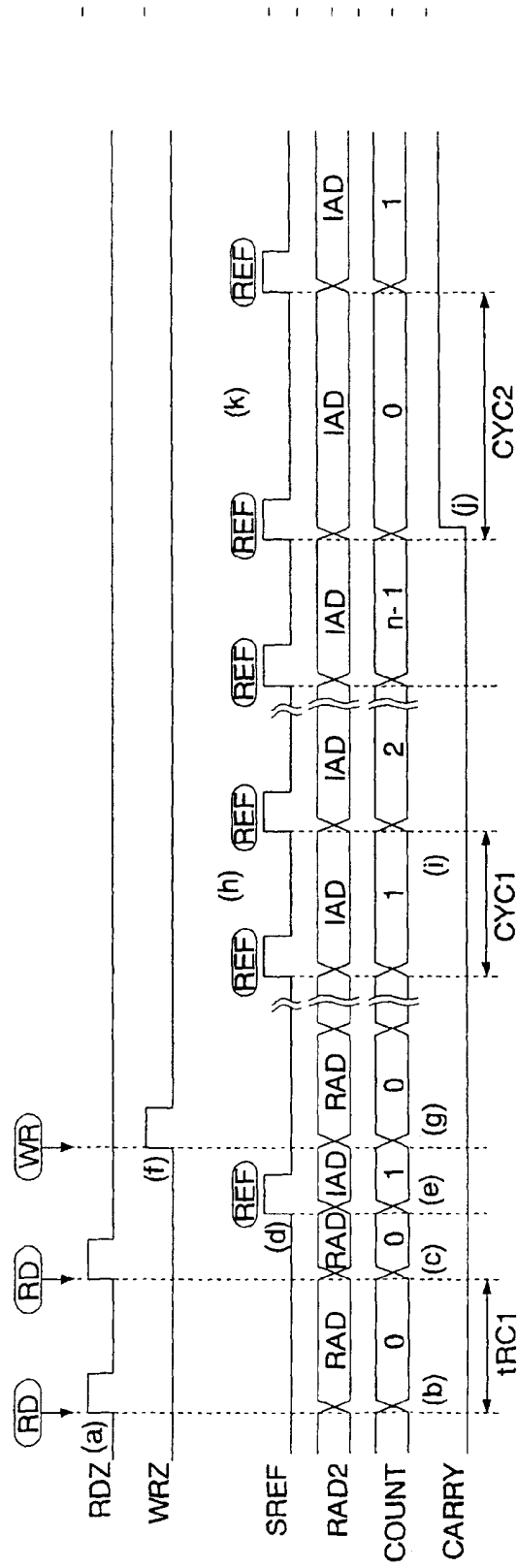


图10

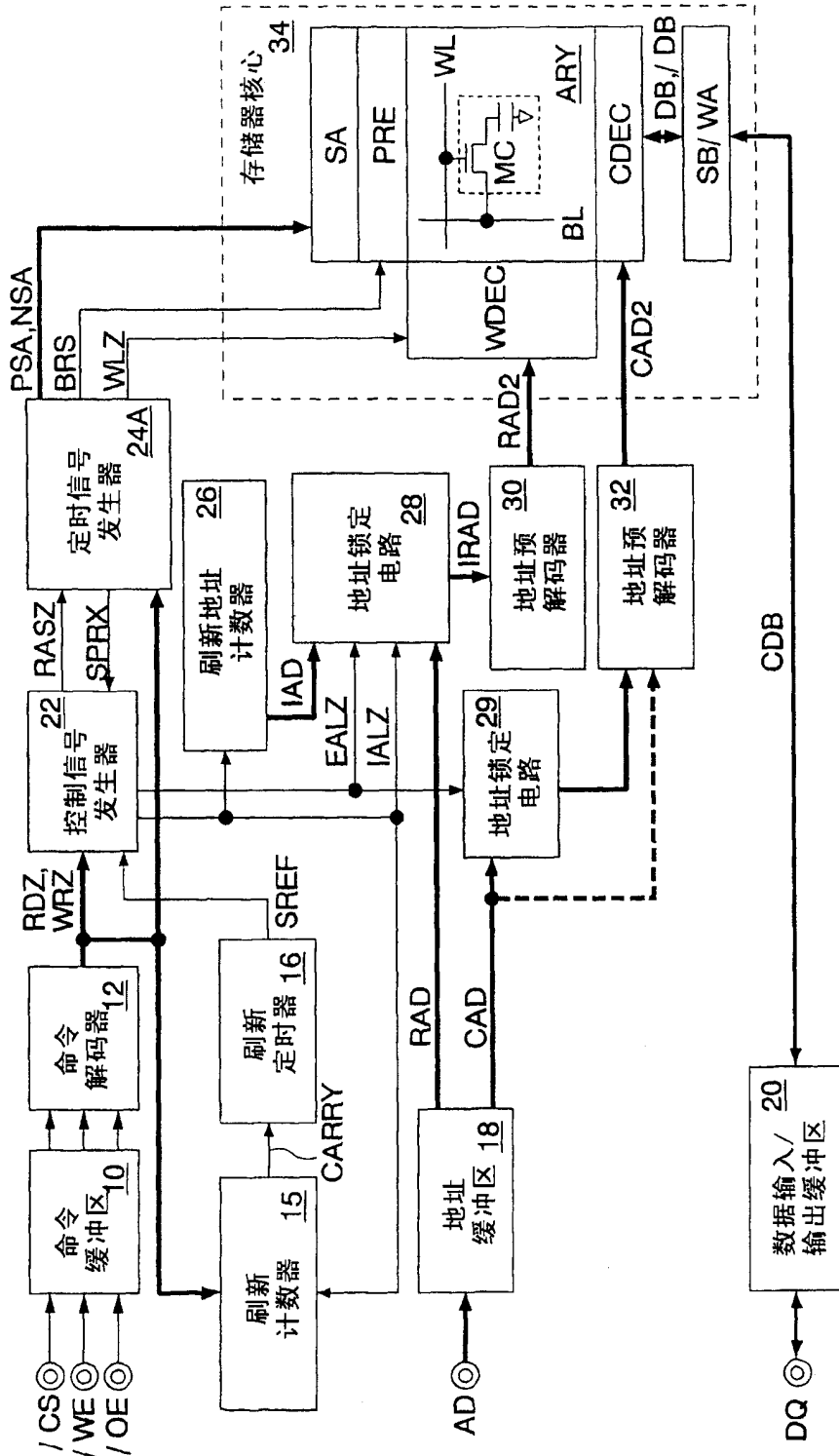


图11

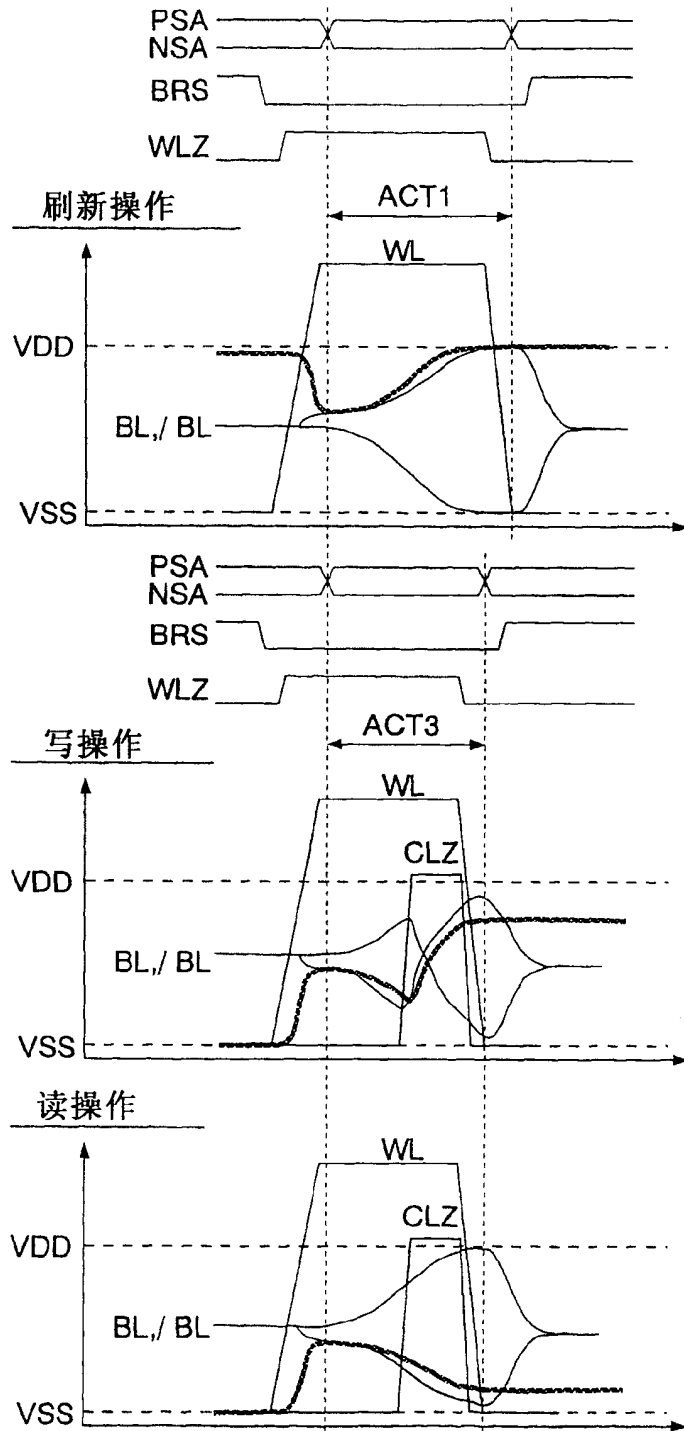


图12

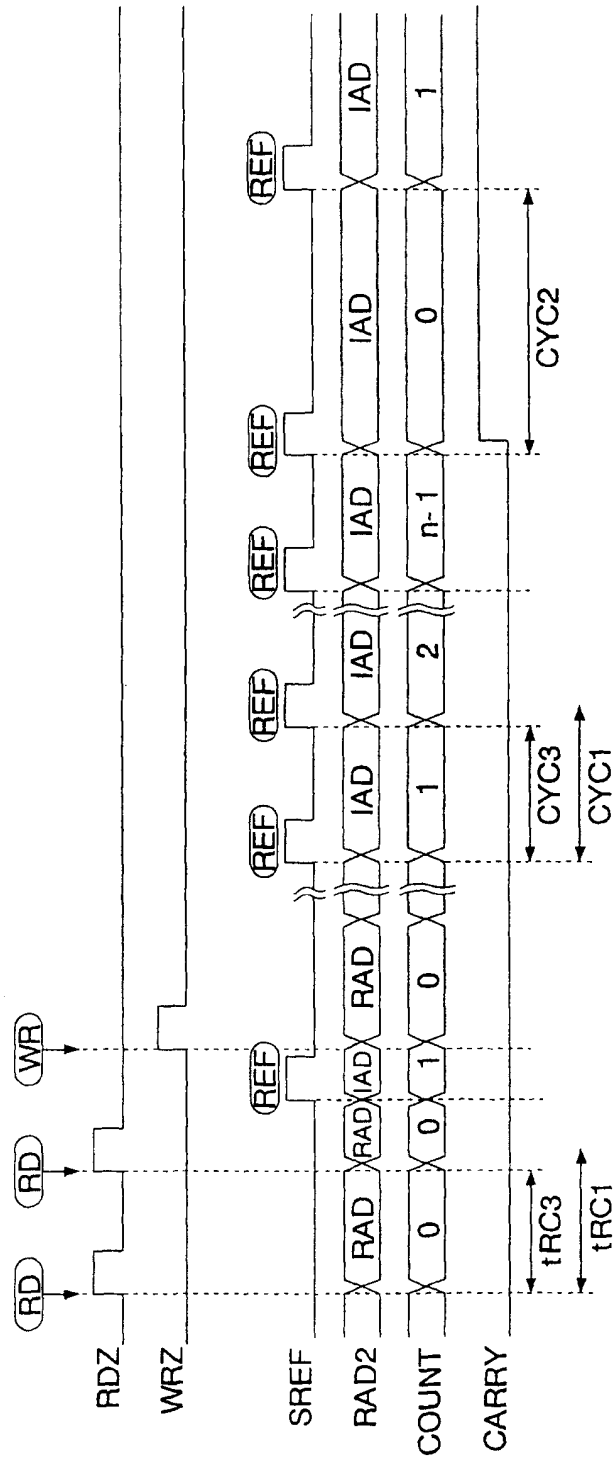


图13

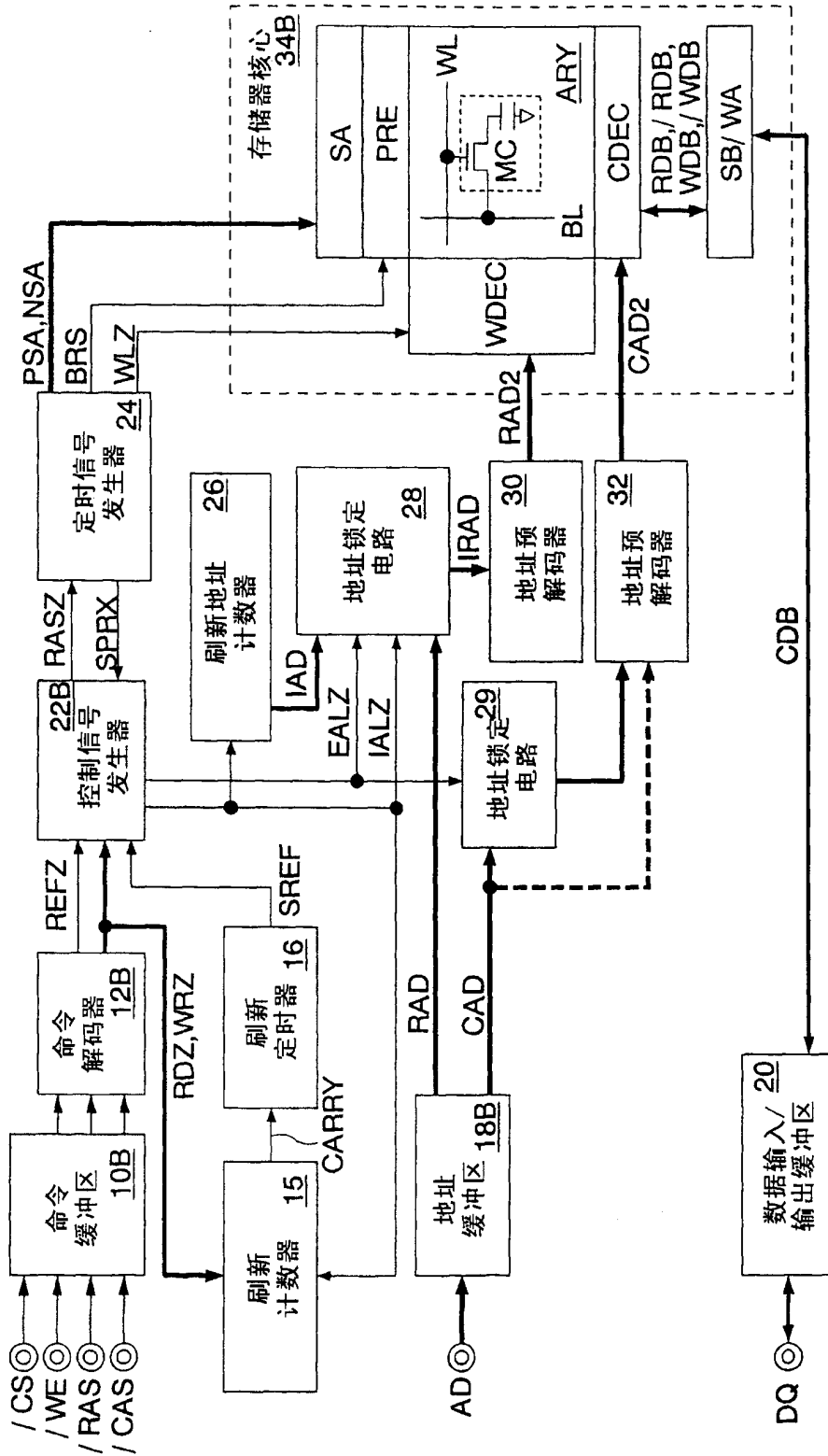


图14

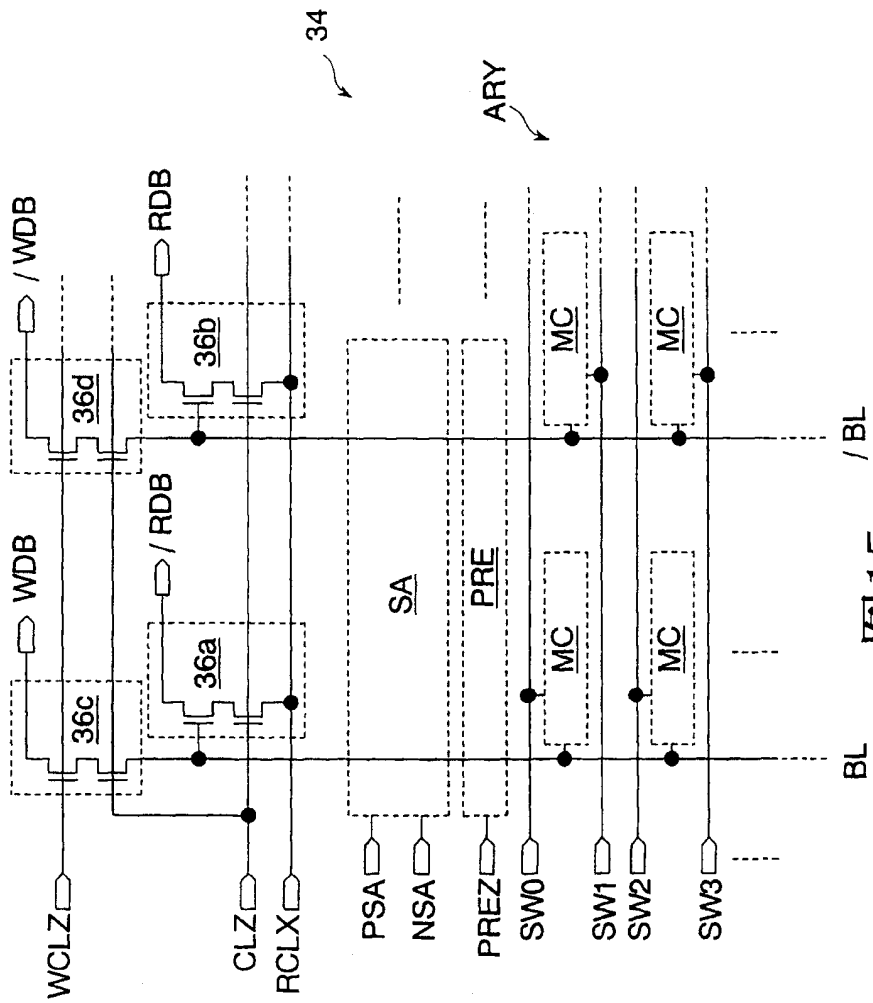


图15

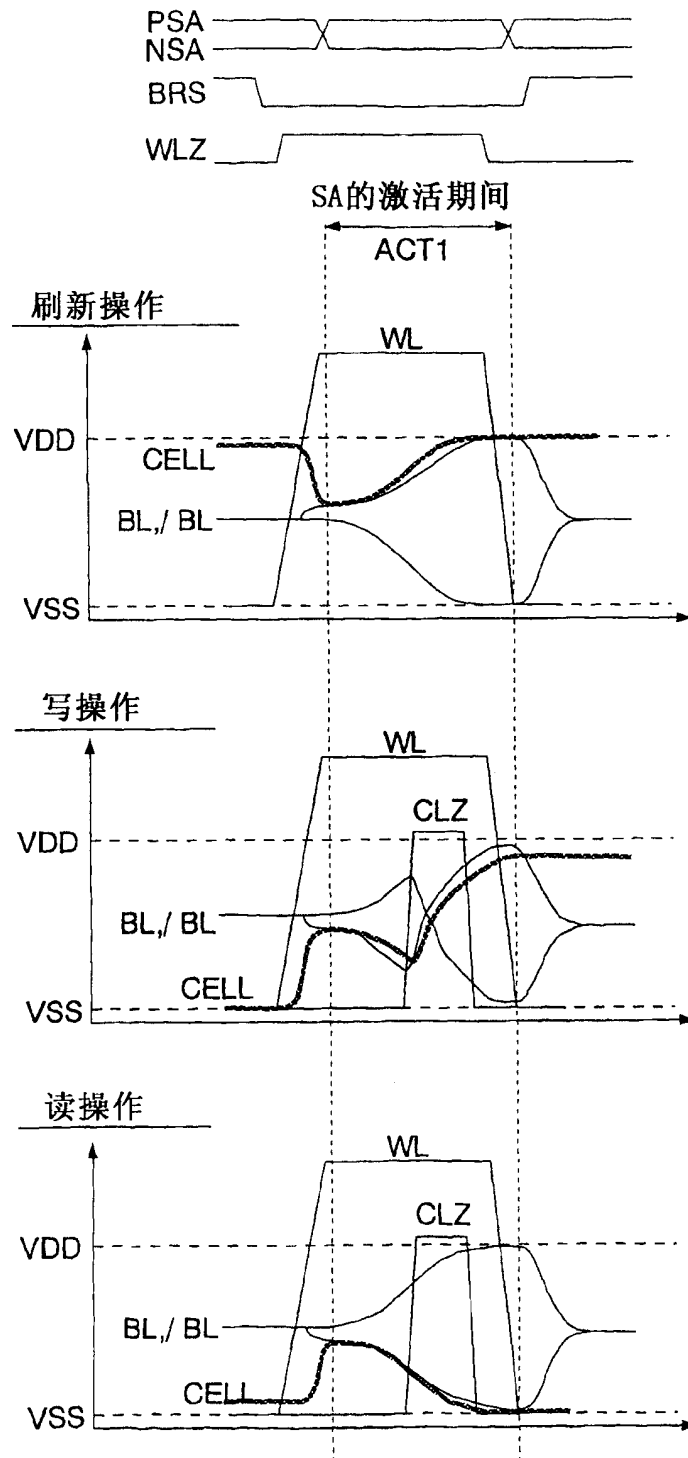


图16

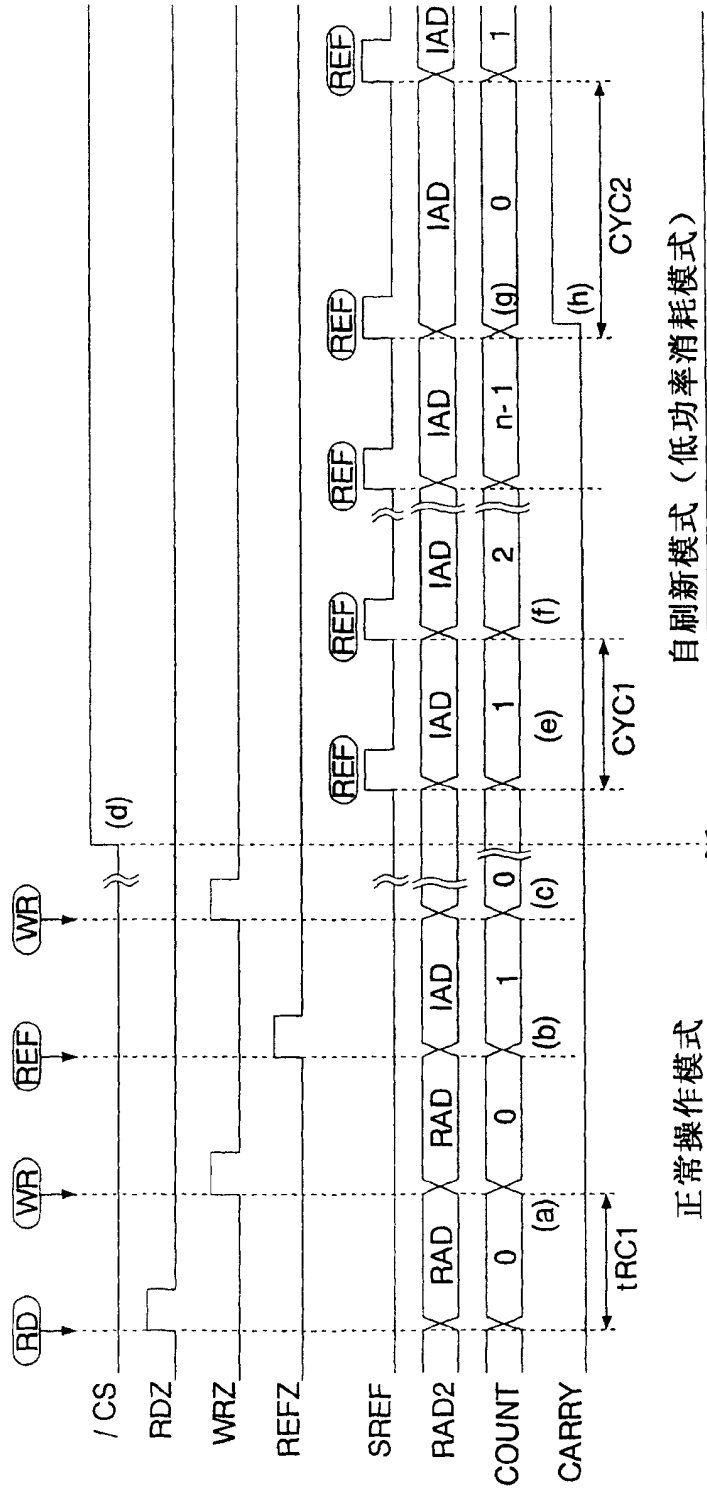


图17

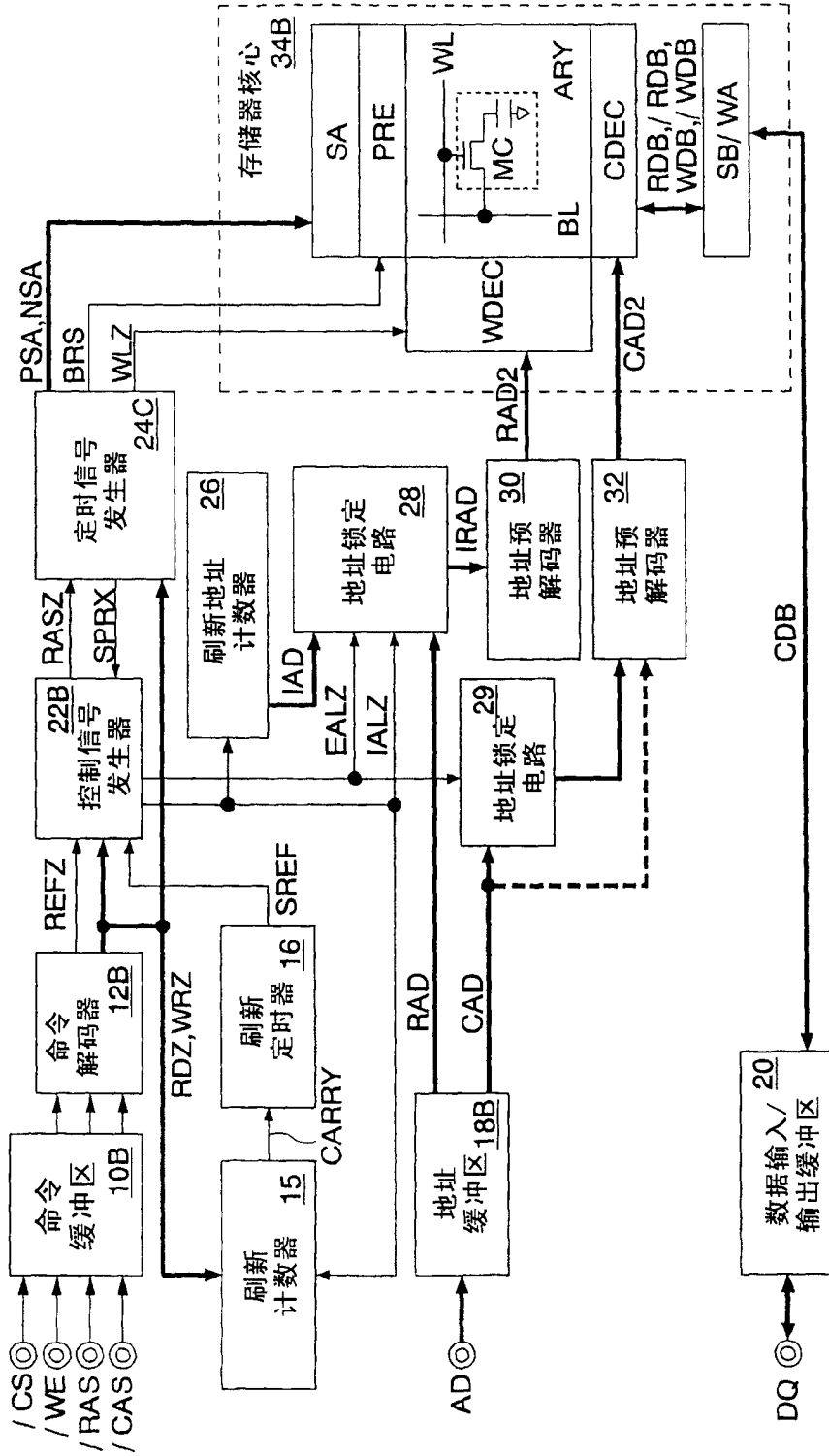


图18

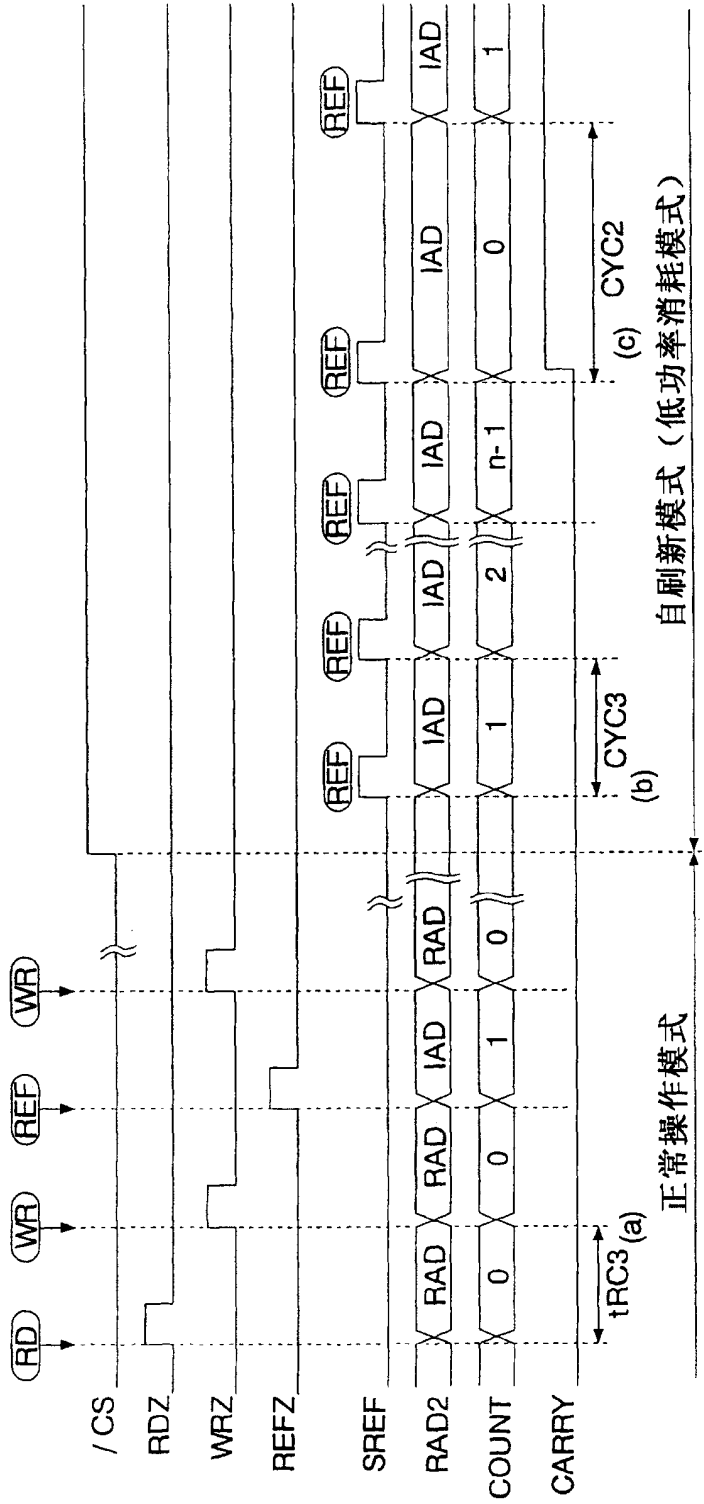


图19

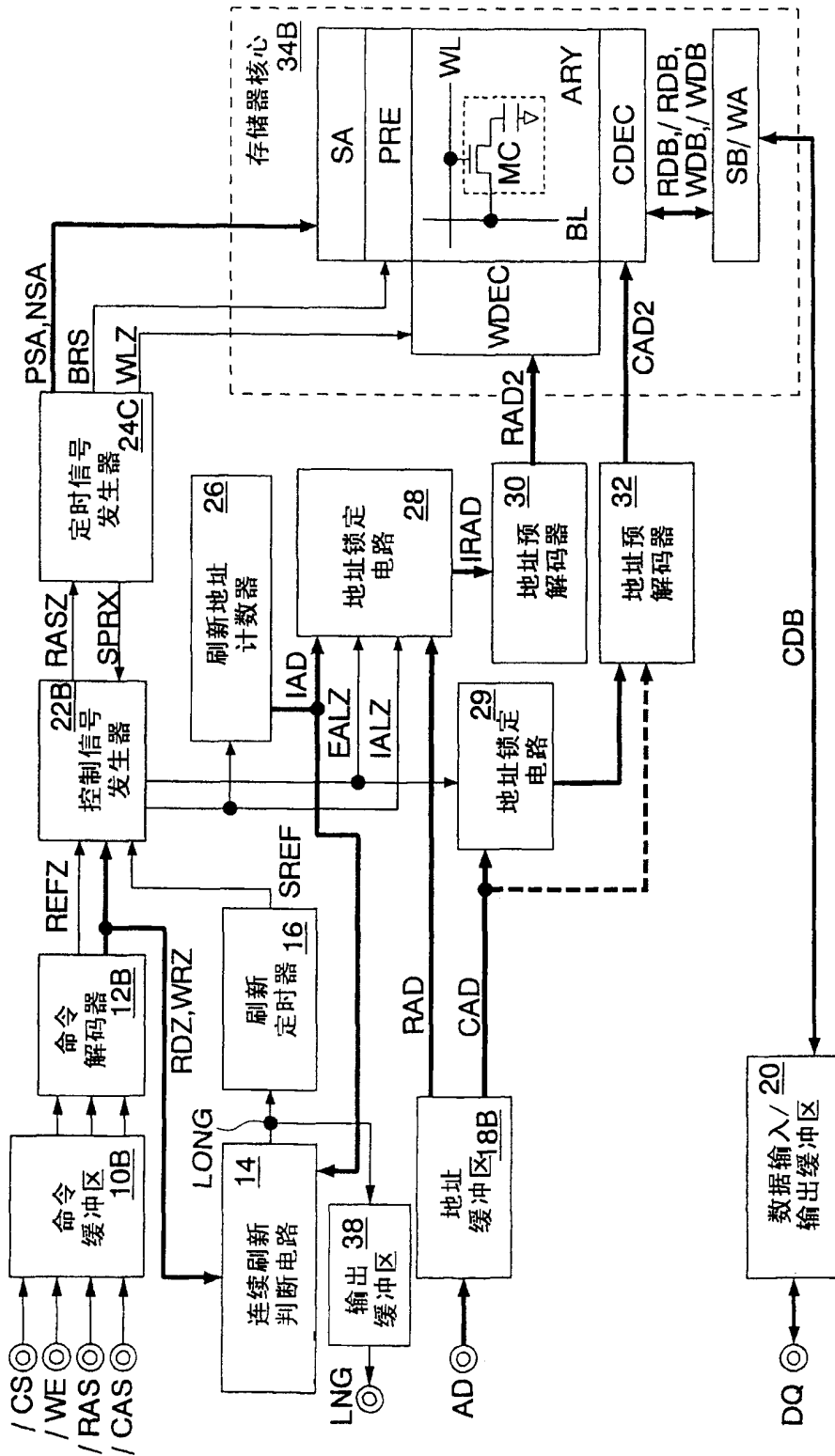


图20

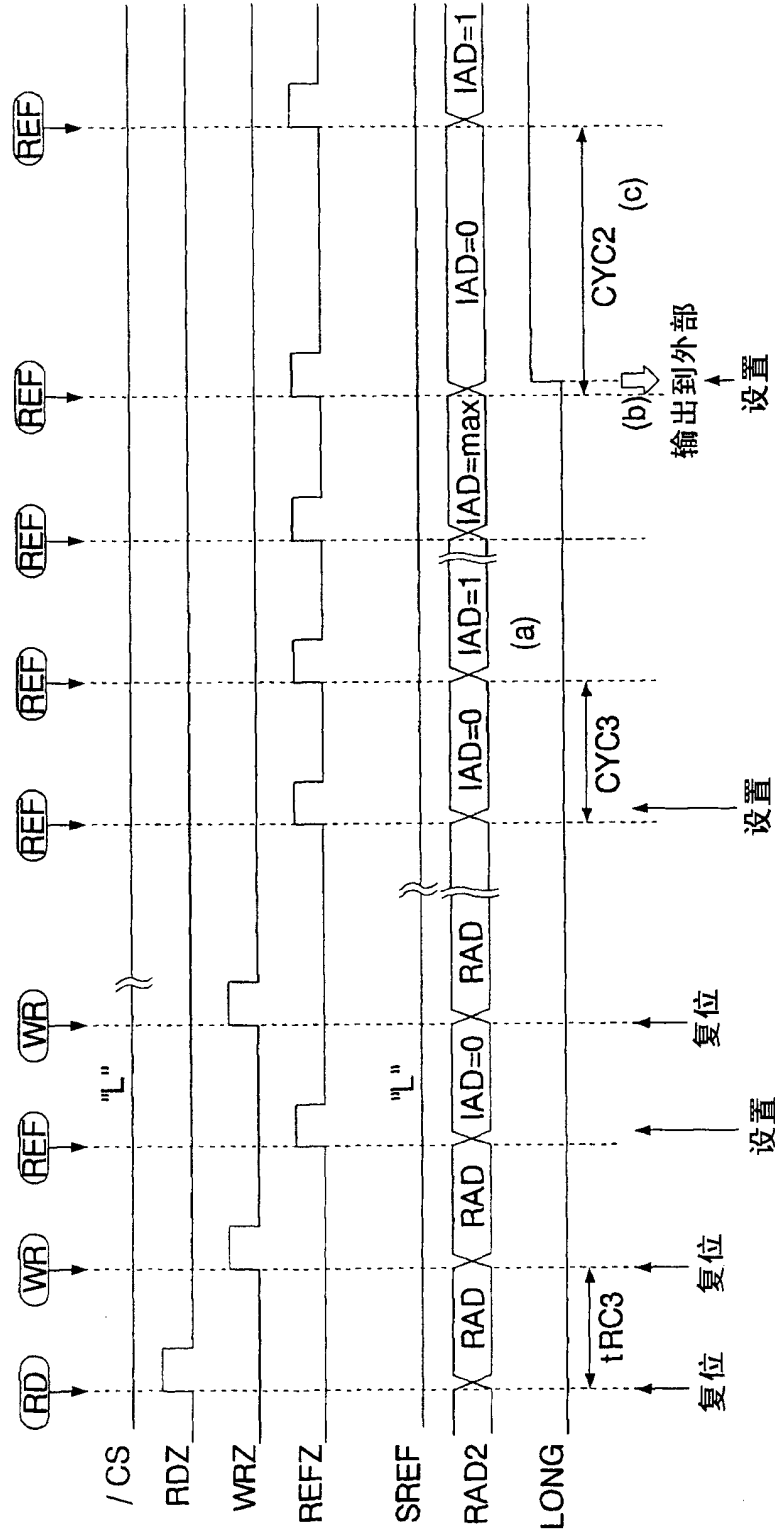


图21

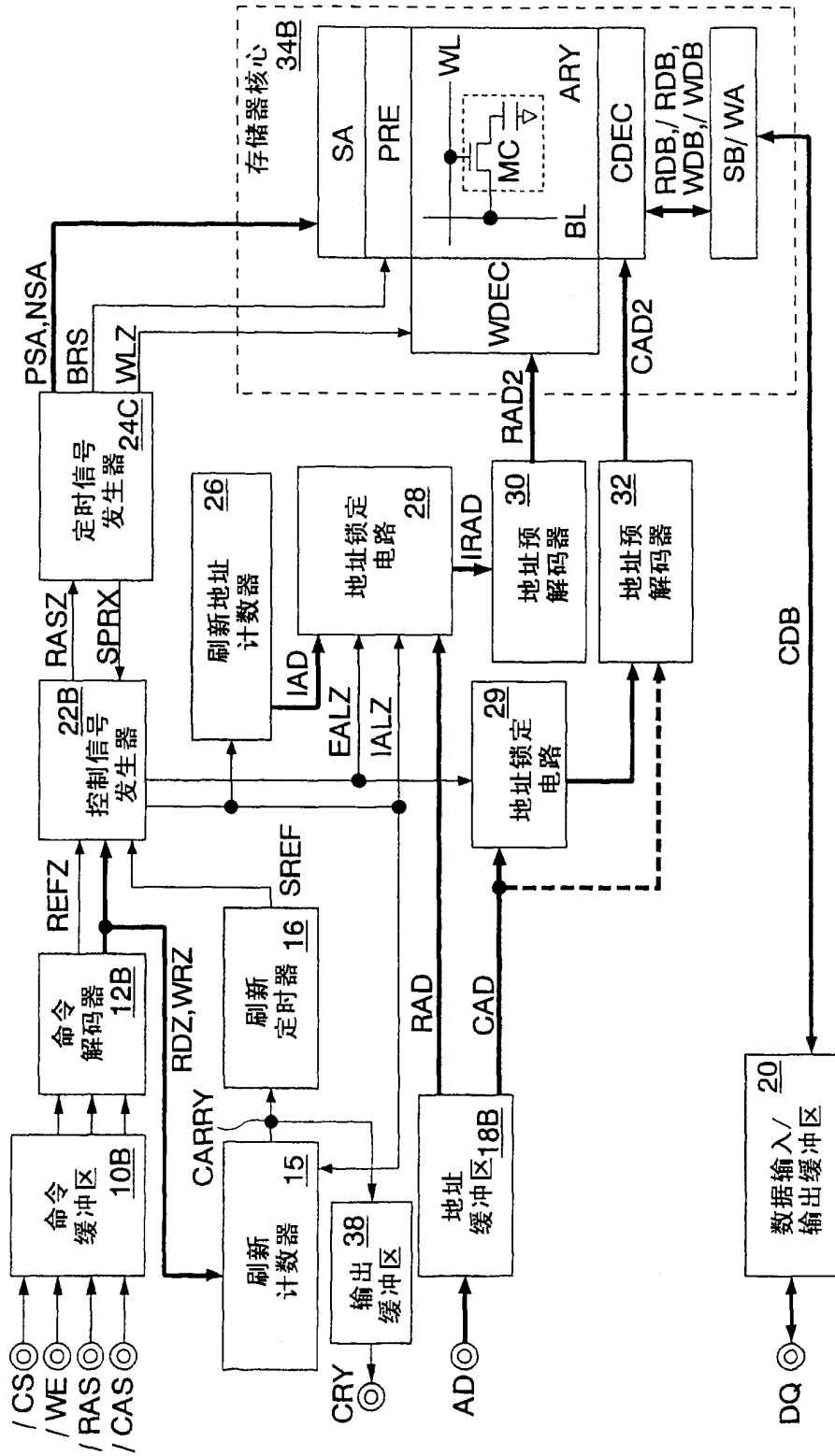


图22

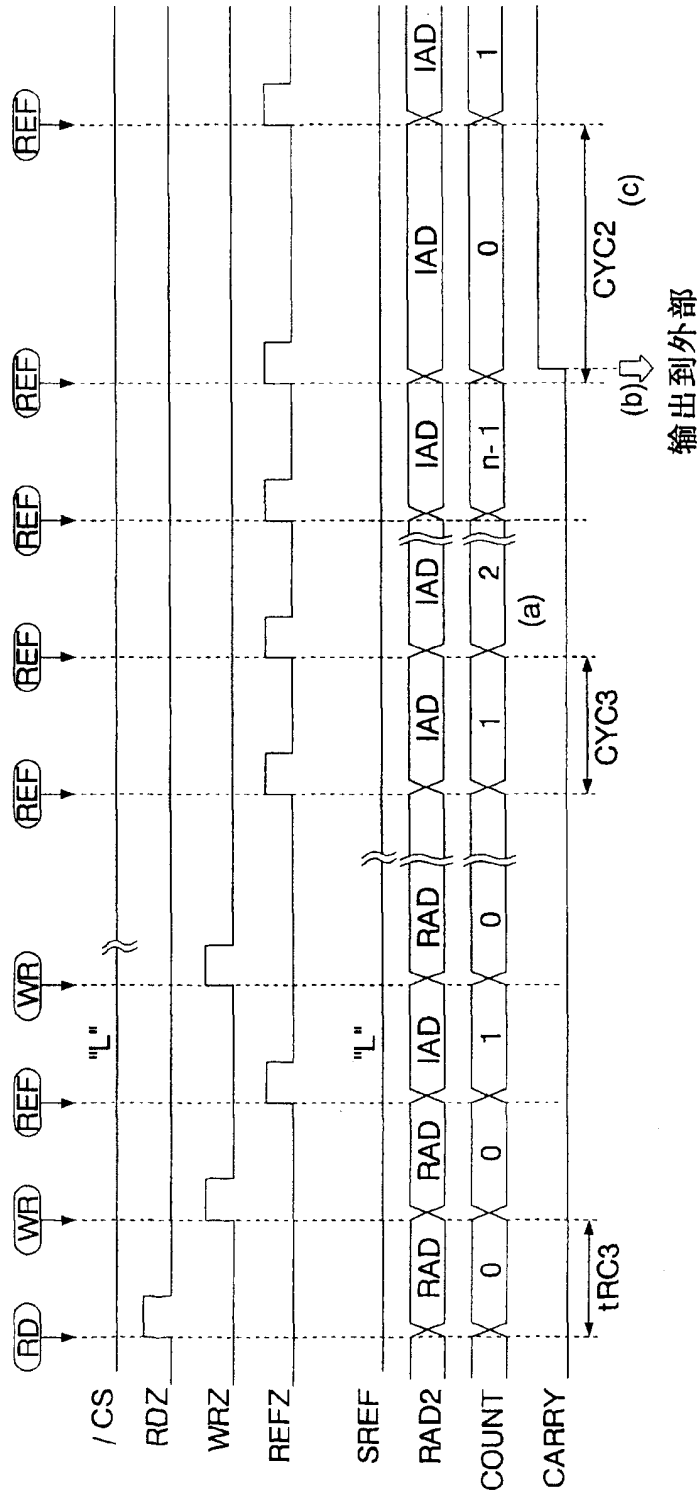


图 23

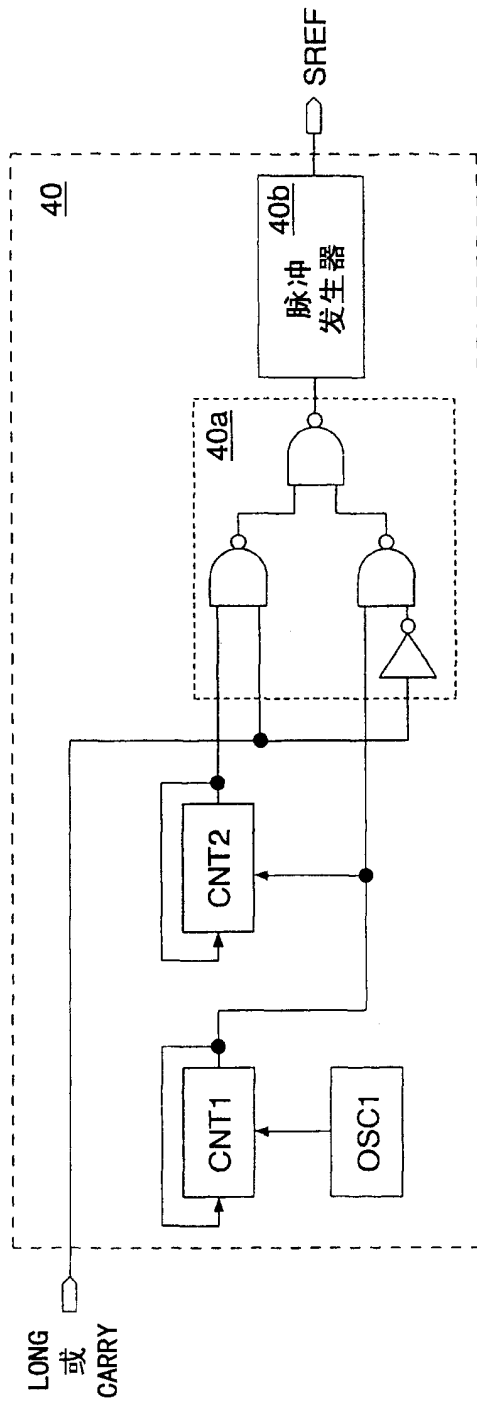


图24