



(12)发明专利申请

(10)申请公布号 CN 107833893 A

(43)申请公布日 2018.03.23

(21)申请号 201711122463.5

(22)申请日 2017.11.14

(71)申请人 武汉华星光电半导体显示技术有限公司

地址 430070 湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室

(72)发明人 张鹏振

(74)专利代理机构 深圳市铭粤知识产权代理有限公司 44304

代理人 孙伟峰 顾楠楠

(51) Int. Cl.

H01L 27/12(2006.01)

H01L 21/77(2017.01)

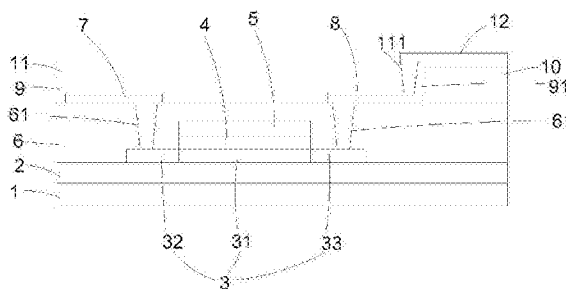
权利要求书2页 说明书4页 附图3页

(54)发明名称

阵列基板及其制作方法、显示面板

(57)摘要

本发明提供了一种阵列基板,包括玻璃基板、缓冲层、半导体层、栅极绝缘层、栅极、层间绝缘层、源极、漏极、平坦层、公共电极、钝化层、像素电极。本发明还提供了一种阵列基板的制作方法以及显示面板。与现有技术相比,采用能够降低寄生电容的顶栅自对准结构,使源漏极与栅极之间重叠部分变小,从而在减少存储电容器所占用的面积的前提下,提高开口率以及存储电容大小;且减小了薄膜晶体管器件的寄生电容进而降低RC时延,提高薄膜晶体管器件的响应速度。



1. 一种阵列基板,其特征在于:包括基板(1)、缓冲层(2)、半导体层(3)、栅极绝缘层(4)、栅极(5)、层间绝缘层(6)、源极(7)、漏极(8)、平坦层(9)、公共电极(10)、钝化层(11)、像素电极(12);其中,

缓冲层(2)形成于基板(1)上;半导体层(3)形成于缓冲层(2)上;所述半导体层(3)包括有源区域(31)和设于有源区域(31)两侧的源极区域(32)、漏极区域(33),所述栅极绝缘层(4)和栅极(5)依次形成于有源区域(31)上;所述层间绝缘层(6)形成于未被半导体层(3)遮挡的缓冲层(2)、源极区域(32)以及漏极区域(33)上;所述层间绝缘层(6)上对应源极区域(32)、漏极区域(33)处形成有第一过孔(61);所述源极(7)和漏极(8)分别经第一过孔(61)与源极区域(32)、漏极区域(33)接触;所述平坦层(9)形成于源极(7)、漏极(8)以及未被源极(7)、漏极(8)遮挡的层间绝缘层(6)上;所述公共电极(10)形成于平坦层(9)上,钝化层(11)形成于公共电极(10)以及未被公共电极(10)遮挡的平坦层(9)上,所述钝化层(11)以及平坦层(9)上对应漏极(8)上形成有第二过孔(111)、第三过孔(91);所述像素电极(12)形成于钝化层(11)上并经第二过孔(111)、第三过孔(91)与漏极(8)接触。

2. 根据权利要求1所述的阵列基板,其特征在于:所述半导体层(3)由铟镓锌氧化物制成。

3. 根据权利要求1或2所述的阵列基板,其特征在于:所述钝化层(11)由氧化钼制成。

4. 一种显示面板,其特征在于:包括如权利要求1-3任意一项所述的阵列基板。

5. 一种阵列基板的制作方法,其特征在于:包括如下步骤:

提供一基板(1);

在基板(1)上形成缓冲层(2);

在缓冲层(2)上形成半导体层(3);

在半导体层(3)的有源区域(31)上依次形成栅极绝缘层(4)以及栅极(5);

在未被半导体层(3)遮挡的缓冲层(2)上、半导体层(3)的源极区域(32)、漏极区域(33)以及栅极(5)上形成层间绝缘层(6);

在层间绝缘层(6)上对应源极区域(32)、漏极区域(33)上分别形成第一过孔(61);

在层间绝缘层(6)上分别形成源极(7)、漏极(8),所述源极(7)、漏极(8)分别经第一过孔(61)与源极区域(32)和漏极区域(33)接触;

在未被源极(7)和漏极(8)遮挡的层间绝缘层(6)上、源极(7)以及漏极(8)上形成有平坦层(9);

在平坦层(9)上形成公共电极(10);

在公共电极(10)上以及未被公共电极(10)遮挡的平坦层(9)上形成钝化层(11);

在钝化层(11)以及平坦层(9)上对应漏极(8)处分别形成第二过孔(111)、第三过孔(91);

在钝化层(11)上形成像素电极(12),所述像素电极(12)经第二过孔(111)、第三过孔(91)与漏极接触。

6. 根据权利要求5所述的阵列基板的制作方法,其特征在于:所述在缓冲层(2)上形成半导体层(3)具体为在缓冲层(2)上沉积非晶铟镓锌氧化物薄膜并对非晶铟镓锌氧化物薄膜进行图案化得到半导体层(3)。

7. 根据权利要求5或6所述的阵列基板的制作方法,其特征在于:所述钝化层(11)的材

料选自氧化钇。

8. 根据权利要求6所述的阵列基板的制作方法,其特征在於:所述层间绝缘层(6)的材料选自氧化硅、氮化硅中的至少一种。

9. 根据权利要求8所述的阵列基板的制作方法,其特征在於:所述层间绝缘层(6)的材料选自氧化硅时,在栅极绝缘层(4)上形成栅极(5)后还对半导体层(3)的源极区域(32)和漏极区域(33)进行等离子处理。

10. 根据权利要求9所述的阵列基板的制作方法,其特征在於:所述等离子处理采用H₂等离子体或Ar等离子体。

阵列基板及其制作方法、显示面板

技术领域

[0001] 本发明涉及一种显示面板技术,特别是一种阵列基板及其制作方法、显示面板。

背景技术

[0002] IGZO (In-Ga-Zn-O, 铟镓锌氧化物) 具有较高迁移率并且可大面积生产等优势,已成为下一代显示技术的有力竞争者,并且多用于“平面内转换”(IPS)技术。在IPS技术中,TFT(thin film transistor, 薄膜晶体管)结构中的钝化层除了桥接漏电极与像素电极,还是存储电容板间的介电保护层,但由于漏电流的存在,这会影响存储电容容量以及画素稳定性的,而为了解决这一问题,目前常采用减小存储电容器所占用的面积,但是这一方法会使得开口率降低。

发明内容

[0003] 为克服现有技术的不足,本发明提供一种阵列基板及其制作方法、显示面板,从而在减少存储电容器所占用的面积的前提下,提高开口率以及存储电容大小。

[0004] 本发明提供了一种阵列基板,包括玻璃基板、缓冲层、半导体层、栅极绝缘层、栅极、层间绝缘层、源极、漏极、平坦层、公共电极、钝化层、像素电极;其中,

[0005] 缓冲层形成于基板上;半导体层形成于缓冲层上;所述半导体层包括有源区域和设于有源区域两侧的源极区域、漏极区域,所述栅极绝缘层和栅极依次形成于有源区域上;所述层间绝缘层形成于未被半导体层遮挡的缓冲层、源极区域以及漏极区域上;所述层间绝缘层上对应源极区域、漏极区域处形成有第一过孔;所述源极和漏极分别经第一过孔与源极区域、漏极区域接触;所述平坦层形成于源极、漏极以及未被源极、漏极遮挡的层间绝缘层上;所述公共电极形成于平坦层上,钝化层形成于公共电极以及未被公共电极遮挡的平坦层上,所述钝化层以及平坦层上对应漏极上形成有第二过孔、第三过孔;所述像素电极形成于钝化层上并经第二过孔、第三过孔与漏极接触。

[0006] 进一步地,所述半导体层由铟镓锌氧化物制成。

[0007] 进一步地,所述钝化层由氧化钼制成。

[0008] 本发明还提供了一种显示面板,包括所述的氧化物阵列基板。

[0009] 本发明还提供了一种阵列基板的制作方法,包括如下步骤:

[0010] 提供一基板;

[0011] 在基板上形成缓冲层;

[0012] 在缓冲层上形成半导体层;

[0013] 在半导体层的有源区域上依次形成栅极绝缘层以及栅极;

[0014] 在未被半导体层遮挡的缓冲层上、半导体层的源极区域、漏极区域以及栅极上形成层间绝缘层;

[0015] 在层间绝缘层上对应源极区域、漏极区域上分别形成第一过孔;

[0016] 在层间绝缘层上分别形成源极、漏极,所述源极、漏极分别经第一过孔与源极区域

和漏极区域接触；

[0017] 在未被源极和漏极遮挡的层间绝缘层上、源极以及漏极上形成有平坦层；

[0018] 在平坦层上形成公共电极；

[0019] 在公共电极上以及未被公共电极遮挡的平坦层上形成钝化层；

[0020] 在钝化层以及平坦层上对应漏极处分别形成第二过孔、第三过孔；

[0021] 在钝化层上形成像素电极，所述像素电极经第二过孔、第三过孔与漏极接触。

[0022] 进一步地，所述在缓冲层上形成半导体层具体为在缓冲层上沉积非晶铟镓锌氧化物薄膜并对非晶铟镓锌氧化物薄膜进行图案化得到半导体层。

[0023] 进一步地，所述钝化层的材料选自氧化钼。

[0024] 进一步地，所述层间绝缘层的材料选自氧化硅、氮化硅中的至少一种。

[0025] 进一步地，所述层间绝缘层的材料选自氧化硅时，在栅极绝缘层上形成栅极后还对半导体层的源极区域和漏极区域进行等离子处理。

[0026] 进一步地，所述等离子处理采用H₂等离子体或Ar等离子体。

[0027] 本发明与现有技术相比，采用能够降低寄生电容的顶栅自对准结构，使源漏极与栅极之间重叠部分变小，从而在减少存储电容器所占用的面积的前提下，提高开口率以及存储电容大小；且减小了薄膜晶体管器件的寄生电容进而降低RC (Resistance-Capacitance.电阻电容)时延，提高薄膜晶体管器件的响应速度。

附图说明

[0028] 图1是本发明的结构示意图；

[0029] 图2是本发明在缓冲层上制作半导体层的示意图；

[0030] 图3是本发明制作栅极绝缘层以及栅极的示意图；

[0031] 图4是本发明制作层间绝缘层的示意图；

[0032] 图5是本发明制作源极、漏极的示意图；

[0033] 图6是本发明制作平坦层以及公共电极的示意图；

[0034] 图7是本发明制作钝化层的示意图。

具体实施方式

[0035] 下面结合附图和实施例对本发明作进一步详细说明。

[0036] 如图1所示，本发明的一种氧化物阵列基板，包括玻璃基板1以及依次设置的缓冲层2、半导体层3、栅极绝缘层4、栅极5、层间绝缘层6、源极7、漏极8、平坦层9、公共电极10、钝化层11、像素电极12；其中，

[0037] 缓冲层2形成于基板1上；所述基板可以为玻璃基板；

[0038] 半导体层3形成于缓冲层2上；所述半导体层3由铟镓锌氧化物 (IGZO) 制成；

[0039] 所述半导体层3包括有源区域31和设于有源区域31两侧的源极区域32、漏极区域33；

[0040] 所述栅极绝缘层4和栅极5依次形成于有源区域31上；所述栅极绝缘层的材料为氧化硅 (SiO_x)；

[0041] 所述层间绝缘层6形成于未被半导体层3遮挡的缓冲层2、源极区域32以及漏极区

域33上;所述层间绝缘层6的材料选自氧化硅(SiO_x)、氮化硅(SiN_x)中的至少一种;具体地,当层间绝缘层6的材料选自氧化硅时,还需要对源极区域32和漏极区域33进行等离子处理,等离子处理采用 H_2 (氢气)等离子体或Ar(氩气)等离子体;

[0042] 所述层间绝缘层6上对应源极区域32、漏极区域33处形成有第一过孔61;

[0043] 所述源极7和漏极8分别经第一过孔61与源极区域32、漏极区域33接触;

[0044] 所述平坦层9形成于源极7、漏极8以及未被源极7、漏极8遮挡的层间绝缘层6上;

[0045] 所述公共电极10形成于平坦层9上;

[0046] 钝化层11形成于公共电极10以及未被公共电极10遮挡的平坦层9上,所述钝化层11以及平坦层9上对应漏极8上形成有第二过孔111、第三过孔91;所述钝化层11由氧化钇(Y_2O_3)制成,所述氧化钇具有高介电常数和穿透率,从而进一步地提高了存储电容大小以及减小存储电容面积,提高画素稳定性和薄膜晶体管器件的开口率;

[0047] 所述像素电极12形成于钝化层11上并经第二过孔111、第三过孔91与漏极8接触。

[0048] 本发明通过上述的顶栅自对准结构,并使用高介电常数和穿透率的钝化层11制作一种用于面内切换(IPS)模式的阵列基板,从而减少存储电容器所占用的面积而提高开口率,同时提高存储电容大小。

[0049] 本发明还公开了一种阵列基板的制作方法,包括如下步骤:

[0050] 步骤一、提供一基板1;所述基板1可以为玻璃基板;

[0051] 步骤二、在基板1上形成缓冲层2;具体地,通过化学气相沉积(CVD)的方式形成缓冲层;

[0052] 步骤三、在缓冲层2上形成半导体层3(如图3所示);具体地,通过沉积的方式沉积非晶铟镓锌氧化物(a-IGZO)薄膜34(图2所示),然后通过光刻工艺对非晶铟镓锌氧化物薄膜34进行蚀刻形成半导体层3;所述半导体层3包括有源区域31和设于有源区域31两侧的源极区域32、漏极区域33;所述沉积可采用物理气相沉积(PVD);所述光刻工艺可采用现有的标准的光刻工艺进行;

[0053] 步骤四、在半导体层3的有源区域31上依次形成栅极绝缘层4以及栅极5(如图3所示);具体地,所述栅极绝缘层4采用氧化硅(SiO_x)材料,采用化学气相沉积(CVD)的方式在半导体层3以及未被半导体层3遮挡的缓冲层2上形成氧化硅薄膜;采用物理气相沉积(PVD)的方式在氧化硅薄膜上形成栅电极膜层;在栅电极膜层上涂布与栅极图案相同的光刻胶,通过蚀刻工艺蚀刻掉未被光刻胶保护的栅电极膜层以及氧化硅薄膜,在有源区域31上形成栅极绝缘层4以及栅极5;所示涂布光刻胶可采用旋涂的方式;蚀刻工艺可采用干法蚀刻(Dry etch)或湿法蚀刻;

[0054] 步骤五、在未被半导体层3遮挡的缓冲层2上、半导体层3的源极区域32、漏极区域33以及栅极5上形成层间绝缘层6(图4所示);具体地,采用化学气相沉积(CVD)的方式在未被半导体层3遮挡的缓冲层2上、氧化物半导体3的源极区域32、漏极区域33以及栅极5上沉积层间绝缘层6,所述层间绝缘层6的材料可选自氧化硅、氮化硅中的至少一种;

[0055] 步骤六、在层间绝缘层6上对应源极区域32、漏极区域33上分别形成第一过孔61;具体地,通过光刻工艺形成第一过孔61;

[0056] 步骤七、在层间绝缘层6上分别形成源极7、漏极8,所述源极7、漏极8分别经第一过孔61与源极区域32和漏极区域33接触(图5所示);具体地,通过物理气相沉积(PVD)的方式

在层间绝缘层6上形成电极金属膜层,通过光刻工艺进行图案化形成源极7和漏极8;所述光刻工艺可采用标准的现有光刻工艺进行,在此不做具体限定;

[0057] 步骤八、在未被源极7和漏极8遮挡的层间绝缘层6上、源极7以及漏极8上形成有平坦层9(图6所示);具体地,平坦层9的具体制作可采用现有技术中薄膜晶体管阵列基板中平坦层9的制作方式实现,在此不做具体限定;

[0058] 步骤九、在平坦层9上形成公共电极10(图6所示);具体地,采用物理气相沉积(PVD)的方式在平坦层9上形成透明的ITO薄膜,通过光刻工艺对ITO薄膜进行图案化,形成公共电极10;

[0059] 步骤十、在公共电极10上以及未被公共电极10遮挡的平坦层9上形成钝化层11(图7所示);具体地,钝化层11采用氧化钇(Y_2O_3)材料制成,具体地,采用气相沉积的方式,在公共电极10上以及未被公共电极10遮挡的平坦层9上形成钝化层11;所述气相沉积可采用原子层沉积(ALD)或物理气相沉积(PVD);所述氧化钇具有高介电常数和g高穿透率,从而进一步地提高了存储电容大小以及减小存储电容面积,提高画素稳定性和薄膜晶体管器件的开口率;

[0060] 步骤十一、在钝化层11以及平坦层9上对应漏极8处分别形成第二过孔111、第三过孔91;具体地,通过光刻工艺,在钝化层11以及平坦层9上位于漏极8处分别形成第二过孔111、第三过孔91;

[0061] 步骤十二、在钝化层11上形成像素电极12,所述像素电极12经第二过孔111、第三过孔91与漏极8接触;具体地,采用物理气相沉积(PVD)的方式,在钝化层11上形成透明的ITO薄膜,通过光刻工艺对ITO薄膜进行图案化,形成像素电极12,所述像素电极12经第二过孔111、第三过孔91与漏极8接触。

[0062] 本发明的制作方法中,当层间绝缘层6的材料选自氧化硅时,在栅极绝缘层4上形成栅极5后还对半导体层3的源极区域32和漏极区域33进行等离子处理。所述等离子处理采用 H_2 (氢气)等离子体或Ar(氩气)等离子体。

[0063] 本发明中,钝化层采用氧化钇(Y_2O_3)具有优良的耐热、耐腐蚀和高温稳定性,介电常数高、透明性好,并且可以掺杂 Nd^{3+} 等稀土元素调节其性能;使用高介电常数和g高穿透率 Y_2O_3 作为钝化层,可以在提高存储电容容量的同时,减小存储电容器的面积,从而提高开口率和透光率。

[0064] 本发明还公开了一种显示面板,其包括上述的阵列基板,在此不再赘述。

[0065] 本发明具有在IPS结构中,使用高介电常数和g高穿透率的钝化层材料 Y_2O_3 ,提高存储电容大小,减小存储电容面积,提高画素稳定性和器件开口率;采用顶栅自对准结构,能够减少一道光罩,使源漏极与栅极之间重叠部分变小,并且还能减少TFT寄生电容(parasitic capacity),进而减少RC(Resistance-Capacitance.电阻电容)时延提高其响应速度。

[0066] 虽然已经参照特定实施例示出并描述了本发明,但是本领域的技术人员将理解:在不脱离由权利要求及其等同物限定的本发明的精神和范围的情况下,可在此进行形式和细节上的各种变化。

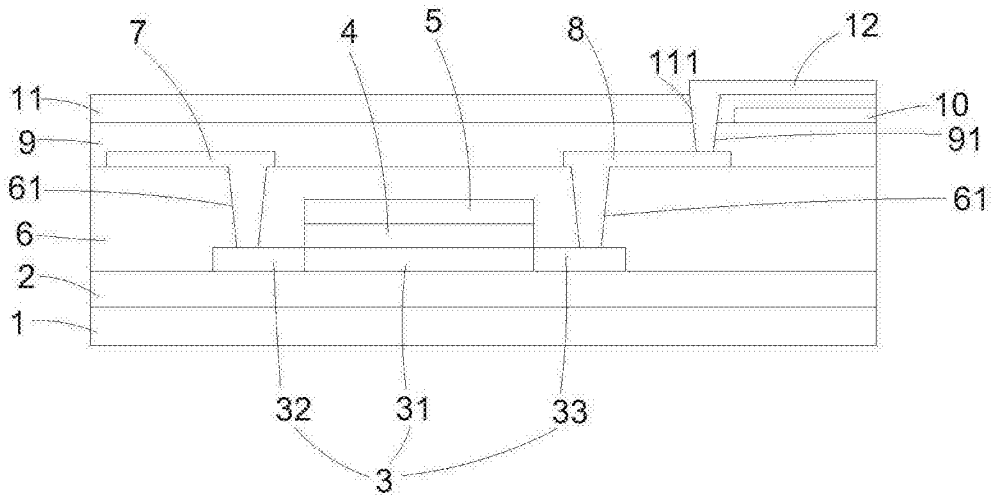


图1



图2

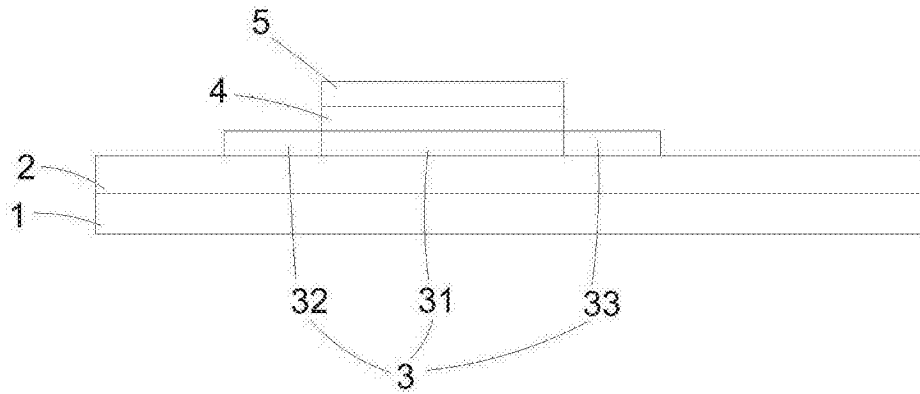


图3

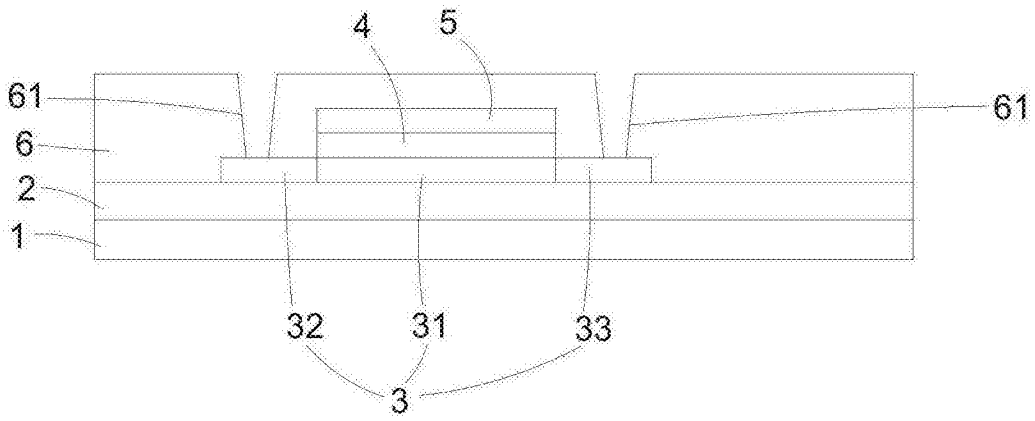


图4

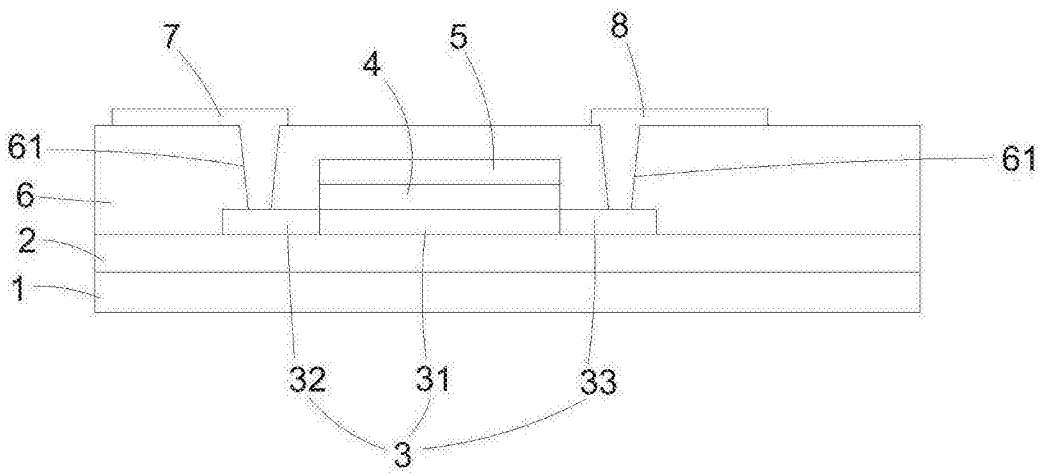


图5

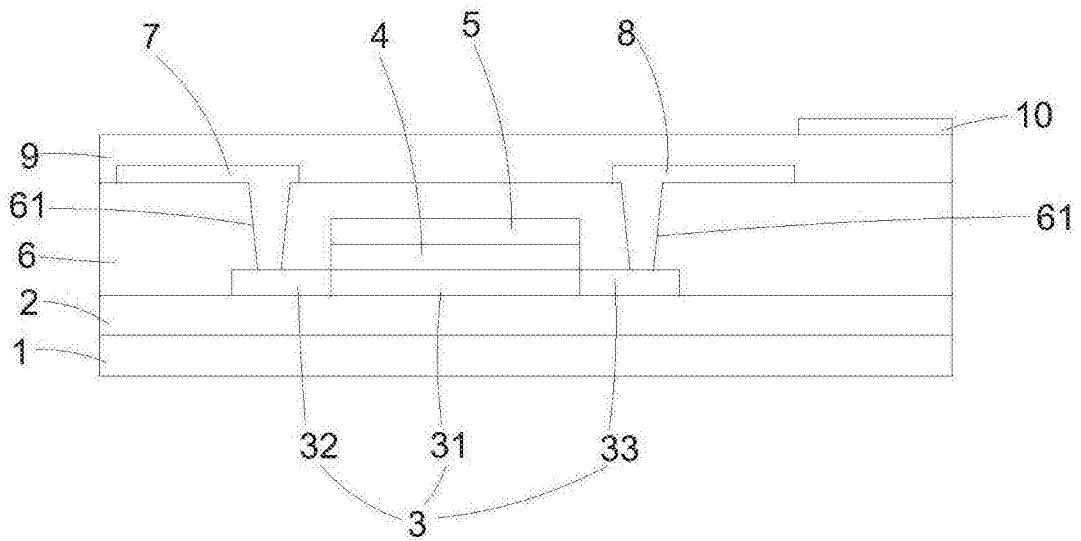


图6

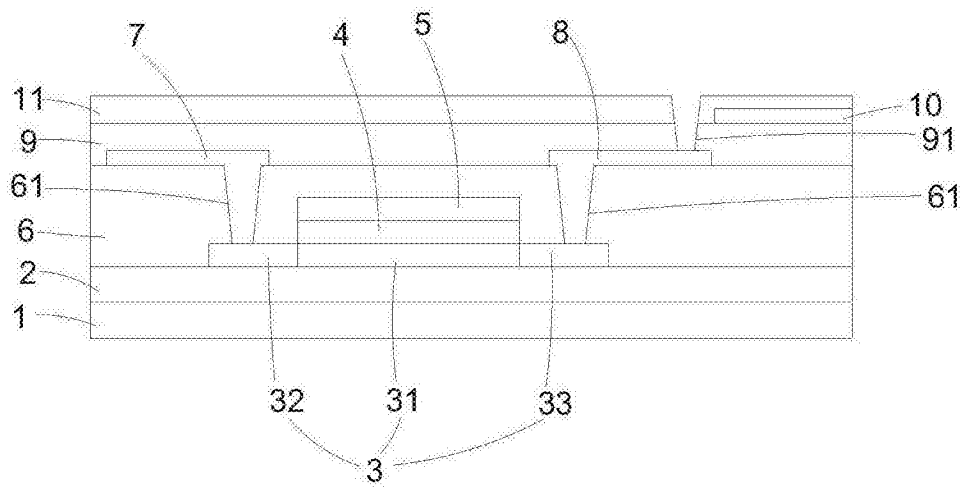


图7