(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G11C 16/06 (2006.01)
G11C 16/10 (2006.01)

(45) 공고일자 2006년07월10일
(11) 등록번호 10-0598907
(24) 등록일자 2006년07월03일

(21) 출원번호 10-2005-0039827
(22) 출원일자 2005년05월12일

(65) 공개번호
(43) 공개일자

(73) 특허권자 주식회사 테라반도체
서울특별시 서초구 서초1동 1626-2 원진빌딩 401호

(72) 발명자 이종오
경기 용인시 구성읍 보정리 죽현마을 I-Park 209동 1906호

윤석윤
서울 구로구 신도림동 대림7차아파트 803동 903호

유성진
경기도 성남시 중원구 상대원1동 81-2번지 로얄타운 나동 102호

황태선
경기도 과천시 중앙동 24-8 202호

이전영
경기 성남시 분당구 야탑동 518 탑주공8단지 803-1002

(74) 대리인 이상헌

심사관 : 조명관

(54) 연속적 읽기/쓰기가 가능한 플래쉬 메모리

요약

데이터의 연속적 읽기/쓰기가 가능한 플래쉬 메모리가 개시된다. 상기 플래쉬 메모리는 동일한 메모리 사이즈의 다수의 페이지를 포함하며, 데이터를 저장하는 기능을 하는 메모리 어레이; 상기 메모리 어레이의 각 페이지와 동일한 메모리 사이즈를 가지며, 상기 페이지에 저장된 데이터를 센싱하여 저장하거나, 외부로부터 입력된 데이터를 임시로 저장한 다음, 저장된 데이터를 각 페이지에 기록하는 버퍼 메모리의 기능을 하는 페이지 버퍼; 외부와 상기 페이지 버퍼 사이의 데이터 입출력을 제어하는 입출력 인터페이스; 및 데이터의 읽기 과정에서, 상기 페이지 버퍼에 저장된 데이터를 출력하여 임시로 저장한 후, 상기 입출력 인터페이스를 통하여 외부로 출력하거나, 데이터의 쓰기 과정에서 상기 입출력 인터페이스를 통하여 입력된 데이터를 임시로 저장한 후, 저장된 데이터를 상기 페이지 버퍼에 전가하는 임시 저장 메모리의 역할을 하는 하나 이상의 보조 버퍼를 포함한다.

대표도

도 2

색인어

플래쉬 메모리, 어드레스, 연속적 읽기/쓰기, 보조 버퍼

명세서

도면의 간단한 설명

도 1은 통상적인 플래쉬 메모리의 구성 블록도.

도 2는 본 발명의 일 실시예에 따른 플래쉬 메모리의 구성 블록도.

도 3은 본 발명의 다른 실시예에 따른 플래쉬 메모리에 적용되는 메모리 어레이와 페이지 버퍼의 구성 블록도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성 메모리(nonvolatile memory)에 관한 것으로서, 더욱 상세하게는 데이터의 연속적 읽기/쓰기가 가능한 플래쉬 메모리에 관한 것이다.

터널링 현상을 이용하여 데이터를 기록하고 소거하는 플래쉬 메모리는 데이터의 보존성이 우수할 뿐 만 아니라, 하드디스크 등에 비해 소비전력이 낮고, 외부충격에 강한 장점이 있다. 도 1은 통상적인 플래쉬 메모리의 구성 블록도로서, 메모리 어레이(memory array)가 1024개의 페이지(pages)와 각 페이지 당 528 바이트(bytes)의 메모리셀(memory cell)로 구성된 플래쉬 메모리를 도시한 것이다. 도 1에 도시한 바와 같이, 일반적으로, 플래쉬 메모리는 데이터를 저장하는 메모리셀(11)을 포함하며, 각 메모리셀(11)은 X 및 Y축 상으로 격자 형태로 배치된다. 이와 같은 플래쉬 메모리에 대하여, 읽기(read) 동작이 수행되면, 버퍼(31) 및 디코더(32)를 통하여 입력되는 X-어드레스신호(A9-A18)에 의하여 페이지(10)가 선택되고, 버퍼(21) 및 디코더(22)를 통하여 입력되는 Y-어드레스신호(A0-A8)에 의하여 메모리셀(11)이 선택되며, 선택된 메모리셀(11)로부터 데이터가 읽혀지고, 읽혀진 데이터는 레지스터(41)를 통하여 입출력 인터페이스(I/O interface)로 출력된다. 반면에, 플래쉬 메모리에 대하여, 쓰기(write) 동작이 수행되면, Y-어드레스신호(A9-A18)에 의하여 선택된 페이지(10)의 데이터가 소거되고, 입출력 인터페이스로부터 입력된 데이터가 X-어드레스신호(A0-A8)에 의하여 선택된 메모리셀(11)에 기록된다. 상기 버퍼(21, 31), 디코더(22, 32) 및 레지스터(41)의 동작은 제어부(15)에 의하여 제어된다. 이와 같이, 플래쉬 메모리에는 각 메모리셀(11)의 위치를 지정하는 다수의 어드레스가 있으며, 페이지(10)를 선택하는 어드레스를 X-어드레스, W/L-어드레스(word line address) 또는 페이지 어드레스라고 하고, 메모리셀(11)을 선택하는 어드레스를 Y-어드레스, B/L-어드레스(bit line address) 또는 칼럼-어드레스라고 한다.

일반적인 패스트(fast) Nor 플래쉬 메모리의 경우, 읽기 시간(read time)이 충분히 빠르기 때문에, 각 페이지의 마지막 칼럼-어드레스에 있는 데이터를 읽고, 그 데이터를 출력하는 동안, 다음 페이지의 첫 번째 칼럼-어드레스에 있는 데이터를 읽어서 출력할 준비를 한다. 이와 같은 연속 순차 읽기(continues sequential read)를 원활하게 지원하기 위하여, 상기 레지스터(41)에는 하나의 센스-앰플리파이어(sense-amplifier group)와 상기 센스 앰플리파이어의 결과를 임시로 저장하는 하나의 버퍼가 제공된다. 그러나, 슬로우(slow) Nor 플래쉬 메모리 또는 NAND 플래쉬 메모리의 경우, Y-축의 좌표를 지시하는 칼럼은 저항값이 작은 금속으로 구성되어 있어, RC-지연(delay)이 작지만, X-축의 좌표를 지시하는 페이지는 저항값이 큰 폴리(Poly)로 구성되어 있어, RC-지연이 크므로, 읽기 시간(read time)이 상대적으로 길고, 따라서 연속 순차 읽기가 원칙적으로 불가능한 문제가 있다. 또한, 플래쉬 메모리의 경우, 읽기 시간에 비하여 기록 시간(write time)이 매우 크므로, 하나의 바이트(byte) 씩 기록하기 보다는, 페이지 단위로 여러 데이터를 한번에 기록하는 방법이 주로 사용된다. 이때, 기록할 데이터를 플래쉬 메모리에 내장된 버퍼에 저장하고, 버퍼에 저장된 데이터를 다시 메모리셀에 기록하게 된다. 그러나, 상기 두 가지 동작은 동시에 수행될 수 없고, 순차적으로 수행되어야 하며, 버퍼에 저장된 데이터를 메모리셀에 기록하는 동안, 다른 명령은 받아들일 수 없다. 따라서, 다량의 데이터를 기록하는 경우, 하나의 페이지 데이터를 버

퍼에 저장하고, 버퍼에 저장된 데이터를 다시 메모리셀에 기록하라는 명령을 준 다음, 상기 데이터가 메모리셀에 완전히 기록된 후에야, 다음 페이지 데이터를 버퍼에 저장하게 되므로, 플래쉬 메모리의 기록 동작이 시간적으로 비효율적으로 수행되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터의 연속적 읽기/쓰기가 가능한 플래쉬 메모리를 제공하는 것이다. 본 발명의 다른 목적은 읽기 시간(read time)이 상대적으로 긴 슬로우(slow) Nor 플래쉬 메모리 또는 NAND 플래쉬 메모리에 있어서, 데이터의 입출력 대기 시간을 감소시킬 수 있는 플래쉬 메모리를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 동일한 메모리 사이즈의 다수의 페이지를 포함하며, 데이터를 저장하는 기능을 하는 메모리 어레이; 상기 메모리 어레이의 각 페이지와 동일한 메모리 사이즈를 가지며, 상기 페이지에 저장된 데이터를 센싱하여 저장하거나, 외부로부터 입력된 데이터를 임시로 저장한 다음, 저장된 데이터를 각 페이지에 기록하는 버퍼 메모리의 기능을 하는 페이지 버퍼; 외부와 상기 페이지 버퍼 사이의 데이터 입출력을 제어하는 입출력 인터페이스; 및 데이터의 읽기 과정에서, 상기 페이지 버퍼에 저장된 데이터를 출력하여 임시로 저장한 후, 상기 입출력 인터페이스를 통하여 외부로 출력하거나, 데이터의 쓰기 과정에서 상기 입출력 인터페이스를 통하여 입력된 데이터를 임시로 저장한 후, 저장된 데이터를 상기 페이지 버퍼에 전가하는 임시 저장 메모리의 역할을 하는 하나 이상의 보조 버퍼를 포함하는 플래쉬 메모리를 제공한다.

본 발명은 또한 동일한 사이즈의 다수의 페이지를 포함하고, 각 페이지는 소정 개수의 메모리셀을 포함하며, 데이터를 저장하는 기능을 하는 메모리 어레이; 상기 메모리 어레이의 각 페이지와 동일한 메모리 사이즈를 가지며, 상기 페이지에 저장된 데이터를 센싱하여 저장하거나, 외부로부터 입력된 데이터를 임시로 저장한 다음, 저장된 데이터를 각 페이지에 기록하는 버퍼 메모리의 기능을 하는 페이지 버퍼; 및 외부와 상기 페이지 버퍼이 사이의 데이터 입출력을 제어하는 입출력 인터페이스를 포함하는 플래쉬 메모리에 있어서, 상기 메모리 어레이의 각 단위 페이지는 2이상의 서브페이지로 분할되어 있고, 상기 페이지 버퍼 역시 상기 각 서브페이지와 동일한 메모리 사이즈로 분할되어 있으며, 상기 분할된 각각의 서브페이지 버퍼는 각각의 서브페이지에 저장된 데이터를 직접 센싱하여 저장하거나, 외부로부터 입력된 데이터를 임시로 저장한 다음, 저장된 데이터를 각각의 서브페이지에 기록하는 것인 플래쉬 메모리를 제공한다.

이하, 첨부된 도면을 참조하여, 본 발명을 상세히 설명한다.

도 2는 본 발명의 일 실시예에 따른 플래쉬 메모리의 구성 블록도이다. 도 2에 도시된 플래쉬 메모리는 통상의 플래쉬 메모리와 비교하여, 하나 이상의 보조 버퍼를 더욱 포함하며, 메모리 어레이(100), 페이지 버퍼(200) 및 입출력 인터페이스(400)는 종래와 실질적으로 동일한 기능을 한다. 구체적으로, 상기 메모리 어레이(100)는 데이터를 저장하는 기능을 하는 것으로서, 동일한 메모리 사이즈(size)의 다수의 페이지(110, 120, 130, ... , n)를 포함하며, 상기 페이지 버퍼(200)는 각 페이지(110, 120, 130, ... , n)와 동일한 메모리 사이즈를 가지며, 페이지(110, 120, 130, ... , n)에 저장된 데이터를 센싱(sensing)하여 저장하거나, 외부로부터 입력된 데이터를 임시로 저장한 다음, 저장된 데이터를 각 페이지(110, 120, 130, ... , n)에 기록(write)하는 버퍼 메모리의 기능을 한다. 또한, 상기 입출력 인터페이스(400)는 외부와 상기 페이지 버퍼(200) 사이의 데이터 입출력을 제어하는 기능을 한다.

상기 보조 버퍼(310, 320)는 데이터의 읽기(read) 과정에서 페이지 버퍼(200)에 저장된 데이터를 출력하여 임시로 저장하거나, 데이터의 쓰기(write) 과정에서 입출력 인터페이스(400)를 통하여 입력된 데이터를 임시로 저장하는 임시 저장 메모리의 역할을 한다. 도 3에 도시된 바와 같이, 본 발명에 따라 2개의 보조 버퍼를 더욱 구비한 플래쉬 메모리는 3가지의 읽기 과정(read-path)과 2가지의 쓰기 과정(write-path)을 수행할 수 있다. 첫 번째 읽기 과정은 메모리 어레이(100)에 저장된 데이터를 센싱하여 페이지 버퍼(200)에 저장하고, 페이지 버퍼(200)에 저장된 데이터를 입출력 인터페이스(400)를 통하여 외부로 직접 출력하는 방법이다. 두 번째 읽기 과정은, 메모리 어레이(100)에 저장된 데이터를 센싱하여 페이지 버퍼(200)에 저장하고, 페이지 버퍼(200)에 저장된 데이터를 제1 보조버퍼(310)에 전가(dump)하여 저장한 다음, 이후 제어부(미도시)의 특정 코맨드(command)에 의하여 제1 보조버퍼(310)에 전가된 데이터를 입출력 인터페이스(400)를 통하여 외부로 출력하는 방법이다. 세 번째 읽기 과정은, 메모리 어레이(100)에 저장된 데이터를 센싱하여 페이지 버퍼(200)에 저장하고, 페이지 버퍼(200)에 저장된 데이터를 제2 보조버퍼(320)에 전가(dump)하여 저장한 다음, 이후 특정 코맨드에 의하여 제2 보조버퍼(320)에 전가된 데이터를 입출력 인터페이스(400)를 통하여 외부로 출력하는 방법이다. 또한, 첫 번째 쓰기 과정은, 기록(write)하고자 하는 데이터를 입출력 인터페이스(400)를 통하여 전달받아 제1 보조버퍼(310)에 저장한 다음, 이후 특정 코맨드에 의하여 제1 보조버퍼(310)에 저장된 데이터를 페이지 버퍼(200)에 전가(dump)하여 저장하고,

페이지 버퍼(200)에 전가된 데이터를 메모리 어레이(100)에 기록(write)한다. 두 번째 쓰기 과정은, 기록(write)하고자 하는 데이터를 입출력 인터페이스(400)를 통하여 전달받아 제2 보조버퍼(320)에 저장한 다음, 이후 특정 코맨드에 의하여 제2 보조버퍼(320)에 저장된 데이터를 페이지 버퍼(200)에 전가(dump)하여 저장하고, 페이지 버퍼(200)에 전가된 데이터를 메모리 어레이(100)에 기록(write)한다. 상기 제1 및 제2 보조버퍼(310, 320)로는 SRAM-버퍼를 사용할 수 있고, 바람직하게는 상기 페이지 버퍼(200)와 동일한 메모리 사이즈를 가진다.

이와 같이, 페이지 버퍼(200) 및 제1 및 제2 보조버퍼(310, 320)로 구성된 총 3개의 버퍼 메모리를 사용함으로서, 페이지 버퍼(200)에 저장된 데이터를 메모리 어레이(100)에 저장하는 동안, 다음 페이지의 데이터를 제1 또는 제2 보조버퍼(310, 320)에 저장할 수 있고, 또한 메모리 어레이(100)에 저장된 데이터를 제1 또는 제2 보조버퍼(310, 320)에 미리 옮겨 놓아, 제1 또는 제2 보조버퍼(310, 320)에 저장된 데이터를 이용할 수 있다. 따라서, 사용자는 메모리 어레이(100)에 데이터를 기록(write)하거나, 메모리 어레이(100)로부터 데이터를 읽는(read) 동안, 상황에 따라 플래쉬 메모리 칩의 제1 또는 제2 보조버퍼(310, 320)에 저장된 데이터를 읽을(read) 수도 있고, 다음 페이지 데이터를 제1 또는 제2 보조버퍼(310, 320)에 저장할 수 있으므로, 플래쉬 메모리 칩의 읽기 및/또는 쓰기 과정의 시간을 효율적으로 사용할 수 있다. 따라서, 단지 데이터의 전가(dump) 역할만을 수행하는 제1 또는 제2 보조버퍼(310, 320)와 데이터의 센싱 및 전가 역할을 수행하는 하나의 페이지 버퍼(200)를 사용함으로서, 메모리 어레이(100)와 플래쉬 메모리의 제어부 사이의 인터페이스를 극대화할 수 있다. 이와 같은 보조 버퍼는 도 2에 도시된 바와 같이, 2개를 사용하는 것이 바람직하나, 필요에 따라서는 1개만 사용할 수도 있다.

도 3은 본 발명의 다른 실시예에 따른 플래쉬 메모리에 적용되는 메모리 어레이와 페이지 버퍼의 구성 블록도이다. 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 플래쉬 메모리는 메모리 어레이(100), 페이지 버퍼(200) 및 입출력 인터페이스(400, I/O interface)를 포함한다. 상기 메모리 어레이(100)는 데이터를 저장하기 위한 것으로서, 동일한 메모리 사이즈의 다수의 페이지(110, 120, 130, ... , n)를 포함하고, 각 페이지(110, 120, 130, ... , n)는 소정 개수, 예를 들면, 528개의 메모리셀을 포함하도록 되어 있다.

통상적으로, 플래쉬 메모리의 연속 순차 읽기(continues sequential read)는, 상기 메모리 어레이(100)의 전체 데이터를 읽고(read) 출력하는데 있어서, 페이지 버퍼(200)가 먼저 제1 페이지(110)의 데이터를 센싱하여 출력하고, 출력이 끝나면 자동적으로 제2 페이지(120)의 데이터를 센싱하여 출력하는 것을 말한다. 이때, 슬로우(slow) NOR 플래쉬 메모리 또는 NAND 플래쉬 메모리의 경우, X-어드레스를 바꾸어 읽는데(read) 상대적으로 긴 시간이 요구되기 때문에, 메모리 자체가 연속 순차 읽기를 지원하지 않거나, 대기 시간(latency time)을 명기하여 연속 순차 읽기를 지원한다. 구체적으로 살펴보면, 메모리의 읽기 과정에서, 사용자는 필요에 의하여 임의의 시작 어드레스를 지정한다. 이때, 상기 시작 어드레스가 제1 페이지(110)의 마지막 Y-어드레스이면, 페이지 버퍼(200)가 제1 페이지(110)의 데이터를 센싱하여 출력하는 동안, 페이지 버퍼(200)는 제2 페이지(120)의 데이터를 센싱하여 출력할 준비를 하여야 하나, 슬로우(slow) NOR 플래쉬 메모리 또는 NAND 플래쉬 메모리의 경우, 1-바이트(byte)의 데이터를 출력하는 짧은 시간 동안, 다음 페이지(120)의 데이터를 충분히 센싱하지 못한다.

따라서, 본 발명에서는, 도 3에 도시된 바와 같이, 메모리 어레이(100)의 각 단위 페이지(110, 120, 130, ... , n)를 2이상, 예를 들면, 128 바이트의 제1 내지 제3 서브페이지(111, 112, 113)와 144(=128+ 16) 바이트의 제4 서브페이지(114)로 구성되는 4개의 서브페이지로 분할하고, 페이지 버퍼(200) 역시 상기 각 서브페이지와 동일한 메모리 사이즈로 분할한다. 여기서, 분할된 각각의 서브페이지 버퍼(201, 202, 203, 204)는 각각의 서브페이지(111, 112, 113, 114)에 저장된 데이터를 직접 센싱하여 저장하거나, 외부로부터 입력된 데이터를 임시로 저장한 다음, 저장된 데이터를 각각의 서브페이지(111, 112, 113, 114)에 기록(write)하는 기능을 한다. 이와 같이, 분할된 메모리 어레이(100) 및 페이지 버퍼(200)의 동작을 살펴보면, 사용자가 필요에 의하여 시작 X-어드레스로서, 제1 페이지(110)를 지정하면, Y-어드레스는 제1 내지 제4 서브페이지(111, 112, 113, 114) 중 어느 하나에 속한다.

첫 번째 경우로서, 상기 임의의 시작 Y-어드레스가 제1 서브페이지(111)에 속하면, 먼저 제1 및 제2 서브페이지 버퍼(201, 202)가 제1 및 제2 서브페이지(111, 112)의 데이터를 센싱하여 출력하고, 제1 및 제2 서브페이지 버퍼(201, 202)가 센싱된 데이터를 출력하는 동안, 제3 및 제4 서브페이지 버퍼(203, 204)가 제3 및 제4 서브페이지(113, 114)의 데이터를 센싱한다. 둘째, 상기 임의의 시작 Y-어드레스가 제2 서브페이지(112)에 속하면, 먼저 제2 및 제3 서브페이지 버퍼(202, 203)가 제2 및 제3 서브페이지(112, 113)의 데이터를 센싱하여 출력하고, 제2 및 제3 서브페이지 버퍼(202, 203)가 센싱된 데이터를 출력하는 동안, 제4 및 제1 서브페이지 버퍼(204, 201)가 제4 서브페이지(114) 및 다음 페이지(120)의 제1 서브페이지(121)의 데이터를 센싱한다. 셋째, 상기 임의의 시작 Y-어드레스가 제3 서브페이지(113)에 속하면, 먼저 제3 및 제4 서브페이지 버퍼(203, 204)가 제3 및 제4 서브페이지(113, 114)의 데이터를 센싱하여 출력하고, 제3 및 제4 서브페이지 버퍼(203, 204)가 센싱된 데이터를 출력하는 동안, 제1 및 제2 서브페이지 버퍼(201, 202)가 다음 페이지(120)의 제1 및 제2 서브페이지(121, 122)의 데이터를 센싱한다. 넷째, 상기 임의의 시작 Y-어드레스가 제4 서브페이지

(114)에 속하면, 먼저 제4 및 제1 서브페이지 버퍼(204, 201)가 제4 서브페이지(114) 및 다음 페이지(120)의 제1 서브페이지(121)의 데이터를 센싱하여 출력하고, 제4 및 제1 서브페이지 버퍼(204, 201)가 센싱된 데이터를 출력하는 동안, 제2 및 제3 서브페이지 버퍼(202, 203)가 다음 페이지(120)의 제2 및 제3 서브페이지(122, 123)의 데이터를 센싱한다. 이와 같이, 두개씩 짝으로 하여 하나의 짝이 데이터를 센싱하여 출력하는 동안 나머지 하나의 짝이 다른 데이터를 센싱하도록 함으로서, 시작 Y-어드레스가 어느 하나의 서브 페이지(111, 112, 113, 또는 114)의 마지막 어드레스인 경우에도, 1바이트(Byte)의 데이터를 출력하는 짧은 시간 동안, 다음 바이트의 데이터를 센싱해야 하는 부담을 없앨 수 있다. 이때, 쌍이 이루어지는 조건은, 사용자가 입력한 시작 Y-어드레스에 따라, 위의 네 가지 중 하나로 결정된다. 이와 같이 각각의 페이지(110, 120, 130, ... , n)를 다수의 영역으로 분할하고, 어느 하나의 서브페이지의 데이터가 센싱되어 출력되는 동안, 다른 서브페이지의 데이터를 센싱하도록 함으로서, 대기 시간(latency time) 없이 연속 순차 읽기를 수행할 수 있고, 첫 데이터를 출력한 다음, 다음 데이터를 순차적으로 연속하여 출력할 수 있다.

발명의 효과

이상 상술한 바와 같이, 본 발명에 따른 플래쉬 메모리는 읽기 시간(read time)이 상대적으로 긴 슬로우(slow) Nor 플래쉬 메모리 또는 NAND 플래쉬 메모리의 경우에도, 데이터의 연속적 읽기/쓰기가 가능할 뿐 만 아니라, 데이터의 입출력 대기 시간을 감소시킬 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

동일한 메모리 사이즈의 다수의 페이지를 포함하며, 데이터를 저장하는 기능을 하는 메모리 어레이;

상기 메모리 어레이의 각 페이지와 동일한 메모리 사이즈를 가지며, 상기 페이지에 저장된 데이터를 센싱하여 저장하거나, 외부로부터 입력된 데이터를 임시로 저장한 다음, 저장된 데이터를 각 페이지에 기록하는 버퍼 메모리의 기능을 하는 페이지 버퍼;

외부와 상기 페이지 버퍼 사이의 데이터 입출력을 제어하는 입출력 인터페이스; 및

데이터의 읽기 과정에서, 상기 페이지 버퍼에 저장된 데이터를 출력하여 임시로 저장한 후, 상기 입출력 인터페이스를 통하여 외부로 출력하거나, 데이터의 쓰기 과정에서 상기 입출력 인터페이스를 통하여 입력된 데이터를 임시로 저장한 후, 저장된 데이터를 상기 페이지 버퍼에 전가하는 임시 저장 메모리의 역할을 하는 하나 이상의 보조 버퍼를 포함하는 플래쉬 메모리.

청구항 2.

제1항에 있어서, 상기 보조 버퍼는 기록하고자 하는 데이터를 상기 입출력 인터페이스를 통하여 전달받아 저장한 다음, 저장된 데이터를 페이지 버퍼에 전가하는 제1 보조버퍼와, 상기 페이지 버퍼에 저장된 데이터를 전가받아 저장한 다음, 저장된 데이터를 입출력 인터페이스를 통하여 외부로 출력하는 제2 보조버퍼로 이루어진 것인 플래쉬 메모리.

청구항 3.

제1항에 있어서, 상기 보조 버퍼는 상기 페이지 버퍼에 저장된 데이터를 메모리 어레이에 저장하는 동안, 다음 페이지의 데이터를 저장하는 것인 플래쉬 메모리.

청구항 4.

제1항에 있어서, 상기 보조 버퍼는 상기 페이지 버퍼와 동일한 메모리 사이즈를 가지는 SRAM-버퍼인 것인 플래쉬 메모리.

청구항 5.

동일한 사이즈의 다수의 페이지를 포함하고, 각 페이지는 소정 개수의 메모리셀을 포함하며, 데이터를 저장하는 기능을 하는 메모리 어레이;

상기 메모리 어레이의 각 페이지와 동일한 메모리 사이즈를 가지며, 상기 페이지에 저장된 데이터를 센싱하여 저장하거나, 외부로부터 입력된 데이터를 임시로 저장한 다음, 저장된 데이터를 각 페이지에 기록하는 버퍼 메모리의 기능을 하는 페이지 버퍼; 및

외부와 상기 페이지 버퍼이 사이의 데이터 입출력을 제어하는 입출력 인터페이스를 포함하는 플래쉬 메모리에 있어서,

상기 메모리 어레이의 각 단위 페이지는 2이상의 서브페이지로 분할되어 있고, 상기 페이지 버퍼 역시 상기 각 서브페이지와 동일한 메모리 사이즈로 분할되어 있으며, 상기 분할된 각각의 서브페이지 버퍼는 각각의 서브페이지에 저장된 데이터를 직접 센싱하여 저장하거나, 외부로부터 입력된 데이터를 임시로 저장한 다음, 저장된 데이터를 각각의 서브페이지에 기록하는 것인 플래쉬 메모리.

청구항 6.

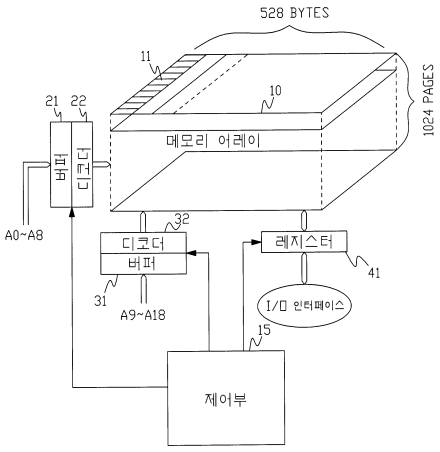
제5항에 있어서, 상기 메모리 어레이의 페이지와 상기 페이지 버퍼는 각각 4개의 서브페이지와 그에 상응하는 4개의 서브페이지 버퍼로 분할되어 있는 것인 플래쉬 메모리.

청구항 7.

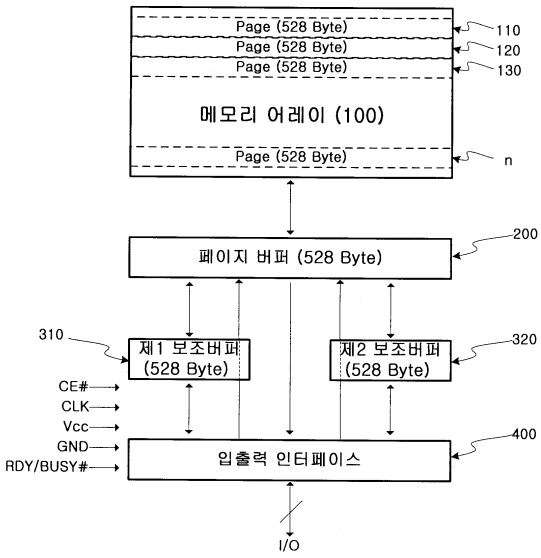
제6항에 있어서, 상기 4개의 서브페이지 버퍼는 메모리 어레이의 읽기 과정에서 임의의 시작 Y-어드레스가 존재하는 서브페이지 버퍼와 그 다음 서브페이지 버퍼를 이용하여, 각각의 서브 페이지 버퍼에 상응하는 서브페이지의 데이터를 센싱하여 출력하고, 다른 2개의 서브페이지 버퍼가 각각의 서브 페이지 버퍼에 상응하는 서브페이지의 데이터를 센싱하는 것인 플래쉬 메모리.

도면

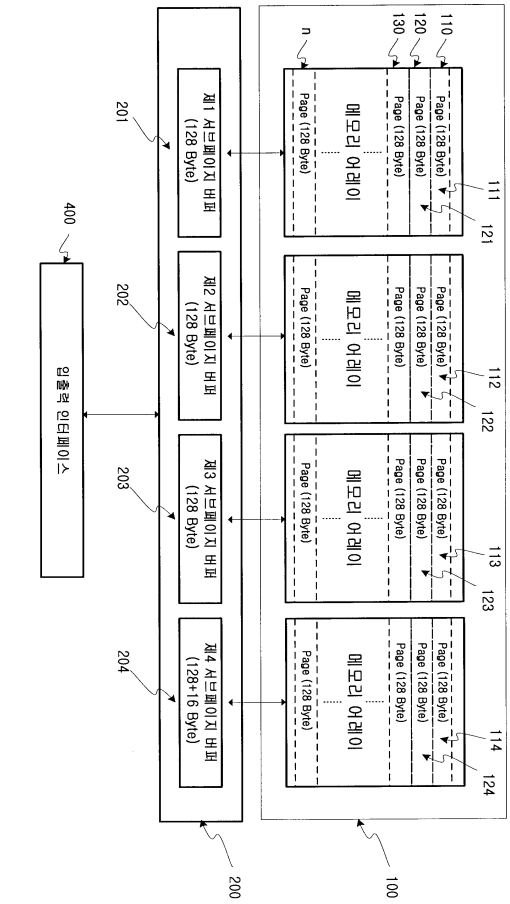
도면1



도면2


Page (528 Byte)
Page (528 Byte)
Page (528 Byte)
메모리 어레이 (100)
Page (528 Byte)
110
120
130
n
200
페이지 버퍼 (528 Byte)
310
제1 보조버퍼 (528 Byte)
제2 보조버퍼 (528 Byte)
320
CE#
CLK
Vcc
GND
RDY/BUSY#
400
입출력 인터페이스
I/O

도면3


n
130
120
110
메모리 어레이
Page (128 Byte)
111
121
112
122
113
123
114
124
201
202
203
204
제1 서브페이지 버퍼 (128 Byte)
제2 서브페이지 버퍼 (128 Byte)
제3 서브페이지 버퍼 (128 Byte)
제4 서브페이지 버퍼 (128+16 Byte)
400
입출력 인터페이스
200
100